

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 8 月 12 日(12.08.2010)

PCT

(10) 国際公開番号
WO 2010/090328 A1

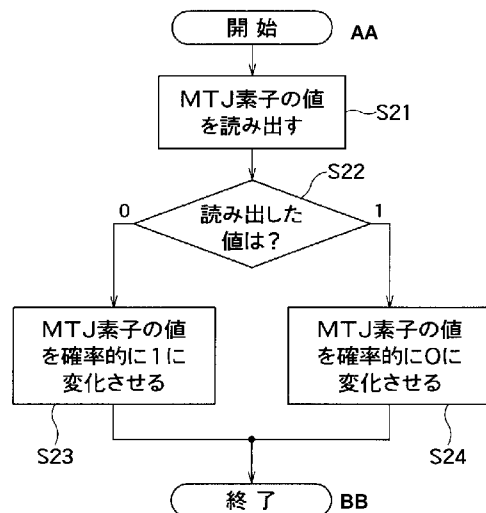
- (51) 国際特許分類:
G06F 7/58 (2006.01)
- (21) 国際出願番号: PCT/JP2010/051878
- (22) 国際出願日: 2010 年 2 月 9 日(09.02.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-027637 2009 年 2 月 9 日(09.02.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 金井 達徳 (KANAI Tatsunori) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 樽家 昌也 (TARUI Masaya) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 山田 裕 (YAMADA Yutaka) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP).
- (74) 代理人: 勝沼 宏仁, 外 (KATSUNUMA Hirohito et al.); 〒1000005 東京都千代田区丸の内三丁目 2 番 3 号 富士ビル 3 2 3 号 協和特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,

[続葉有]

(54) Title: RANDOM NUMBER GENERATOR

(54) 発明の名称: 乱数発生器

[図6]



S21 READ OUT MTJ ELEMENT VALUE
S22 WHAT IS THE READ OUT VALUE?
S23 STOCHASTICALLY CHANGE MTJ ELEMENT VALUE TO 1
S24 STOCHASTICALLY CHANGE MTJ ELEMENT VALUE TO 0
AA START
BB END

(57) Abstract: A random number generation circuit is provided with a MTJ (magnetic tunnel junction) element which can be in a high resistance state corresponding to a first logical value, and can be in a low resistance state corresponding to a second logical value which is different from the first logical value; and a control circuit which provides the MTJ element either with a first current to stochastically reverse the MTJ element from the high resistance state to the low resistance state when the MTJ element is in the high resistance state, or with a second current to stochastically reverse the MTJ element from the low resistance state to the high resistance state when the MTJ element is in the low resistance state.

(57) 要約: 本発明の一態様としての乱数発生回路は、第1の論理値に対応する高抵抗状態になり、前記第1の論理値と異なる第2の論理値に対応する低抵抗状態にもなるMTJ (Magnetic Tunnel Junction) 素子と、前記MTJ素子が前記高抵抗状態であるときは前記MTJ素子を前記高抵抗状態から前記低抵抗状態に確率的に反転させる第1の電流、前記MTJ素子が前記低抵抗状態であるときは前記MTJ素子を前記低抵抗状態から前記高抵抗状態に確率的に反転させる第2の電流のいずれか一方を前記MTJ素子に与える、制御回路と、を備える。

WO 2010/090328 A1

WO 2010/090328 A1



NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, 添付公開書類:

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, — 国際調査報告 (条約第 21 条(3))
TD, TG).

明 細 書

発明の名称：乱数発生器

技術分野

[0001] この発明は、スピン注入磁化反転を利用した乱数発生器および乱数発生方法に関する。

背景技術

[0002] スピン注入型MRAM (M a g n e t i c R a n d o m - A c c e s s M e m o r y) として用いられる強磁性トンネル接合 (M T J : M a g n e t i c T u n n e l J u n c t i o n) 素子は、2つの強磁性層でトンネルバリア層を挟み込んだ構造を持ち、強磁性層の一方は電流が流れても磁化の向きが不変な参照層であり、もう一方は電流を流すことによって磁化の向きが可変な記憶層である。記憶層の磁化の向きには2つの状態があり、一方の状態を論理値0に、もう一方の状態を論理値1に対応させることによって、M T J素子をメモリセルとして用いる。

[0003] M T J素子へのデータの書き込みはスピン注入磁化反転によって行う。すなわち、M T J素子に書き込み電流を流すことにより生じるスピン・トランスファ・トルクによって記憶層の磁化の向きを反転させる。書き込み電流の向きを変えることによって、記憶層のとりうる2つの状態のうちいずれかの状態になるように磁化の向きを反転させることができる。

[0004] 記憶層の磁化の向きの違いによってM T J素子の抵抗値は異なる。M T J素子からのデータの読み出しは、磁化反転が起こらない小さな読み出し電流をM T J素子に流して抵抗値を測定し、低抵抗値か高抵抗値かを判別することによって行う。

[0005] 磁化反転を起こす書き込み電流値と、磁化反転を起こさない読み出し電流値の間の、適切に選んだ電流値（ここでは乱数発生電流と呼ぶ）のパルス（ここでは乱数発生パルスと呼ぶ）をM T J素子に流すと、磁化反転確率が0.0より大きく1.0より小さくなるように磁化反転させることができる。

そこで、あらかじめ低抵抗状態にリセットしたMTJ素子に対して、高抵抗状態への反転確率が0.0と1.0の間の電流値を持つ乱数発生パルスを流すことで、ランダムにMTJ素子の状態を変化させることができ、乱数発生器として利用することができることが、非特許文献1に開示されている。もちろん、あらかじめ高抵抗状態にリセットしたMTJ素子に対して、低抵抗状態への磁化反転確率が0.0と1.0の間の電流値を持つ乱数発生パルスを流すことでも同じ効果を得ることができる。ここでは、このような磁化反転確率が0.0と1.0の間の電流値を、「状態を確率的に反転させる電流」と呼ぶ。

先行技術文献

非特許文献

- [0006] 非特許文献1：第31回日本応用磁気学会学術講演会概要集（2007）13p C-15（214ページ）「スピン注入磁化反転を用いた乱数発生器」（福島、久保田、薬師寺、湯浅、安藤）

発明の概要

発明が解決しようとする課題

- [0007] MTJ素子を利用することで自然現象に基づく性質の良い乱数を生成することができるが、その場合、発生した乱数に偏りがないように、すなわち0と1の出現確率が同じになるように、磁化反転確率が0.5になる電流を流すことが望ましい。しかし、MTJ素子の製造上のサイズのばらつき等の要因により、設計時に設定した書き込みパルスの電流値に対するMTJ素子の磁化反転確率が必ずしも0.5にならず、0と1の出現確率に偏りが生じる。
- [0008] 本発明は、MTJ素子を利用した乱数発生において、ばらつきに起因する乱数の偏りを抑えることを可能にした乱数発生器および乱数発生方法を提供する。

課題を解決するための手段

[0009] 本発明の一態様としての乱数発生回路は、

第1の論理値に対応する高抵抗状態にもなり、前記第1の論理値と異なる第2の論理値に対応する低抵抗状態にもなるMTJ (M a g n e t i c T u n n e l J u n c t i o n) 素子と、

前記MTJ素子が前記高抵抗状態であるときは前記MTJ素子を前記高抵抗状態から前記低抵抗状態に確率的に反転させる第1の電流を、前記MTJ素子が前記低抵抗状態であるときは前記低抵抗状態から前記高抵抗状態に確率的に反転させる第2の電流を、前記MTJ素子に与える、制御回路と、
を備える。

発明の効果

[0010] 本発明により、MTJ素子を利用した乱数発生において、ばらつきに起因する乱数の偏りを抑えることを可能になる。

図面の簡単な説明

[0011] [図1] MTJ素子の構造を説明する図。

[図2] 電流値と反転確率の関係を示す図。

[図3] MTJ素子の特性のばらつきを説明する図。

[図4] 第1の実施例に係る乱数発生回路を示す図。

[図5] 従来の乱数発生方式を示す図。

[図6] 図4の乱数発生回路の動作を示す図。

[図7] 第2の実施例に係る乱数発生回路を示す図。

[図8] 図7の乱数発生回路の動作を示す図。

[図9] 図7の乱数発生回路を利用する外部回路の動作を示す図。

[図10] MTJ素子をメモリセルとして用いるスピン注入型MRAMの代表的な構成を示す図。

[図11] 図10のMRAMからデータを読み出す時の各信号線のタイミングチャート。

[図12] 図10のMRAMにデータを書き込む時の各信号線のタイミングチャート。

[図13] 第3の実施例に係る乱数発生回路を示す図。

[図14] 図13の乱数発生器から乱数値を読み出す時の各信号線のタイミングチャート。

[図15] 図13の乱数発生器に新しい乱数を発生させる時の各信号線のタイミングチャート。

[図16] 第4の実施例に係る乱数発生回路を示す図。

[図17] 図16の乱数発生器から乱数値を読み出す時の各信号線のタイミングチャート。

[図18] 図16の乱数発生器に新しい乱数を発生させる時の各信号線のタイミングチャート。

[図19] 乱数発生器、マイクロプロセッサ（外部回路）、およびメモリがバスを介して接続されたシステムを示す図。

[図20] 図16の乱数発生回路を用いて乱数を発生させる場合に外部回路で行う動作を示す図。

[図21] 第5の実施例に係る乱数発生器を示す図。

[図22] 図21の乱数発生器から乱数値を読み出す時の各信号線のタイミングチャート。

[図23] 図21の乱数発生器に新しい乱数を発生させる時の各信号線のタイミングチャート。

[図24] 図21、図25の乱数発生回路を用いて乱数を発生させる場合に外部回路で行う動作を示す図。

[図25] 第6の実施例に係る乱数発生器を示す図。

[図26] 図25の乱数発生器から乱数値あるいはメモリとして記憶させた値を読み出す時の各信号線のタイミングチャート。

[図27] 図25の乱数発生器をMRAMとして用いてデータの書き込む時の各信号線のタイミングチャート。

[図28] 図25の乱数発生器に新しい乱数を発生させる時の各信号線のタイミングチャート。

[図29] 第7の実施例に係る乱数発生器を示す図。

[図30] 第8の実施例に係る乱数発生器を示す図。

[図31] 第8の実施例に係る乱数発生器を示す図。

[図32] 図31の乱数発生器に乱数の発生と読み出しを指示する時の各信号線のタイミングチャート。

発明を実施するための形態

[0012] 図1はMTJ素子の構造を説明する図である。

MTJ素子11は記憶層11aと参照層11cがトンネルバリア層11bを挟んだ構造をもつ。記憶層11aと参照層11cは強磁性層であり、参照層11cはMTJ素子11に書き込み電流が流れても磁化の向きは不変であるが、記憶層11aはMTJ素子11に書き込み電流の流れる向きに応じて磁化の向きが変化する。

[0013] たとえば図1(A)のように、参照層11cの磁化は右方向に固定されている場合に、書き込みパルスの電流を記憶層11aから参照層11cに向かって流すと、電子は参照層11cからトンネルバリア層11bを経て記憶層11aに向かって流れ、その結果、記憶層11aの磁化の向きは参照層11cと同じ方向(図1(A)では右方向)に変化する。このように記憶層11aと参照層11cの磁化の向きが同じ方向を向いている状態では、MTJ素子11の抵抗値は低くなる。

[0014] 一方、図1(B)のように、書き込みパルスの電流を参照層11cから記憶層11aに向かって流すと、電子は記憶層11aからトンネルバリア層11bを経て参照層11cに向かって流れ、その結果、記憶層11aの磁化の向きは参照層11cと反対の方向(図1(B)では左方向)に変化する。このように記憶層11aと参照層11cの磁化の向きが反対の方向を向いている状態では、MTJ素子11の抵抗値は高くなる。

[0015] このように、記憶層11aの磁化の方向が参照層11cと同じか反対かの2つの状態を、論理値の0と1に対応させることによって、MTJ素子11をメモリとして用いるのがMRAMである。ここでは磁化の向きが同じ低抵

抗状態を論理値 0、磁化の向きが反対の高抵抗状態を論理値 1 とするが、逆に、低抵抗状態を論理値 1、高抵抗状態を論理値 0 としても構わない。本発明の第 1 の論理値は、論理値 1 または 0 のうち一方であり、第 2 の論理値は論理値 1 または 0 のうち第 1 の論理値と異なる他方である。MTJ 素子 11 は、第 1 の論理値に対応する高抵抗状態になり、前記第 1 の論理値と異なる第 2 の論理値に対応する低抵抗状態にもなる。

[0016] MTJ 素子 11 の状態は、読み出し電流を流して抵抗値を検出することで読み出すことができる。この読み出し電流の値は、書き込みパルスよりも小さくし、これにより読み出しの際に、MTJ 素子 11 の記憶層 11a の磁化の向きが変化しないようにする。

[0017] 図 2 (A) は、低抵抗状態の MTJ 素子に流す書き込みパルスの電流値を横軸に、低抵抗状態から高抵抗状態への反転確率を縦軸にとって、電流値と反転確率の関係を示している。また、図 2 (B) は、高抵抗状態の MTJ 素子に流す書き込みパルスの電流値を横軸に、高抵抗状態から低抵抗状態への反転確率を縦軸にとって、電流値と反転確率の関係を示している。MTJ 素子を高抵抗状態に反転させるときと低抵抗状態に反転させるときでは電流を流す方向が逆であるので、図 2 (A) は原点から右に行くほど流す電流の絶対値が大きくなり、図 2 (B) は原点から左に行くほど流す電流の絶対値が大きくなることを示している。

[0018] MTJ 素子を記憶セルとして用いる MRAM では、MTJ 素子に論理値 1 を書き込む場合には、図 2 (A) の I_{w1} のように高抵抗状態への反転確率が限りなく 1. 0 に近い電流値の書き込みパルスを MTJ 素子に流す。逆に MTJ 素子に論理値 0 を書き込む場合には、図 2 (B) の I_{w0} のように低抵抗状態への反転確率が限りなく 1. 0 に近い電流値の書き込みパルスを MTJ 素子に流す。MTJ 素子から値を読み出す場合には、図 2 (B) の I_{r0} や図 2 (A) の I_{r1} のような、反転確率が限りなく 0. 0 に近い電流を MTJ 素子に流して抵抗値を検出し、高抵抗値ならば 1、低抵抗値ならば 0 と判断する。

[0019] 図2 (A) および図2 (B) に示すように、MTJ素子の状態の反転確率は、ある閾値において急激に変化するのではなく、ある電流値の範囲においてなだらかに変化する。そのため、低抵抗状態のMTJ素子に対して、図2 (A) の I_{G1} のような反転確率が0.5程度になる電流値の乱数発生パルス流すと、MTJ素子の状態は50%程度の確率で高抵抗状態になる。逆に、高抵抗状態のMTJ素子に対して、図2 (B) の I_{G0} のような反転確率が0.5程度になる電流値の乱数発生パルス流すと、MTJ素子の状態は50%程度の確率で低抵抗状態になる。

[0020] そこで、低抵抗状態か高抵抗状態のいずれか一方の状態へ初期化したMTJ素子に対し、その状態から他方の状態への反転確率が0.5程度の電流値の乱数発生パルス流すことで、MTJ素子の状態を低抵抗状態または高抵抗状態へそれぞれ約50%の確率でランダムに設定することができ、MTJ素子は乱数発生器として利用できる。

[0021] 実際にMTJ素子を乱数発生器として利用するLSIチップを製造する場合、チップ上に形成するMTJ素子の特性にばらつきが生じうる。たとえば、図3 (A) のように、低抵抗状態から高抵抗状態への反転確率が0.5になる電流値 I_{G1} の乱数発生パルスをMTJ素子に流すように設計したとしても、製造段階でチップ上に形成されるMTJ素子の面積のばらつきなどの要因によってMTJ素子の特性もばらつき、同じ電流値 I_{G1} の乱数発生パルスに対しても、図3 (B) のように反転確率が0.5よりも大きくなったり、図3 (C) のように反転確率が0.5よりも小さくなったりする。その結果、従来のようにMTJ素子を論理値0にリセットした後、電流値 I_{G1} の乱数発生パルス流すことで乱数を発生させると、結果として得られる乱数の論理値0と1の発生頻度に偏りが生じることになる。

[0022] 高抵抗値から低抵抗値への反転確率に関しても同様のことが言え、たとえば、図3 (D) のように、高抵抗状態から低抵抗状態への反転確率が0.5になる電流値 I_{G0} の乱数発生パルスをMTJ素子に流すように設計したとしても、ばらつきによって、同じ電流値 I_{G0} の乱数発生パルスに対しても、図

3 (E) のように反転確率が0.5よりも大きくなったり、図3 (F) のように反転確率が0.5よりも小さくなったりする。

[0023] ここで、MTJ素子の特性のばらつきの要因のうち、形状的な要因が支配的であれば、低抵抗状態から高抵抗状態への反転確率と、高抵抗状態から低抵抗状態への反転確率には、相関関係がある。すなわち、図3 (A) に示すように標準的なMTJ素子に対して低抵抗状態から高抵抗状態への反転確率が0.5になるように乱数発生パルスの電流値 I_{G1} を決め、また、図3 (D) に示すように標準的なMTJ素子に対して高抵抗状態から低抵抗状態への反転確率が0.5になるように乱数発生パルスの電流値 I_{G0} を決めたとする。このとき、電流値 I_{G1} の乱数発生パルスに対する低抵抗状態から高抵抗状態への反転確率が0.5よりも高い図3 (B) のような特性のMTJ素子は、電流値 I_{G0} の乱数発生パルスに対する高抵抗状態から低抵抗状態への反転確率も図3 (E) のように0.5よりも高くなる。また、電流値 I_{G1} の乱数発生パルスに対する低抵抗状態から高抵抗状態への反転確率が0.5よりも低い図3 (C) のような特性のMTJ素子は、電流値 I_{G0} の乱数発生パルスに対する高抵抗状態から低抵抗状態への反転確率も図3 (F) のように0.5よりも低くなる。

[0024] 本発明の乱数発生方式では、このような、低抵抗状態から高抵抗状態への反転確率と、高抵抗状態から低抵抗状態への反転確率の間にある相関関係を利用することで、発生した乱数の0と1の偏りをより小さくするものである。具体的には、MTJ素子の現在の値が高抵抗状態（論理値1とする）であれば、高抵抗状態から低抵抗状態へ確率的に反転させる電流値 I_{G0} （第1の電流）の乱数発生パルスを流し、逆にMTJ素子の現在の値が低抵抗状態（論理値0とする）であれば、低抵抗状態から高抵抗状態へ確率的に反転させる電流値 I_{G1} （第2の電流）の乱数発生パルスを流すことで、MTJ素子の状態をランダムに変化させ、その状態を乱数値として利用する。

[0025] 従来の乱数発生方式では、たとえばあらかじめMTJ素子を低抵抗状態（論理値0）にリセットした後、低抵抗状態から高抵抗状態（論理値1）へ確

率的に反転させる乱数発生パルスを流すことで、MTJ素子の状態をランダムに変化させる。このとき、乱数発生パルスの電流値に対する反転確率が0.5よりも大きい場合には、発生する乱数の値が1である確率もそれに比例して大きくなる。

[0026] 一方、本発明の方式では、乱数発生時にMTJ素子を特定の状態にリセットせず、現在の状態から他方の状態への確率的な反転を発生させる。そのため、たとえ低抵抗状態から高抵抗状態へ反転させる乱数発生パルスの電流値に対する反転確率が0.5よりも大きい場合でも、それに相関して高抵抗状態から低抵抗状態へ反転させる乱数発生パルスの電流値に対する反転確率も0.5より大きければ、低抵抗状態と高抵抗状態の間の反転頻度が大きくなることになるが、発生する乱数における0と1の出現確率の偏りをより小さくすることができる。逆に、低抵抗状態から高抵抗状態へ反転させる乱数発生パルスの電流値に対する反転確率が0.5より小さい場合でも、それに相関して高抵抗状態から低抵抗状態へ反転させる乱数発生パルスの電流値に対する反転確率も0.5より小さければ、低抵抗状態と高抵抗状態の間の反転頻度が小さくなることになるが、発生する乱数における0と1の出現確率の偏りをより小さくすることができる。

[0027] 製造工程に起因するばらつきには、MTJ素子を備えるLSIチップを複数製造した場合にLSIチップ毎にMTJ素子の特性が異なるばらつきもあれば、ひとつのLSIチップ内に複数のMTJ素子を備える場合にそれらのMTJ素子間の特性のばらつきもある。本発明の方式は、いずれのばらつきに対しても、その影響を小さくする効果がある。

[0028] 図4に本発明のひとつの実施例（第1の実施例）を示す。

図4の乱数発生回路は、乱数発生に用いるMTJ素子11と、制御回路12から構成される。MTJ素子11は記憶層11a側の一端子と、参照層11c側の他端子とを有し、制御回路12は、MTJ素子11の一端子に接続される第1の端子と、MTJ素子11の他端子に接続される第2の端子とを含む。制御回路12は、この乱数発生回路につながっていて発生した乱数を

使用する回路（外部装置）から、乱数発生信号と読み出し信号との２種類の信号を受信して動作する。

[0029] 制御回路１２が読み出し信号を受信すると、制御回路１２はＭＴＪ素子１１に読み出し電流を流して抵抗値を調べ、低抵抗状態なら論理値０、高抵抗状態なら論理値１を、乱数データとして出力する。上述したように、本発明の第１の論理値は、論理値１または０のうち一方であり、第２の論理値は論理値１または０のうち第１の論理値と異なる他方である。

[0030] 制御回路１２が乱数発生信号を受信した場合の動作を図６に示す。また、従来の方式の動作を図５に示す。

[0031] 図５に示すように、従来の方式では、外部装置から乱数発生信号を受信した制御回路は、まずＭＴＪ素子に高抵抗状態から低抵抗状態に反転させる書き込みパルスを流し、論理値０を示す低抵抗状態にＭＴＪ素子をリセットする（Ｓ１１）。次に、低抵抗状態（論理値０）から高抵抗状態（論理値１）へ確率的に反転させる乱数発生パルスをＭＴＪ素子に流し、ＭＴＪ素子の状態をランダムに変化させる（Ｓ１２）。

[0032] 一方、本発明の方式では、図６に示すように、外部装置から乱数発生信号を受信した制御回路１２は、まずＭＴＪ素子１１に読み出し電流を流して抵抗値を調べ、現在の値が０か１かを知る（Ｓ２１、Ｓ２２）。次に読み出した値が０であれば、ＭＴＪ素子を低抵抗状態（論理値０）から高抵抗状態（論理値１）へ確率的に反転させる乱数発生パルス（第２の電流）を流し（Ｓ２３）、逆に、読み出した値が１であれば、ＭＴＪ素子を高抵抗状態（論理値１）から低抵抗状態（論理値０）へ確率的に反転させる乱数発生パルス（第１の電流）を流す（Ｓ２４）。これにより、ＭＴＪ素子の状態をランダムに変化させる。

[0033] 制御回路１２は、ＭＴＪ素子をメモリとして用いる場合と同様の回路で実現できる。すなわち、書き込みパルスの電流値を変更して磁化反転確率を乱数発生に適した値まで下げたものが乱数発生パルスであるので、ＭＴＪ素子１１に流れる電流値が書き込みパルスと異なるように設計すれば良い。

[0034] 図4の実施例では、乱数発生回路がMTJ素子をひとつ持つ例を示しているが、乱数発生回路内に複数のMTJ素子を持ち、複数ビットの乱数を発生できるようにすることもできる。この場合は、乱数発生回路の制御回路12は、読み出し信号を受信すると、内部にある複数のMTJ素子の値を複数本の信号線で並列に出力するように実施してもよいし、少ない信号線を使って直列に出力するように実施しても良い。あるいは、複数のMTJ素子の中からどのMTJ素子から値を読み出すかを指定するアドレス信号を入力して、その信号線で指定されたMTJ素子から値を読み出すように実施することもできる。乱数発生信号を受信して乱数発生をする場合も、複数あるMTJ素子に並列に乱数発生パルスを送るように実施してもよいし、MTJ素子に順次乱数発生パルスを送るように実施してもよいし、アドレス信号で指定したMTJ素子に乱数発生パルスを送るように実施してもよい。

[0035] 図7に、図4の実施例を変形した、別の実施例（第2の実施例）を示す。

図4に示した実施例では、乱数発生時に制御回路12がまずMTJ素子11の状態を読み出した後、その状態に応じて、高抵抗状態へ確率的に反転させる乱数発生パルスを送るか、低抵抗状態へ確率的に反転させる乱数発生パルスを送るかを、制御回路12内で判断した。図7は、この判断を乱数発生回路を利用する外部回路（外部装置）側で行う方法である。

[0036] 図7の制御回路13は、図6の制御回路12に対して乱数発生の方法を示すデータ（乱数発生方法データ）を入力する信号線が追加されている。乱数データの読み出し時の動作は、図6の乱数発生回路12と図7の乱数発生回路12とで同じである。

[0037] 一方、新しい乱数を発生させる時の制御回路12、13の動作は、図6の乱数発生回路と図7の乱数発生回路では異なる。図7の乱数発生回路の制御回路13は、乱数発生信号を受信すると、図8に示す手順で乱数発生を行う。すなわち、乱数発生信号の受信と同時に乱数発生方法データを受信し（S31）、乱数発生方法データの値が0であれば、MTJ素子を高抵抗状態（

論理値 1) から低抵抗状態 (論理値 0) に確率的に反転させる電流値の乱数発生パルスをもつ MTJ 素子 11 に流し (S 32)、逆に、その値が 1 であれば、MTJ 素子 11 を低抵抗状態 (論理値 0) から高抵抗状態 (論理値 1) に確率的に反転させる電流値の乱数発生パルスをもつ MTJ 素子に流す (S 33)。

[0038] 図 7 の乱数発生回路を利用する外部回路は、図 9 に示す手順で図 7 の乱数発生回路を利用する。まず、乱数発生回路に読み出し信号を送って、現在の値を読み出し (S 41)、その値を調べる (S 42)。次に、読み出した値の論理否定値を含む乱数発生方法データを生成し、生成した乱数発生方法データを乱数発生信号とともに送る。すなわち、読み出した値が 0 であれば乱数発生方法データを 1 に指定し (S 43)、読み出した値が 1 であれば乱数発生方法データを 0 に指定し (S 44)、1 または 0 に指定した乱数発生方法データを乱数発生信号とともに乱数発生回路に送る。これにより、乱数発生回路の MTJ 素子 11 の状態をランダムに変化させる。この後、外部回路は、読み出し信号を乱数発生回路に送ることで、新しく発生させた乱数の値を読み出すことができる。

[0039] このように実施することで、制御回路 13 の構成を図 4 の実施例の場合よりも簡単にすることができる。すなわち、図 4 の実施例の制御回路 12 では、乱数発生信号を受信して乱数発生を行う場合に、MTJ 素子 11 の現在の状態の読み出しを行うステップと、MTJ 素子 11 に乱数発生パルスを通してランダムに状態を変化させるステップの 2 ステップの処理が必要であり、さらに、最初のステップで読み出した状態を記憶しておいて次のステップで使うための記憶素子 (フリップフロップあるいはレジスタ) が必要になる。それに対して図 7 の実施例の制御回路 13 は、乱数発生信号を受信したときの処理は、MTJ 素子 11 に乱数発生パルスを通してランダムに状態を変化させる処理だけであり、現在の MTJ 素子 11 の状態を読み出して記憶しておく必要がないため、制御回路 13 は簡単になる。つまり、図 7 の実施例では、現在の状態を読み出してそれに応じた乱数発生を指示するための処理は

、乱数発生回路から省いて、乱数発生回路を利用する外部回路側に任せている。外部回路は、乱数発生回路から乱数を読み出したらその値を記憶しておき、次に新しい乱数を発生させるときに、記憶しておいた値を用いて乱数発生方法データを指定するようにすれば、効率良く動作させることができる。

[0040] 乱数発生回路内に複数のMTJ素子を持つ場合は、図4の実施例の変形例と同様の変形を行って実施できる。さらに、図7の乱数発生回路が複数のMTJ素子を持つ場合に、乱数発生方法データの信号線は内部のMTJ素子の数に合わせて複数本用意し、それぞれのMTJ素子の乱数発生に用いるように実施できる。また、乱数発生方法データの信号線の数もMTJ素子の数よりも少なくしておき、MTJ素子と同じビット数の乱数発生方法データを直列に入力するように実施することもできる。さらに、乱数発生させたいMTJ素子を指定するアドレス信号の入力を制御回路13に持たせ、制御回路13はアドレス信号で指定したMTJ素子に対して、乱数発生方法データを適用した乱数発生を行うように実施することもできる。

[0041] なお、この実施例（第2の実施例）では、乱数発生方法データの値が0であればMTJ素子を高抵抗状態（論理値1）から低抵抗状態（論理値0）に、1であればMTJ素子を低抵抗状態（論理値0）から高抵抗状態（論理値1）に確率的に反転させる電流値の乱数発生パルスをMTJ素子に流すようにしているが、逆に、乱数発生方法データの値が0であればMTJ素子を低抵抗状態（論理値0）から高抵抗状態（論理値1）に、1であればMTJ素子を高抵抗状態（論理値1）から低抵抗状態（論理値0）に確率的に反転させる電流値の乱数発生パルスをMTJ素子に流すように変形して実施することもできる。このように変形して実施した場合は、読み出した乱数値から乱数発生方法データを作る際に各ビットを反転する必要がなくなる。つまり、読み出した乱数値をそのまま乱数発生方法データとして用いることができる。

[0042] 次に、通常のメモリのように複数のMTJ素子を集積した乱数発生回路の実施例を説明するが、その前に、まずMTJ素子をメモリセルとして用いる

スピン注入型MRAMの代表的な構成について説明する。

[0043] 図10は、MTJ素子をメモリセルとして用いるスピン注入型MRAMの代表的な構成を示す。図10の構成のMRAMは、データを読み書きするメモリのアドレスを指定するアドレス線（図10ではA）、読み書きするデータの転送に用いるデータ線（図10ではD）、アドレス線（A）で指定したメモリの内容を読み出してデータ線（D）に出力することを指示する読み出し信号（図10では $\sim OE$ ）、データ線（D）に指定したデータをアドレス線（A）で指定したメモリに書き込むことを指示する書き込み信号（図10では $\sim W$ ）の4種類の信号線で外部の回路と接続される。アドレス線（A）はMRAM内の複数のMTJ素子11が選択できるように、MTJ素子11の数に合わせた複数ビットの信号線である。データ線（D）も、同時に読み書きできるデータが1ビットのMRAMであれば1本の信号線であるが、同時に複数ビットのデータを読み書きできるMRAMの場合には複数ビットの信号線である。ここで、 $\sim$ 記号で始まる名前の信号線はアクティブロー（Active Low）、すなわち、論理値が0になることで指示を伝えることを示している。ただし、必ずアクティブローである必要はなく、アクティブハイで実現されることもある。

[0044] MRAM内部には、セルアレイ31、アドレスデコーダ32、センスアンプ33、ライトドライバ34、トライステートバッファ35が備えられる。セルアレイ31は、メモリセルとして用いる複数のMTJ素子11を、複数本のワード線と複数本のビット線の交点上に配置した、アレイ構造を持つ。アドレスデコーダ32はアドレス線（A）に接続され、セルアレイ31のMTJ素子11の中からアドレス線（A）で指定されたMTJ素子11が読み書き対象になるように、セルアレイ31のワード線と、必要に応じてビット線を制御する。ライトドライバ34は、書き込み信号（ $\sim W$ ）を受信すると、その時データ線（D）に流れているデータを、アドレス線（A）で選択されたMTJ素子11に書き込む。センスアンプ33は、アドレス線（A）で選択されたMTJ素子11に記録されている値を読み出す。トライステート

バッファ 35 は、読み出し信号（ $\sim OE$ ）を受信するとセンスアンプ 33 から送られてくるデータをデータ線（D）に送り出す。

[0045] 図 11 は図 10 の MRAM からデータを読み出す時の各信号線のタイミングチャートである。MRAM に接続した外部回路（例えばマイクロプロセッサなど）が MRAM からデータを読み出す場合は、まず、書き込み信号（ $\sim W$ ）を 1 に固定し、アドレス線（A）に読み出したいアドレスを指定し、読み出し信号（ $\sim OE$ ）を 1 から 0 にして MRAM に読み出しを指示する。その結果、MRAM のセルアレイ 31 の中のアドレス線（A）で指定された MTJ 素子に対して読み出し電流を流してセンスアンプ 33 で 0 / 1 の論理信号に変換し、読み出し信号（ $\sim OE$ ）で信号が伝搬するように設定されたトリステートバッファ 35 を介して、データ線（D）に読み出したデータを出力する。その後、読み出し信号（ $\sim OE$ ）が 0 から 1 に戻ると、トリステートバッファ 35 による信号の伝搬が止まって出力がハイインピーダンス状態になるため、データ線（D）へのデータ出力も止まる。

[0046] 図 12 は図 10 の MRAM にデータを書き込む時の各信号線のタイミングチャートである。MRAM に接続した外部回路が MRAM にデータを書き込む場合、まず、読み出し信号（ $\sim OE$ ）を 1 に固定し、アドレス線（A）に書き込みたいアドレスを指定し、データ線（D）に書き込みたいデータを指定し、書き込み信号（ $\sim W$ ）を 1 から 0 にして MRAM に書き込みを指示する。その結果、MRAM のセルアレイ 31 の中のアドレス線（A）で指定された MTJ 素子に対して、ライトドライバ 34 がデータ線（D）で指定されたデータを書き込む。ライトドライバ 34 による MTJ 素子へのデータの書き込みは、データ線で書き込むべき論理値が 0 と指定された MTJ 素子に対しては、MTJ 素子を高抵抗状態（論理値 1 に対応）から低抵抗状態（論理値 0 に対応）に反転させる方向の書き込み電流のパルスを流し、逆に、データ線で書き込むべき論理値が 1 と指定された MTJ 素子に対しては、MTJ 素子を低抵抗状態（論理値 0 に対応）から高抵抗状態（論理値 1 に対応）に反転させる方向の書き込み電流のパルスを流すことで行う。書き込み信号（

～W) を 0 から 1 に戻すことで書き込み処理を終了する。

[0047] 図 1 3 に、図 1 0 の M R A M を変形して乱数発生器を実現する実施例（第 3 の実施例）を示す。M T J 素子を M R A M に使う場合と乱数発生器に使う場合では、書き込みパルスの電流値が異なるだけであるので、図 1 0 に示したスピン注入型 M R A M と同様の回路構成で乱数発生器も実現できる。このように M R A M を変形した構成にすることにより、乱数発生器をマイクロプロセッサ等と接続しやすくなる。また、多数の M T J 素子を集積することにより、大量の乱数を発生させることが必要な用途や、高速に乱数を発生させることが必要な用途、多くの自然乱数源を組み合わせにより良い特性の乱数を発生させることが必要な用途などにも利用できる。

[0048] 図 1 3 の乱数発生器は、乱数の発生に用いる M T J 素子のアドレスを指定するアドレス線（図 1 3 では A）、乱数の値の読み出しに用いるデータ線（図 1 3 では D）、アドレス線（A）で指定した M T J 素子の状態を読み出してデータ線（D）に出力することを指示する読み出し信号（図 1 3 では～O E）、アドレス線（A）で指定した M T J 素子に新しい乱数値を生成することを指示する乱数発生信号（図 1 3 では～W）の 4 種類の信号線で外部の回路と接続される。アドレス線（A）は乱数発生器内の複数の M T J 素子を選択できるように、M T J 素子の数に合わせた複数ビットの信号線である。データ線（D）も、同時に読み出すことができる乱数値が 1 ビットの乱数発生器であれば 1 本の信号線であるが、同時に複数ビットの乱数値を読み出すことができる乱数発生器の場合には複数ビットの信号線である。データ線（D）が複数ビットの信号線である場合には、センスアンプやライトドライバも複数個用いて、複数ビットの信号を並列して扱う。

[0049] 乱数発生器内部には、セルアレイ 3 1、アドレスデコーダ 3 2、センスアンプ 4 1、ライトドライバ 4 2、トリステートバッファ 4 3、レジスタ 4 4 を備える。セルアレイ 3 1 は、乱数発生に用いる複数の M T J 素子 1 1 を、複数本のワード線と複数本のビット線の交点上に配置した、アレイ構造を持つ。アドレスデコーダ 3 2 はアドレス線（A）に接続され、セルアレイ 3

1のMTJ素子11の中からアドレス線(A)で指定されたMTJ素子が乱数値の読み出しあるいは乱数発生の対象になるように、セルアレイ31のワード線と、必要に応じてビット線を制御する。センスアンプ41は、アドレス線(A)で選択されたMTJ素子に記録されている乱数値を読み出す。トライステートバッファ43は、読み出し信号($\sim$ OE)を受信するとセンスアンプ41から送られてくる乱数値をデータ線(D)に送り出す。トライステートバッファ43は読み出し信号($\sim$ OE)を受信する、本発明の第2の受信手段と、センスアンプ41により読み出した乱数値(論理値)を出力する出力手段とを含む。レジスタ44は、乱数発生信号($\sim$ W)を受信するとセンスアンプ41から送られてくる乱数値を記憶する。ライトドライバ42は、乱数発生信号($\sim$ W)を受信すると、レジスタ44に記憶しているMTJ素子の現在の乱数値を確率的に反転させる乱数発生パルスを実アドレス線(A)で選択されたMTJ素子に流すことで、MTJ素子の状態をランダムに変化させて新しい乱数を発生させる。レジスタ44およびライトドライバ42は乱数発生信号($\sim$ W)を受信する本発明の第1の受信手段を含む。

[0050] 図14は図13の乱数発生器から乱数値を読み出す時の各信号線のタイミングチャートである。乱数発生器に接続した外部回路(例えばマイクロプロセッサなど)が乱数発生器からデータを読み出す場合は、まず、乱数発生信号($\sim$ W)を1に固定し、アドレス線(A)に読み出したいMTJ素子のアドレスを指定し、読み出し信号($\sim$ OE)を1から0にして乱数発生器に読み出しを指示する。その結果、乱数発生器のセルアレイ31の中のアドレス線(A)で指定されたMTJ素子に対してアドレスデコーダ32が読み出し電流を流してセンスアンプ31で0/1の論理信号に変換し、読み出し信号($\sim$ OE)で信号が伝搬するように設定されたトライステートバッファ43を介して、データ線(D)に読み出したデータを出力する。その後、読み出し信号($\sim$ OE)が0から1に戻ると、トライステートバッファ43による信号の伝搬が止まって出力がハイインピーダンス状態になるため、データ線(D)へのデータ出力も止まる。この読み出し手順はMRAMのデータの読

み出しと同様である。

[0051] 図 1 5 は図 1 3 の乱数発生器に新しい乱数を発生させる時の各信号線のタイミングチャートである。乱数発生器に接続した外部回路が乱数発生器に乱数発生を指示する場合、まず、読み出し信号（ $\sim OE$ ）を 1 に固定し、アドレス線（A）に乱数を発生させたい M T J 素子のアドレスを指定し、乱数発生信号（ $\sim W$ ）を 1 から 0 にして乱数発生器に乱数発生を指示する。その結果、まず、乱数発生器のセルアレイ 3 1 の中のアドレス線（A）で指定された M T J 素子に対してアドレスデコーダ 3 2 が読み出し電流を流してセンスアンプ 4 1 で 0 / 1 の論理値の信号に変換し、その値をレジスタ 4 4 に記憶する。次に、乱数発生器のセルアレイ 3 1 の中のアドレス線（A）で指定された M T J 素子に対して、ライトドライバ 4 2 がレジスタの値に基づいて乱数を発生させる。ライトドライバ 4 2 による M T J 素子への乱数発生は、レジスタ 4 4 に記憶している現在の乱数値が 0 である M T J 素子に対しては、M T J 素子を低抵抗状態（論理値 0 に対応）から高抵抗状態（論理値 1 に対応）に確率的に反転させる方向の乱数発生電流のパルスを流し、逆に、レジスタ 4 4 に記憶している現在の乱数値が 1 である M T J 素子に対しては、M T J 素子を高抵抗状態（論理値 1 に対応）から低抵抗状態（論理値 0 に対応）に反転させる方向の乱数発生電流のパルスを流すことで行う。乱数発生信号（ $\sim W$ ）を 0 から 1 に戻すことで乱数発生処理を終了する。

[0052] 図 1 6 にさらに別の乱数発生器の実施例（第 4 の実施例）を示す。

図 1 6 の乱数発生器は、乱数の発生に用いる M T J 素子のアドレスを指定するアドレス線（図 1 6 では A）、乱数の値の読み出しに用いるデータ線（図 1 6 では D）、アドレス線（A）で指定した M T J 素子の状態を読み出してデータ線（D）に出力することを指示する読み出し信号（図 1 6 では $\sim OE$ ）、アドレス線（A）で指定した M T J 素子に新しい乱数値を生成することを指示する乱数発生信号（図 1 6 では $\sim W$ ）の 4 種類の信号線で外部の回路と接続される。アドレス線（A）は乱数発生器内の複数の M T J 素子を選択できるように、M T J 素子の数に合わせた複数ビットの信号線である。デ

ータ線（D）も、同時に読み出すことができる乱数値が1ビットの乱数発生器であれば1本の信号線であるが、同時に複数ビットの乱数値を読み出すことができる乱数発生器の場合には複数ビットの信号線である。データ線（D）が複数ビットの信号線である場合には、センスアンプやライトドライバも複数個用いて、複数ビットの信号を並列して扱う。

[0053] 乱数発生器内部には、セルアレイ31、アドレスデコーダ32、センスアンプ51、ライトドライバ52、トライステートバッファ53、レジスタ54が備えられる。セルアレイ31は、乱数発生に用いる複数のMTJ素子11を、複数本のワード線と複数本のビット線の交点上に配置した、アレイ構造を持つ。アドレスデコーダ32はアドレス線（A）に接続され、セルアレイのMTJ素子の中からアドレス線（A）で指定されたMTJ素子が乱数値の読み出しあるいは乱数発生の対象になるように、セルアレイ31のワード線と、必要に応じてビット線を制御する。センスアンプ51は、アドレス線（A）で選択されたMTJ素子に記録されている乱数値を読み出す。トライステートバッファ53は、読み出し信号（ $\sim OE$ ）を受信するとセンスアンプ51から送られてくる乱数値をデータ線（D）に送り出す。レジスタ54は、読み出し信号（ $\sim OE$ ）を受信するとセンスアンプ51から送られてくる乱数値を記憶する。レジスタ54およびトライステートバッファ53は読み出し信号（ $\sim OE$ ）を受信する、本発明の第2の受信手段を含み、トライステートバッファ53は、センスアンプ51により読み出した乱数値（論理値）を出力する出力手段を含む。ライトドライバ52は、乱数発生信号（ $\sim W$ ）を受信すると、レジスタ54に記憶しているMTJ素子の現在の乱数値を確率的に反転させる乱数発生パルスを実アドレス線（A）で選択されたMTJ素子に流すことで、MTJ素子の状態をランダムに変化させて新しい乱数を発生させる。ライトドライバ52は乱数発生信号（ $\sim W$ ）を受信する本発明の第1の受信手段を含む。

[0054] 図16の乱数発生器で新しい乱数を発生させる時は、図13の乱数発生器と異なり、乱数発生に先立って現在の乱数値の読み出しを行う。すなわち、

図 1 3 の乱数発生器では乱数発生の指示を乱数発生信号によって受信すると、指定された M T J 素子の現在の値をレジスタに読み出してから、M T J 素子に対する新しい乱数の発生を行う。それに対して図 1 6 の乱数発生器では、乱数値の読み出し時にレジスタに値が記憶されるため、新しい乱数を発生させるには、まず乱数を発生したい M T J のアドレスを指定して値の読み出しをした後、同じ M T J のアドレスを指定して乱数発生を指示する。たとえば図 1 9 のように、乱数発生器 6 1（ここでは図 1 6 の乱数発生器であるとする）がバス 6 2 を介してマイクロプロセッサ 6 3 およびメモリ 6 4 につながっている場合、乱数発生器 6 1 に新しい乱数を発生させたいマイクロプロセッサ 6 3 は、図 2 0 に示す手順で乱数生成を指示する。すなわち、まずアドレスを指定して乱数発生器 6 1 に読み出しを指示し（S 5 1）、続いて同じアドレスを指定して乱数発生器 6 1 に乱数生成を指示する（S 5 2）。

[0055] 図 1 7 は図 1 6 の乱数発生器から乱数値を読み出す時の各信号線のタイミングチャートである。乱数発生器に接続した外部回路（例えばマイクロプロセッサなど）が乱数発生器からデータを読み出す場合は、まず、乱数発生信号（ $\sim W$ ）を 1 に固定し、アドレス線（A）に読み出したい M T J 素子のアドレスを指定し、読み出し信号（ $\sim O E$ ）を 1 から 0 にして乱数発生器に読み出しを指示する。その結果、乱数発生器のセルアレイ 3 1 の中のアドレス線（A）で指定された M T J 素子に対してアドレスデコーダ 3 2 が読み出し電流を流してセンスアンプ 5 1 で 0 / 1 の論理信号に変換し、読み出し信号（ $\sim O E$ ）で信号が伝搬するように設定されたトライステートバッファ 5 3 を介してデータ線（D）に読み出したデータを出力するとともに、その値をレジスタ 5 4 に記憶する。その後、読み出し信号（ $\sim O E$ ）が 0 から 1 に戻ると、トライステートバッファ 5 3 による信号の伝搬が止まって出力がハイインピーダンス状態になるため、データ線（D）へのデータ出力も止まる。

[0056] 図 1 8 は図 1 6 の乱数発生器に新しい乱数を発生させる時の各信号線のタイミングチャートである。ここで、図 1 8 の動作の直前に、図 1 7 の動作によって、乱数を発生させたい M T J 素子のアドレスを指定した読み出しがあ

らかじめ実行されているものとする。乱数発生器に接続したマイクロプロセッサなどの外部回路が乱数発生器に乱数発生を指示する場合、まず、読み出し信号（ $\sim OE$ ）を 1 に固定し、アドレス線（A）に乱数を発生させたい M T J 素子のアドレスを指定し、乱数発生信号（ $\sim W$ ）を 1 から 0 にして乱数発生器に乱数発生を指示する。その結果、乱数発生器のセルアレイ 3 1 の中のアドレス線（A）で指定された M T J 素子に対して、ライトドライバ 5 2 がレジスタ 5 4 の値に基づいて乱数を発生させる。ライトドライバ 5 2 による M T J 素子への乱数発生は、レジスタ 5 4 に記憶している現在の乱数値が 0 である M T J 素子に対しては、M T J 素子を低抵抗状態（論理値 0 に対応）から高抵抗状態（論理値 1 に対応）に確率的に反転させる方向の乱数発生電流のパルスを通し、逆に、レジスタ 5 4 に記憶している現在の乱数値が 1 である M T J 素子に対しては、M T J 素子を高抵抗状態（論理値 1 に対応）から低抵抗状態（論理値 0 に対応）に反転させる方向の乱数発生電流のパルスを通すことを行う。乱数発生信号（ $\sim W$ ）を 0 から 1 に戻すことで乱数発生処理を終了する。

[0057] 図 1 6 の乱数発生器は、図 1 3 の乱数発生器の乱数発生手順から、読み出し処理で代用できる手順を省き、読み出し手順と乱数発生手順を組み合わせることで新しい乱数の発生を実現している。この方式は、乱数発生手順の中で読み出しを行う必要がないため、乱数発生処理の時間が短縮できる。また、M R A M の書き込みと同等の回路で実現できるので回路構成が簡単になる。

[0058] 図 2 1 には、さらに別の乱数発生器の実施例（第 5 の実施例）を示す。

図 2 1 の乱数発生器は、乱数の発生に用いる M T J 素子のアドレスを指定するアドレス線（図 2 1 では A）、読み出した乱数値および乱数発生に必要なデータの転送に用いるデータ線（図 2 1 では D）、アドレス線（A）で指定した M T J 素子の状態を読み出してデータ線（D）に出力することを指示する読み出し信号（図 2 1 では $\sim OE$ ）、アドレス線（A）で指定した M T J 素子にデータ線（D）に指定したデータ（乱数発生方法を示すデータ）に

基づいて新しい乱数値を生成することを指示する乱数発生信号（図 2 1 では $\sim W$ ）の 4 種類の信号線で外部の回路と接続される。アドレス線（A）は乱数発生器内の複数の M T J 素子が選択できるように、M T J 素子の数に合わせた複数ビットの信号線である。データ線（D）も、同時に読み出しあるいは発生することができる乱数値が 1 ビットの乱数発生器であれば 1 本の信号線であるが、同時に複数ビットの乱数値を読み出しあるいは発生させることができる乱数発生器の場合には複数ビットの信号線である。データ線（D）が複数ビットの信号線である場合には、センスアンプやライトドライバも複数個用いて、複数ビットの信号を並列して扱う。

[0059] 乱数発生器内部には、セルアレイ 3 1、アドレスデコーダ 3 2、センスアンプ 7 1、ライトドライバ 7 2、トライステートバッファ 7 3 を備える。セルアレイ 3 1 は、乱数発生に用いる複数の M T J 素子 1 1 を、複数本のワード線と複数本のビット線の交点上に配置した、アレイ構造を持つ。アドレスデコーダ 3 2 はアドレス線（A）に接続され、セルアレイの M T J 素子の中からアドレス線（A）で指定された M T J 素子が乱数値の読み出しあるいは乱数発生の対象になるように、セルアレイ 3 1 のワード線と、必要に応じてビット線を制御する。センスアンプ 7 1 は、アドレス線（A）で選択された M T J 素子に記録されている乱数値を読み出す。トライステートバッファ 7 3 は、読み出し信号（ $\sim O E$ ）を受信するとセンスアンプ 7 1 から送られてくる乱数値をデータ線（D）に送り出す。ライトドライバ 7 2 は、乱数発生信号（ $\sim W$ ）を受信すると、データ線（D）に指定された乱数発生方法を示すデータに基づいて、アドレス線（A）で選択された M T J 素子に対して、その状態を確率的に反転させる乱数発生パルスを流すことで、M T J 素子の状態をランダムに変化させて新しい乱数を発生させる。ライトドライバ 7 2 は乱数発生信号を受信する本発明の第 1 の受信手段と、乱数発生方法データを受信する本発明の第 5 の受信手段を含む。トライステートバッファ 7 3 は読み出し信号を受信する本発明の第 2 の受信手段を含む。

[0060] 図 2 1 の乱数発生器は、図 1 9 のように、マイクロプロセッサ 6 3 等の外

部回路と組み合わせて利用する。図 2 1 の乱数発生器を使って新しい乱数を発生させたいマイクロプロセッサ 6 3 等の外部回路は、図 2 4 に示す手順で乱数発生器に乱数生成を指示する。すなわち、まず、アドレスを指定して乱数発生器に読み出しを指示して乱数値 R を取得し (S 6 1)、次に、取得した乱数値 R の各ビットの否定をとることで乱数発生方法を示すデータ ~ R を作成し (S 6 2)、最後に、続いて同じアドレスを指定するとともに乱数発生方法を示すデータ ~ R を指定して乱数発生器に乱数生成を指示する (S 6 3)。つまり、図 1 6 の乱数発生器の持っていたレジスタを省略し、代わりに、読み出した乱数値をマイクロプロセッサ 6 3 等の外部回路側で記憶しておき、その記憶した値を、乱数発生を指示するときに乱数発生器に渡すようになっている。プロセッサ 6 3 による図 2 1 の乱数発生器からの乱数値の読み出しの指示は、プロセッサ 6 3 がバス 6 2 によって接続された乱数発生器からデータを読み出すことによって実現され、プロセッサ 6 3 による図 2 1 の乱数発生器への乱数発生の指示は、プロセッサ 6 3 がバス 6 2 によって接続された乱数発生器に対して乱数発生方法を示すデータを書き込むことによって実現されるようになっている。

[0061] なお、図 2 4 の手順では、乱数発生器から読み出した現在の乱数値の否定をとることにより乱数発生方法データを生成し、それを乱数発生時にデータ線 (D) に指定している。これは、乱数発生器に乱数発生を指示するときに、乱数発生方法データとして論理値 0 がデータ線 (D) に指定された場合には高抵抗状態 (論理値 1) から低抵抗状態 (論理値 0) に確率的に状態が反転する乱数発生電流のパルスを通し、乱数発生方法データとして論理値 1 がデータ線 (D) に指定された場合には低抵抗状態 (論理値 0) から高抵抗状態 (論理値 1) に確率的に状態が反転する乱数発生電流のパルスを通すように実施されているためである。データ線 (D) に指定されるデータの解釈を逆にし、乱数発生方法データとして論理値 1 がデータ線 (D) に指定された場合には高抵抗状態 (論理値 1) から低抵抗状態 (論理値 0) に確率的に状態が反転する乱数発生電流のパルスを通し、乱数発生方法データとして論理

値 0 がデータ線 (D) に指定された場合には低抵抗状態 (論理値 0) から高抵抗状態 (論理値 1) に確率的に状態が反転する乱数発生電流のパルスを流すように実施すれば、図 2 4 において読み出したデータの値の否定をとるステップ S 6 2 は不要になるため、読み出した乱数値 R をそのまま乱数発生方法データとして指定すればよい。

[0062] 図 2 2 は図 2 1 の乱数発生器から乱数値を読み出す時の各信号線のタイミングチャートである。乱数発生器に接続した外部回路 (例えばマイクロプロセッサなど) が乱数発生器からデータを読み出す場合は、まず、乱数発生信号 ($\sim W$) を 1 に固定し、アドレス線 (A) に読み出したい MTJ 素子のアドレスを指定し、読み出し信号 ($\sim OE$) を 1 から 0 にして乱数発生器に読み出しを指示する。その結果、乱数発生器のセルアレイ 3 1 の中のアドレス線 (A) で指定された MTJ 素子に対して読み出し電流を流してセンスアンプ 7 1 で 0 / 1 の論理信号に変換し、読み出し信号 ($\sim OE$) で信号が伝搬するように設定されたトリステートバッファ 7 3 を介してデータ線 (D) に読み出したデータを出力する。その後、読み出し信号 ($\sim OE$) が 0 から 1 に戻ると、トリステートバッファ 7 3 による信号の伝搬が止まって出力がハイインピーダンス状態になるため、データ線 (D) へのデータ出力も止まる。

[0063] 図 2 3 は図 2 1 の乱数発生器に新しい乱数を発生させる時の各信号線のタイミングチャートである。ここで、図 2 3 の動作の直前に、図 2 1 の動作によって、乱数を発生させたい MTJ 素子のアドレスを指定した読み出しがあらかじめ実行されているものとする。乱数発生器に接続したマイクロプロセッサなどの外部回路が乱数発生器に乱数発生を指示する場合、まず、読み出し信号 ($\sim OE$) を 1 に固定し、アドレス線 (A) に乱数を発生させたい MTJ 素子のアドレスを指定し、先に読み出しておいた現在の乱数値の各ビットの否定をとった値である乱数発生方法データをデータ線 (D) に指定し、乱数発生信号 ($\sim W$) を 1 から 0 にすることにより乱数発生を指示する。その結果、ライトドライバ 7 2 は、乱数発生器のセルアレイ 3 1 の中のアドレ

ス線（A）で指定されたMTJ素子に対して、データ線（D）に指定された値に基づいて乱数を発生させる。ライトドライバ72によるMTJ素子への乱数発生は、データ線（D）に指定された値が0であるMTJ素子に対しては、MTJ素子を高抵抗状態（論理値1に対応）から低抵抗状態（論理値0に対応）に確率的に反転させる方向の乱数発生電流のパルスを通し、逆に、データ線（D）に指定された値が1であるMTJ素子に対しては、MTJ素子を低抵抗状態（論理値0に対応）から高抵抗状態（論理値1に対応）に反転させる方向の乱数発生電流のパルスを通すことを行う。乱数発生信号（ $\sim W$ ）を0から1に戻すことで乱数発生処理を終了する。

[0064] 図21の乱数発生器は、図16の乱数発生器からレジスタを省略することで、回路を簡単にすることができる。この方式は、MRAMと同等の回路を用い、MRAMの書き込みパルスの電流値を、MTJ素子を確率的に反転させる乱数生成パルスの電流値に変更するだけで実現できる。

[0065] 図25は、図21の乱数発生器を変形した実施例（第6の実施例）であり、MTJ素子を通常のMRAMのメモリ素子としても乱数発生用にも利用できるようになっている。

[0066] 図21の乱数発生器の乱数発生信号（ $\sim W$ ）は、図25の乱数発生器では書き込み信号（ $\sim W$ ）になっている。図25の乱数発生器では、書き込み信号（ $\sim W$ ）は、メモリとしての書き込みの指示と乱数発生の指示の両方を兼ねる。図25の乱数発生器は、図21の乱数発生器に対して、乱数モード信号（ $\sim RN$ ）が加わっている。乱数モード信号（ $\sim RN$ ）はライトドライバ82につながっている。ライトドライバ82は書き込み信号（ $\sim W$ ）が1から0に変化した時に、乱数モード信号（ $\sim RN$ ）が1であれば通常のメモリへの書き込み処理を行う。つまり、ライトドライバ82は、データ線（D）に指定されたデータ（書き込みデータ）に基づいて、アドレス線（A）で選択されたMTJ素子に対して書き込みパルスを通すことで、MTJ素子の状態を変化させて指定されたデータを記憶する。すなわち指定されたデータが0のときはMTJ素子を高抵抗状態（論理値1に対応）から低抵抗状態（論

理値 0 に対応) に反転させる方向の書き込みパルス (第 3 の電流) を流し、逆に、指定されたデータが 1 のときは M T J 素子を低抵抗状態 (論理値 0 に対応) から高抵抗状態 (論理値 1 に対応) に確実に反転させる方向の書き込みパルス (第 4 の電流) を流す。一方、ライトドライバ 8 2 は書き込み信号 ($\sim W$) が 1 から 0 に変化した時に、乱数モード信号 ($\sim R N$) が 0 であれば乱数発生処理を行う。つまり、ライトドライバ 8 2 は、データ線 (D) に指定されたデータ (乱数発生方法データ) に基づいて、アドレス線 (A) で選択された M T J 素子に対して、その状態を確率的に反転させる乱数発生パルスを流すことで、M T J 素子の状態をランダムに変化させて新しい乱数を発生させる。ライトドライバ 8 2 は書き込みデータを受信する本発明の第 4 の受信手段を含む。

[0067] 図 2 5 の乱数発生器は、図 1 9 のように、マイクロプロセッサ 6 3 等の外部回路と組み合わせて利用する。図 2 5 の乱数発生器を使って新しい乱数を発生させたいマイクロプロセッサ 6 3 等の外部回路は、図 2 4 に示す手順で乱数発生を指示する。すなわち、まずアドレスを指定して乱数発生器に読み出しを指示し (S 6 1)、読み出した乱数値の各ビットの否定をとった値であるデータを取得し (S 6 2)、同じアドレスを指定するとともに乱数発生器に乱数生成指示と当該データとを送る (S 6 3)。

[0068] 図 2 6 は図 2 5 の乱数発生器から乱数値あるいはメモリとして記憶させた値を読み出す時の各信号線のタイミングチャートである。乱数発生器に接続した外部回路 (例えばマイクロプロセッサなど) が乱数発生器からデータを読み出す場合は、まず、書き込み信号 ($\sim W$) を 1 に固定し、アドレス線 (A) に読み出したい M T J 素子のアドレスを指定し、読み出し信号 ($\sim O E$) を 1 から 0 にして乱数発生器に読み出しを指示する。その結果、乱数発生器のセルアレイ 3 1 の中のアドレス線 (A) で指定された M T J 素子に対して読み出し電流を流してセンスアンプ 8 1 で 0 / 1 の論理信号に変換し、読み出し信号 ($\sim O E$) で信号が伝搬するように設定されたトリステートバッファ 8 3 を介してデータ線 (D) に読み出したデータを出力する。その後

、読み出し信号（ $\sim OE$ ）が0から1に戻ると、トライステートバッファ83による信号の伝搬が止まって出力がハイインピーダンス状態になるため、データ線（D）へのデータ出力も止まる。

[0069] 図27は図25の乱数発生器をMRAMとして用いてデータの書き込む時の各信号線のタイミングチャートである。乱数発生器に接続したマイクロプロセッサなどの外部回路がデータの書き込みを指示する場合、まず、読み出し信号（ $\sim OE$ ）を1に固定し、乱数モード信号（ $\sim RN$ ）を1に固定し、アドレス線（A）にデータを書き込みたいMTJ素子のアドレスを指定し、データ線（D）に書き込みたいデータの値を指定し、書き込み信号（ $\sim W$ ）を1から0にして乱数発生器に書き込みを指示する。その結果、乱数発生器のセルアレイ31の中のアドレス線（A）で指定されたMTJ素子に対して、データ線（D）に指定された値を記憶させる。ライトドライバ82によるMTJ素子へのデータの書き込みは、データ線（D）に指定された値が0であるMTJ素子に対しては、MTJ素子を高抵抗状態（論理値1に対応）から低抵抗状態（論理値0に対応）に確実に反転させる方向の書き込み電流のパルスを通し、逆に、データ線（D）に指定された値が1であるMTJ素子に対しては、MTJ素子を低抵抗状態（論理値0に対応）から高抵抗状態（論理値1に対応）に確実に反転させる方向の書き込み電流のパルスを通すことを行う。書き込み信号（ $\sim W$ ）を0から1に戻すことで書き込み処理を終了する。

[0070] 図28は図25の乱数発生器に新しい乱数を発生させる時の各信号線のタイミングチャートである。ここで、図28の動作の前に、図26の動作によって、乱数を発生させたいMTJ素子のアドレスを指定して現在の値があらかじめ読み出されているものとする。乱数発生器に接続したマイクロプロセッサなどの外部回路が乱数発生器に乱数発生を指示する場合、まず、読み出し信号（ $\sim OE$ ）を1に固定し、アドレス線（A）に乱数を発生させたいMTJ素子のアドレスを指定し、先に読み出しておいた現在の乱数値の各ビットの否定をとった値である乱数発生方法データをデータ線（D）に指定し、

乱数モード信号（ $\sim RN$ ）を1から0にした後、書き込み信号（ $\sim W$ ）を1から0にすることにより乱数発生器に乱数発生を指示する。その結果、ライトドライバ82は、乱数発生器のセルアレイ31の中のアドレス線（A）で指定されたMTJ素子に対して、データ線（D）に指定された値に基づいて乱数を発生させる。ライトドライバ82によるMTJ素子への乱数発生は、データ線（D）に指定された値が0であるMTJ素子に対しては、MTJ素子を高抵抗状態（論理値1に対応）から低抵抗状態（論理値0に対応）に確率的に反転させる方向の乱数発生電流のパルスを通し、逆に、データ線（D）に指定された値が1であるMTJ素子に対しては、MTJ素子を低抵抗状態（論理値0に対応）から高抵抗状態（論理値1に対応）に反転させる方向の乱数発生電流のパルスを通すことで行う。書き込み信号（ $\sim W$ ）と乱数モード信号（ $\sim RN$ ）を0から1に戻すことで書き込み処理を終了する。

[0071] 図25の乱数発生器は、MRAMと同等の回路を用い、乱数モード信号（ $\sim RN$ ）の値に応じて、MRAMの書き込みパルスの電流値と、MTJ素子を確率的に反転させる乱数生成パルスの電流値とを切り替えるように変更するだけで実現できる。

[0072] 図25の乱数発生器を図19のようにマイクロプロセッサ63に接続する場合、通常のプロセッサのバスにはデータの読み出しと書き込みの信号線はあるが、乱数モード信号を接続するために適切な信号線がない場合がある。そのような場合には、乱数発生器をプロセッサのメモリ空間の2つの領域にマッピングし、一方の領域への書き込みの場合はMRAMとしての通常書き込みを行い、もう一方の領域への書き込みの場合は乱数発生を行うようにすればよい。つまり、乱数モード信号（ $\sim RN$ ）を、乱数発生器内のMTJ素子を指定するアドレス線（A）のさらに上位のアドレス線と考えればよい。

[0073] なお、図25の乱数発生器を用いれば、まず低抵抗状態（論理値0）にリセットしたMTJ素子に対して、低抵抗状態（論理値0）から高抵抗状態（論理値1）へ確率的に状態を反転させる乱数発生電流のパルスを通して乱数

を発生させる、従来の乱数発生方法も実現することができる。この場合、乱数発生器に接続したマイクロプロセッサ等の外部回路は、乱数発生器に対して、乱数発生に使いたいMTJ素子のアドレスを指定して、まず全ビットに論理値0のデータを通常のMRAMの書き込み方法で書き込む。次に、同じアドレスに対して、全ビット論理値1のデータである乱数発生方法データを指定し、乱数発生を指示することで、乱数を発生させることができる。

[0074] 図25の乱数発生器と同様に、図13や図16の乱数発生器も、MTJ素子を通常のMRAMのメモリ素子としても乱数発生用にも利用できるように変形して実施できる。

[0075] 図29は、図13の乱数発生器を、MRAMとしても利用できるように変形した実施例（第7の実施例）である。図25の乱数発生器と同様に、図13の乱数発生器における乱数発生信号（ $\sim W$ ）は、図29の乱数発生器では書き込み信号（ $\sim W$ ）になり、メモリとしての書き込みの指示と乱数発生の指示の両方の役割を兼ねる。図29の乱数発生器は、図13の乱数発生器の回路構成に加えて、乱数モード信号（ $\sim RN$ ）とセクタ95が加わっている。乱数モード信号（ $\sim RN$ ）はセクタ95に接続されている。セクタ95は、乱数モード信号（ $\sim RN$ ）が0の時はレジスタ94の出力を、乱数モード信号（ $\sim RN$ ）が1の時はデータ線（D）のデータを、ライトドライバ92に伝送する。乱数モード信号（ $\sim RN$ ）はライトドライバ92にも接続されている。ライトドライバ92は書き込み信号（ $\sim W$ ）が1から0に変化した時に、乱数モード信号（ $\sim RN$ ）が1であれば通常のメモリへの書き込み処理を行う。つまり、ライトドライバ92は、セクタ95から送られてくるデータ線（D）に指定されたデータに基づいて、アドレス線（A）で選択されたMTJ素子に対して、書き込みパルスを流すことで、MTJ素子の状態を変化させてデータ線（D）に指定されたデータを記憶する。すなわち指定されたデータが0のときはMTJ素子を高抵抗状態（論理値1に対応）から低抵抗状態（論理値0に対応）に確実に反転させる書き込みパルス（第3の電流）を流し、逆に、指定されたデータが1のときはMTJ素子を低

抵抗状態（論理値 0 に対応）から高抵抗状態（論理値 1 に対応）に確実に反転させる書き込みパルス（第 4 の電流）を流す。一方、ライトドライバ 92 は書き込み信号（ $\sim W$ ）が 1 から 0 に変化した時に、乱数モード信号（ $\sim RN$ ）が 0 であれば乱数発生処理を行う。つまり、ライトドライバ 92 は、セクタ 95 から送られてくるレジスタ 94 の出力（現在の MTJ 素子の記憶データの否定をとったものになっている）に基づいて、アドレス線（A）で選択された MTJ 素子に対して、その状態を確率的に反転させる乱数発生パルスを流すことで、MTJ 素子の状態をランダムに変化させて新しい乱数を発生させる。なお図 29 のトリステートバッファ 93 は図 13 のトリステートバッファ 43 と同一の機能を有する。

[0076] 乱数モード信号（ $\sim RN$ ）が 0 であり書き込み信号（ $\sim W$ ）が 0 である状態は、本発明の乱数発生信号が受信された状態に相当する。また乱数モード信号（ $\sim RN$ ）が 1 であり書き込み信号（ $\sim W$ ）が 0 である状態は、本発明の書き込み信号が受信された状態に相当する。ライトドライバ 92 は乱数発生信号（ここでは乱数モード信号（ $\sim RN$ ）が 0 であり書き込み信号（ $\sim W$ ）が 0 である状態を示す）を受信する第 1 の受信手段、書き込み信号（ここでは乱数モード信号（ $\sim RN$ ）が 1 であり書き込み信号（ $\sim W$ ）が 0 である状態を示す）を受信する本発明の第 3 の受信手段を含む。セクタ 95 は書き込みデータ（データ線（D）のデータ）を受信する本発明の第 4 の受信手段を含む。

[0077] 図 29 ではレジスタ 94 は書き込み信号（ $\sim W$ ）が 1 から 0 に変化した時点でセンスアンプ 91 から送られてくる読み出しデータを記憶するようになっているが、この記憶したデータが必要なのは乱数発生の時だけである。それゆえ、乱数モード信号（ $\sim RN$ ）が 0 の時に書き込み信号（ $\sim W$ ）が 1 から 0 に変化した時点でセンスアンプ 91 から送られてくる読み出しデータを記憶するように実施しても良い。

[0078] 図 30 は、図 16 の乱数発生器を、MRAM としても利用できるように変形した実施例（第 8 の実施例）である。図 25 の乱数発生器と同様に、図 1

6の乱数発生器における乱数発生信号（ $\sim W$ ）は、図30の乱数発生器では書き込み信号（ $\sim W$ ）になり、メモリとしての書き込みの指示と乱数発生の指示の両方の役割を兼ねる。図30の乱数発生器は、図16の乱数発生器の回路構成に加えて、乱数モード信号（ $\sim RN$ ）とセクタ105が加わっている。乱数モード信号（ $\sim RN$ ）はセクタ105に接続されている。セクタ105は、乱数モード信号（ $\sim RN$ ）が0の時はレジスタ104の出力を、乱数モード信号（ $\sim RN$ ）が1の時はデータ線（D）のデータを、ライトドライバに102伝送する。乱数モード信号（ $\sim RN$ ）はライトドライバ102にも接続されている。ライトドライバ102は書き込み信号（ $\sim W$ ）が1から0に変化した時に、乱数モード信号（ $\sim RN$ ）が1であれば通常のメモリへの書き込み処理を行う。つまり、ライトドライバ102は、セクタ105から送られてくるデータ線（D）に指定されたデータに基づいて、アドレス線（A）で選択されたMTJ素子に対して、書き込みパルスを送ることによって、MTJ素子の状態を変化させてデータ線（D）に指定されたデータを記憶する。すなわち指定されたデータが0のときはMTJ素子を高抵抗状態（論理値1に対応）から低抵抗状態（論理値0に対応）に確実に反転させる書き込みパルス（第3の電流）を流し、逆に、指定されたデータが1のときはMTJ素子を低抵抗状態（論理値0に対応）から高抵抗状態（論理値1に対応）に確実に反転させる書き込みパルス（第4の電流）を流す。一方、ライトドライバ102は書き込み信号（ $\sim W$ ）が1から0に変化した時に、乱数モード信号（ $\sim RN$ ）が0であれば乱数発生処理を行う。つまり、ライトドライバ102は、セクタ105から送られてくるレジスタ104の出力（現在のMTJ素子の記憶データの否定をとったものになっている）に基づいて、アドレス線（A）で選択されたMTJ素子に対して、その状態を確率的に反転させる乱数発生パルスを送ることによって、MTJ素子の状態をランダムに変化させて新しい乱数を発生させる。なおセンスアンプ101、トライステートバッファ103は図16のセンスアンプ51、トライステートバッファ53と同一の機能を有する。

- [0079] 乱数モード信号（ $\sim RN$ ）が0であり書き込み信号（ $\sim W$ ）が0である状態は、本発明の乱数発生信号と書き込み信号との両方が受信された状態に相当する。また乱数モード信号（ $\sim RN$ ）が1であり書き込み信号（ $\sim W$ ）が0である状態は、本発明の書き込み信号が受信され乱数発生信号が受信されなかった状態に相当する。ライトドライバ102は乱数発生信号（ここでは乱数モード信号（ $\sim RN$ ）が0であり書き込み信号（ $\sim W$ ）が0である状態を示す）を受信する第1の受信手段、書き込み信号（ここでは乱数モード信号（ $\sim RN$ ）が1であり書き込み信号（ $\sim W$ ）が0である状態を示す）を受信する本発明の第3の受信手段を含む。セクタ105は書き込みデータ（データ線（D）のデータ）を受信する本発明の第4の受信手段を含む。
- [0080] これまでに説明した実施例では、乱数の発生と、乱数の読み出しを、別のタイミングで行うように実施しているが、乱数の発生と読み出しを同時に行うように実施することもできる。図31に、図13の乱数発生器を変形して、乱数の発生と読み出しを同時に行う乱数発生器の構成（第9の実施例）を示す。
- [0081] 図31の乱数発生器は、乱数の発生に用いるMTJ素子のアドレスを指定するアドレス線（図31ではA）、乱数の値の読み出しに用いるデータ線（図31ではD）、アドレス線（A）で指定したMTJ素子の状態を読み出してデータ線（D）に出力することとアドレス線（A）で指定したMTJ素子に新しい乱数値を生成することとを同時に指示する乱数発生信号（図31では $\sim W$ ）の線との3種類の信号線で外部回路と接続される。アドレス線（A）は乱数発生器内の複数のMTJ素子が選択できるように、MTJ素子の数に合わせた複数ビットの信号線である。データ線（D）も、同時に読み出すことができる乱数値が1ビットの乱数発生器であれば1本の信号線であるが、同時に複数ビットの乱数値を読み出すことができる乱数発生器の場合には複数ビットの信号線である。データ線（D）が複数ビットの信号線である場合には、センスアンプやライトドライバも複数個用いて、複数ビットの信号を並列して扱う。

[0082] 乱数発生器内部には、セルアレイ 3 1、アドレスデコーダ 3 2、センスアンプ 1 1 1、ライトドライバ 1 1 2、レジスタ 1 1 3 が備えられる。セルアレイ 3 1 は、乱数発生に用いる複数の M T J 素子を、複数本のワード線と複数本のビット線の交点上に配置した、アレイ構造を持つ。アドレスデコーダ 3 2 はアドレス線 (A) に接続され、セルアレイ 3 1 の M T J 素子の中からアドレス線 (A) で指定された M T J 素子が乱数値の読み出しあるいは乱数発生の対象になるように、セルアレイ 3 1 のワード線と、必要に応じてビット線を制御する。センスアンプ 1 1 1 は、アドレス線 (A) で選択された M T J 素子に記録されている乱数値を読み出す。レジスタ 1 1 3 は、乱数発生信号 ($\sim W$) を受信するとセンスアンプ 1 1 1 から送られてくる乱数値を記憶する。レジスタ 1 1 3 の出力はデータ線 (D) とライトドライバ 1 1 2 に接続されている。ライトドライバ 1 1 2 は、乱数発生信号 ($\sim W$) を受信すると、レジスタ 1 1 3 から送られてくる値に基づいて、M T J 素子に記憶している現在の乱数値を確率的に反転させる乱数発生パルスを実アドレス線 (A) で選択された M T J 素子に流すことで、M T J 素子の状態をランダムに変化させて新しい乱数を発生させる。ライトドライバ 1 1 2 およびレジスタ 1 1 3 は乱数発生信号を受信する本発明の第 1 の受信手段を含む。

[0083] 図 3 2 は図 3 1 の乱数発生器に乱数の発生と読み出しを指示する時の各信号線のタイミングチャートである。乱数発生器に接続した外部回路（例えばマイクロプロセッサなど）が乱数発生器に乱数の発生と読み出しを指示する場合は、アドレス線 (A) に乱数の発生と読み出しを行いたい M T J 素子のアドレスを指定し、乱数発生信号 ($\sim W$) を 1 から 0 にして乱数発生器に乱数発生と読み出しを指示する。その結果、乱数発生器のセルアレイ 3 1 の中のアドレス線 (A) で指定された M T J 素子に対して読み出し電流を流してセンスアンプ 1 1 1 で 0 / 1 の論理信号に変換し、その値をレジスタ 1 1 3 に記憶する。レジスタ 1 1 3 に記憶した現在の M T J 素子の値は、発生した乱数としてデータ線 (D) に出力するとともに、ライトドライバ 1 1 2 に送られる。次に、乱数発生器のセルアレイ 3 1 の中のアドレス線 (A) で指定

されたMTJ素子に対して、ライトドライバ112が、レジスタ113から送られてきたMTJ素子の現在の状態を示すデータに基づいて乱数を発生させる。ライトドライバ112によるMTJ素子への乱数発生は、レジスタ113から送られてくる現在の乱数値が0であるMTJ素子に対しては、MTJ素子を低抵抗状態（論理値0に対応）から高抵抗状態（論理値1に対応）に確率的に反転させる方向の乱数発生電流のパルスを通し、逆に、レジスタ113から送られてくる現在の乱数値が1であるMTJ素子に対しては、MTJ素子を高抵抗状態（論理値1に対応）から低抵抗状態（論理値0に対応）に反転させる方向の乱数発生電流のパルスを通すことを行う。乱数発生信号（ $\sim W$ ）を0から1に戻すことで乱数発生処理を終了する。図31の構成では、データ線（D）への乱数値の出力は、次に乱数発生信号（ $\sim W$ ）によって乱数発生と読み出しを指示するまで保持される。

[0084] 図31の乱数発生器は、乱数の発生と読み出しが指示されると、まずその時点のMTJ素子の状態を乱数値として出力し、その後、MTJ素子の状態をランダムに反転させることで、次の乱数を発生させている。そのため、乱数発生器に乱数の発生と読み出しを指示した時に読み出されるのは、前回の乱数の発生と読み出しの指示の時にMTJ素子に発生させておいて値である。また、乱数発生器に乱数の発生と読み出しを指示した時にMTJ素子に発生させた乱数は、次の乱数の発生と読み出しの指示の時に読みだされる値である。このように実現することで、乱数の発生と読み出しの指示が来てから新しい乱数値を出力するまでの時間を短くすることができる。このような方式の変形として、乱数の発生と読み出しの指示が来ると、まず現在のMTJ素子の状態をランダムに反転させることで新しい乱数を発生し、次にMTJ素子の状態を読み出しで乱数値として出力するように実装しても良い。

[0085] これまで説明したいずれの乱数発生器においても、通常のメモリとしてMTJ素子へのデータ書き込みの時と、MTJ素子を乱数発生に用いる時とで、書き込み電流を変えるだけでなく、書き込みパルスの幅も変えるように実施することもできる。乱数発生時には、データ書き込み時よりも短い時間の

パルスにすることで、電流の変化に対する反転確率の変化をよりなだらかにできるので、ばらつきをより小さくできる。

[0086] 図10、図13、図16、図21、図25、図29、図30、図31の各実施例において、セルアレイの中のMTJ素子の数が少なく、すべてのMTJ素子に同時に読み出しや乱数生成ができる場合、つまりMTJ素子の数とデータ線(D)のビット幅が等しい場合には、アドレスでMTJ素子を選択する必要がないため、アドレス線(A)およびアドレスデコーダを省略して実装できる。

[0087] また、これまで説明した乱数発生器では、MTJ素子の記憶層と参照層の磁化の向きが電流(電子)の流れる向きと垂直な、水平磁化方式のMTJ素子を用いた実施例を示しているが、垂直磁化方式のMTJ素子を用いてもまったく同様に実施できる。

[0088] さらに、これまで説明した乱数発生器では、記憶層と参照層がトンネルバリア層を挟んだ基本的な構造のMTJ素子を用いた実施例を示しているが、さらに多層にすることでMTJ素子の特性を向上させることができることが知られており、そのようなMTJ素子を使った乱数発生器もまったく同様に実施できる

なお、乱数を発生した後に、外乱によってMTJ素子の状態が変化してしまうことを防止するために、乱数を発生した時点で誤り訂正符号化してパリティビットを同時に記録しておくように実施しても良い。

請求の範囲

- [請求項1] 第1の論理値に対応する高抵抗状態にもなり、前記第1の論理値と異なる第2の論理値に対応する低抵抗状態にもなるMTJ (M a g n e t i c T u n n e l J u n c t i o n) 素子と、
- 前記MTJ素子が前記高抵抗状態であるときは前記MTJ素子を前記高抵抗状態から前記低抵抗状態に確率的に反転させる第1の電流を、前記MTJ素子が前記低抵抗状態であるときは前記低抵抗状態から前記高抵抗状態に確率的に反転させる第2の電流を、前記MTJ素子に与える、制御回路と、
- を備えた乱数発生回路。
- [請求項2] 第1の論理値に対応する高抵抗状態にもなり、前記第1の論理値と異なる第2の論理値に対応する低抵抗状態にもなるMTJ (M a g n e t i c T u n n e l J u n c t i o n) 素子と、
- 前記MTJ素子を前記高抵抗状態から前記低抵抗状態に確率的に反転させるか前記低抵抗状態から前記高抵抗状態に確率的に反転させるかを示した乱数発生方法データを外部装置から受信し、前記乱数発生方法データが前記MTJ素子を前記高抵抗状態から前記低抵抗状態に確率的に反転させることを示すときは前記MTJ素子を前記高抵抗状態から前記低抵抗状態に確率的に反転させる第1の電流を、前記乱数発生方法データが前記MTJ素子を前記低抵抗状態から前記高抵抗状態に確率的に反転させることを示す時は前記MTJ素子を前記低抵抗状態から前記高抵抗状態に確率的に反転させる第2の電流を、前記MTJ素子に与える、制御回路と、
- を備えた乱数発生回路。
- [請求項3] 前記制御回路は、
- 外部装置から乱数の発生を指示する乱数発生信号を受信する第1の受信手段と、
- 前記外部装置から前記論理値の読み出しを指示する読み出し信号を

受信する第2の受信手段と、

前記乱数発生信号および前記読み出し信号のいずれか任意の一方が受信されたとき前記MTJ素子の状態に対応する論理値を読み出すセンスアンプと、

前記乱数発生信号の受信により前記センスアンプにより読み出した前記論理値に応じて前記第1の電流および前記第2の電流のいずれか一方を選択し前記MTJ素子に与えるライトドライバと、

前記読み出し信号の受信に応じて前記センスアンプにより読み出した前記論理値を前記外部装置に出力する出力部と、

を含むことを特徴とする請求項1に記載の乱数発生回路。

[請求項4]

前記制御回路は、

外部装置から乱数の発生を指示する乱数発生信号を受信する第1の受信手段と、

前記外部装置から前記論理値の読み出しを指示する読み出し信号を受信する第2の受信手段と、

前記読み出し信号が受信されたとき前記MTJ素子の状態に対応する論理値を読み出すセンスアンプと、

前記読み出し信号の受信に応じて前記センスアンプにより読み出した前記論理値を前記外部装置に出力する出力部と、

前記読み出し信号の受信に応じて前記センスアンプにより読み出した前記論理値を記憶するレジスタと、

前記乱数発生信号が受信されたとき前記レジスタ内の前記論理値に応じて、前記第1の電流および前記第2の電流のいずれか一方を選択し前記MTJ素子に与えるライトドライバと、

を含むことを特徴とする請求項1に記載の乱数発生回路。

[請求項5]

前記制御回路は、

外部装置から乱数の発生を指示する乱数発生信号を受信する第1の受信手段と、

前記外部装置から前記論理値の読み出しを指示する読み出し信号を受信する第2の受信手段と、

前記外部装置からデータ書き込みを指示する書き込み信号を受信する第3の受信手段と、

前記外部装置から前記第1または第2の論理値を表す書き込みデータを受信する第4の受信手段と、

前記読み出し信号および前記乱数発生信号のいずれか任意の一方が受信されたとき前記MTJ素子の状態に対応する論理値を読み出すセンスアンプと、

前記乱数発生信号の受信により前記センスアンプから読み出される前記論理値に応じて、前記第1の電流および前記第2の電流のいずれか一方を選択して前記MTJ素子に与え、

前記書き込み信号が受信されたとき前記第4の受信手段で受信される書き込みデータに応じて、前記MTJ素子を前記高抵抗状態から前記低抵抗状態に確実に反転させる第3の電流および前記MTJ素子を前記低抵抗状態から前記高抵抗状態に確実に反転させる第4の電流のいずれか一方を選択して前記MTJ素子に与えるライトドライバと、

前記読み出し信号の受信に応じて前記センスアンプにより読み出した前記論理値を前記外部装置に出力する出力部と、

ことを特徴とする請求項1に記載の乱数発生回路。

[請求項6]

前記制御回路は、

外部装置から乱数の発生を指示する乱数発生信号を受信する第1の受信手段と、

前記外部装置から前記論理値の読み出しを指示する読み出し信号を受信する第2の受信手段と、

前記外部装置からデータ書き込みを指示する書き込み信号を受信する第3の受信手段と、

前記外部装置から前記第 1 または第 2 の論理値を表す書き込みデータを受信する第 4 の受信手段と、

前記読み出し信号が受信されたとき前記 M T J 素子の状態に対応する論理値を読み出すセンスアンプと、

前記読み出し信号の受信に応じて前記センスアンプにより読み出した前記論理値を記憶するレジスタと、

前記読み出し信号の受信に応じて前記センスアンプにより読み出した前記論理値を前記外部装置に出力する出力部と、

前記書き込み信号が受信されたとき前記第 4 の受信手段で受信される書き込みデータに応じて、前記 M T J 素子を前記高抵抗状態から前記低抵抗状態に確実に反転させる第 3 の電流および前記 M T J 素子を前記低抵抗状態から前記高抵抗状態に確実に反転させる第 4 の電流のいずれか一方を選択して前記 M T J 素子に与え、

前記乱数発生信号が受信されたとき前記レジスタ内の前記論理値に応じて、前記第 1 の電流および前記第 2 の電流のいずれか一方を選択し前記 M T J 素子に与える、ライトドライバと、

を含むことを特徴とする請求項 1 に記載の乱数発生回路。

[請求項 7]

前記制御回路は、

外部装置から乱数の発生を指示する乱数発生信号を受信する第 1 の受信手段と、

前記乱数発生信号が受信されたとき前記 M T J 素子の状態に対応する論理値を読み出すセンスアンプと、

前記センスアンプにより読み出した前記論理値を出力する出力部と、

前記センスアンプにより読み出した前記論理値に応じて前記第 1 の電流および前記第 2 の電流のいずれか一方を選択し前記 M T J 素子に与えるライトドライバと、

を含むことを特徴とする請求項 1 に記載の乱数発生回路。

[請求項8]

前記制御回路は、

外部装置から乱数の発生を指示する乱数発生信号を受信する第1の受信手段と、

前記第1または第2の論理値を記憶するレジスタと、

前記乱数発生信号が受信されたとき前記レジスタ内の前記論理値に応じて前記第1の電流および前記第2の電流のいずれか一方を選択し前記MTJ素子に与えるライトドライバと、

前記第1および第2の電流のいずれか一方が前記MTJ素子に与えられた後、前記MTJ素子の状態に対応する論理値を読み出すセンスアンプと、

前記センスアンプにより読み出した論理値を前記外部装置に出力する出力部と、

を含み、

前記レジスタは、前記センスアンプにより読み出された論理値を記憶する

ことを特徴とする請求項1に記載の乱数発生回路。

[請求項9]

前記制御回路は、

外部装置から乱数の発生を指示する乱数発生信号を受信する第1の受信手段と、

前記外部装置から前記論理値の読み出しを指示する読み出し信号を受信する第2の受信手段と、

前記外部装置から前記乱数発生方法データを受信する第5の受信手段と、

前記読み出し信号が受信されたとき前記MTJ素子の状態に対応する論理値を読み出すセンスアンプと、

前記センスアンプにより読み出した前記論理値を前記外部装置に出力する出力部と、

前記乱数発生信号および前記乱数発生方法データが受信されたとき

、前記乱数発生方法データに応じて前記第 1 または第 2 の電流を選択して前記 M T J 素子に与えるライトドライバと、

を含むことを特徴とする請求項 2 に記載の乱数発生回路。

[請求項 10]

前記制御回路は、

外部装置から乱数の発生を指示する乱数発生信号を受信する第 1 の受信手段と、

前記外部装置から前記論理値の読み出しを指示する読み出し信号を受信する第 2 の受信手段と、

前記外部装置からデータ書き込みを指示する書き込み信号を受信する第 3 の受信手段と、

前記外部装置から前記第 1 または第 2 の論理値を表す書き込みデータを受信する第 4 の受信手段と、

前記外部装置から前記乱数発生方法データを受信する第 5 の受信手段と、

前記読み出し信号が受信されたとき前記 M T J 素子の状態に対応する論理値を読み出すセンスアンプと、

前記センスアンプにより読み出した前記論理値を前記外部装置に出力する出力部と、

前記書き込み信号が受信されたとき前記第 4 の受信手段により受信される前記書き込みデータに応じて、前記 M T J 素子を前記高抵抗状態から前記低抵抗状態に確実に反転させる第 3 の電流および前記 M T J 素子を前記低抵抗状態から前記高抵抗状態に確実に反転させる第 4 の電流を選択して前記 M T J 素子に与え、

前記乱数発生信号および前記乱数発生方法データが受信されたとき、前記乱数発生方法データに応じて前記第 1 または第 2 の電流を選択して前記 M T J 素子に与える、ライトドライバと、

を含むことを特徴とする請求項 2 に記載の乱数発生回路。

[請求項 11]

複数の前記 M T J 素子を備え、

前記制御回路は、

前記複数のMTJ素子のうち少なくとも1つのアドレスを指定したアドレスデータを外部装置から受信する第6の受信手段と、

前記アドレスデータに応じたMTJ素子を選択するアドレスデコーダと、を含み、

前記センスアンプは、前記アドレスデコーダにより選択されたMTJ素子から前記MTJ素子の状態に対応する論理値を読み出し、

前記ライトドライバは、前記選択されたMTJ素子に、前記第1および第2の電流のいずれか一方を与える、

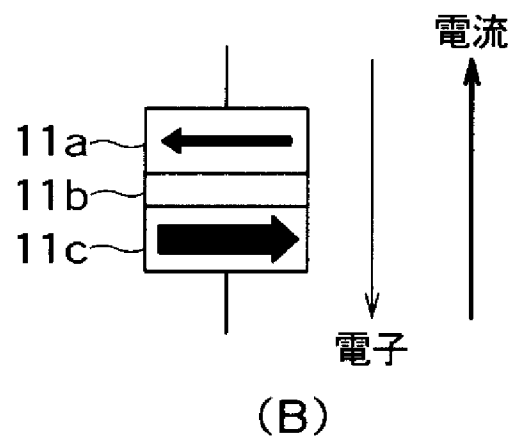
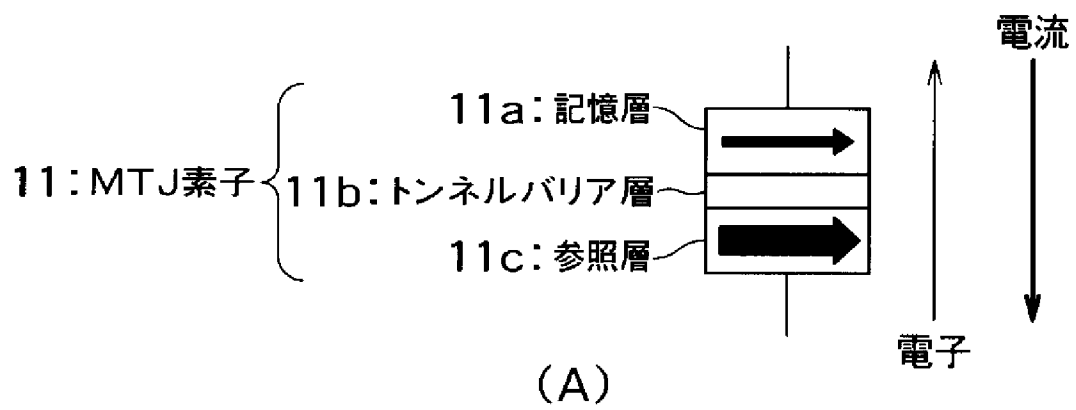
ことを特徴とする請求項1に記載の乱数発生回路。

[請求項12]

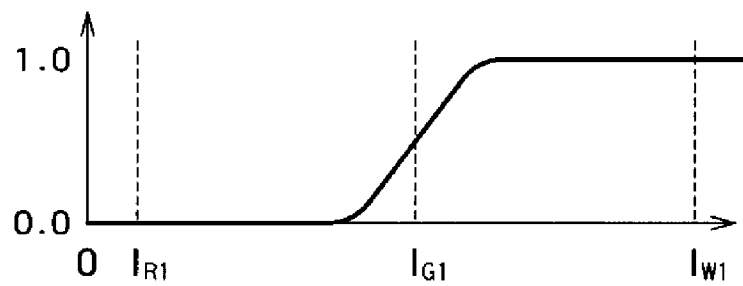
前記第1の論理値は論理値0または論理値1のうちの一方であり、前記第2の論理値は前記論理値0または論理値1のうちの他方である

ことを特徴とする請求項1に記載の乱数発生回路。

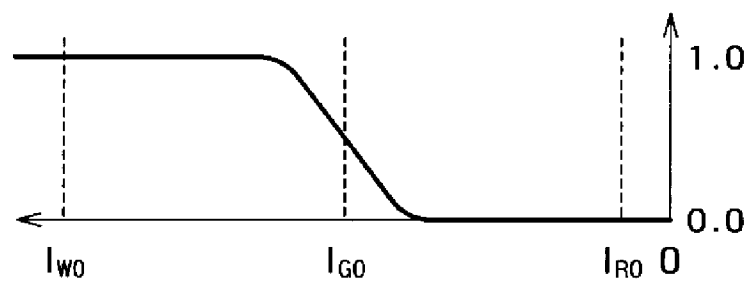
[図1]



[図2]

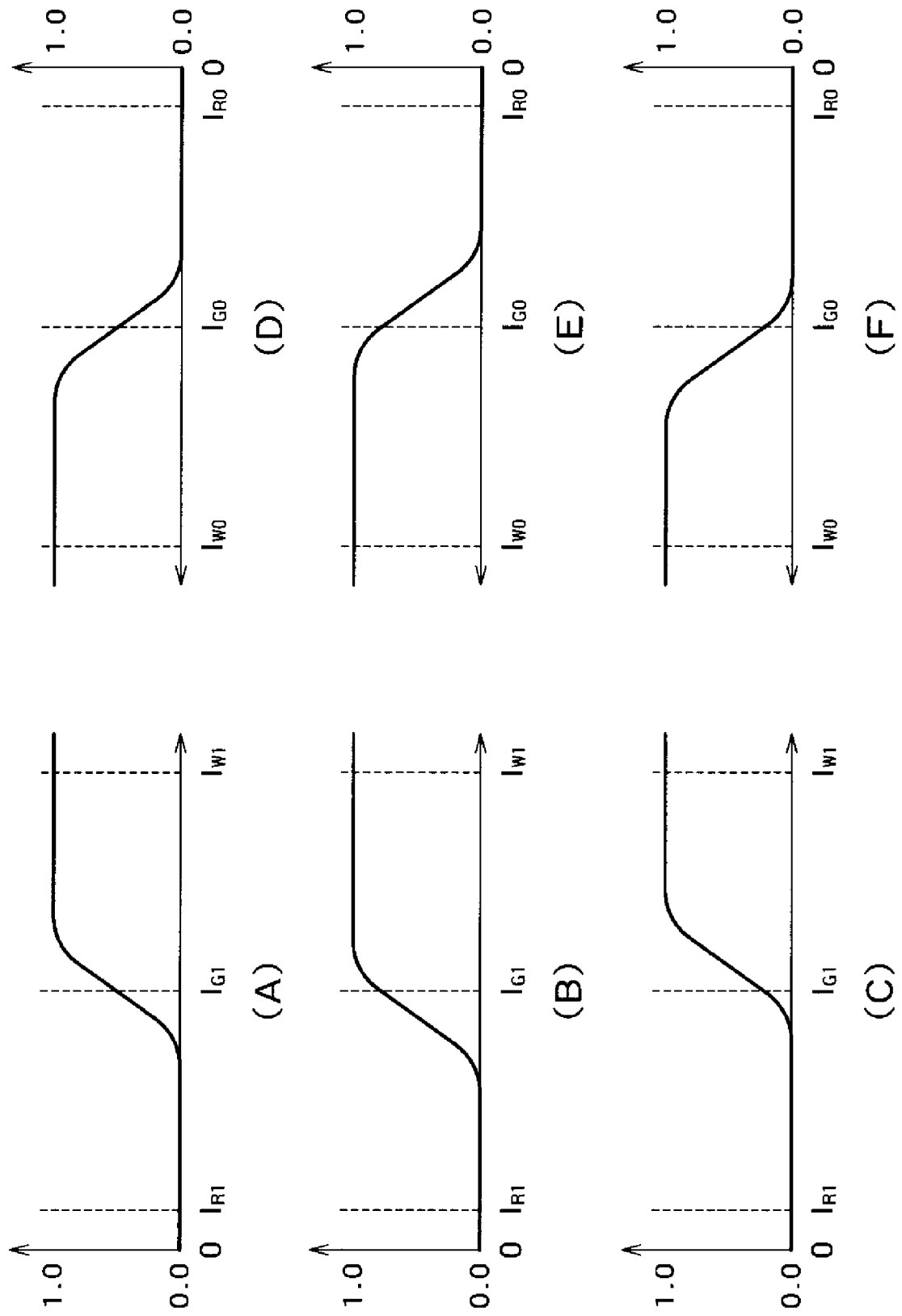


(A)

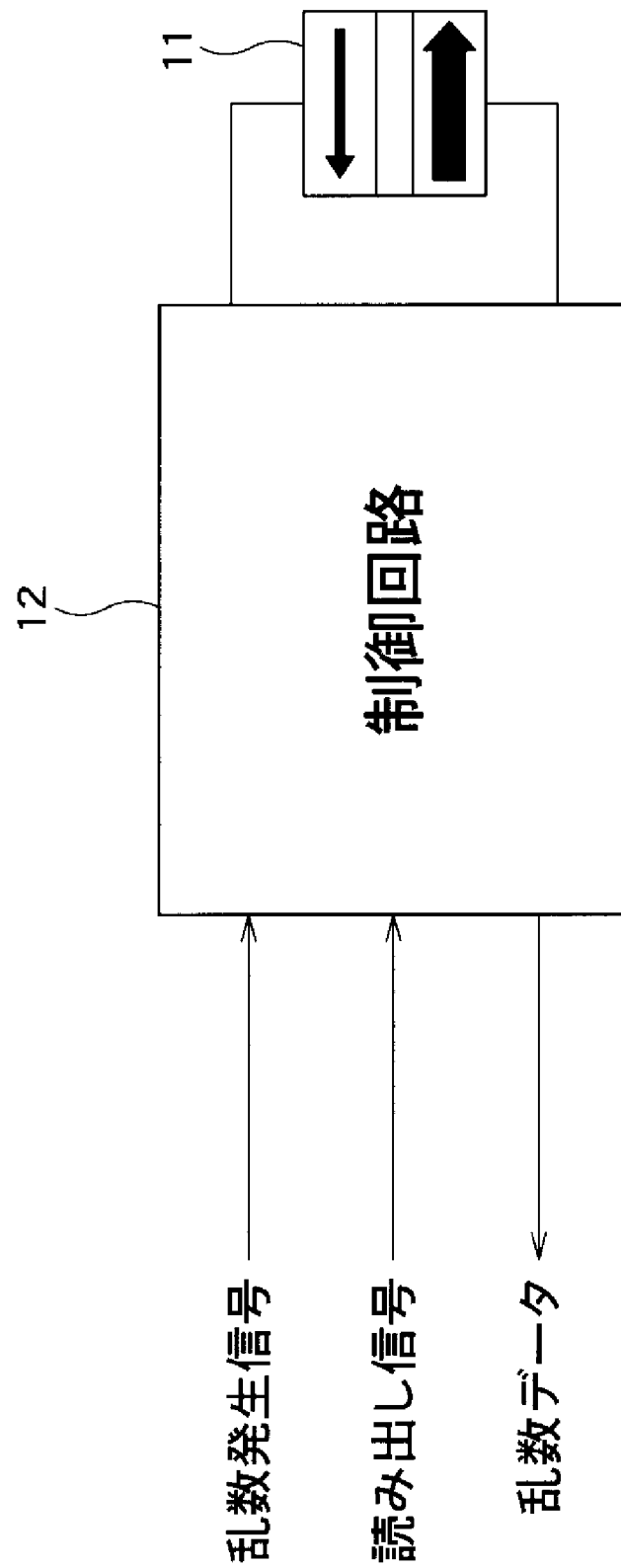


(B)

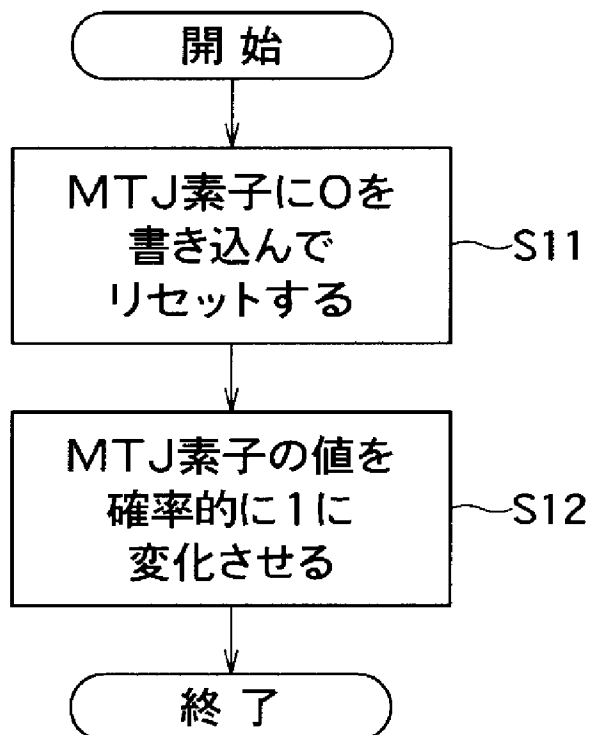
[図3]



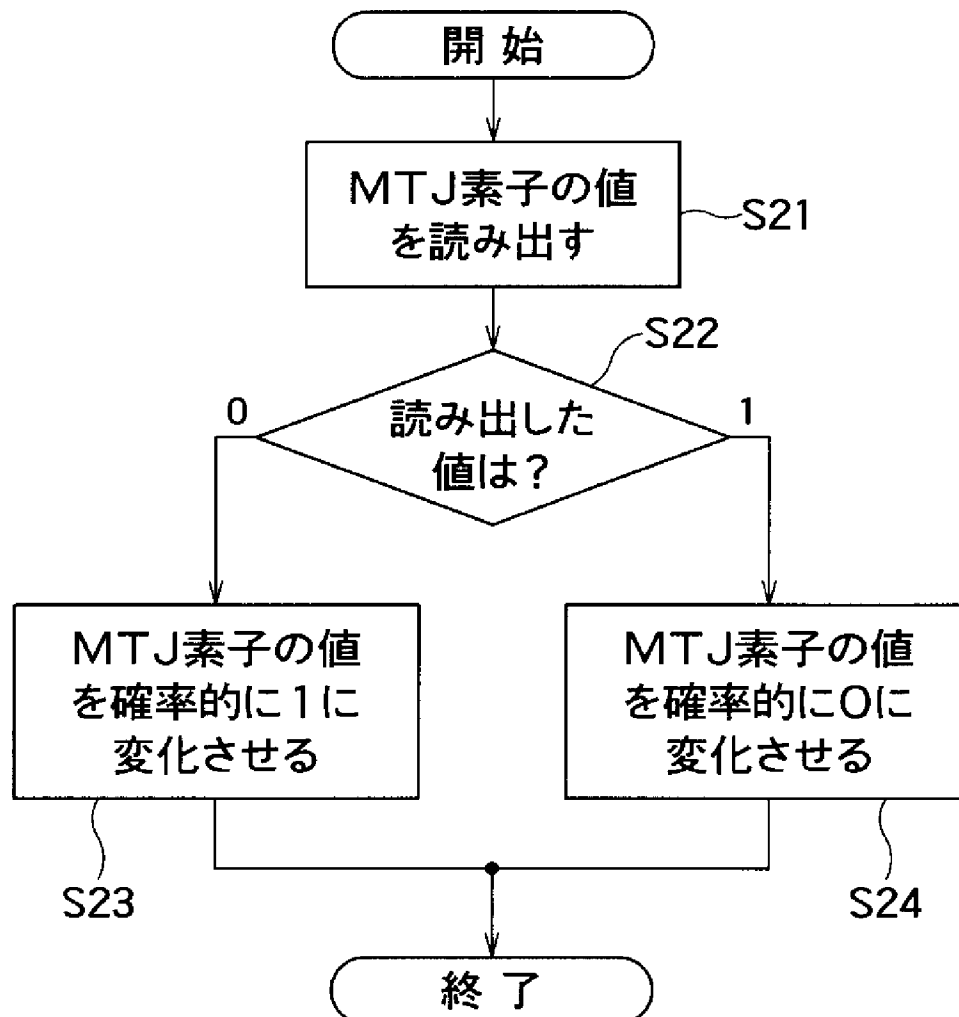
[図4]



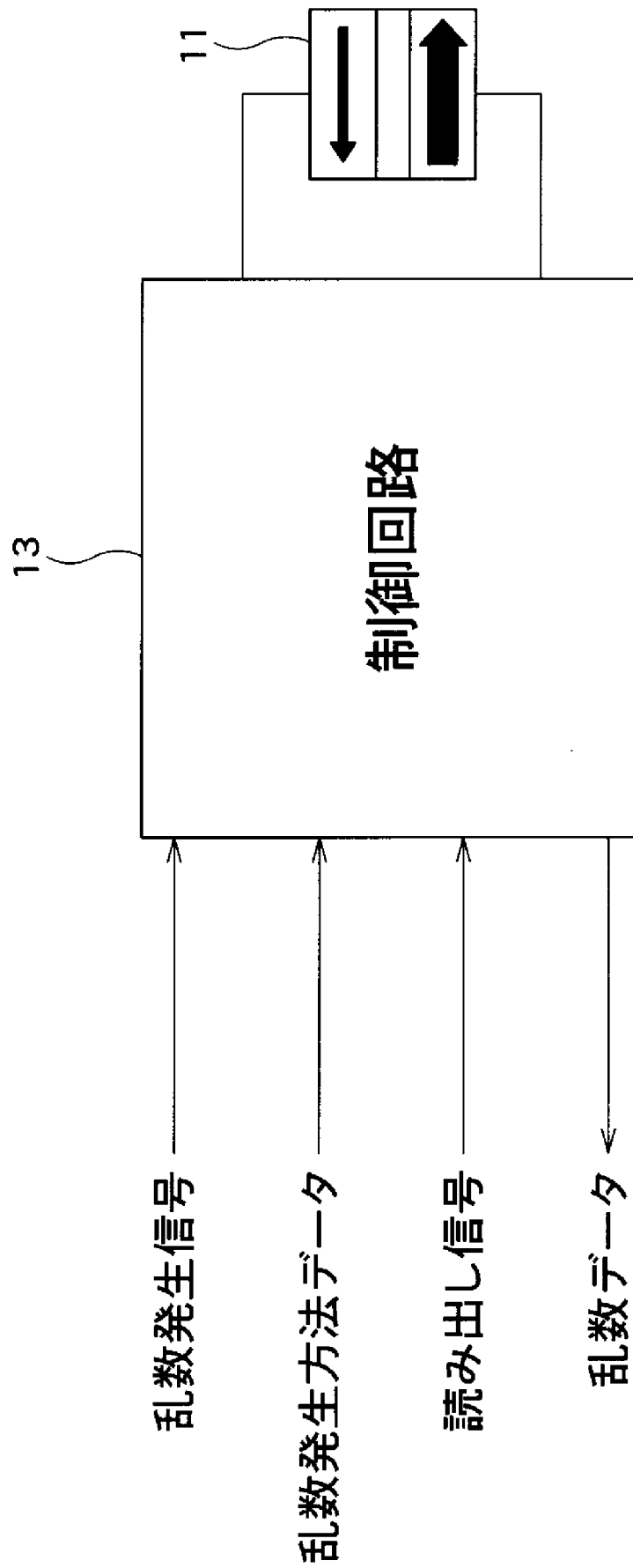
[図5]



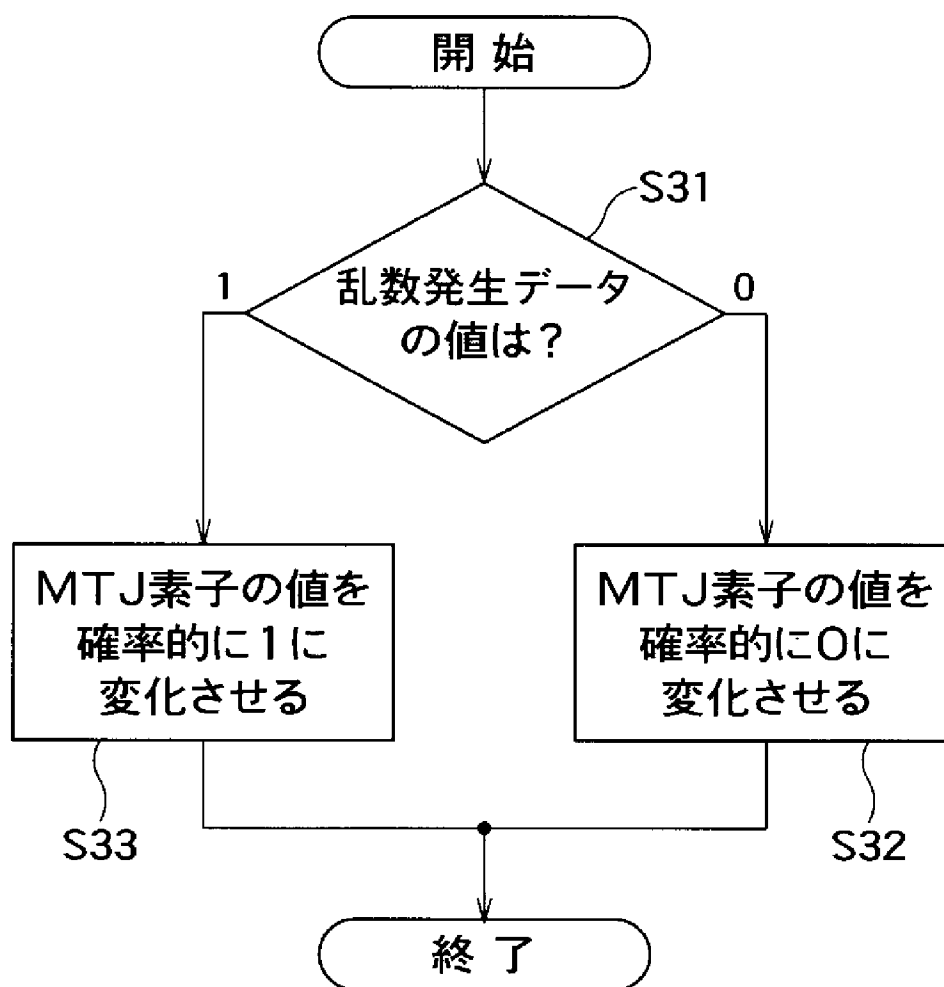
[図6]



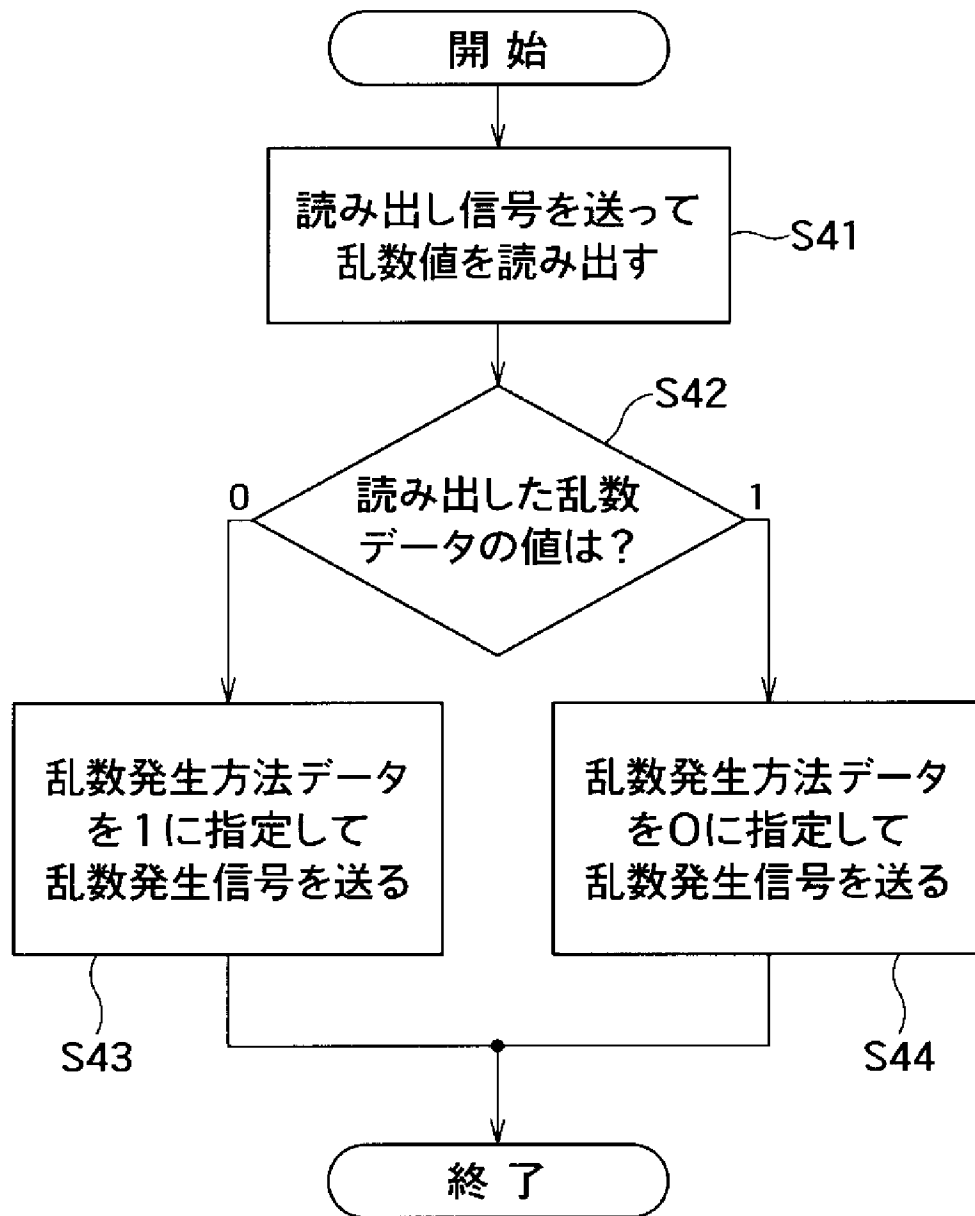
[図7]



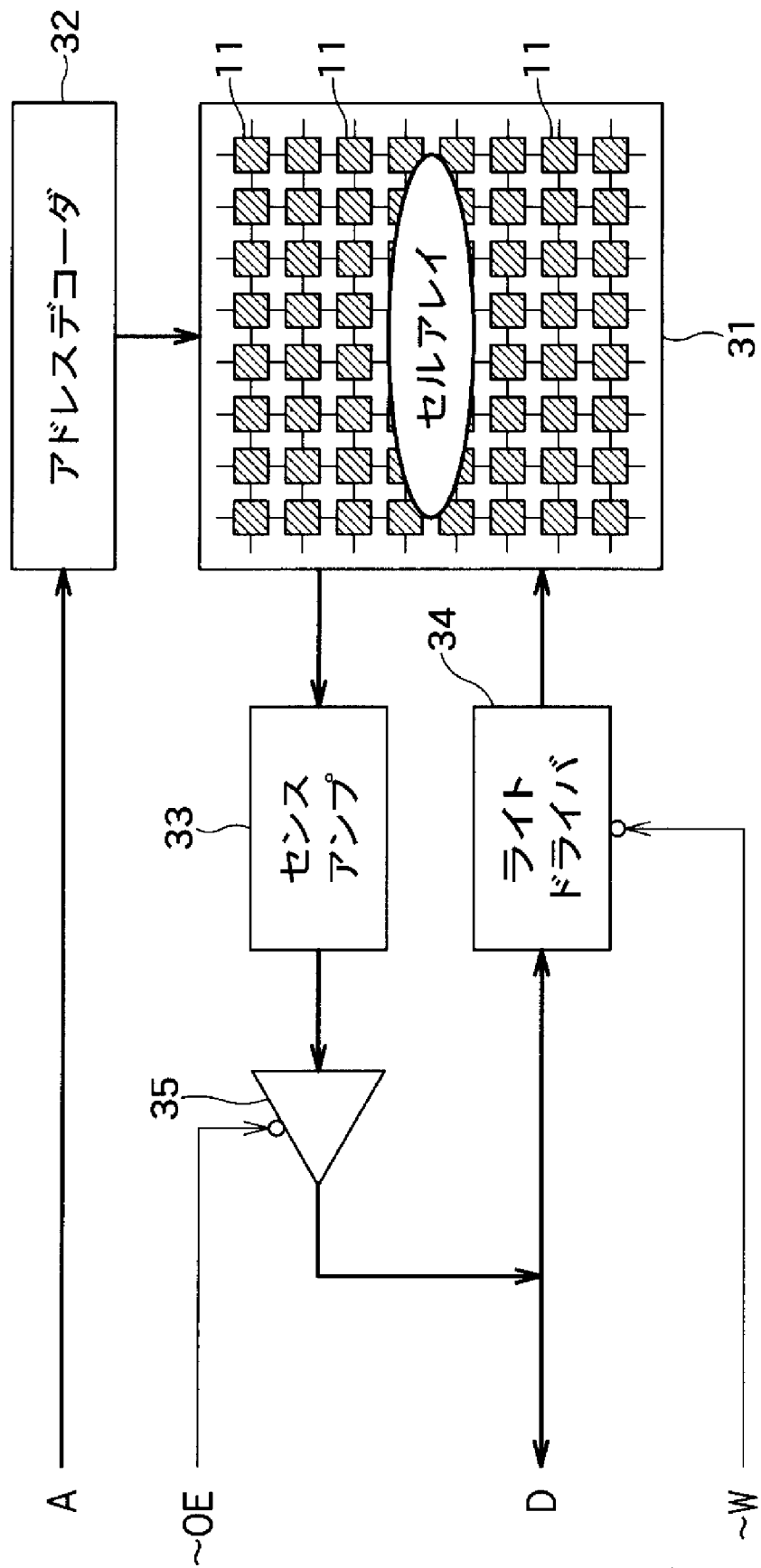
[図8]



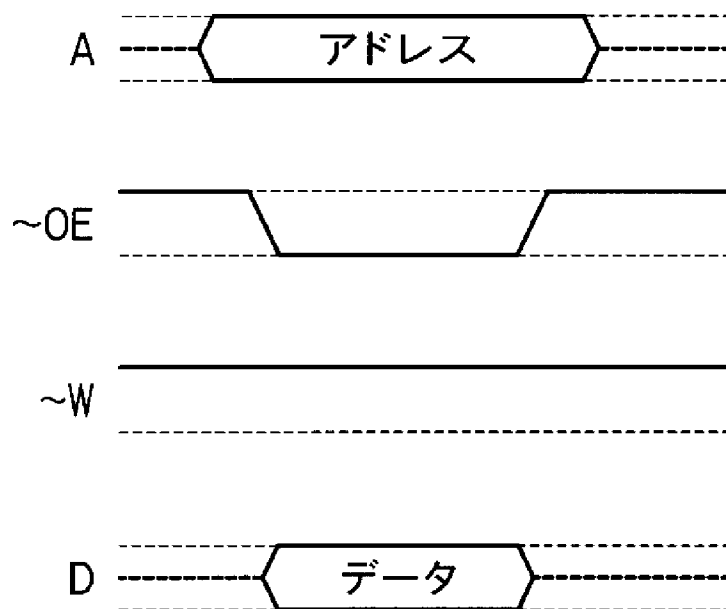
[図9]



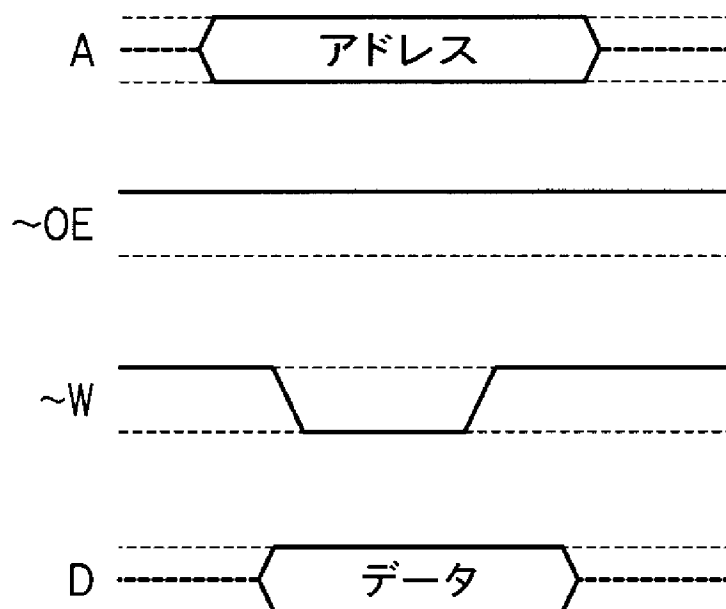
[図10]



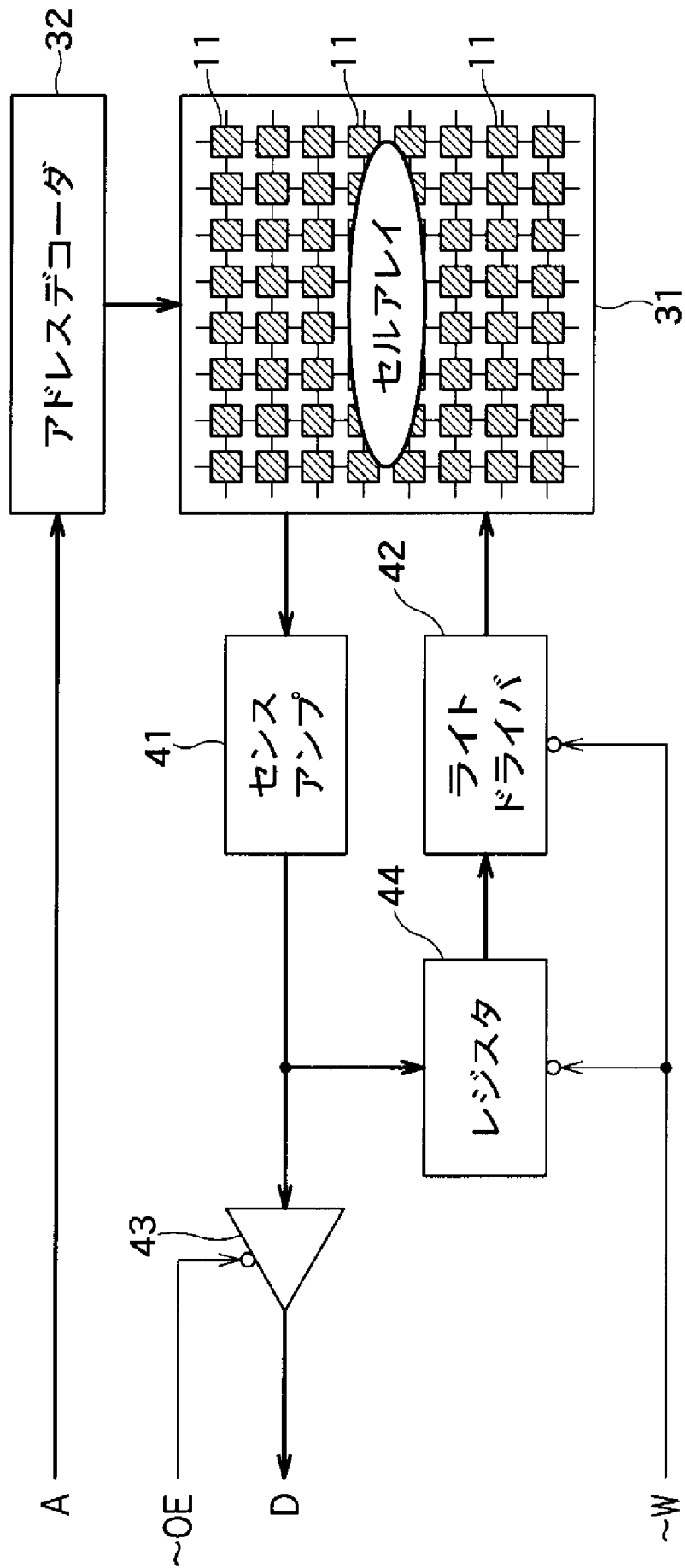
[図11]



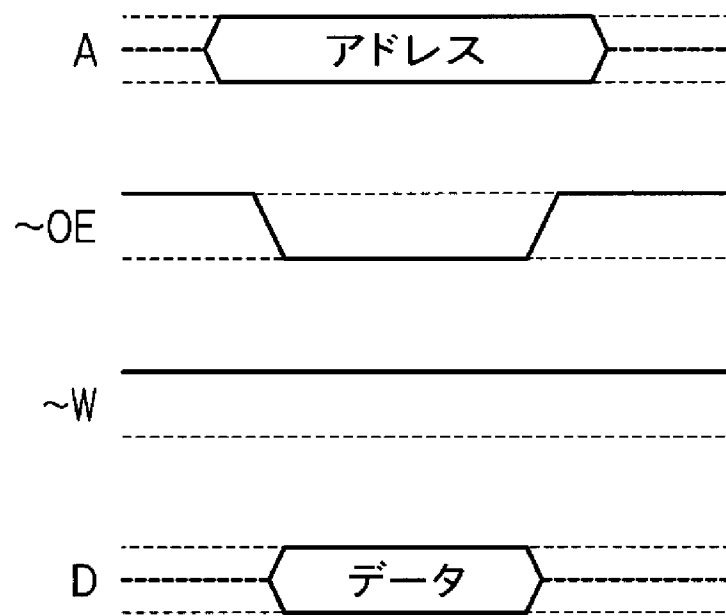
[図12]



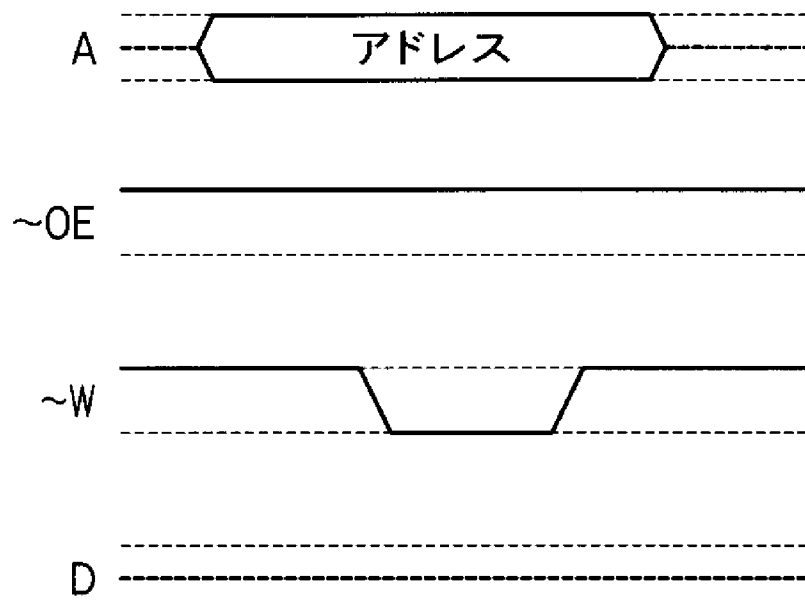
[図13]



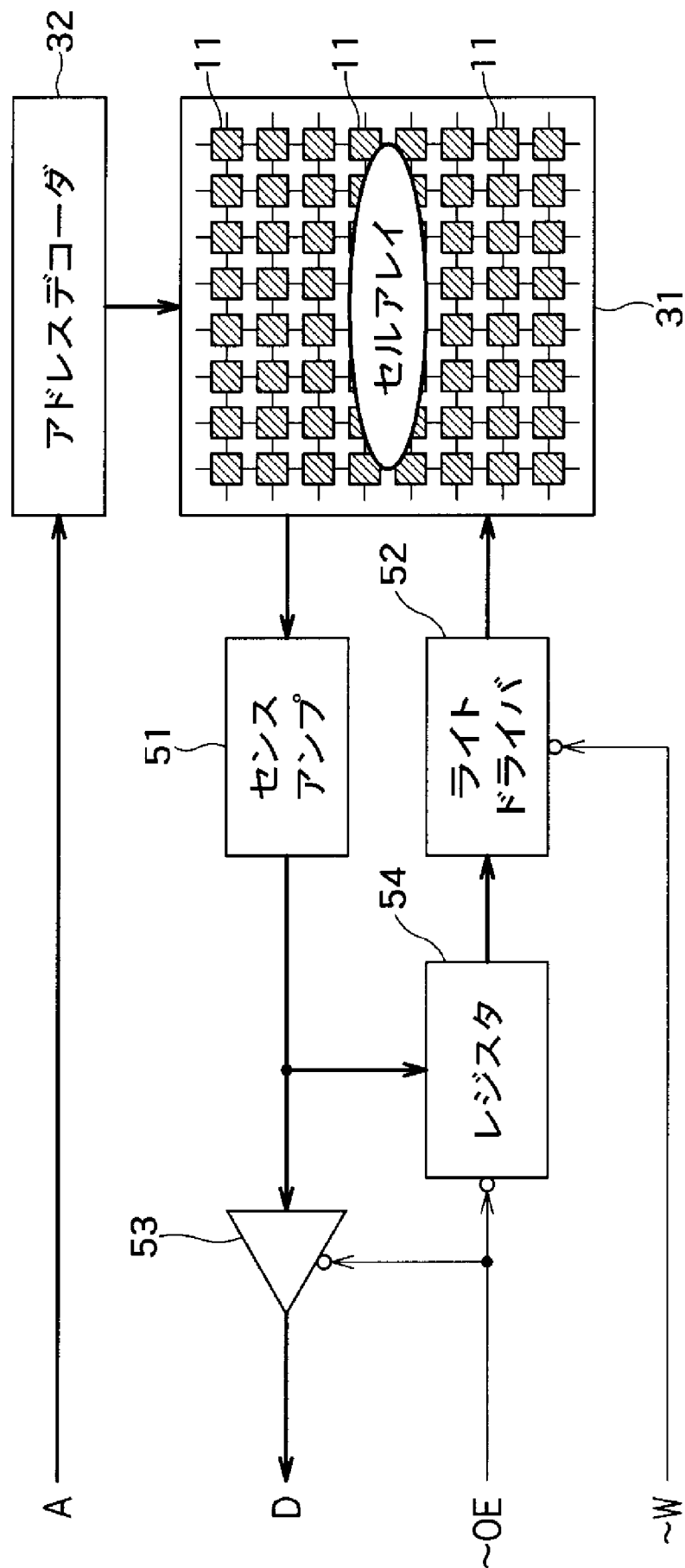
[図14]



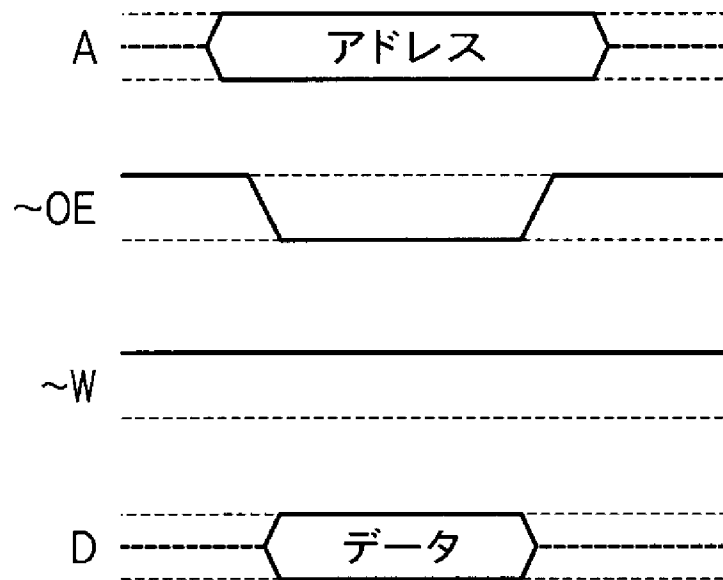
[図15]



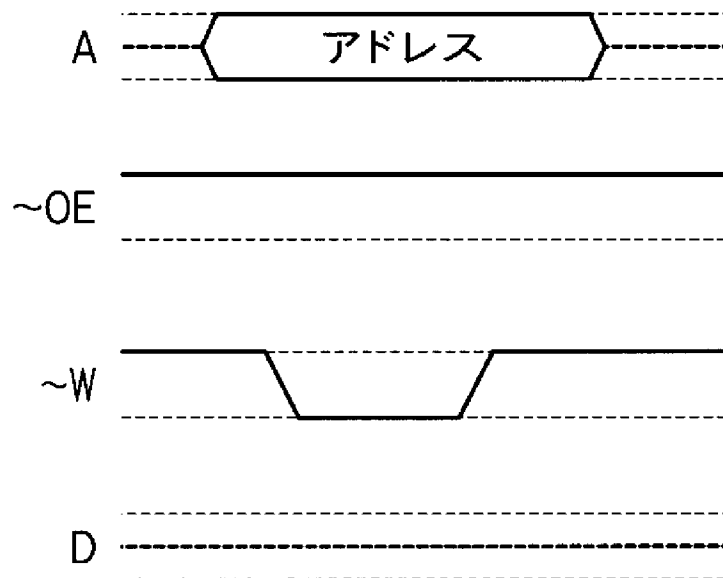
[図16]



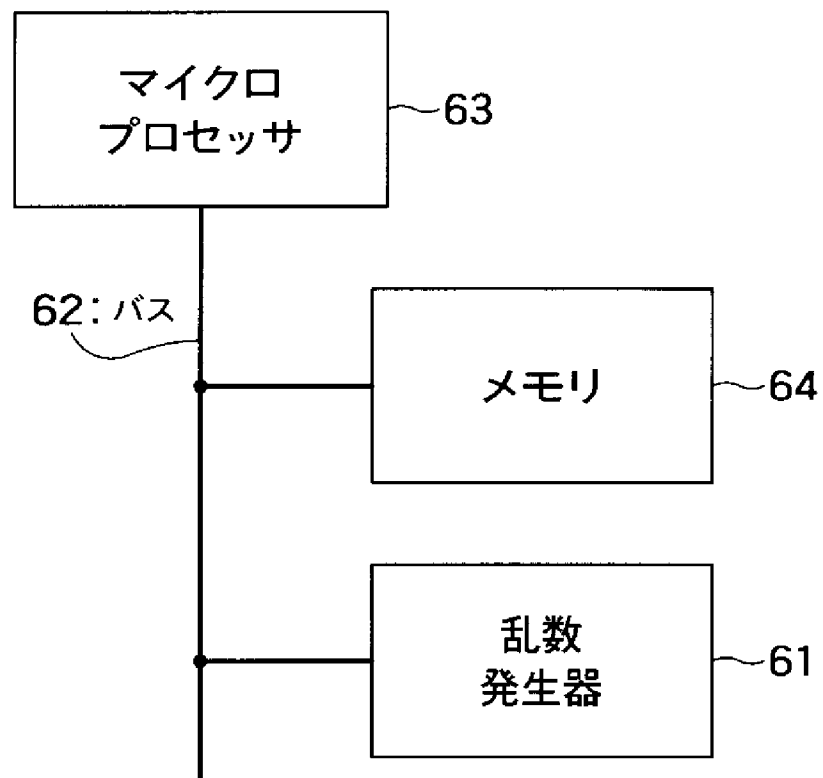
[図17]



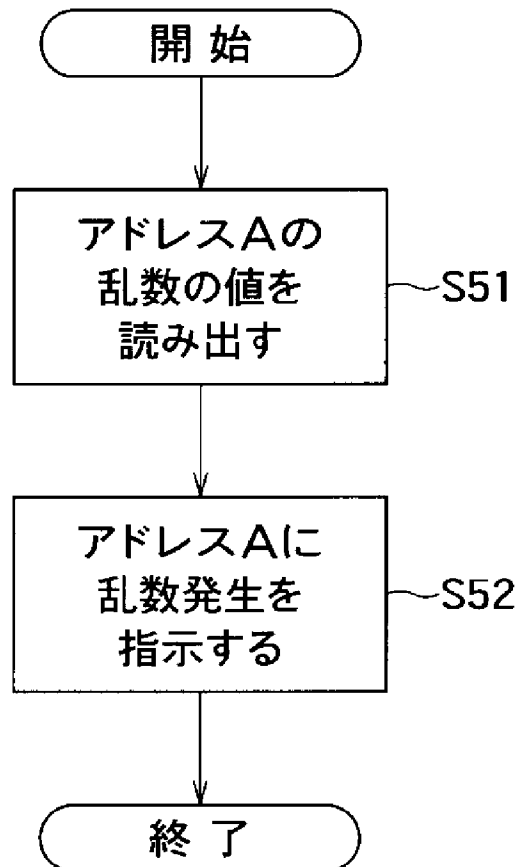
[図18]



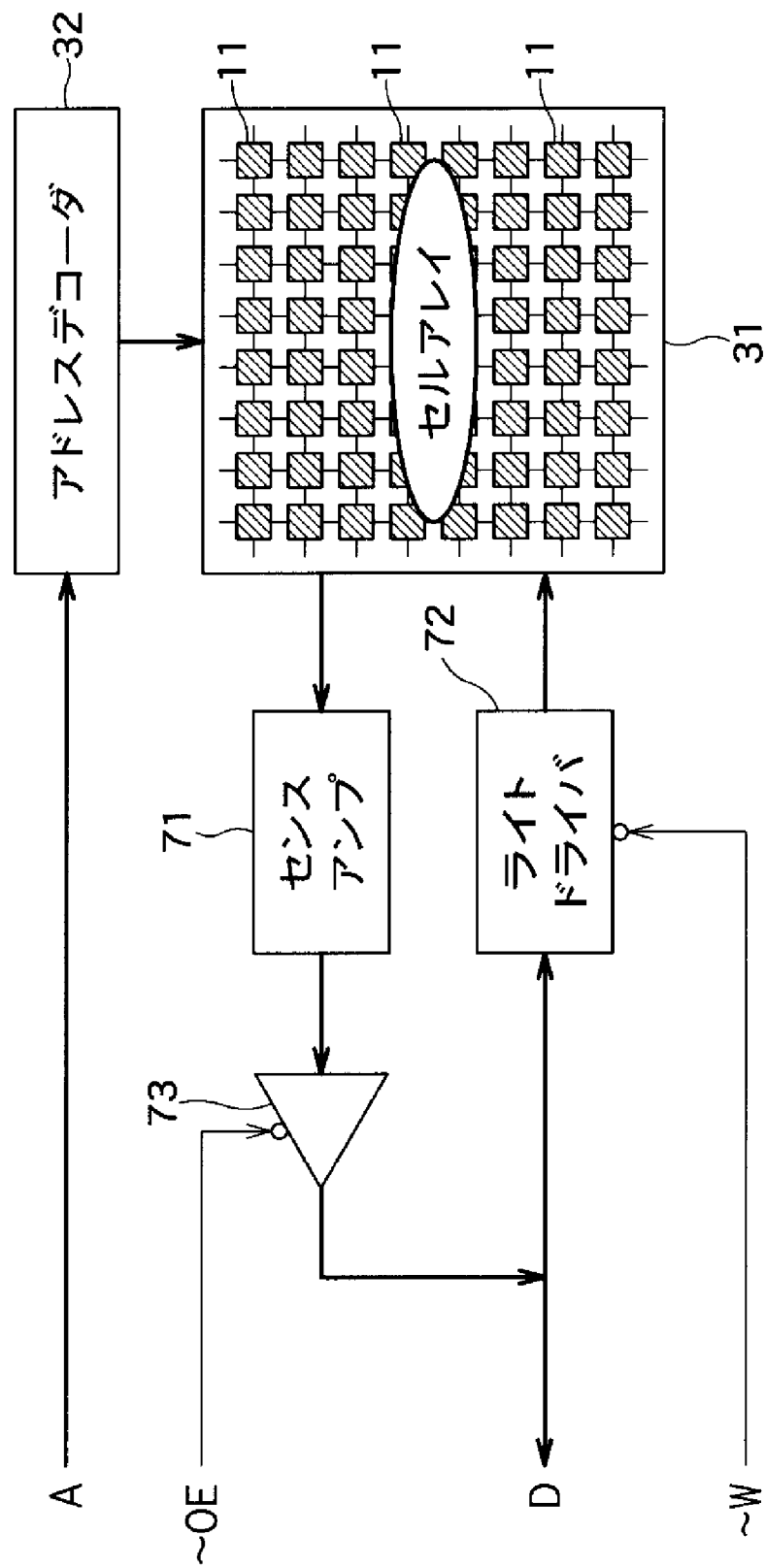
[図19]



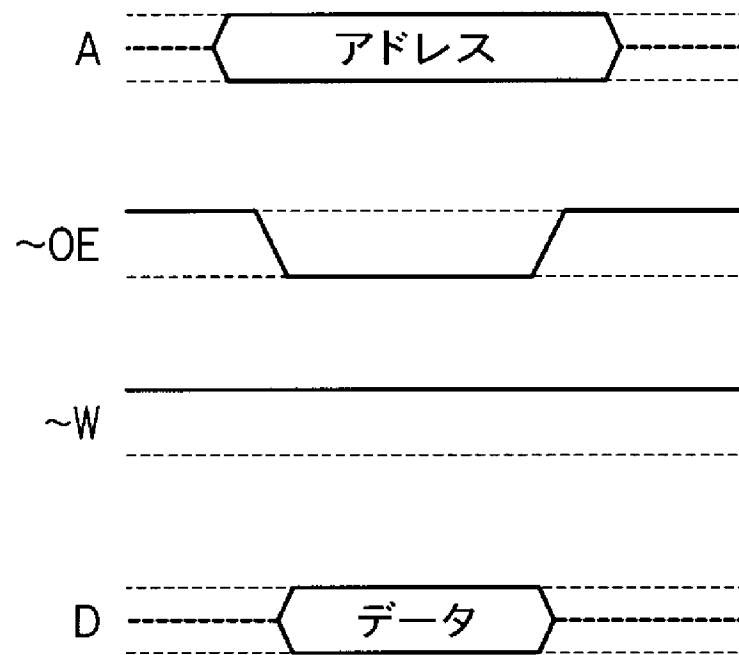
[図20]



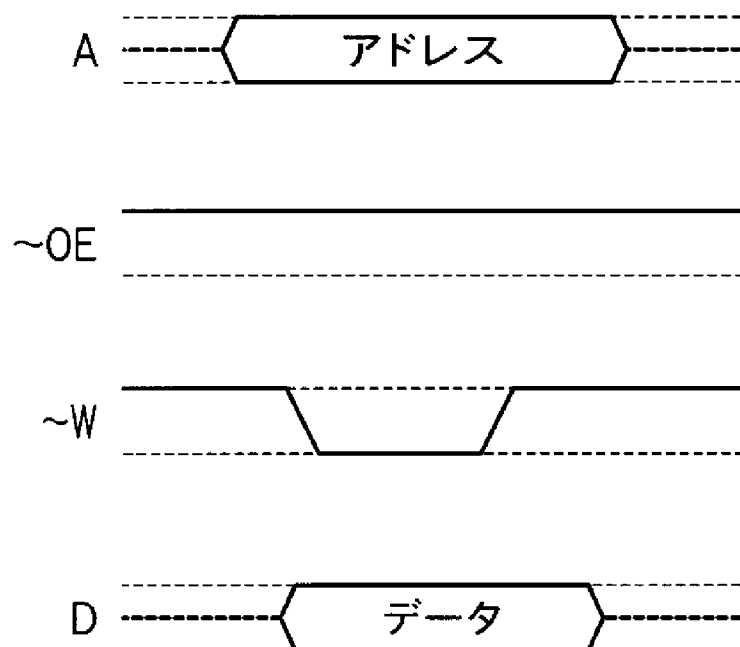
[図21]



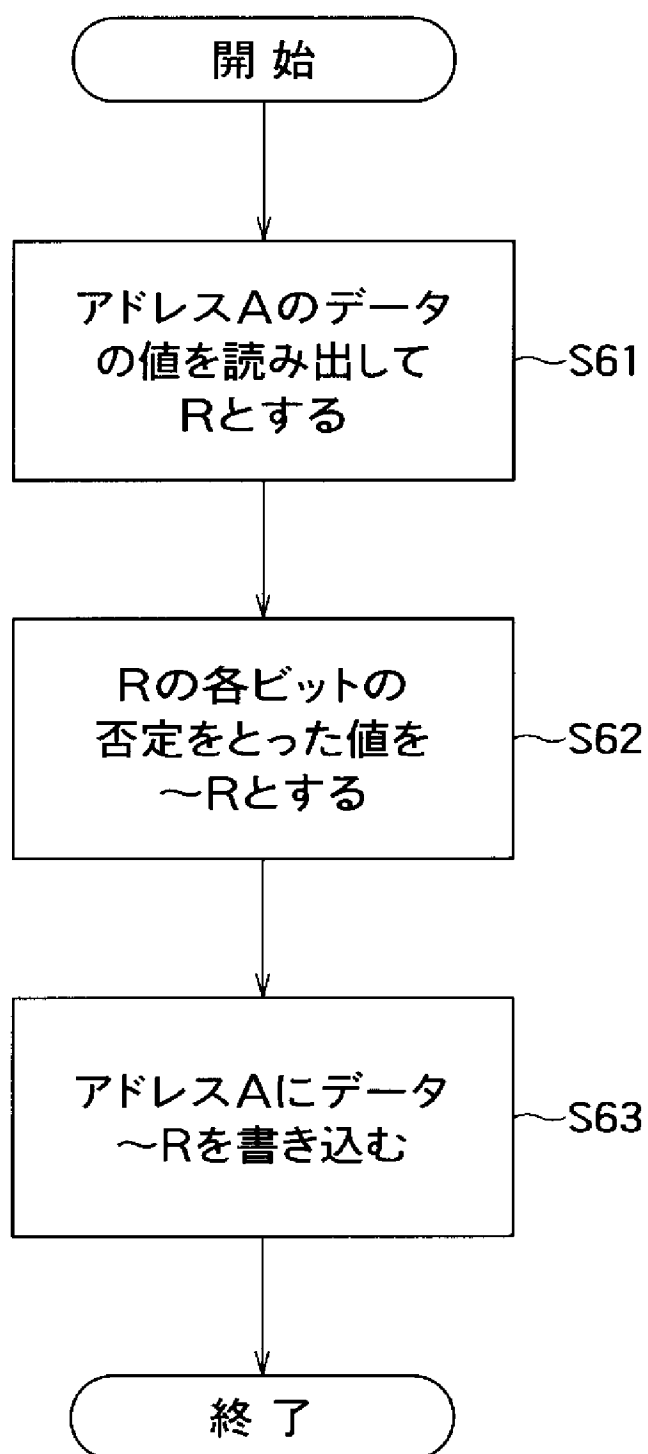
[図22]



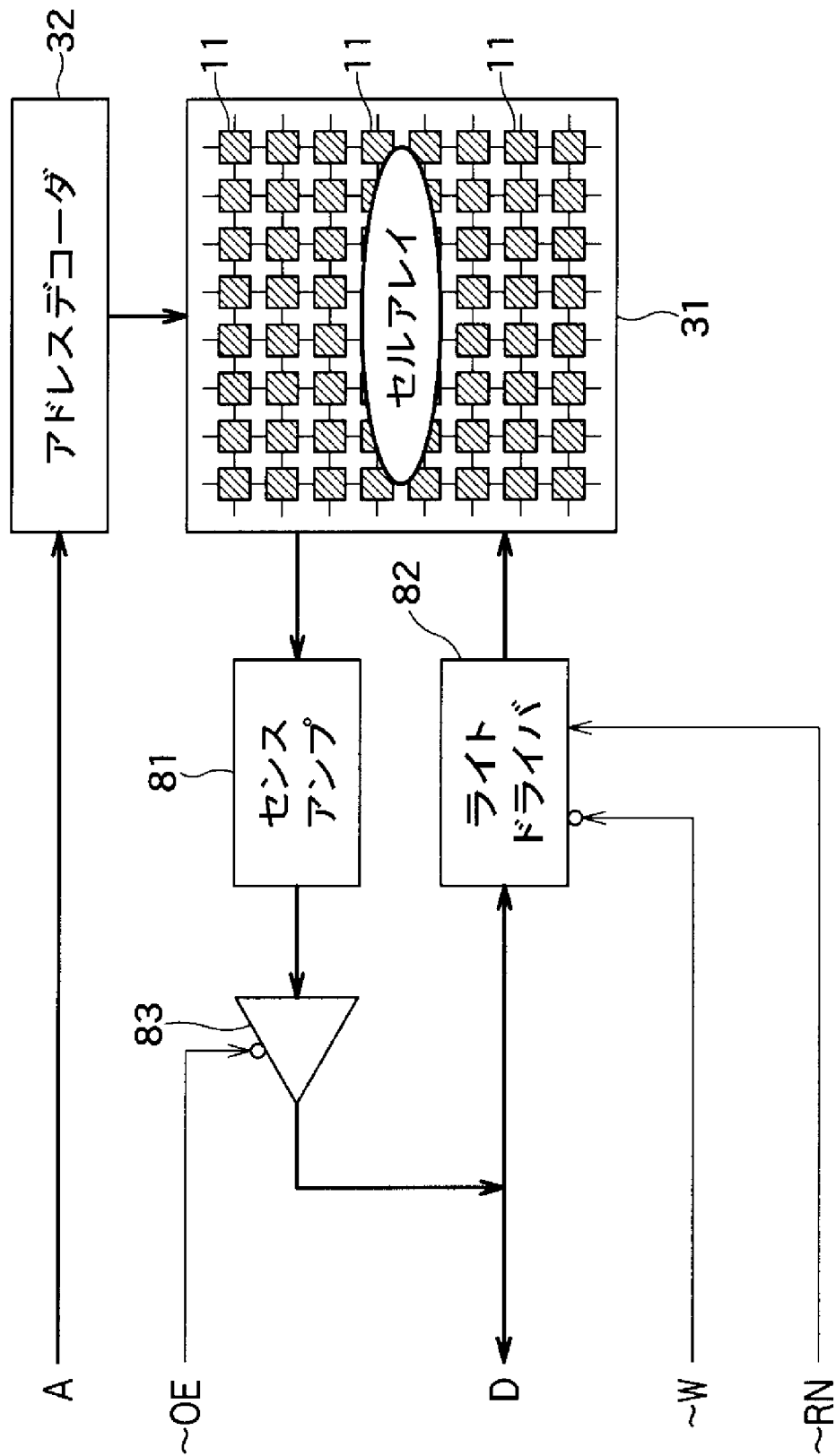
[図23]



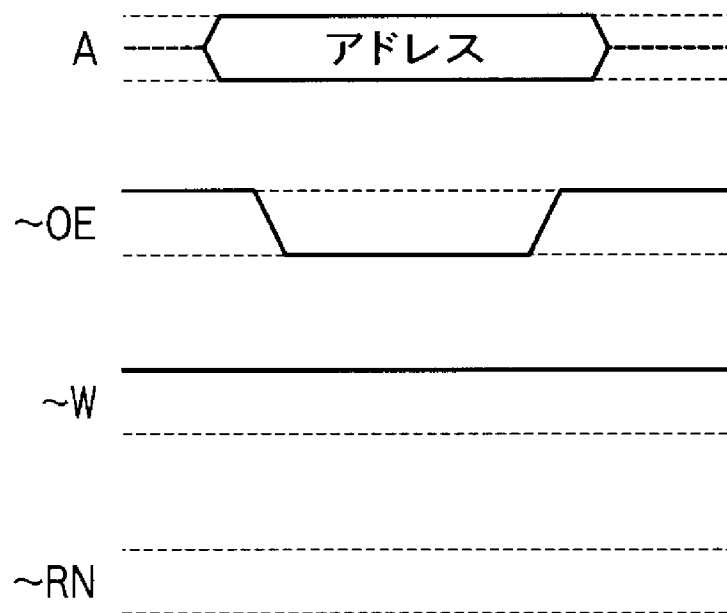
[図24]



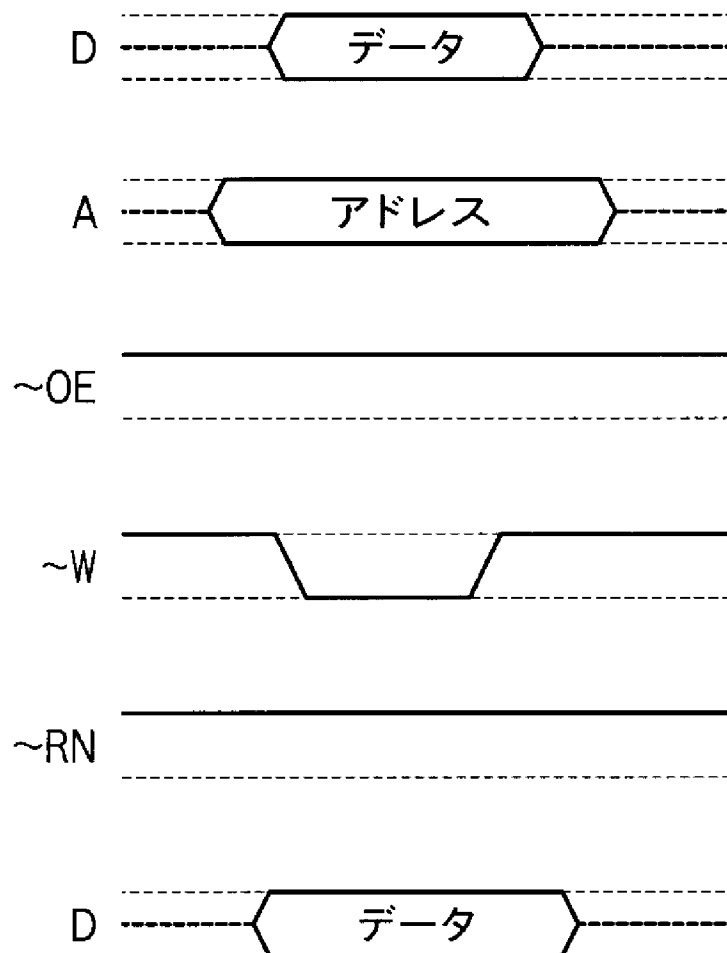
[図25]



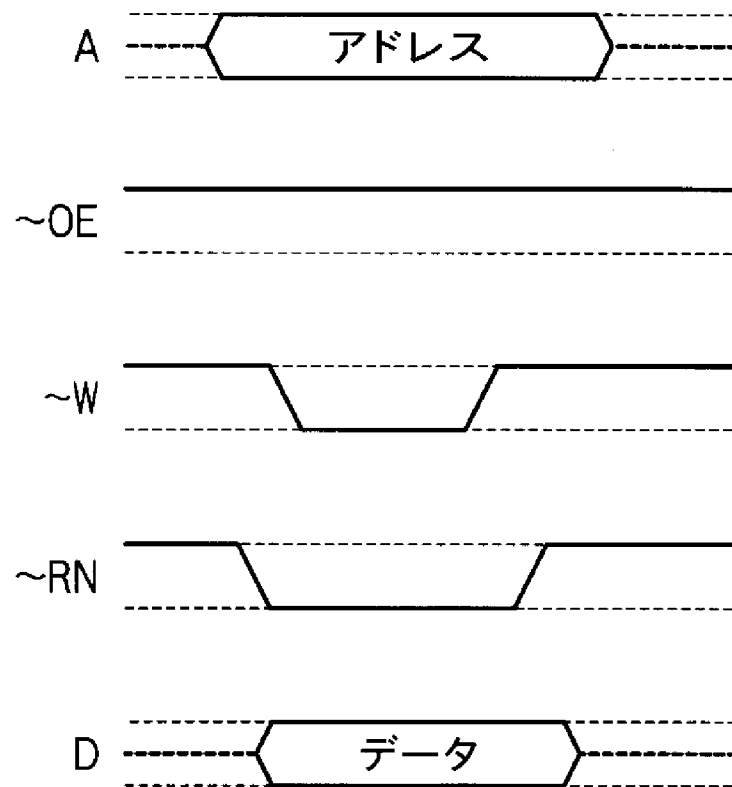
[図26]



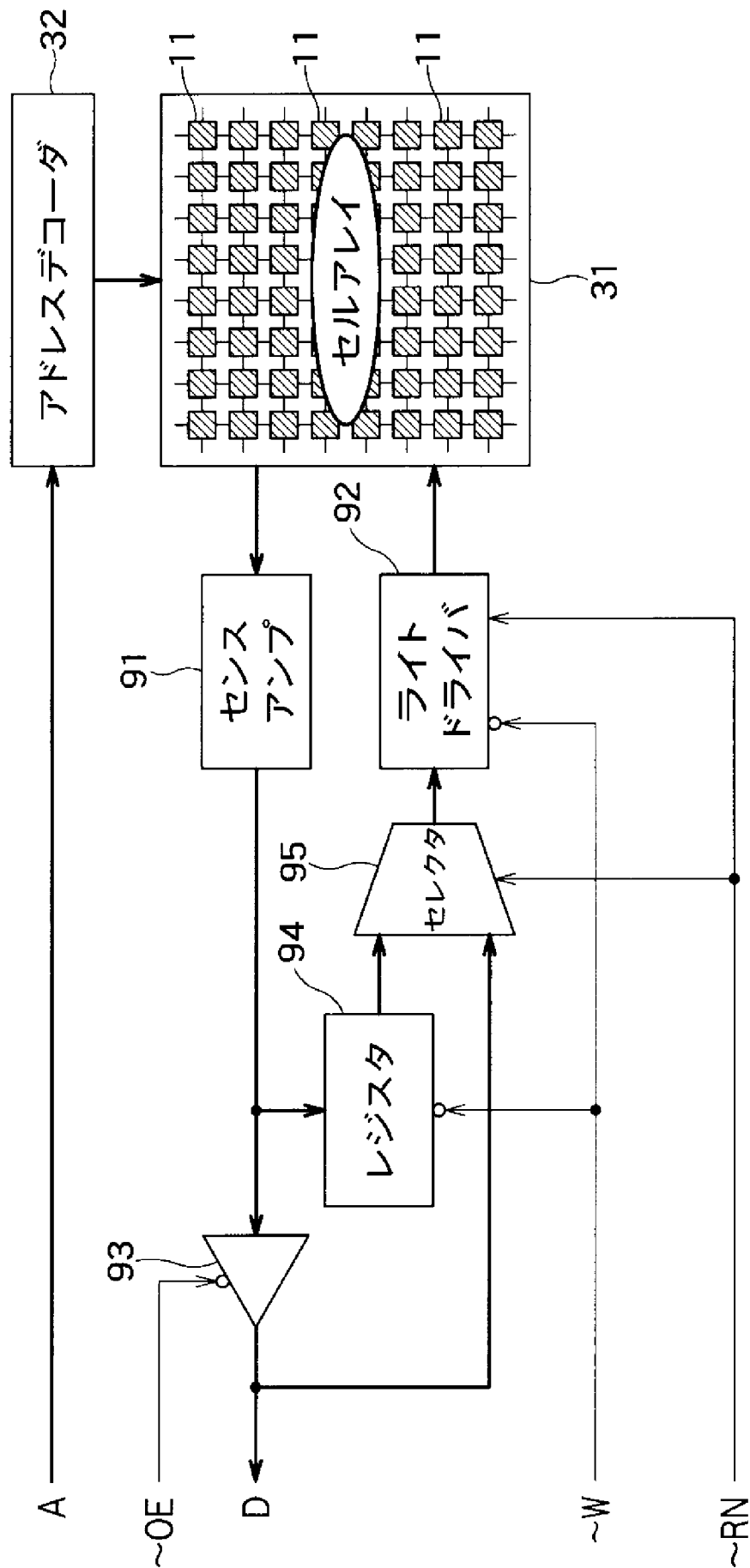
[図27]



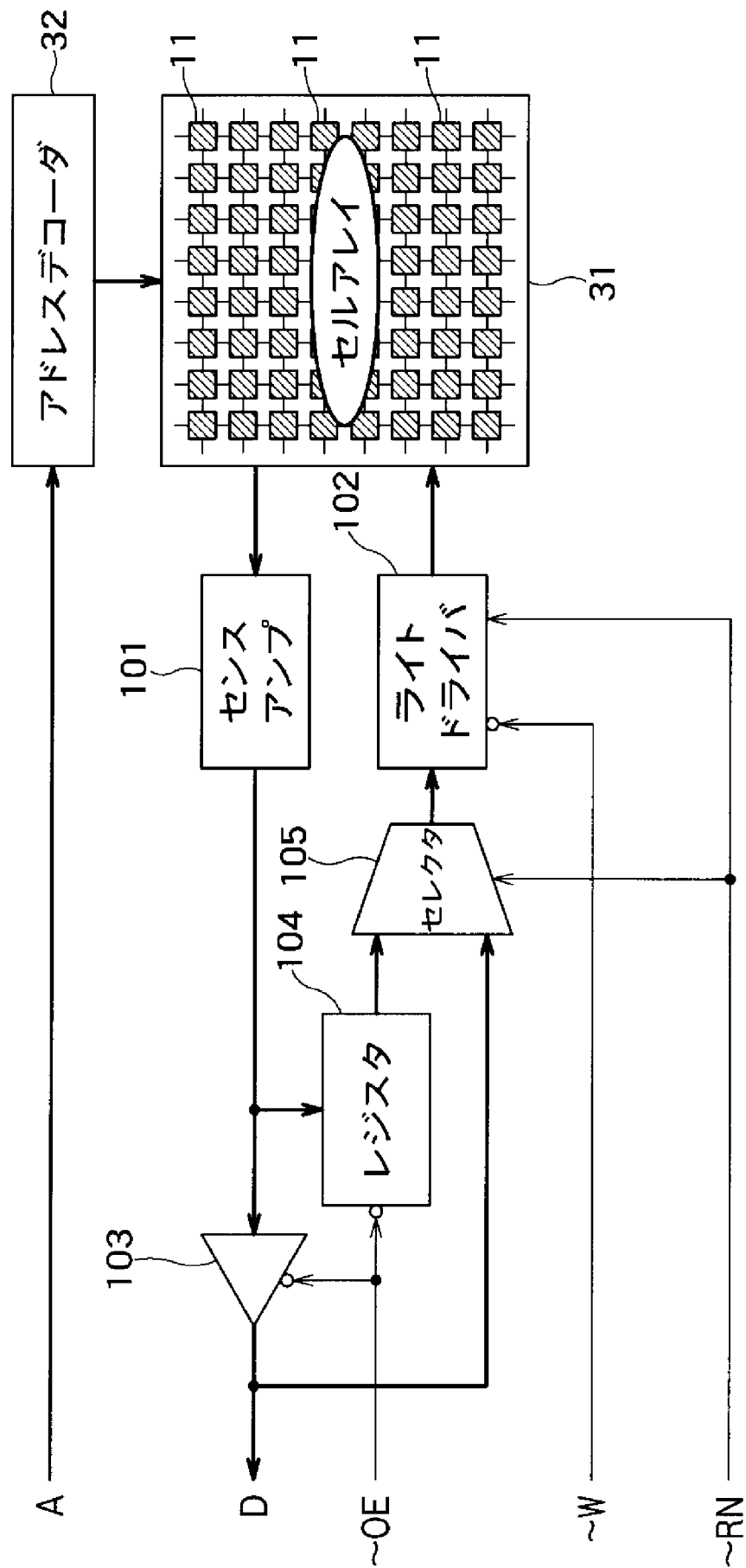
[図28]

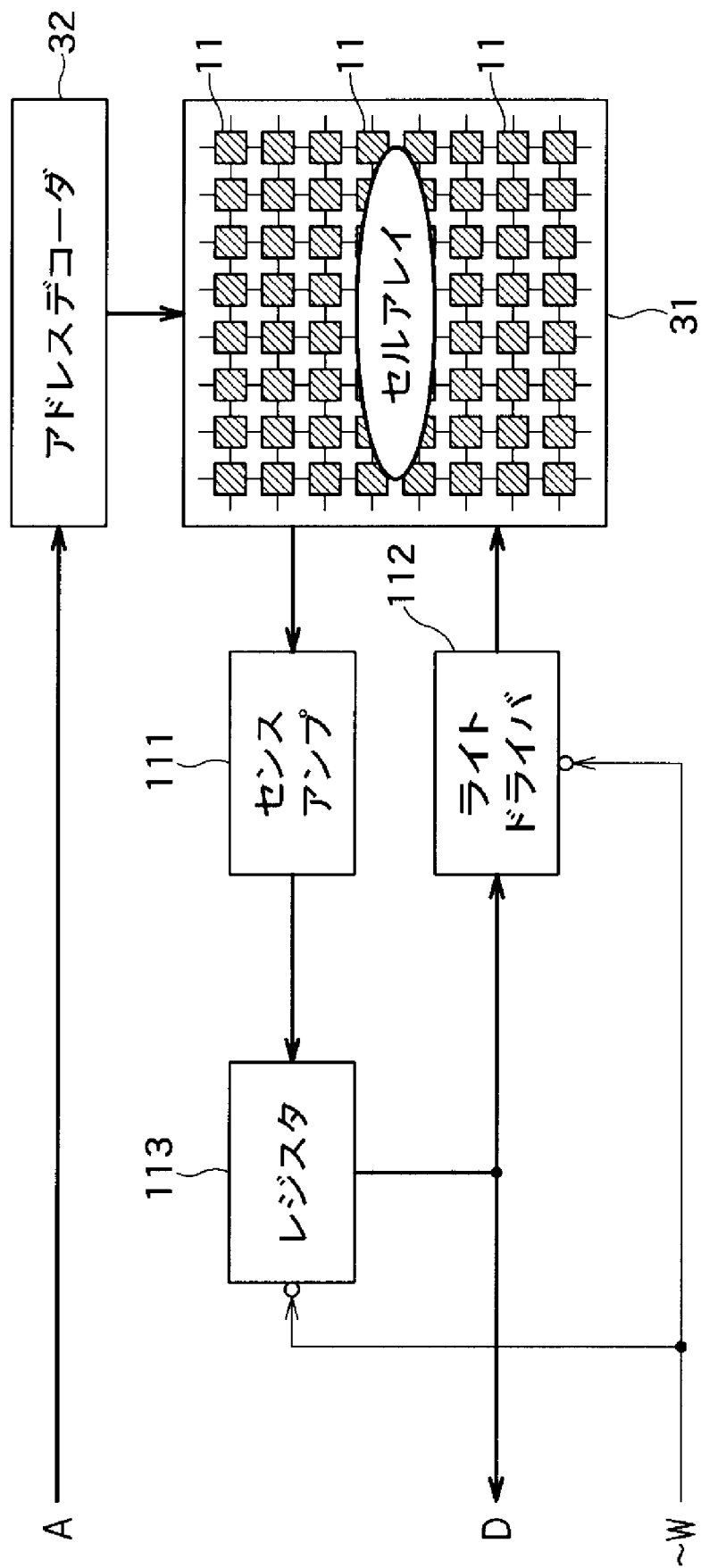


[図29]

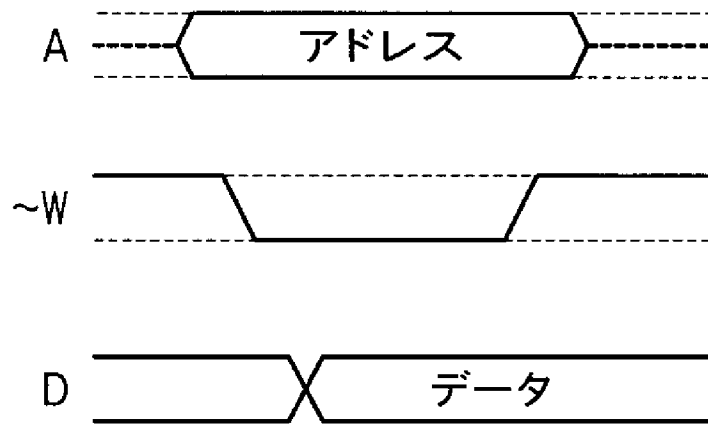


[図30]





[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/051878

A. CLASSIFICATION OF SUBJECT MATTER

G06F7/58(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F7/58, G11C11/15, H01L43/08, H01L27/105, H01L21/8246

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/152845 A1 (National Institute of Advanced Industrial Science and Technology), 18 December 2008 (18.12.2008), entire text; all drawings & JP 2008-310403 A	1-12
A	JP 2007-266301 A (Fujitsu Ltd.), 11 October 2007 (11.10.2007), entire text; all drawings (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
25 March, 2010 (25.03.10)

Date of mailing of the international search report
06 April, 2010 (06.04.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/051878

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-500718 A (Koninklijke Philips Electronics N.V.), 10 January 2008 (10.01.2008), entire text; all drawings & US 2008/0007991 A1 & EP 1754230 A & WO 2005/117022 A1 & KR 10-2007-0027635 A & CN 1957423 A	1-12

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F7/58(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F7/58, G11C11/15, H01L43/08, H01L27/105, H01L21/8246

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2008/152845 A1 (独立行政法人産業技術総合研究所) 2008. 12. 18, 全文、全図 & JP 2008-310403 A	1-12
A	JP 2007-266301 A (富士通株式会社) 2007. 10. 11, 全文、全図 (ファミリーなし)	1-12
A	JP 2008-500718 A (コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ) 2008. 01. 10, 全文、全図 & US 2008/0007991 A1 & EP 1754230 A & WO 2005/117022 A1 & KR 10-2007-0027635 A & CN 1957423 A	1-12

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 3 . 2 0 1 0

国際調査報告の発送日

0 6 . 0 4 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

田中 友章

5 E

9 3 7 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 2 1