

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
4. Mai 2006 (04.05.2006)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2006/045806 A2

(51) Internationale Patentklassifikation:
Nicht klassifiziert

(21) Internationales Aktenzeichen: PCT/EP2005/055548

(22) Internationales Anmeldedatum:
25. Oktober 2005 (25.10.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2004 051 950.1 25. Oktober 2004 (25.10.2004) DE
10 2004 051 992.7 25. Oktober 2004 (25.10.2004) DE
10 2005 037 231.7 8. August 2005 (08.08.2005) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **ROBERT BOSCH GMBH** [DE/DE]; Postfach 30 02 20, 70442 Stuttgart (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **WEIBERLE,**

Reinhard [DE/DE]; Kalkaeckerstrasse 10, 71665 Vaihingen/Enz (DE). **MUELLER, Bernd** [DE/DE]; Stahler Strasse 38, 70839 Gerlingen (DE). **COLLANI, Yorck** [DE/DE]; Lisztweg 9, 71717 Beilstein (DE). **GMEHLICH, Rainer** [DE/DE]; Hoehenweg 2, 71254 Ditzingen (DE).

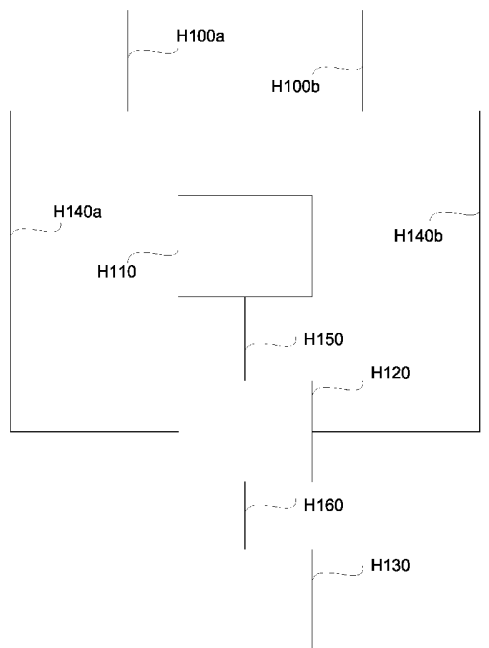
(74) Gemeinsamer Vertreter: **ROBERT BOSCH GMBH**; Postfach 30 02 20, 70442 Stuttgart (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND DEVICE FOR CONTROLLING A COMPUTER SYSTEM

(54) Bezeichnung: VERFAHREN UND VORRICHTUNG ZUR STEUERUNG EINES RECHNERSYSTEMS



(57) Abstract: The invention relates to a method and device for controlling a computer system, comprising: at least two execution units, particularly a multiprocessor system, and; changeover means which enable switching between at least two different operating modes of the computer system. A changeover of the clock frequency of the computer system can also be carried out by switching between the operating modes.

[Fortsetzung auf der nächsten Seite]

WO 2006/045806 A2



(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) **Zusammenfassung:** Verfahren und Vorrichtung zur Steuerung eines Rechnersystems mit wenigstens zwei Ausführungseinheiten, insbesondere eines Multiprozessorsystems, mit Umschaltmitteln durch welche zwischen wenigstens zwei unterschiedlichen Betriebsmodi des Rechnersystems umgeschaltet werden kann, wobei mit der Umschaltung zwischen den Betriebsmodi auch eine Umschaltung der Taktfrequenz des Rechnersystems vorgenommen wird.

5

10 Verfahren und Vorrichtung zur Steuerung eines Rechnersystems

Stand der Technik

15 Transiente Fehler, ausgelöst durch Alpha-Teilchen oder kosmische Strahlung, werden zunehmend ein Problem für integrierte Halbleiterschaltungen. Durch abnehmende Strukturbreiten, sinkende Spannungen und höhere Taktfrequenzen nimmt die Wahrscheinlichkeit zu, dass eine Ladungsänderung, hervorgerufen durch ein Alpha-Teilchen oder kosmische Strahlung, einen logischen Wert in einer integrierten Schaltung verfälscht. Ein falsches Berechnungsergebnis kann die Folge sein. In sicherheitsrelevanten Systemen, insbesondere im Kraftfahrzeug, müssen solche Fehler daher zuverlässig
20 detektiert werden.

Bei sicherheitsrelevanten Systemen, wie z.B. einem ABS-Regelsystem in einem Kraftfahrzeug, in denen Fehlfunktionen der Elektronik sicher detektiert werden müssen, werden bei den entsprechenden Steuereinrichtungen solcher Systeme üblicherweise Redundanzen zur Fehlererkennung eingesetzt. So ist beispielsweise in bekannten ABS-Systemen jeweils der komplette Mikrocontroller dupliziert, wobei die gesamten ABS-Funktionen redundant berechnet und auf Übereinstimmung geprüft werden. Tritt eine
25 Diskrepanz der Ergebnisse auf, so wird das ABS-System abgeschaltet.

Ein Mikrocontroller besteht im wesentlichen aus Speichermodulen (z.B. RAM, ROM, Cache), aus einem Prozessor (CPU, Core) und aus Ein- /Ausgangs-Schnittstellen, so genannten Peripherals (z.B. A/D-Wandler, CAN-Schnittstelle). Da Speicherelemente mit
35 Prüfcodes (Parity oder ECC) effektiv überwacht werden können, und Peripherals oft

anwendungsspezifisch als Teil eines Sensor- oder Aktor-Signalpfades überwacht werden, besteht ein weiterer Redundanzansatz in der alleinigen Verdopplung der Cores eines Mikrocontrollers.

5 Solche Mikrocontroller mit wenigstens zwei integrierten Cores sind auch als Dual-Core Architekturen bekannt. Beide Cores führen redundant und takt synchron (Lockstep-Modus) das gleiche Programmsegment aus, die Ergebnisse der beiden Cores werden verglichen, und ein Fehler wird dann bei dem Vergleich auf Übereinstimmung erkannt werden. Diese Konfiguration eines Dual-Core Systems kann als Vergleichsmodus
10 bezeichnet werden.

Dual-Core Architekturen werden in anderen Anwendungen auch zur Leistungssteigerung, eingesetzt. Beide Cores führen unterschiedliche Programme, Programmsegmente und Befehle aus, wodurch sich eine Steigerung der Systemperformanz erzielen lässt, weshalb
15 diese Konfiguration eines Dual-Core Systems als Performanzmodus bezeichnet werden kann. Dieses System wird auch als ein symmetrisches Multiprozessorsystem (SMP) bezeichnet.

Eine Erweiterung dieser Systeme ist eine Umschaltung durch Software zwischen diesen
20 beiden Modi mittels eines Zugriffs auf eine spezielle Adresse und spezialisierter Hardware-Vorrichtungen. Im Vergleichsmodus werden die Ausgangssignale der Cores miteinander verglichen. Im Performanzmodus arbeiten die beiden Cores als ein symmetrisches Mehrprozessorsystem (SMP) und führen unterschiedliche Programme, Programmsegmente oder Befehle aus.

25 Es ist weiter aus dem Stand der Technik bekannt, dass die Taktfrequenz eines μC auch im Betrieb geändert werden kann. Zum Beispiel kann man durch eine Absenkung der Taktfrequenz Strom sparen und damit die Verlustleistung reduzieren. In einem μC , der eine Umschaltung zwischen zwei Modi ermöglicht besteht je nach Anwendung die
30 Anforderung, dass die Zuverlässigkeitseigenschaften für einen Modus verstärkt werden müssen. Dazu ist im Stand der Technik keine Lösung bekannt.

Es ist daher Aufgabe der Erfindung die Taktfrequenz eines Multiprozessorsystems bedarfsgerecht einzustellen, entweder um die Energieaufnahme, die elektrische

Verlustleistung und die elektromagnetische Abstrahlung zu verringern oder um die Störanfälligkeit zu reduzieren.

5 Vorteile der Erfindung

Ein Verfahren oder eine Vorrichtung zur Steuerung eines Rechnersystems mit wenigstens zwei Ausführungseinheiten, wobei zwischen wenigstens zwei unterschiedlichen Betriebsmodi des Rechnersystems umgeschaltet werden kann, weist gegenüber bekannten
10 Lösungsansätzen den Vorteil auf, dass mit der Umschaltung zwischen den Betriebsmodi auch eine Umschaltung der Taktfrequenz des Rechnersystems vorgenommen wird.

In ausgewählten Anwendungen ist es vorteilhaft, dass die Taktfrequenz im Vergleichsmodus höher ist als die Taktfrequenz im Performanzmodus. In weiteren Anwendungen
15 kann es besonders vorteilhaft sein, dass die Taktfrequenz im Performanzmodus höher ist als die Taktfrequenz im Vergleichsmodus. Vorteilhaft kann es weiterhin sein, dass das Verhältnis zwischen den Taktfrequenzen so gewählt wird, dass eine effektive Performanz in den wenigstens zwei Betriebsmodi gleich ist.

Weiterhin ist es vorteilhaft, dass wenigstens eine zweite Taktfrequenz dadurch erzeugt wird, dass eine Einheit zur Taktveränderung und/oder -anpassung durch ein Signal von Umschaltmitteln, insbesondere einer Umschalt- und Vergleichseinheit, beeinflusst wird
20 Ein weiterer Vorteil ist darin zu sehen, dass zur Erzeugung wenigstens einer zweiten Taktfrequenz eine steuerbare PLL verwendet wird.

Vorteilhaft ist auch dass wenigstens eine zweite Taktfrequenz dadurch erzeugt wird, dass wenigstens zwei unabhängige Einrichtungen zur Frequenzanpassung vorhanden sind und gesteuert zwischen den wenigstens zwei Ausgangssignalen dieser Einrichtungen
25 umgeschaltet werden kann. Vorteilhafterweise wird die Umschaltung zwischen den Ausgangssignalen der wenigstens zwei unabhängigen Einrichtungen zur Frequenzanpassung durch ein Signal von Umschaltmitteln, insbesondere einer Umschalt- und
30 Vergleichseinheit gesteuert.

Weitere Vorteile und vorteilhafte Ausgestaltungen ergeben sich aus den Merkmalen der Ansprüche sowie der Beschreibung.

Figuren

5 In Figur 1 ist ein Multiprozessorsystem mit zwei Ausführungseinheiten H100a und H100b sowie einer Umschalt- und Vergleichseinheit H110 dargestellt.

In der Figur 2 ist ein Multiprozessorsystem mit zwei Ausführungseinheiten H100a und H100b und mit zwei Taktveränderungseinheiten H210 und H220 dargestellt.

10 In Figur 3 ist eine allgemeine Umschalt- und Vergleichskomponente, auch für die Verwendung für mehr als zwei Ausführungseinheiten, dargestellt.

In Figur 4 ist eine allgemeine Umschalt- und Vergleichskomponente, die ein allgemeines Modus Signal erzeugt dargestellt.

15

Beschreibung der Ausführungsbeispiele

20 Die vorliegende Erfindung beschreibt ein Verfahren, bei dem die Umschaltung der Taktfrequenz in einem Multiprozessorsystem mit der Umschaltung zwischen den wenigstens zwei Betriebsmodi eines solchen Prozessorsystems gekoppelt ist.

25 Gegenstand der Erfindung ist ein Multiprozessorsystem mit wenigstens zwei Ausführungseinheiten und einer Umschalt- und Vergleichseinheit, welches zwischen den wenigstens zwei Betriebsmodi "Performanzmodus" und "Vergleichsmodus" umgeschaltet werden kann. Die Gesamtperformanz des Prozessorsystems unterscheidet sich dabei abhängig vom eingestellten Betriebsmodus.

30 Eine Ausführungseinheit kann im Folgenden sowohl einen Prozessor/Core/CPU, als auch eine FPU (Floating Point Unit), DSP (Digitaler Signalprozessor), Coprozessor oder ALU (Arithmetic logical Unit) bezeichnen.

Um die Begriffe Performanzmodus und Vergleichsmodus zu klären ist in Figur 3 ein allgemeiner Fall einer Umschalt- und Vergleichskomponente, auch für die Verwendung für mehr als zwei Ausführungseinheiten gezeigt. Von den n zu berücksichtigenden Ausführungseinheiten gehen n Signale $N140, \dots, N14n$ an die Umschalt- und Vergleichskomponente $N100$. Diese kann bis zu n Ausgangssignale $N160, \dots, N16n$ aus diesen Eingangssignalen erzeugen. Im einfachsten Fall, dem „reinen Performanzmodus“, werden alle Signale $N14i$ auf die entsprechenden Ausgangssignale $N16i$ geleitet. Im entgegen gesetzten Grenzfall, dem „reinen Vergleichsmodus“ werden alle Signale $N140, \dots, N14n$ nur auf genau eines der Ausgangssignale $N16i$ geleitet.

An dieser Figur lässt sich darlegen, wie die verschiedenen denkbaren Modi entstehen können. Dazu ist in dieser Figur die logische Komponente einer Schaltlogik $N110$ enthalten. Diese legt zunächst fest, wie viele Ausgangssignale es überhaupt gibt. Weiter legt die Schaltlogik $N110$ fest, welche der Eingangssignale zu welchem der Ausgangssignale beitragen. Dabei kann ein Eingangssignal zu genau einem Ausgangssignal beitragen. In mathematischer Form anders formuliert ist also durch die Schaltlogik eine Funktion definiert, die jedem Element der Menge $\{N140, \dots, N14n\}$ ein Element der Menge $\{N160, \dots, N16n\}$ zuordnet.

Die Verarbeitungslogik $N120$ legt dann zu jedem der Ausgänge $N16i$ fest, in welcher Form die Eingänge zu diesem Ausgangssignal beitragen. Um beispielhaft die verschiedenen Variationsmöglichkeiten zu beschreiben, sei ohne Beschränkung der Allgemeinheit angenommen, dass der Ausgang $N160$ durch die Signale $N141, \dots, N14m$ erzeugt wird. Falls $m = 1$ entspricht dies einfach einer Durchschaltung des Signals, falls $m = 2$ dann werden die Signale $N141, N142$ verglichen. Dieser Vergleich kann synchron oder asynchron durchgeführt werden, er kann bitweise oder nur auf signifikante Bits oder auch mit einem Toleranzband durchgeführt werden.

Falls $m \geq 3$ gibt es mehrere Möglichkeiten.

Eine erste Möglichkeit besteht darin alle Signale zu vergleichen und bei Vorhandensein mindestens zweier verschiedener Werte einen Fehler zu detektieren, den man optional signalisieren kann.

- 6 -

Eine zweite Möglichkeit besteht darin, dass man eine k aus m –Auswahl vornimmt ($k > m/2$). Diese kann durch Verwendung von Vergleichen realisiert werden. Optional kann ein Fehlersignal generiert werden, wenn eines der Signale als abweichend erkannt wird. Ein möglicherweise verschiedenes Fehlersignal kann generiert werden, wenn alle drei
5 Signale verschieden sind.

Eine dritte Möglichkeit besteht darin, diese Werte einem Algorithmus zuzuführen. Dies kann beispielsweise die Bildung eines Mittelwerts, eines Medianwert, oder die Verwendung eines fehlertoleranten Algorithmus (FTA) darstellen. Ein solcher FTA
10 beruht darauf, Extremwerte der Eingangswerte wegzustreichen und eine Art der Mittelung über die restlichen Werte vorzunehmen. Diese Mittelung kann über die gesamte Menge der restlichen Werte, oder vorzugsweise über eine in HW leicht zu bildenden Teilmenge vorgenommen werden. In diesem Fall ist es nicht immer notwendig, die Werte tatsächlich zu vergleichen. Bei der Mittelwertbildung muss beispielsweise nur
15 addiert und dividiert werden, FTM, FTA oder Median erfordern eine teilweise Sortierung. Gegebenenfalls kann auch hier bei hinreichend großen Extremwerten optional ein Fehlersignal ausgegeben werden

Diese verschiedenen genannten Möglichkeiten der Verarbeitung mehrerer Signale zu
20 einem Signal werden der Kürze wegen als Vergleichsoperationen bezeichnet. Die Aufgabe der Verarbeitungslogik ist es also, die genaue Gestalt der Vergleichsoperation für jedes Ausgangssignal – und damit auch für die zugehörigen Eingangssignale – festzulegen. Die Kombination der Information der Schaltlogik N110 (d.h. die o.g. Funktion) und der Verarbeitungslogik (d.h. die Festlegung der Vergleichsoperation pro
25 Ausgangssignal, d.h. pro Funktionswert) ist die Modusinformation und diese legt den Modus fest. Diese Information ist im allgemeinen Fall natürlich mehrwertig, d.h. nicht nur über ein logisches Bit darstellbar. Nicht alle theoretisch denkbaren Modi sind in einer gegebenen Implementierung sinnvoll, man wird vorzugsweise die Zahl der erlaubten Modi einschränken. Zu betonen ist, dass im Fall von nur zwei Ausführungseinheiten, wo
30 es nur einen Vergleichsmodus gibt, die gesamte Information auf nur ein logisches Bit kondensiert werden kann. Eine Umschaltung von einem Performanz- in einen Vergleichsmodus ist im allgemeinen Fall dadurch charakterisiert, dass Ausführungseinheiten, die im Performanzmodus auf verschiedene Ausgänge hin abgebildet werden, im Vergleichsmodus auf den gleichen Ausgang hin abgebildet

werden. Vorzugsweise ist dies dadurch realisiert, dass es ein Teilsystem von Ausführungseinheiten gibt, bei dem im Performanzmodus alle Eingangssignale N14i, die im Teilsystem zu berücksichtigen sind, direkt auf korrespondierende Ausgangssignale N16i geschaltet werden, während sie im Vergleichsmodus alle auf ein Ausgang hin abgebildet sind. Alternativ kann eine solche Umschaltung auch dadurch realisiert werden, dass Paarungen geändert werden. Es ist dadurch dargestellt, dass man im allgemeinen Fall nicht von dem Performanzmodus und dem Vergleichsmodus sprechen kann, obwohl man in einer gegebenen Ausprägung der Erfindung die Menge der erlaubten Modi so einschränken kann, dass dies der Fall ist. Man kann aber immer von einer Umschaltung vom Performanz- in den Vergleichsmodus (und umgekehrt) sprechen.

Zwischen diesen Modi kann, über Software gesteuert, dynamisch im Betrieb umgeschaltet werden. Ausgelöst wird die Umschaltung dabei entweder über die Ausführung von speziellen Umschaltinstruktionen, speziellen Instruktionssequenzen, explizit gekennzeichneten Instruktionen oder durch den Zugriff auf bestimmte Adressen durch wenigstens eine der Ausführungseinheiten des Multiprozessorsystems.

Die Fehlerschaltungslogik N130 sammelt die Fehlersignale und kann optional die Ausgänge N16i passiv schalten, indem sie beispielsweise über einen Schalter unterbrochen werden.

In einem ersten bevorzugten Ausführungsbeispiel erfolgt eine Umschaltung der Taktfrequenz des Prozessorsystems derart, dass die für den Anwender zur Verfügung stehende effektive Performanz unabhängig vom Betriebsmodus gleich (bzw. in bestimmten Grenzen vergleichbar) bleibt. Dazu muss – ausgehend von einem Performanzmodus – bei der Umschaltung in den Vergleichsmodus die Taktfrequenz um genau den Faktor erhöht werden, um den sich die Performanz im Performanzmodus gegenüber dem Vergleichsmodus ohne Umschaltung der Taktfrequenz erhöhen würde.

$$P_E = P_{A,V} = P_{A,P} * f_P/f_V$$

mit P_E = effektive Performanz (für den Anwender nutzbar)
 $P_{A,P}$ = ursprüngliche Performanz im Performanzmodus
 $P_{A,V}$ = ursprüngliche Performanz im Vergleichsmodus

- 8 -

f_v = Taktfrequenz im Vergleichsmodus
 f_p = Taktfrequenz im Performanzmodus

5 Der wesentliche Vorteil dieser Anwendung ist es, dass die effektive, für den Anwender
nutzbare Performanz gleich, d.h. unabhängig vom Modus bleibt. Ein Performanzmodus
führt bei einer solchen Konfiguration also nicht zu einer höheren effektiven Performanz
des Prozessorsystems, sondern zu einer niedrigeren Energieaufnahme und
Störabstrahlung bei gleicher Performanz im Vergleich zum Betrieb in einem
10 Vergleichsmodus. Abhängig vom Systemdesign ist im Vergleichsmodus in gewissen
Grenzen auch eine Übertaktung vorstellbar. Dies führt zwar potentiell zu einer höheren
Anfälligkeit gegenüber transienten Fehlern (EMV, kapazitive Kopplung), gleichzeitig
kann aber im Vergleichsmodus eine sehr gute Fehlererkennung erreicht werden. Dieser
Vorteil kann insbesondere zur Lösung von Scheduling-Problemen genutzt werden, da ein
Scheduling-Algorithmus immer Ausführungszeiten benötigt. Diese sind in diesem
15 Ausführungsbeispiel unabhängig von der Zuordnung zu einem Modus. Damit ist eine
flexiblere und modularere Plattformstrategie in der SW-Entwicklung möglich.

In einem zweiten Ausführungsbeispiel wird eine genau umgekehrte Zuordnung
vorgeschlagen. Durch geringere Taktfrequenz verringert sich die Anfälligkeit von
20 transienten Fehlern (z.B. kurzzeitige Störimpulse der Spannungsversorgung, Soft Errors).
Wird der Vergleichsmodus mit verringerter Taktfrequenz betrieben, so ist die Ausführung
der Programmteile in diesem Betriebsmodus weniger fehleranfällig, d.h. robuster
gegenüber einer Ausführung mit höherer Taktfrequenz. Die Programmteile, die im
Lockstep-Mode (Vergleichsmodus) berechnet werden, haben spezifikationsgemäß eine
25 höhere Anforderung an die Fehlererkennung. Im vorliegenden Ausführungsbeispiel wird
aber nicht nur die Fehlererkennung erhöht (Sicherheitsaspekt), sondern potentiell die
Aufretenswahrscheinlichkeit von Fehlern reduziert (Zuverlässigkeits- und
Sicherheitserhöhung).

30 In Figur 1 ist ein Multiprozessorsystem mit zwei Ausführungseinheiten H100a und
H100b sowie einer Umschalt- und Vergleichseinheit H110 dargestellt. Die Umschalt- und
Vergleichseinheit H110 erzeugt dabei ein Modus Signal H150 das von einer
Taktveränderungseinheit H120 verwendet wird um den Takt H160 der
Takterzeugungseinheit H130 derart zu verändern, dass bei einer Umschaltung in den

Vergleichsmodus die Taktfrequenz um genau den Faktor erhöht wird, um den sich die Performanz im Performanzmodus gegenüber dem Vergleichsmodus ohne Umschaltung der Taktfrequenz erhöhen würde. Bei einer Umschaltung von einem Performanz- in einen Vergleichsmodus wird die Taktfrequenz um genau den Faktor entsprechend verringert.

5 Der angepasste Takt H140a, H140b wird dann den übrigen Einheiten insbesondere den Ausführungseinheiten H100a und H100b zur Verfügung gestellt. Bei der Takterzeugungseinheit H130 kann es sich um eine PLL (Phase locked Loop) oder einen Taktteiler handeln, die ausgehend von einem Grundtakt einer Takterzeugungseinheit H130 (z.B. RC Resonator oder Quarz) diesen auf bekannte Weise verändern können.

10 In einer zweiten Konfiguration verringert die Taktveränderungseinheit H120 beim Umschalten vom Performanz- in den Vergleichsmodus den Takt. Dies bewirkt dann eine verringerte Empfindlichkeit gegenüber transienten Fehlern im Vergleichsmodus. Entsprechend wird der Takt beim Umschalten vom Vergleichsmodus in den

15 Performanzmodus wieder erhöht.

Das Modus Signal H150 ist in einer allgemeinen Form in der Figur 4 dargestellt. Die Signale und Komponenten N110, N120, N130, N140, N141, N142, N143, N14n, N160, N161, N162, N163, N16n der Umschalt- und Vergleichskomponente N200 haben die

20 gleiche Bedeutung wie in der der Umschalt- und Vergleichskomponente N100 in Figur 3. Darüber hinaus ist das Modussignal N150 und das Fehlersignal N170 in dieser Figur eingezeichnet. Das Modussignal N150 entspricht dem Signal H150 aus Figur 1 und Figur 2. Das optionale Fehlersignal N170 wird von der Fehlerschaltungslogik N130, die die Fehlersignale sammelt, generiert und ist entweder eine direkte Weiterleitung der

25 Einzelfehlersignale oder eine Bündelung der darin enthaltenen Fehlerinformation. Das Modussignal N150 ist optional, seine Verwendung außerhalb dieser Komponente kann aber an vielen Stellen vorteilhaft verwendet werden. Die Kombination der Information der Schaltlogik N110 (d.h. die o.g. Funktion) und der Verarbeitungslogik (d.h. die Festlegung der Vergleichsoperation pro Ausgangssignal, d.h. pro Funktionswert) ist die

30 Modusinformation und diese legt den Modus fest. Diese Information ist im allgemeinen Fall natürlich mehrwertig, d.h. nicht nur über ein logisches Bit darstellbar. Nicht alle theoretisch denkbaren Modi sind in einer gegebenen Implementierung sinnvoll, man wird vorzugsweise die Zahl der erlaubten Modi einschränken. Das Modussignal bringt dann die relevante Modusinformation nach außen. Eine HW-Implementierung ist vorzugsweise

so dargestellt, dass das extern sichtbare Modussignal konfiguriert werden kann. Vorzugsweise sind ebenfalls die Verarbeitungslogik und die Schaltlogik konfigurierbar gestaltet. Vorzugsweise sind diese Konfigurationen aufeinander abgestimmt. Alternativ kann man auch nur oder ergänzend Änderungen des Modussignals nach außen geben. Dies hat insbesondere in einer Zweierkonfiguration Vorteile.

In der Figur 2 ist eine Alternative dargestellt, die zwei Taktveränderungseinheiten H210 und H220 benutzt. Die zwei Ausführungseinheiten H100a und H100b erhalten dabei ihren Takt H270a, H270b von dem Taktumschalter H200. Dieser schaltet abhängig von einem Core Modus Signal H150, erzeugt von einer Umschalt- und Vergleichseinheit H110, den Takt um. Der Taktumschalter H200 besitzt dabei zwei Takteingänge die von den Takten H240 und H250 getrieben werden. Der Takt H240 wird dabei von der Taktveränderungseinheit H210 eingestellt, der Takt H250 wird von der Taktveränderungseinheit H220 eingestellt. Die Taktveränderungseinheiten H210 und H220 erhalten dabei optional einen Grundtakt H260 von der Takterzeugungseinheit H130, ansonsten erhalten sie getrennte Takte. Diese Anordnung kann dazu benutzt werden, den Takt für die Ausführungseinheiten im Performanzmodus abzusenken, damit die Performanz in beiden Modi annähernd gleich bleibt. Ebenso kann diese Anordnung dazu benutzt werden, den Takt im Vergleichsmodus abzusenken um die Empfindlichkeit im Vergleichsmodus gegenüber transienten Fehlern zu verringern.

5

Ansprüche

10

15

20

25

30

1. Verfahren zur Steuerung eines Rechnersystems mit wenigsten zwei Ausführungseinheiten, insbesondere eines Multiprozessorsystems, wobei zwischen wenigstens zwei unterschiedlichen Betriebsmodi des Rechnersystems umgeschaltet werden kann, dadurch gekennzeichnet, dass mit der Umschaltung zwischen den Betriebsmodi auch eine Umschaltung der Taktfrequenz des Rechnersystems vorgenommen wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Taktfrequenz im Vergleichsmodus höher ist als die Taktfrequenz im Performanzmodus.
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Taktfrequenz im Performanzmodus höher ist als die Taktfrequenz im Vergleichsmodus.
4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass das Verhältnis zwischen den Taktfrequenzen so gewählt wird, dass eine effektive Performanz in den wenigstens zwei Betriebsmodi gleich ist.
5. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass wenigstens eine zweite Taktfrequenz dadurch erzeugt wird, dass eine Einheit zur Taktveränderung und/oder -anpassung durch ein Signal von Umschaltmitteln, insbesondere einer Umschalt- und Vergleichseinheit, beeinflusst wird
6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass zur Erzeugung wenigstens einer zweiten Taktfrequenz eine steuerbare PLL verwendet wird.

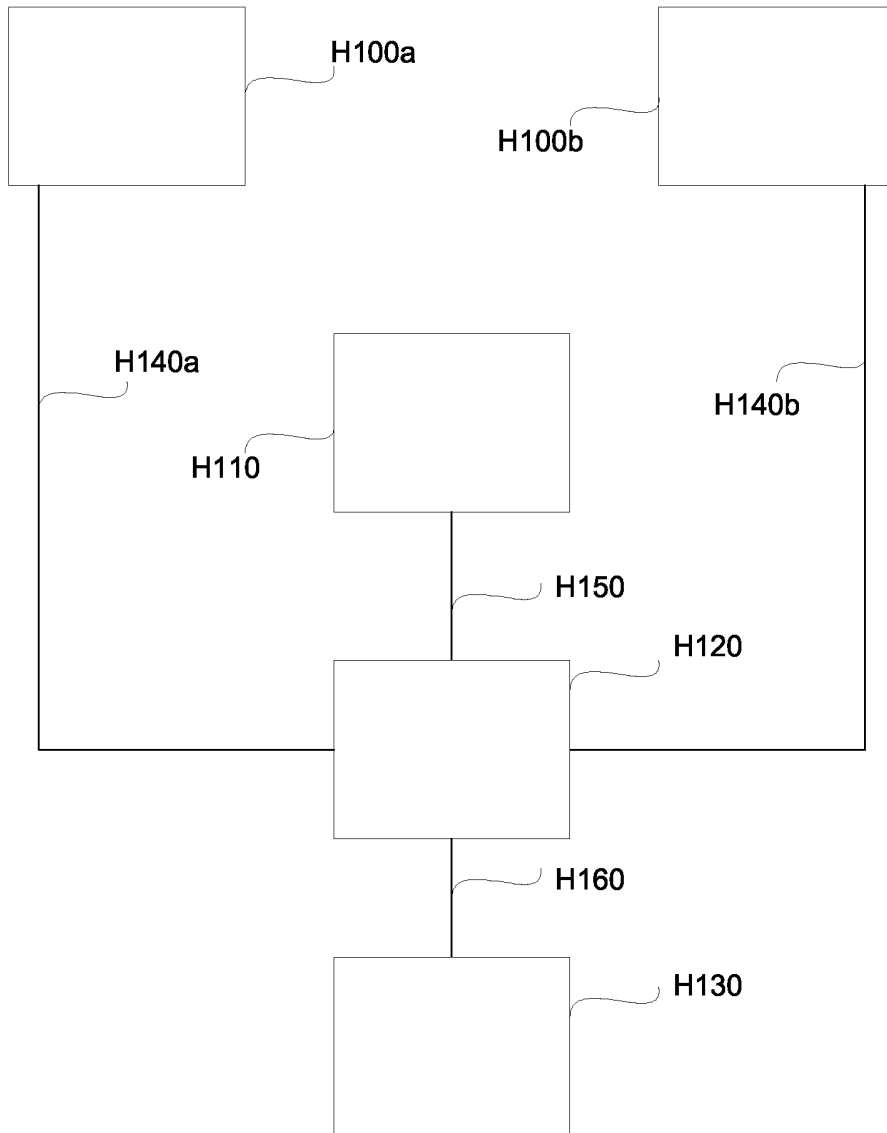
- 5
7. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass wenigstens eine zweite Taktfrequenz dadurch erzeugt wird, dass wenigstens zwei unabhängige Einrichtungen zur Frequenzanpassung vorhanden sind und gesteuert zwischen den wenigstens zwei Ausgangssignalen dieser Einrichtungen umgeschaltet werden kann.
- 10
8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, dass die Umschaltung zwischen den Ausgangssignalen der wenigstens zwei unabhängigen Einrichtungen zur Frequenzanpassung durch ein Signal von Umschaltmitteln, insbesondere einer Umschalt- und Vergleichseinheit gesteuert wird.
- 15
9. Vorrichtung zur Steuerung eines Rechnersystems mit wenigsten zwei Ausführungseinheiten, insbesondere eines Multiprozessorsystems, mit Umschaltmitteln durch welche zwischen wenigstens zwei unterschiedlichen Betriebsmodi des Rechnersystems umgeschaltet werden kann, dadurch gekennzeichnet, dass die Vorrichtung derart ausgestaltet ist, dass mit der Umschaltung zwischen den Betriebsmodi auch eine Umschaltung der Taktfrequenz des Rechnersystems vorgenommen wird.
- 20
10. Vorrichtung nach Anspruch 9, dadurch gekennzeichnet, dass die Vorrichtung derart ausgebildet ist, dass die Taktfrequenz im Vergleichsmodus höher ist als die Taktfrequenz im Performanzmodus.
- 25
11. Vorrichtung nach Anspruch 9, dadurch gekennzeichnet, dass die Vorrichtung derart ausgebildet ist, dass die Taktfrequenz im Performanzmodus höher ist als die Taktfrequenz im Vergleichsmodus.
- 30
12. Vorrichtung nach einem der Ansprüche 9 bis 11, dadurch gekennzeichnet, dass die Vorrichtung derart ausgebildet ist, dass das Verhältnis zwischen den Taktfrequenzen so gewählt wird, dass eine effektive Performanz in den wenigstens zwei Betriebsmodi gleich ist.
13. Vorrichtung nach Anspruch 9, dadurch gekennzeichnet, dass eine Einheit zur Taktveränderung und/oder -anpassung enthalten ist und die Vorrichtung derart ausgestaltet ist, dass wenigstens eine zweite Taktfrequenz dadurch erzeugt wird, dass diese Einheit durch ein Signal der Umschaltmittel, insbesondere einer Umschalt- und Vergleichseinheit,

beeinflusst wird.

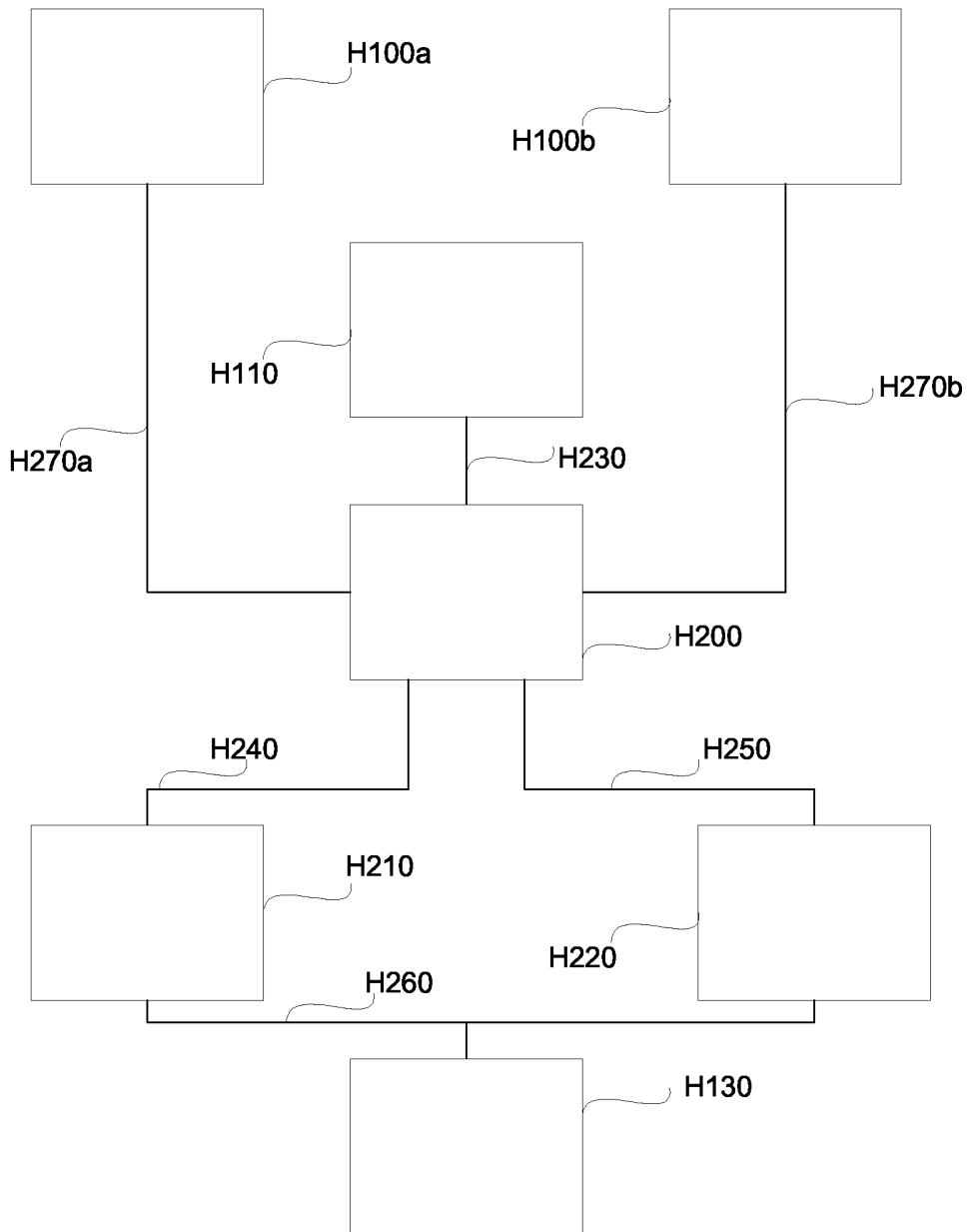
5 14. Vorrichtung nach Anspruch 13, dadurch gekennzeichnet, dass die Einheit zur Takt-
veränderung und/oder -anpassung zur Erzeugung wenigstens einer zweiten Frequenz als
PLL ausgebildet ist.

10 15. Vorrichtung nach Anspruch 9, dadurch gekennzeichnet, dass die Vorrichtung derart
ausgestaltet ist, dass wenigstens eine zweite Taktfrequenz dadurch erzeugt wird, dass
wenigstens zwei unabhängige Einrichtungen zur Frequenzanpassungen enthalten sind und
gesteuert durch die Umschaltmittel, insbesondere eine Umschalt- und Vergleichseinheit,
zwischen den wenigstens zwei Ausgangssignalen dieser Einrichtungen umgeschaltet
werden kann.

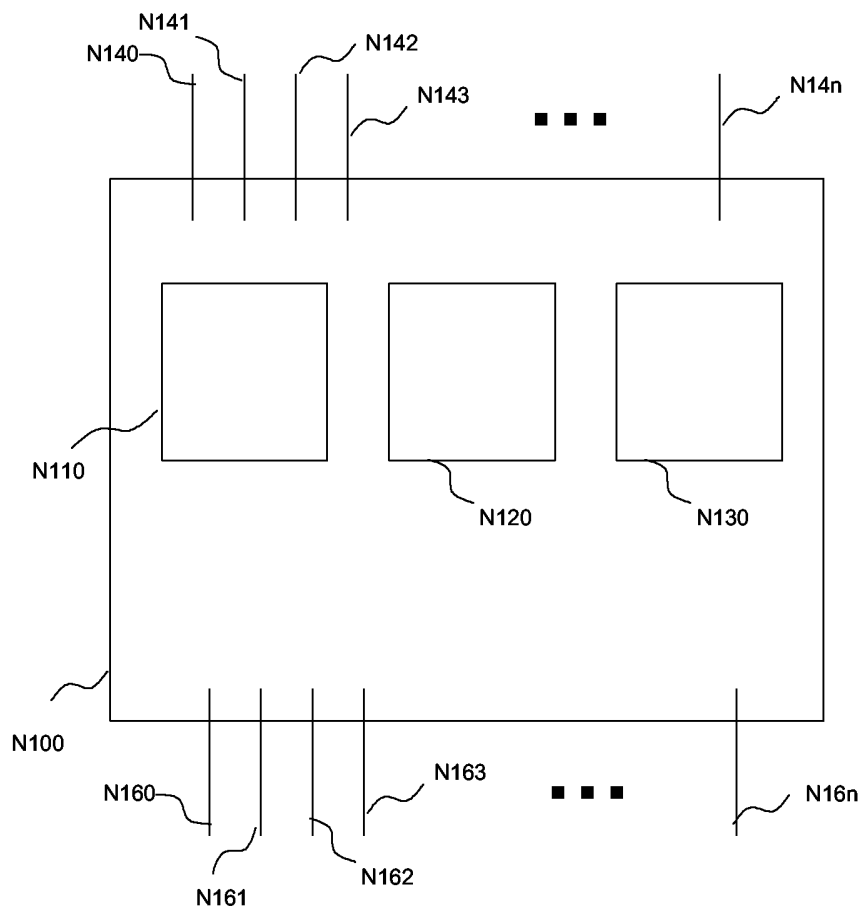
15 16. Rechnersystem mit einer Vorrichtung nach einem der Ansprüche 9 bis 15.



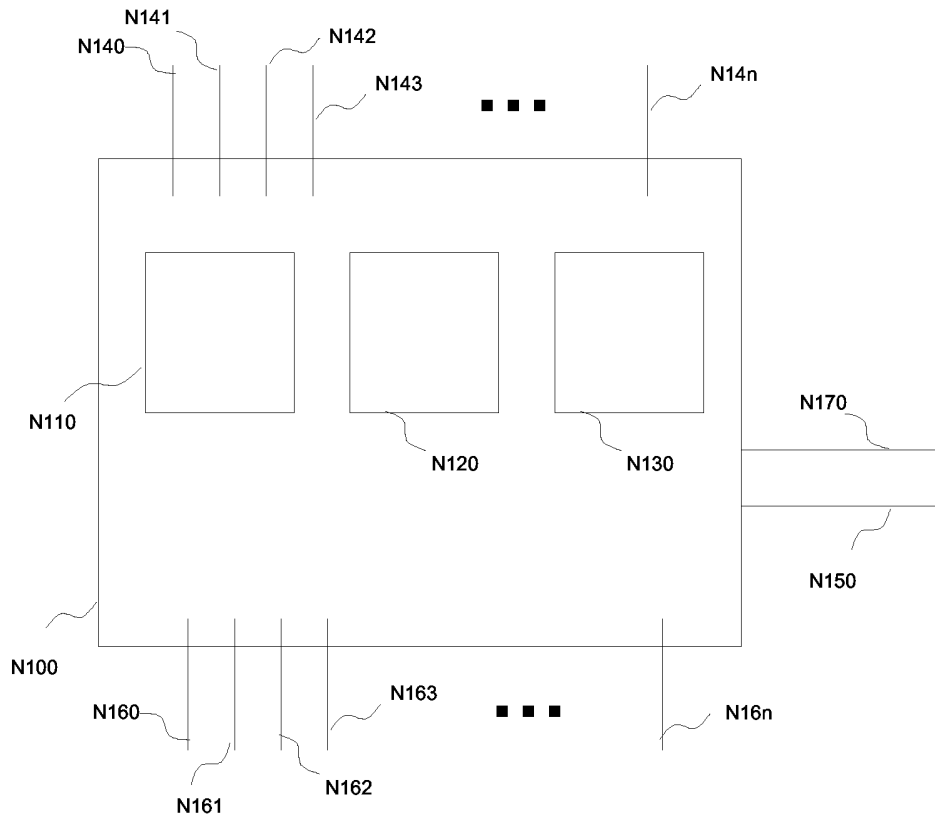
Figur 1



Figur 2



Figur 3



Figur 4