



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202316486 A

(43)公開日：中華民國 112 (2023) 年 04 月 16 日

(21)申請案號：111132829

(22)申請日：中華民國 105 (2016) 年 03 月 23 日

(51)Int. Cl. : H01L21/02 (2006.01)

H01L29/66 (2006.01)

(30)優先權：2015/03/30 日本

2015-069654

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：倉田求 KURATA, MOTOMU (JP)；方堂涼太 HODO, RYOTA (JP)；飯田裕太 IIDA,
YUTA (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：5 項 圖式數：66 共 223 頁

(54)名稱

半導體裝置的製造方法

(57)摘要

提供一種微型電晶體、寄生電容小的電晶體、頻率特性高的電晶體、包括該電晶體的半導體裝置。一種半導體裝置，包括第一開口、第二開口及第三開口，藉由進行第一蝕刻及第二蝕刻形成第一開口、第二開口及第三開口，在第一蝕刻中，為了形成第一開口、第二開口及第三開口對第一絕緣體進行蝕刻，在第二蝕刻中，為了形成第一開口對電子俘獲層、第二絕緣體、第三絕緣體、第四絕緣體、第二金屬氧化物及第五絕緣體進行蝕刻，為了形成第二開口對電子俘獲層、第二絕緣體及第三絕緣體進行蝕刻，為了形成第三開口對電子俘獲層進行蝕刻。

A minute transistor is provided. A transistor with low parasitic capacitance is provided. A transistor having high frequency characteristics is provided. A semiconductor device including the transistor is provided. A semiconductor device includes a first opening, a second opening, and a third opening which are formed by performing first etching and second etching. By the first etching, the first insulator is etched for forming the first opening, the second opening, and the third opening. By the second etching, the electron trap layer, the second insulator, the third insulator, the fourth insulator, the second metal oxide, and the fifth insulator are etched for forming the first opening; the electron trap layer, the second insulator, and the third insulator are etched for forming the second opening; and the electron trap layer is etched for forming the third opening.

指定代表圖：

圖 1A

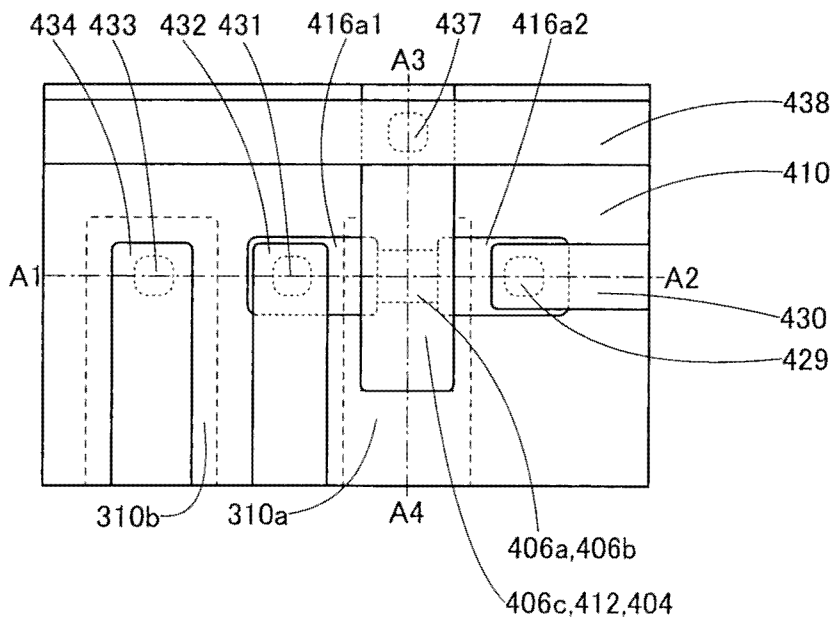
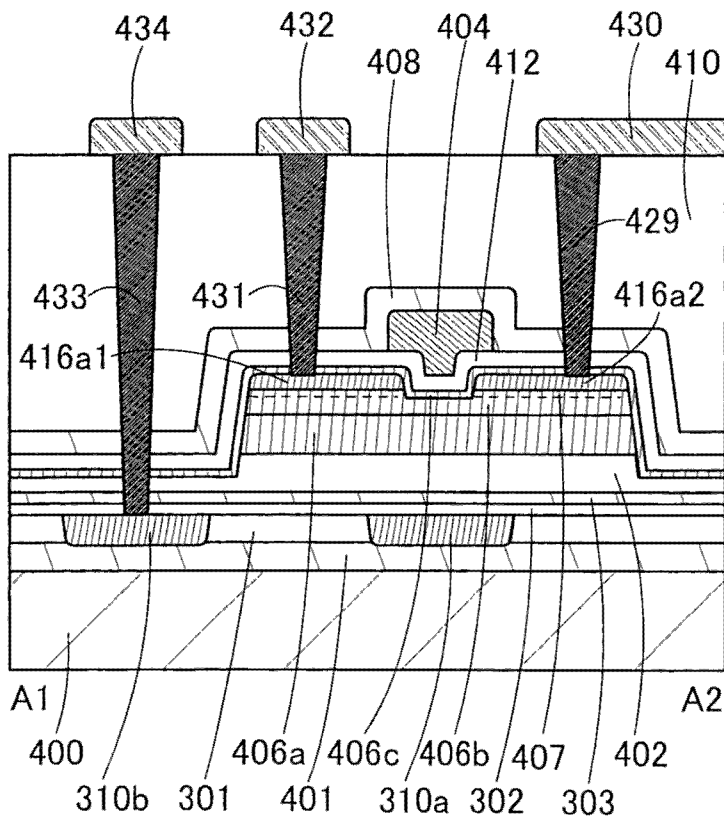


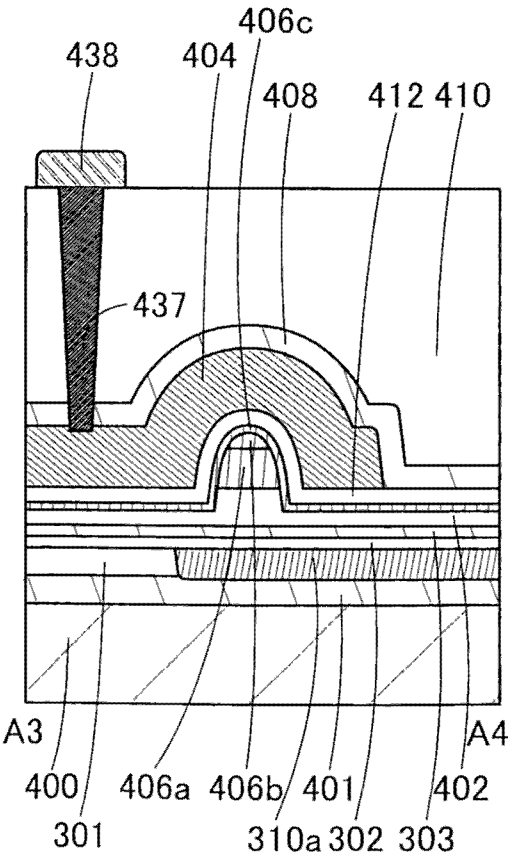
圖 1B



符號簡單說明：

- 301:絕緣體
- 302:絕緣體
- 303:電子俘獲層
- 310a:導電體
- 310b:導電體
- 400:基板
- 401:絕緣體
- 402:絕緣體
- 404:導電體
- 406a:絕緣體
- 406b:半導體
- 406c:絕緣體
- 407:區域
- 408:絕緣體
- 410:絕緣體
- 412:絕緣體
- 416a1:導電體
- 416a2:導電體
- 429:導電體
- 430:導電體
- 431:導電體
- 432:導電體
- 433:導電體
- 434:導電體
- 437:導電體
- 438:導電體

圖 1C



【發明摘要】

【中文發明名稱】

半導體裝置的製造方法

【英文發明名稱】

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

【中文】

提供一種微型電晶體、寄生電容小的電晶體、頻率特性高的電晶體、包括該電晶體的半導體裝置。一種半導體裝置，包括第一開口、第二開口及第三開口，藉由進行第一蝕刻及第二蝕刻形成第一開口、第二開口及第三開口，在第一蝕刻中，為了形成第一開口、第二開口及第三開口對第一絕緣體進行蝕刻，在第二蝕刻中，為了形成第一開口對電子俘獲層、第二絕緣體、第三絕緣體、第四絕緣體、第二金屬氧化物及第五絕緣體進行蝕刻，為了形成第二開口對電子俘獲層、第二絕緣體及第三絕緣體進行蝕刻，為了形成第三開口對電子俘獲層進行蝕刻。

【 英文 】

A minute transistor is provided. A transistor with low parasitic capacitance is provided. A transistor having high frequency characteristics is provided. A semiconductor device including the transistor is provided. A semiconductor device includes a first opening, a second opening, and a third opening which are formed by performing first etching and second etching. By the first etching, the first insulator is etched for forming the first opening, the second opening, and the third opening. By the second etching, the electron trap layer, the second insulator, the third insulator, the fourth insulator, the second metal oxide, and the fifth insulator are etched for forming the first opening; the electron trap layer, the second insulator, and the third insulator are etched for forming the second opening; and the electron trap layer is etched for forming the third opening.

【代表圖】

【本案指定代表圖】：圖 1

【本代表圖之符號簡單說明】：

301：絕緣體
302：絕緣體
303：電子俘獲層
310a：導電體
310b：導電體
400：基板
401：絕緣體
402：絕緣體
404：導電體
406a：絕緣體
406b：半導體
406c：絕緣體
407：區域
408：絕緣體
410：絕緣體
412：絕緣體
416a1：導電體
416a2：導電體
429：導電體
430：導電體
431：導電體
432：導電體
433：導電體
434：導電體
437：導電體
438：導電體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

【發明說明書】

【中文發明名稱】

半導體裝置的製造方法

【英文發明名稱】

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

【技術領域】

[0001] 本發明例如係關於一種電晶體、半導體裝置以及其製造方法。本發明例如係關於一種顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、處理器、電子裝置。本發明係關於一種顯示裝置、液晶顯示裝置、發光裝置、記憶體裝置及電子裝置的製造方法。或者，本發明係關於一種半導體裝置、顯示裝置、液晶顯示裝置、發光裝置、記憶體裝置及電子裝置的驅動方法。

[0002] 注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式的技術領域係關於一種物體、方法或製造方法。或者，本發明的一個實施方式係關於一種程式（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。

[0003] 注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。顯示裝置、發光裝置、照明設備、電光裝置、半導體電路以及電子裝置

有時包括半導體裝置。

【先前技術】

[0004] 近年來，使用氧化物半導體的電晶體受到關注。氧化物半導體可以利用濺射法等形成，所以可以用於構成大型顯示裝置的電晶體的半導體。另外，因為使用氧化物半導體的電晶體可以改良使用非晶矽的電晶體的生產設備的一部分而使用，所以使用氧化物半導體的電晶體還具有可以減少設備投資的優點。

[0005] 另外，已知使用氧化物半導體的電晶體的洩漏電流在非導通狀態下極小。例如，已公開了應用使用氧化物半導體的電晶體的洩漏電流小的特性的低功耗 CPU 等（參照專利文獻 1）。

[0006] 此外，已公開了將閘極電極埋入到開口中的使用氧化物半導體的電晶體的製造方法（參照專利文獻 2 及專利文獻 3）。

[0007] [專利文獻 1]日本專利申請公開第 2012-257187 號公報

[專利文獻 2]日本專利申請公開第 2014-241407 號公報

[專利文獻 3]日本專利申請公開第 2014-240833 號公報

【發明內容】

[0008] 本發明的一個實施方式的目的之一是提供一種微型電晶體。本發明的一個實施方式的目的之一是提供一種寄生電容小的電晶體。本發明的一個實施方式的目的之一是提供一種頻率特性高的電晶體。本發明的一個實施方式的目的之一是提供一種電特性良好的電晶體。本發明的一個實施方式的目的之一是提供一種電特性穩定的電晶體。本發明的一個實施方式的目的之一是提供一種關態電流 (off-state current) 小的電晶體。本發明的一個實施方式的目的之一是提供一種新穎的電晶體。本發明的一個實施方式的目的之一是提供一種包括上述電晶體的半導體裝置。本發明的一個實施方式的目的之一是提供一種工作速度快的半導體裝置。本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置。本發明的一個實施方式的目的之一是提供一種包括上述半導體裝置的模組。本發明的一個實施方式的目的之一是提供一種包括上述半導體裝置或上述模組的電子裝置。

[0009] 注意，上述目的的描述並不妨礙其他目的的存在。本發明的一個實施方式並不需要實現所有上述目的。上述目的以外的目的從說明書、圖式、申請專利範圍等的描述中看來是顯而易見的，並且可以從該描述中抽取上述目的以外的目的。

[0010] (1)

本發明的一個實施方式是一種半導體裝置的製造方法，該半導體裝置包括：第一絕緣體；第一絕緣體上的第

二絕緣體；埋入在第二絕緣體中的第一導電體；第二絕緣體及第一導電體上的第三絕緣體；第三絕緣體上的電子俘獲層；電子俘獲層上的第四絕緣體；第四絕緣體上的第五絕緣體；第五絕緣體上的氧化物半導體；氧化物半導體上的第二導電體及第三導電體；第四絕緣體、第二導電體、第三導電體及氧化物半導體上的第六絕緣體；第六絕緣體上的第七絕緣體；第七絕緣體上的第四導電體；第六絕緣體及第四導電體上的第二金屬氧化物；第二金屬氧化物上的第八絕緣體；經過第八絕緣體、第二金屬氧化物、第七絕緣體、第六絕緣體、第四絕緣體、電子俘獲層及第三絕緣體到達第一導電體的第一開口；經過第八絕緣體、第二金屬氧化物、第七絕緣體及第六絕緣體到達第二導電體的第二開口；以及經過第八絕緣體及第二金屬氧化物到達第四導電體的第三開口，上述製造方法包括如下步驟：在第八絕緣體上形成第五導電體；在第五導電體上形成第九絕緣體；利用光微影法在第九絕緣體上形成光阻遮罩；對第九絕緣體的一部分及第五導電體的一部分進行蝕刻，形成包括第九絕緣體及第五導電體的硬遮罩層；將硬遮罩層用作遮罩進行第一蝕刻及第二蝕刻，由此形成第一開口、第二開口及第三開口；在第一蝕刻中，為了形成第一開口、第二開口及第三開口對第八絕緣體進行蝕刻；在第二蝕刻中，為了形成第一開口對第二金屬氧化物、第七絕緣體、第六絕緣體、第四絕緣體、電子俘獲層及第三絕緣體進行蝕刻，為了形成第二開口對第二金屬氧化物、第七絕緣體

及第六絕緣體進行蝕刻，且為了形成第三開口對第二金屬氧化物進行蝕刻。

[0011] (2)

另外，本發明的一個實施方式是在(1)中記載的半導體裝置的製造方法，其中第一導電體、第二導電體、第三導電體及第四導電體包括相同的導電體材料。

[0012] (3)

另外，本發明的一個實施方式是在(1)或(2)中記載的半導體裝置的製造方法，其中第一導電體、第二導電體、第三導電體、第四導電體及第五導電體包括相同的導電體材料。

[0013] (4)

另外，本發明的一個實施方式是在(1)至(3)中記載的半導體裝置的製造方法，其中在第一蝕刻步驟中第九絕緣體的蝕刻速率比第八絕緣體小。

[0014] (5)

另外，本發明的一個實施方式是在(1)至(4)中記載的半導體裝置的製造方法，其中在第一蝕刻步驟中第二金屬氧化物的蝕刻速率比第八絕緣體小。

[0015] (6)

另外，本發明的一個實施方式是在(1)至(5)中記載的半導體裝置的製造方法，其中在第二蝕刻步驟中第四導電體的蝕刻速率比電子俘獲層及第二金屬氧化物小。

[0016] (7)

另外，本發明的一個實施方式是一種半導體裝置的製造方法，該半導體裝置包括：第一絕緣體；第一絕緣體上的第二絕緣體；埋入在第二絕緣體中的第一導電體；第二絕緣體及第一導電體上的第三絕緣體；第三絕緣體上的電子俘獲層；電子俘獲層上的第四絕緣體；第四絕緣體上的第五絕緣體；第五絕緣體上的氧化物半導體；氧化物半導體上的第二導電體及第三導電體；第四絕緣體、第二導電體、第三導電體及氧化物半導體上的第六絕緣體；氧化物半導體上的第七絕緣體；第七絕緣體上的第八絕緣體；第八絕緣體上的第四導電體；第六絕緣體、第七絕緣體、第八絕緣體及第四導電體上的第九絕緣體；第九絕緣體上的第二金屬氧化物；第二金屬氧化物上的第十絕緣體；經過第十絕緣體、第二金屬氧化物、第九絕緣體、第六絕緣體、第四絕緣體、電子俘獲層及第三絕緣體到達第一導電體的第一開口；經過第十絕緣體、第二金屬氧化物、第九絕緣體及第六絕緣體到達第二導電體的第二開口；以及經過第十絕緣體、第二金屬氧化物及第九絕緣體到達第四導電體的第三開口，上述半導體裝置的製造方法包括如下步驟：在第十絕緣體上形成第五導電體；在第五導電體上形成第十一絕緣體；利用光微影法在第十一絕緣體上形成光阻遮罩；對第十一絕緣體的一部分及第五導電體的一部分進行蝕刻，形成包括第十一絕緣體及第五導電體的硬遮罩層；將硬遮罩層用作遮罩進行第一蝕刻及第二蝕刻，由此形成第一開口、第二開口及第三開口，在第一蝕刻中，為了形成第一開口、第二開口及第三開口對第十絕緣體進行蝕刻；在第二蝕刻中，為了形成第一開口對第二金屬氧化

物、第九絕緣體、第六絕緣體、第四絕緣體、電子俘獲層及第三絕緣體進行蝕刻，為了形成第二開口對第二金屬氧化物、第九絕緣體及第六絕緣體進行蝕刻，且為了形成第三開口對第二金屬氧化物及第九絕緣體進行蝕刻。

[0017] (8)

另外，本發明的一個實施方式是在(7)中記載的半導體裝置的製造方法，其中第一導電體、第二導電體、第三導電體及第四導電體包括相同的導電體材料。

[0018] (9)

另外，本發明的一個實施方式是在(7)或(8)中記載的半導體裝置的製造方法，其中第一導電體、第二導電體、第三導電體、第四導電體及第五導電體包括相同的導電體材料。

[0019] (10)

另外，本發明的一個實施方式是在(7)至(9)中記載的半導體裝置的製造方法，其中在第一蝕刻步驟中第十一絕緣體的蝕刻速率比第十絕緣體小。

[0020] (11)

另外，本發明的一個實施方式是在(7)至(10)中記載的半導體裝置的製造方法，其中在第一蝕刻步驟中第二金屬氧化物的蝕刻速率比第十絕緣體小。

[0021] (12)

另外，本發明的一個實施方式是在(7)至(11)中記載的半導體裝置的製造方法，其中在第二蝕刻步驟中第

四導電體的蝕刻速率比電子俘獲層及第二金屬氧化物小。

[0022] 注意，在根據本發明的一個實施方式的半導體裝置的製造方法中，也可以將氧化物半導體置換為其他半導體。

[0023] 本發明的一個實施方式可以提供一種微型電晶體。本發明的一個實施方式可以提供一種寄生電容小的電晶體。本發明的一個實施方式可以提供一種頻率特性高的電晶體。本發明的一個實施方式可以提供一種電特性良好的電晶體。本發明的一個實施方式可以提供一種電特性穩定的電晶體。本發明的一個實施方式可以提供一種關態電流小的電晶體。本發明的一個實施方式可以提供一種新穎的電晶體。本發明的一個實施方式可以提供一種包括上述電晶體半導體裝置。本發明的一個實施方式可以提供一種工作速度快的半導體裝置。本發明的一個實施方式可以提供一種新穎的半導體裝置。本發明的一個實施方式可以提供一種包括上述半導體裝置的模組。本發明的一個實施方式可以提供一種包括上述半導體裝置或上述模組的電子裝置。

[0024] 注意，上述效果的描述並不妨礙其他效果的存在。本發明的一個實施方式並不需要具有所有上述效果。上述效果以外的目的從說明書、圖式、申請專利範圍等的描述中看來是顯而易見的，並且可以從該描述中抽取上述效果以外的效果。

【圖式簡單說明】

[0025]

在圖式中：

圖 1A 至圖 1C 是示出根據本發明的一個實施方式的電晶體的俯視圖及剖面圖；

圖 2A 至圖 2C 是示出根據本發明的一個實施方式的電晶體的俯視圖及剖面圖；

圖 3A 至圖 3C 是示出根據本發明的一個實施方式的電晶體的俯視圖及剖面圖；

圖 4A 至圖 4C 是示出根據本發明的一個實施方式的電晶體的俯視圖及剖面圖；

圖 5A 至圖 5F 是示出根據本發明的一個實施方式的電晶體的一部分的剖面圖；

圖 6A 和圖 6B 是示出根據本發明的一個實施方式的電晶體的剖面圖；

圖 7A 至圖 7D 是 CAAC-OS 的剖面的 Cs 校正高解析度 TEM 影像及 CAAC-OS 的剖面示意圖；

圖 8A 至圖 8D 是 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像；

圖 9A 至圖 9C 是說明利用 XRD 的 CAAC-OS 及單晶氧化物半導體的結構分析的圖；

圖 10A 和圖 10B 是示出 CAAC-OS 的電子繞射圖案圖；

圖 11 是示出因電子照射而發生的 In-Ga-Zn 氧化物的

結晶部的變化的圖；

圖 12A 至圖 12C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 13A 至圖 13C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 14A 至圖 14C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 15A 至圖 15C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 16A 至圖 16C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 17A 至圖 17C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 18A 至圖 18C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 19A 至圖 19C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 20A 至圖 20C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 21A 至圖 21C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 22A 至圖 22C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 23A 至圖 23C 是示出根據本發明的一個實施方式

的電晶體的製造方法的俯視圖及剖面圖；

圖 24A 至圖 24C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 25A 至圖 25C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 26A 至圖 26C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 27A 至圖 27C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 28A 至圖 28C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 29A 至圖 29C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 30A 至圖 30C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 31A 至圖 31C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 32A 至圖 32C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 33A 至圖 33C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 34A 至圖 34C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 35A 至圖 35C 是示出根據本發明的一個實施方式

的電晶體的製造方法的俯視圖及剖面圖；

圖 36A 至圖 36C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 37A 至圖 37C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 38A 至圖 38C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 39A 至圖 39C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 40A 至圖 40C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 41A 至圖 41C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 42A 至圖 42C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 43A 至圖 43C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 44A 至圖 44C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 45A 至圖 45C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 46A 至圖 46C 是示出根據本發明的一個實施方式的電晶體的製造方法的俯視圖及剖面圖；

圖 47A 至圖 47C 是示出根據本發明的一個實施方式

的電晶體的製造方法的俯視圖及剖面圖；

圖 48A 和圖 48B 是根據本發明的一個實施方式的記憶體裝置的電路圖；

圖 49 是示出根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 50 是示出根據本發明的一個實施方式的半導體裝置的剖面圖；

圖 51A 至圖 51F 是示出根據本發明的一個實施方式的半導體裝置的電路圖及剖面圖；

圖 52 是示出根據本發明的一個實施方式的 CPU 的方塊圖；

圖 53 是根據本發明的一個實施方式的記憶元件的電路圖；

圖 54A 和圖 54B 是示出攝像裝置的平面圖；

圖 55A 和圖 55B 是示出攝像裝置的像素的平面圖；

圖 56A 和圖 56B 是示出攝像裝置的剖面圖；

圖 57A 和圖 57B 是示出攝像裝置的剖面圖；

圖 58 是說明 RF 標籤的結構例子的圖；

圖 59A 至圖 59C 是示出根據本發明的一個實施方式的半導體裝置的電路圖、俯視圖及剖面圖；

圖 60A 和圖 60B 是示出根據本發明的一個實施方式的半導體裝置的電路圖及剖面圖；

圖 61 是說明顯示模組的圖；

圖 62A 和圖 62B 是示出使用引線框架型插板的封裝

的剖面結構的透視圖；

圖 63A 至圖 63E 是示出根據本發明的一個實施方式的電子裝置的圖；

圖 64A 至圖 64D 是示出根據本發明的一個實施方式的電子裝置的圖；

圖 65A 至圖 65C 是示出根據本發明的一個實施方式的電子裝置的圖；

圖 66A 至圖 66F 是根據本發明的一個實施方式的 RF 標籤的使用例子。

【實施方式】

[0026] 將參照圖式對本發明的實施方式進行詳細的說明。注意，本發明不侷限於以下說明，所屬技術領域的通常知識者可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種形式。此外，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。注意，當利用圖式說明發明結構時，表示相同物件的元件符號在不同的圖式中共同使用。另外，有時使用相同的陰影圖案表示相同的部分，而不特別附加元件符號。

[0027] 注意，在圖式中，有時為了清楚瞭解而誇大尺寸、膜（層）的厚度或區域。

[0028] 在本說明書中，例如，當使用“直徑”、“粒徑”、“大小”、“尺寸”、“寬度”等來規定物體形狀時，也可以將其換稱為容納物體的最小立方體的一邊長度或者物體

的一個剖面的等效圓直徑。物體的一個剖面的等效圓直徑是指等於物體的一個剖面的面積的正圓形的直徑。

[0029] 另外，電壓大多指某個電位與參考電位（例如，接地電位（GND）或源極電位）之間的電位差。由此，可以將電壓換稱為電位。

[0030] 另外，為方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。此外，本說明書等中所記載的序數詞與用於指定本發明的一個實施方式的序數詞有時不一致。

[0031] 注意，半導體的雜質例如是指半導體的主要成分之外的元素。例如，濃度低於 0.1atomic% 的元素是雜質。有時由於包含雜質而例如導致在半導體中形成 DOS（Density of State：態密度），載子移動率降低或結晶性降低等。在半導體是氧化物半導體時，作為改變半導體特性的雜質，例如有第 1 族元素、第 2 族元素、第 14 族元素、第 15 族元素或主要成分之外的過渡金屬等，尤其是，例如有氫（包含在水中）、鋰、鈉、矽、硼、磷、碳、氮等。在氧化物半導體中，有時例如由於氫等雜質的混入導致氧缺陷的產生。此外，在半導體是矽膜時，作為改變半導體特性的雜質，例如有氧、除氫之外的第 1 族元素、第 2 族元素、第 13 族元素、第 15 族元素等。

[0032] 注意，通道長度例如是指電晶體的俯視圖中的半導體（或在電晶體處於導通狀態時，在半導體中電流

流過的部分)和閘極電極互相重疊的區域或者形成通道的區域中的源極(源極區域或源極電極)和汲極(汲極區域或汲極電極)之間的距離。另外,在一個電晶體中,通道長度在所有區域中不一定為相同。也就是說,一個電晶體的通道長度有時不侷限於一個值。因此,在本說明書中,通道長度是形成通道的區域中的任一個值、最大值、最小值或平均值。

[0033] 通道寬度例如是指半導體(或在電晶體處於導通狀態時,在半導體中電流流過的部分)和閘極電極互相重疊的區域或者形成通道的區域中的源極與汲極相對的部分的長度。另外,在一個電晶體中,通道寬度在所有區域中不一定為相同。也就是說,一個電晶體的通道寬度有時不侷限於一個值。因此,在本說明書中,通道寬度是形成通道的區域中的任一個值、最大值、最小值或平均值。

[0034] 另外,根據電晶體的結構,有時形成通道的區域中的實際上的通道寬度(下面稱為實效通道寬度)和電晶體的俯視圖所示的通道寬度(下面稱為外觀上的通道寬度)不同。例如,在具有立體結構的電晶體中,有時因為實效通道寬度大於電晶體的俯視圖所示的外觀上的通道寬度,所以不能忽略其影響。例如,在具有微型且立體的結構的電晶體中,有時形成在半導體的側面的通道形成區域的比率大。在此情況下,形成通道的實際上的實效通道寬度大於俯視圖所示的外觀上的通道寬度。

[0035] 在具有立體結構的電晶體中,有時難以藉由

實測估計實效通道寬度。例如，為了根據設計值估計實效通道寬度，需要預先知道半導體的形狀的假定。因此，當半導體的形狀不清楚時，難以正確地測量實效通道寬度。

[0036] 因此，在本說明書中，有時將在電晶體的俯視圖中半導體和閘極電極互相重疊的區域中的源極與汲極相對的部分的長度，亦即外觀上的通道寬度稱為“圍繞通道寬度（SCW: Surrounded Channel Width）”。此外，在本說明書中，在簡單地描述為“通道寬度”時，有時是指圍繞通道寬度或外觀上的通道寬度。或者，在本說明書中，在簡單地描述為“通道寬度”時，有時是指實效通道寬度。注意，藉由對剖面 TEM 影像等進行分析等，可以決定通道長度、通道寬度、實效通道寬度、外觀上的通道寬度、圍繞通道寬度等的值。

[0037] 另外，在藉由計算求得電晶體的場效移動率或每個通道寬度的電流值等時，有時使用圍繞通道寬度來計算。在此情況下，該值有時與使用實效通道寬度計算的值不同。

[0038] 在本說明書中，“A 具有其端部比 B 的端部突出的形狀”有時意味著在俯視圖或剖面圖中 A 的至少一個端部位於 B 的至少一個端部的側。因此，例如可以將“A 具有其端部比 B 的端部突出的形狀”的記載解釋為在俯視圖中 A 的一個端部位於 B 的一個端部的側。

[0039] 在本說明書中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，也包括該角度

為 -5° 以上且 5° 以下的狀態。此外，“垂直”是指兩條直線的角度為 80° 以上且 100° 以下的狀態。因此，也包括該角度為 85° 以上且 95° 以下的狀態。

[0040] 在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0041]

實施方式 1

〈電晶體結構 1〉

下面，說明根據本發明的一個實施方式的半導體裝置所包括的電晶體的結構。

[0042] 圖 1A 至圖 1C 是根據本發明的一個實施方式的半導體裝置的俯視圖及剖面圖。圖 1A 是俯視圖。圖 1B 是沿著圖 1A 所示的點劃線 A1-A2 的剖面圖。圖 1C 是沿著圖 1A 所示的點劃線 A3-A4 的剖面圖。另外，在圖 1A 的俯視圖中，為了明確起見，省略圖式中的一部分的組件而進行表示。

[0043] 在圖 1B 及圖 1C 中，本電晶體包括：基板 400 上的絕緣體 401；絕緣體 401 上的絕緣體 301；絕緣體 301 中的開口，在該開口中配置有導電體 310a 及導電體 310b；在絕緣體 301、導電體 310a 及導電體 310b 上的絕緣體 302；絕緣體 302 上的電子俘獲層 303；電子俘獲層 303 上的絕緣體 402；絕緣體 402 上的絕緣體 406a；絕緣體 406a 上的半導體 406b；各具有與半導體 406b 的頂面接觸的區域的導電體 416a1 及導電體 416a2；具有與絕

緣體 402 上、絕緣體 406a 的側面、半導體 406b 的側面、半導體 406b 的頂面、導電體 416a1 的側面、導電體 416a1 的頂面、導電體 416a2 的側面及導電體 416a2 的頂面接觸的區域的絕緣體 406c；絕緣體 406c 上的絕緣體 412；具有隔著絕緣體 412 與半導體 406b 重疊的區域的導電體 404；絕緣體 412 及導電體 404 上的絕緣體 408；絕緣體 408 上的絕緣體 410；經過絕緣體 410、絕緣體 408、絕緣體 412、絕緣體 406c、絕緣體 402、電子俘獲層 303 及絕緣體 302 到達導電體 310b 的第一開口；經過絕緣體 410、絕緣體 408、絕緣體 412 及絕緣體 406c 到達導電體 416a1 的第二開口；經過絕緣體 410、絕緣體 408、絕緣體 412 及絕緣體 406c 到達導電體 416a2 的第三開口；經過絕緣體 410 及絕緣體 408 到達導電體 404 的第四開口；分別埋入在第一開口、第二開口、第三開口及第四開口中的導電體 433、導電體 431、導電體 429 及導電體 437；絕緣體 410 上的具有與導電體 433 接觸的區域的導電體 434；絕緣體 410 上的具有與導電體 431 接觸的區域的導電體 432；絕緣體 410 上的具有與導電體 429 接觸的區域的導電體 430；以及絕緣體 410 上的具有與導電體 437 接觸的區域的導電體 438。

[0044] 使用圖 5A、圖 5B 及圖 5C 說明根據本發明的實施方式的開口的剖面形狀。圖 5A、圖 5B 及圖 5C 是將圖 1A 至圖 1C 所示的電晶體的開口剪切並放大的剖面圖。圖 5A 是第一開口的放大圖，圖 5B 是第二開口的放

大圖，圖 5C 是第四開口的放大圖。注意，為了方便起見，使絕緣體 410 的厚度方向薄並進行圖示。

[0045] 雖然圖 1B 及圖 1C 所示的開口的剖面形狀為直線，但是圖 5A、圖 5B 及圖 5C 所示的開口也可以是具有其開口直徑比位於其上下、其上或其下的層大的部分、小的部分或後縮的部分的形狀。圖 5A 所示的第一開口的絕緣體 410、絕緣體 412、絕緣體 402 及絕緣體 302 的每一個處的開口直徑比位於其上下、其上或其下的層大。換言之，絕緣體 408、絕緣體 406c 及電子俘獲層 303 的每一個處的開口直徑比位於其上下的層小。換言之，絕緣體 408、絕緣體 406c 及電子俘獲層 303 處的開口後縮。圖 5B 所示的第二開口的絕緣體 410 及絕緣體 412 的每一個處的開口直徑比位於其上下、其上或其下的層大。換言之，絕緣體 408 及絕緣體 406c 的每一個處的開口直徑比位於其上下、其上的層小。換言之，絕緣體 408 及絕緣體 406c 處的開口後縮。圖 5C 所示的第四開口的絕緣體 410 處的開口直徑比位於其下的層大。換言之，絕緣體 408 處的開口直徑比位於其上的層小。換言之，絕緣體 408 處的開口後縮。當絕緣體 410、絕緣體 412、絕緣體 402 及絕緣體 302 的蝕刻速率比絕緣體 408、絕緣體 406a 及電子俘獲層 303 大時，有時形成這樣的形狀。

[0046] 在圖 5B 的開口的底部，導電體 416a1 的頂面的一部分凹陷，這是因為如下緣故：第一開口的形成所需要的時間與第二開口的形成所需要的時間不同，因此在從

第二開口的形成結束到第一開口的形成結束的時間中，導電體 416a1 被過蝕刻，亦即導電體 416a1 的一部分被蝕刻。與此同樣，在圖 5C 的開口的底部，導電體 404 的頂面的一部分凹陷，這是因為如下緣故：第一開口的形成所需要的時間與第四開口的形成所需要的時間不同，因此從第四開口的形成結束到第一開口的形成結束的時間中，導電體 404 被過蝕刻，亦即導電體 404 的一部分被蝕刻。注意，圖 5A、圖 5B 及圖 5C 示出開口的開口直徑比位於其上下的層大的部分或導電膜的凹部的例子，但是開口直徑較大的部分及導電膜的凹部等的尺寸不侷限於此。

[0047] 另外，半導體 406b 包括與半導體 406b 的頂面和導電體 416a1 及導電體 416a2 接觸的區域 407。

[0048] 在本電晶體中，導電體 404 被用作第一閘極電極。此外，導電體 404 可以具有包括不容易使氧透過的導電體的疊層結構。例如，藉由作為下層形成不容易使氧透過的導電體，可以防止因導電體 404 的氧化而電阻值增加。絕緣體 412 被用作閘極絕緣體。

[0049] 導電體 416a1 及導電體 416a2 被用作源極電極及汲極電極。此外，導電體 416a1 和導電體 416a2 都可以具有包括不容易使氧透過的導電體的疊層結構。例如，藉由在上層形成不容易使氧透過的導電體，可以防止因導電體 416a1 及導電體 416a2 的氧化而電阻值增加。另外，可以藉由 2 端子法等測量導電體的電阻值。

[0050] 可以使用供應到導電體 404 的電位控制半導

體 406b 的電阻。也就是說，可以使用供應到導電體 404 的電位控制導電體 416a1 和導電體 416a2 之間的導通·非導通。

[0051] 如圖 1B 及圖 1C 所示，半導體 406b 的頂面與導電體 416a1 及導電體 416a2 接觸。另外，可以由被用作第一閘極電極導電體 404 的電場電圍繞絕緣體 406a 及半導體 406b 等。將由閘極電極的電場電圍繞半導體的電晶體結構稱為“surrounded channel (s-channel) 結構”。因此，有時通道形成在整個半導體 406b 中。在 s-channel 結構中，可以使大電流流過電晶體的源極與汲極之間，由此可以增大導通時的電流（通態電流（on-state current））。另外，由於絕緣體 406a 及半導體 406b 由導電體 404 的電場圍繞，所以能夠減少非導通時的電流（關態電流）。

[0052] 導電體 310a 被用作第二閘極電極。導電體 310a 也可以是包括具有不容易使氧透過的功能的導電膜的多層膜。藉由採用包括具有不容易使氧透過的功能的導電膜的多層膜，可以防止導電體 310a 的氧化所導致的導電率的降低。絕緣體 302、電子俘獲層 303 及絕緣體 402 被用作第二閘極絕緣膜。可以根據供應到導電體 310a 的電位控制本電晶體的臨界電壓。另外，可以根據供應到導電體 310a 的電位，將電子注入電子俘獲層 303 而控制本電晶體的臨界電壓。而且，藉由電連接第一閘極電極和第二閘極電極，可以增大導通時的電流（通態電流）。另外，可以將第一閘極電極的功能與第二閘極電極的功能調

換。

[0053] 圖 6A 示出電連接第一閘極電極和第二閘極電極的一個例子。導電體 440 埋入在經過絕緣體 410 到達導電體 404 的開口中，導電體 440 的頂面與形成在絕緣體 410 上的導電體 444 電連接。另一方面，導電體 442 埋入在經過絕緣體 410、絕緣體 408、絕緣體 412、絕緣體 406c、絕緣體 402、電子俘獲層 303 及絕緣體 302 到達導電體 310c 的開口中，導電體 442 的頂面與導電體 444 電連接。就是說，被用作第一閘極電極的導電體 404 經過導電體 440、導電體 444 及導電體 442 與被用作第二閘極電極的導電體 310c 電連接。

[0054] 注意，藉由使電晶體被具有阻擋氫等雜質及氧的功能的絕緣體圍繞，能夠使電晶體的電特性穩定。例如，作為絕緣體 408，可以使用具有阻擋氫等雜質及氧的功能的絕緣體。

[0055] 作為具有阻擋氫等雜質及氧的功能的絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、銻、鍺、釷、釷、釷、釷或釷的絕緣體的單層或疊層。

[0056] 此外，例如，絕緣體 408 可以使用氧化鋁、氧化鎂、氧化銻、氧化鍺、氧化釷、氧化鍺、氧化釷、氧化釷、氧化釷或氧化釷等金屬氧化物、氮氧化矽或氮化矽等形成。注意，絕緣體 408 較佳為包含氧化鋁。例如，當使用含氧的電漿形成絕緣體 408 時，可以對成為絕緣體

408 的基底層的絕緣體 412 添加氧。被添加的氧在絕緣體 412 中成為過量氧。藉由使絕緣體 408 包含氧化鋁，能夠抑制氫等雜質混入半導體 406b 中。另外，例如，藉由使絕緣體 408 包含氧化鋁，能夠減少添加到上述絕緣體 412 的過量氧向外的擴散。

[0057] 作為絕緣體 401，可以使用氧化鋁、氧化鎂、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釔、氧化銻、氧化釧、氧化釷或氧化鉍。注意，絕緣體 401 較佳為包含氧化鋁或氮化矽。例如，當絕緣體 401 包含氧化鋁或氮化矽時，可以抑制氫等雜質混入半導體 406b 中。例如，當絕緣體 401 包含氧化鋁或氮化矽時，可以減少氧向外的擴散。

[0058] 作為絕緣體 301，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、鎵、鍺、釔、銻、釧、釷或鉍的絕緣體的單層或疊層。例如，絕緣體 301 較佳為包含氧化矽或氧氮化矽。

[0059] 作為電子俘獲層 303，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、鎵、鍺、釔、銻、釧、釷或鉍的絕緣體或金屬氧化膜的單層或疊層。例如，電子俘獲層 303 較佳為包含氮化矽、氧化鋁或氧化鋁。

[0060] 作為絕緣體 302 及絕緣體 402，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、鎵、鍺、釔、銻、釧、釷或鉍的絕緣體的單層或疊

定且相對介電常數高的疊層結構。例如，當在絕緣體 406c 一側有氧化鋁、氧化鎵或氧化鉛時，能夠抑制氧化矽或氧氮化矽所含有的矽混入半導體 406b。另外，例如當在絕緣體 406c 一側有氧化矽或氧氮化矽時，有時在氧化鋁、氧化鎵或氧化鉛與氧化矽或氧氮化矽的介面處形成陷阱中心。該陷阱中心有時可以藉由俘獲電子而使電晶體的臨界電壓向正方向漂移。

[0064] 作為導電體 416a1 及導電體 416a2，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎳、鈮、鈳、鉬、鈮、鉑、銀、銦、錫、鉭及鎢中的一種以上的導電體的單層或疊層。例如，既可以使用合金膜或化合物膜，也可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體或包含鈦及氮的導電體等。

[0065] 作為導電體 310a、導電體 310b、導電體 310c、導電體 404、導電體 429、導電體 430、導電體 431、導電體 432、導電體 433、導電體 434、導電體 437、導電體 438、導電體 440、導電體 442 及導電體 444，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎳、鈮、鈳、鉬、鈮、鉑、銀、銦、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，也可以使用合金膜或化合物膜，可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銦、錫及氧的導電體或者包含鈦及氮的導電體

等。

[0066] 作為導電體 429、導電體 430、導電體 431、導電體 432、導電體 433、導電體 434、導電體 437 及導電體 438，例如可以使用包含硼、氮、氧、氟、矽、磷、鋁、鈦、鉻、錳、鈷、鎳、銅、鋅、鎵、鉍、銦、銑、鉬、鈮、銀、銮、錫、鉭和鎢中的一種以上的導電體的單層或疊層。例如，也可以使用合金膜或化合物膜，可以使用包含鋁的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銮、錫及氧的導電體或者包含鈦及氮的導電體等。

[0067] 作為半導體 406b，較佳為使用氧化物半導體。注意，有時可以使用矽（包含應變矽）、鍺、矽鍺、碳化矽、砷化鎵、砷化鋁鎵、磷化銮、氮化鎵或有機半導體等。

[0068] 作為絕緣體 406a 及絕緣體 406c，較佳為使用包含一種或兩種以上的構成半導體 406b 的除了氧之外的元素的氧化物。注意，有時可以使用矽（包含應變矽）、鍺、矽鍺、碳化矽、砷化鎵、砷化鋁鎵、磷化銮、氮化鎵或有機半導體等。

[0069]

〈電晶體結構 2〉

在此，使用圖 2A 至圖 2C 對具有與圖 1A 至圖 1C 不同的結構的電晶體進行說明。圖 2A 至圖 2C 是本發明的一個實施方式的半導體裝置的俯視圖及剖面圖。圖 2A 是

俯視圖。圖 2B 是沿著圖 2A 所示的點劃線 A1-A2 的剖面圖。圖 2C 是沿著圖 2A 所示的點劃線 A3-A4 的剖面圖。注意，在圖 2A 的俯視圖中，為了明確起見，省略一部分的組件。

[0070] 圖 2A、圖 2B 及圖 2C 所示的電晶體結構的與圖 1A 至圖 1C 所示的電晶體結構的不同之處在於：沒有被用作第一閘極電極的導電體 404 與被用作源極電極的導電體 416a1 及被用作汲極電極的導電體 416a2 互相重疊的區域。

[0071] 由於沒有被用作第一閘極電極的導電體 404 與被用作源極電極的導電體 416a1 及被用作汲極電極的導電體 416a2 互相重疊的區域，而在被用作閘極電極的導電體 404 與被用作源極電極的導電體 416a1 之間、以及在被用作閘極電極的導電體 404 與被用作汲極電極的導電體 416a2 之間不存在寄生電容，因此電晶體可以進行高速工作，所以是較佳的。另外，可以防止在被用作閘極電極的導電體 404 與被用作源極電極的導電體 416a1 之間、以及在被用作閘極電極的導電體 404 與被用作汲極電極的導電體 416a2 之間的電流洩漏。關於其他結構，參照上述內容。

[0072]

〈電晶體結構 3〉

在此，使用圖 3A 至圖 3C 對具有與圖 2A 至圖 2C 不同的結構的電晶體進行說明。圖 3A 至圖 3C 是本發明的

一個實施方式的半導體裝置的俯視圖及剖面圖。圖 3A 是俯視圖。圖 3B 是沿著圖 3A 所示的點劃線 A1-A2 的剖面圖。圖 3C 是沿著圖 3A 所示的點劃線 A3-A4 的剖面圖。注意，在圖 3A 的俯視圖中，為了明確起見，省略一部分的組件。

[0073] 圖 3A 至圖 3C 所示的電晶體結構的與圖 2A 至圖 2C 所示的電晶體結構的不同之處在於：沒有被用作源極電極的導電體 416a1 及被用作汲極電極的導電體 416a2，而包括被用作源極區域的區域 407a1、用作汲極區域的區域 407a2、經過絕緣體 410、絕緣體 408、絕緣體 412、區域 407a1 及半導體 406b 到達絕緣體 406a 的開口、以及經過絕緣體 410、絕緣體 408、絕緣體 412、區域 407a2 及半導體 406b 到達絕緣體 406a 的開口。關於其他結構，參照上述記載。

[0074]

〈電晶體結構 4〉

在此，使用圖 4A 至圖 4C 對具有與圖 1A 至圖 1C 不同的結構的電晶體進行說明。圖 4A 至圖 4C 是本發明的一個實施方式的半導體裝置的俯視圖及剖面圖。圖 4A 是俯視圖。圖 4B 是沿著圖 4A 所示的點劃線 A1-A2 的剖面圖。圖 4C 是沿著圖 4A 所示的點劃線 A3-A4 的剖面圖。注意，在圖 4A 的俯視圖中，為了明確起見，省略一部分的組件。

[0075] 在圖 4B 及圖 4C 中，本電晶體包括：基板

400 上的絕緣體 401；絕緣體 401 上的絕緣體 301；絕緣體 301 中的開口，在該開口中配置有導電體 310a 及導電體 310b；在絕緣體 301、導電體 310a 及導電體 310b 上的絕緣體 302；絕緣體 302 上的電子俘獲層 303；電子俘獲層 303 上的絕緣體 402；絕緣體 402 上的絕緣體 406a；絕緣體 406a 上的半導體 406b；各具有與半導體 406b 的頂面接觸的區域的導電體 416a1 及導電體 416a2；與導電體 416a1 的頂面及導電體 416a2 的頂面接觸的絕緣體 410；與半導體 406b 的頂面接觸的絕緣體 406c；絕緣體 406c 上的絕緣體 412；隔著絕緣體 412 及絕緣體 406c 位於半導體 406b 上的導電體 404；絕緣體 410、導電體 404、絕緣體 412 及導電體 404 上的絕緣體 418；絕緣體 418 上的絕緣體 408；絕緣體 408 上的絕緣體 428；經過絕緣體 428、絕緣體 408、絕緣體 418、絕緣體 410、絕緣體 402、電子俘獲層 303 及絕緣體 302 到達導電體 310b 的第一開口；經過絕緣體 428、絕緣體 408、絕緣體 418 及絕緣體 410 到達導電體 416a1 的第二開口；經過絕緣體 428、絕緣體 408、絕緣體 418 及絕緣體 410 到達導電體 416a2 的第三開口；經過絕緣體 428、絕緣體 408 及絕緣體 418 到達導電體 404 的第四開口；分別埋入在第一開口、第二開口、第三開口及第四開口中的導電體 433、導電體 431、導電體 429 及導電體 437；絕緣體 428 上的具有與導電體 433 接觸的區域的導電體 434；絕緣體 428 上的具有與導電體 431 接觸的區域的導電體 432；絕緣體

428 上的具有與導電體 429 接觸的區域的導電體 430；以及絕緣體 428 上的具有與導電體 437 接觸的區域的導電體 438。

[0076] 使用圖 5D、圖 5E 及圖 5F 說明根據本發明的實施方式的開口的剖面形狀。圖 5D、圖 5E 及圖 5F 是將圖 4A 至圖 4C 所示的電晶體的開口剪切並放大的剖面圖。圖 5D 是第一開口的放大圖，圖 5E 是第二開口的放大圖，圖 5F 是第四開口的放大圖。注意，為了方便起見，使絕緣體 410 的厚度方向薄並進行圖示。

[0077] 雖然圖 4B 及圖 4C 所示的開口的剖面形狀為直線，但是圖 5D、圖 5E 及圖 5F 所示的開口也可以是具有其開口直徑比位於其上下、其上或其下的層大的部分、小的部分或後縮的部分的形狀。圖 5D 所示的第一開口的絕緣體 428、絕緣體 418、絕緣體 410、絕緣體 402 及絕緣體 302 的每一個處的開口直徑比位於其上下、其上或其下的層大。換言之，絕緣體 408 及電子俘獲層 303 的每一個處的開口直徑比位於其上下的層小。換言之，絕緣體 408 及電子俘獲層 303 處的開口後縮。圖 5E 所示的第二開口的絕緣體 428、絕緣體 418 及絕緣體 410 的每一個處的開口直徑比位於其上下、其上或其下的層大。換言之，絕緣體 408 處的開口直徑比位於其上下的層小。換言之，絕緣體 408 處的開口後縮。圖 5F 所示的第四開口的絕緣體 428 及絕緣體 418 的每一個處的開口直徑比位於其上下、其上或其下的層大。換言之，絕緣體 408 處的開口直

徑比位於其上下的層小。換言之，絕緣體 408 處的開口後縮。當絕緣體 428、絕緣體 418、絕緣體 410、絕緣體 402 及絕緣體 302 的蝕刻速率比絕緣體 408 及電子俘獲層 303 大時，有時形成這樣的形狀。

[0078] 在圖 5E 的開口的底部，導電體 416a1 的頂面的一部分凹陷，這是因為如下緣故：第一開口的形成所需要的時間與第二開口的形成所需要的時間不同，因此在從第二開口的形成結束到第一開口的形成結束的時間中，導電體 416a1 被過蝕刻，亦即導電體 416a1 的一部分被蝕刻。與此同樣，在圖 5F 的開口的底部，導電體 404 的頂面的一部分凹陷，這是因為如下緣故：第一開口的形成所需要的時間與第四開口的形成所需要的時間不同，因此在從第四開口的形成結束到第一開口的形成結束的時間中，導電體 404 被過蝕刻，亦即導電體 404 的一部分被蝕刻。注意，圖 5D、圖 5E 及圖 5F 示出開口的開口直徑比位於其上下的層大的部分或導電膜的凹部的例子，但是開口直徑較大的部分及導電膜的凹部等的尺寸不侷限於此。

[0079] 另外，半導體 406b 包括與半導體 406b 的頂面和導電體 416a1 及導電體 416a2 接觸的區域 407。

[0080] 在本電晶體中，導電體 404 被用作第一閘極電極。此外，導電體 404 可以具有包括不容易使氧透過的導電體的疊層結構。例如，藉由作為下層形成不容易使氧透過的導電體，可以防止因導電體 404 的氧化而電阻值增加。絕緣體 412 被用作閘極絕緣體。

[0081] 導電體 416a1 及導電體 416a2 被用作源極電極及汲極電極。此外，導電體 416a1 和導電體 416a2 都可以具有包括不容易使氧透過的導電體的疊層結構。例如，藉由在上層形成不容易使氧透過的導電體，可以防止因導電體 416a1 及導電體 416a2 的氧化而電阻值增加。

[0082] 可以使用供應到導電體 404 的電位控制半導體 406b 的電阻。也就是說，可以使用供應到導電體 404 的電位控制導電體 416a1 和導電體 416a2 之間的導通·非導通。

[0083] 在本電晶體中，以填充形成在絕緣體 410 等中的開口的方式自對準 (self-align) 地形成被用作閘極電極的區域，因此可以將本電晶體稱為 TGSA s-channel FET (Trench Gate Self Align (自對準溝槽式閘極) s-channel FET)。

[0084] 在圖 4B 中，將被用作閘極電極的導電體 404 的底面隔著絕緣體 412 及絕緣體 406c 與半導體 406b 的頂面平行地相對的區域的長度定義為閘極線寬度。該閘極線寬度也可以比絕緣體 410 中的到達半導體 406b 的開口小。就是說，可以使閘極線寬度小於最小特徵尺寸。明確而言，可以將閘極線寬度為 5nm 以上且 60nm 以下，較佳為 5nm 以上且 30nm 以下。

[0085] 當來自閘極電極的電場被其他導電體遮蔽時，有時電晶體的開關特性劣化。在本電晶體中，根據絕緣體 406c 及絕緣體 412 的厚度，導電體 404、導電體

416a1 及導電體 416a2 的位置關係發生變化。亦即，被用作源極電極及汲極電極的導電體 416a1 及導電體 416a2 的厚度與被用作閘極絕緣膜的絕緣體 412 的厚度的關係影響到本電晶體的電特性。

[0086] 在圖 4B 中，藉由使導電體 416a1 和導電體 416a2 之間的區域的絕緣體 412 的厚度為導電體 416a1 的厚度或導電體 416a2 的厚度以下，來自閘極電極的電場施加上到整個通道形成區域，而使電晶體的工作良好，所以是較佳的。將導電體 416a1 和導電體 416a2 之間的區域的絕緣體 412 的厚度設定為 30nm 以下，較佳為 10nm 以下。

[0087] 在本電晶體的結構中，可以使導電體 416a1 的厚度或導電體 416a2 的厚度小。導電體 416a1 的端部具有隔著絕緣體 406c 及絕緣體 412 與導電體 404 相對的區域。或者，導電體 416a2 的端部具有隔著絕緣體 406c 及絕緣體 412 與導電體 404 相對的區域，可以將這些區域的面積抑制為更小。因此，本電晶體具有這些區域的寄生電容被抑制為小的結構。

[0088] 導電體 310a 被用作第二閘極電極。導電體 310a 也可以是包括具有不容易使氧透過的功能的導電膜的多層膜。藉由採用包括具有不容易使氧透過的功能的導電膜的多層膜，可以防止導電體 310a 的氧化所導致的導電率的降低。絕緣體 302、電子俘獲層 303 及絕緣體 402 被用作第二閘極絕緣膜。可以根據供應到導電體 310a 的電位控制本電晶體的臨界電壓。另外，可以根據供應到導

電體 310a 的電位，將電子注入電子俘獲層 303 而控制本電晶體的臨界電壓。而且，藉由電連接第一閘極電極和第二閘極電極，可以增大導通時的電流（通態電流）。另外，可以將第一閘極電極的功能與第二閘極電極的功能調換。

[0089] 圖 6B 示出電連接第一閘極電極和第二閘極電極的一個例子。導電體 440 埋入在經過絕緣體 428、絕緣體 408 及絕緣體 418 到達導電體 404 的開口中，導電體 440 的頂面與形成在絕緣體 428 上的導電體 444 電連接。另一方面，導電體 442 埋入在經過絕緣體 428、絕緣體 408、絕緣體 418、絕緣體 410、絕緣體 402、電子俘獲層 303 及絕緣體 302 到達導電體 310c 的開口中，導電體 442 的頂面與導電體 444 電連接。就是說，被用作第一閘極電極的導電體 404 藉由導電體 440、導電體 444 及導電體 442 與被用作第二閘極電極的導電體 310c 電連接。

[0090] 作為絕緣體 418 及絕緣體 428，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、鎵、銻、鉍、鉛、鐳、釷、釷、釷或鈾的絕緣體的單層或疊層。例如，絕緣體 301 較佳為包含氧化矽或氧氮化矽。其他結構參照上述描述。

[0091] 在本實施方式中，描述了本發明的一個實施方式。或者，在其他實施方式中，描述本發明的一個實施方式。但是，本發明的一個實施方式不侷限於此。換而言之，在本實施方式及其他的實施方式中，記載有各種各樣

的發明的方式，因此本發明的一個實施方式不侷限於特定的方式。例如，作為本發明的一個實施方式，示出電晶體的通道形成區域包含氧化物半導體的例子或者電晶體包含氧化物半導體的例子，但是本發明的一個實施方式不侷限於此。根據情況或狀況，本發明的一個實施方式的各種電晶體可以包含各種半導體。根據情況或狀況，本發明的一個實施方式的各種電晶體可以包含矽、銻、矽銻、碳化矽、砷化鎵、砷化鋁鎵、磷化銦、氮化鎵和有機半導體等中的至少一個。或者，例如，根據情況或狀況，本發明的一個實施方式的各種電晶體也可以不包括氧化物半導體層。

[0092] 本實施方式可以將其至少一部分與本說明書所記載的其他實施方式適當的組合而實施。

[0093]

實施方式 2

〈氧化物半導體的結構〉

下面說明氧化物半導體的結構。

[0094] 氧化物半導體被分為單晶氧化物半導體和非單晶氧化物半導體。作為非單晶氧化物半導體可以舉出 CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多晶氧化物半導體、nc-OS (nanocrystalline Oxide Semiconductor)、amorphous-like 氧化物半導體 (a-like OS: amorphous like Oxide Semiconductor)、非晶氧化物半導體等。

[0095] 從其他觀點看來，氧化物半導體被分為非晶

氧化物半導體和結晶氧化物半導體。作為結晶氧化物半導體可以舉出單晶氧化物半導體、CAAC-OS、多晶氧化物半導體以及 nc-OS 等。

[0096] 作為非晶結構的定義，一般而言，已知：它成為介穩狀態並沒有固定化；它為各向同性且不具有不均勻結構等。可以換句話說為非晶結構具有靈活鍵角並具有短程有序性，而不具有長程有序性。

[0097] 從相反的觀點來看，不能將實質上穩定的氧化物半導體稱為完全非晶（completely amorphous）氧化物半導體。另外，不能將不是各向同性（例如，在微小區域中具有週期結構）的氧化物半導體稱為完全非晶氧化物半導體。注意，a-like OS 在微小區域中具有週期結構，但是同時具有空洞（也稱為 void），並具有不穩定結構。因此，a-like OS 在物性上近乎於非晶氧化物半導體。

[0098]

〈CAAC-OS〉

首先，對 CAAC-OS 進行說明。

[0099] CAAC-OS 是包含多個 c 軸配向的結晶部（也稱為顆粒）的氧化物半導體之一。

[0100] 在利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）觀察所得到的 CAAC-OS 的明視野影像與繞射圖案的複合分析影像（也稱為高解析度 TEM 影像）中，觀察到多個顆粒。然而，在高解析度 TEM 影像中，觀察不到顆粒與顆粒之間的明確的邊

界，亦即晶界（grain boundary）。因此，可以說在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。

[0101] 下面，對利用 TEM 觀察的 CAAC-OS 進行說明。圖 7A 示出從大致平行於樣本面的方向觀察所得到的 CAAC-OS 的剖面的高解析度 TEM 影像。利用球面像差校正（Spherical Aberration Corrector）功能得到高解析度 TEM 影像。將利用球面像差校正功能所得到的高解析度 TEM 影像特別稱為 Cs 校正高解析度 TEM 影像。例如可以使用日本電子株式會社製造的原子解析度分析型電子顯微鏡 JEM-ARM200F 等得到 Cs 校正高解析度 TEM 影像。

[0102] 圖 7A 示出將圖 7B 中的區域（1）放大的 Cs 校正高解析度 TEM 影像。由圖 7B 可以確認到在顆粒中金屬原子排列為層狀。各金屬原子層具有反映了形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 的頂面的凸凹的配置並以平行於 CAAC-OS 的被形成面或頂面的方式排列。

[0103] 如圖 7B 所示，CAAC-OS 具有特有的原子排列。圖 7C 是以輔助線示出特有的原子排列的圖。由圖 7B 和圖 7C 可知，一個顆粒的尺寸為 1nm 以上或 3nm 以上，由顆粒與顆粒之間的傾斜產生的空隙的尺寸為 0.8nm 左右。因此，也可以將顆粒稱為奈米晶（nc: nanocrystal）。注意，也可以將 CAAC-OS 稱為具有 CANC（C-Axis Aligned nanocrystals：c 軸配向奈米晶）的氧化物半導體。

體。

[0104] 在此，根據 Cs 校正高解析度 TEM 影像，將基板 5120 上的 CAAC-OS 的顆粒 5100 的配置示意性地表示為推積磚塊或塊體的結構（參照圖 7D）。在圖 7C 中觀察到的在顆粒與顆粒之間產生傾斜的部分相當於圖 7D 所示的區域 5161。

[0105] 此外，圖 8A 示出從大致垂直於樣本面的方向觀察所得到的 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像。圖 8B、圖 8C 和圖 8D 分別示出將圖 8A 中的區域（1）、區域（2）和區域（3）放大的 Cs 校正高解析度 TEM 影像。由圖 8B、圖 8C 和圖 8D 可知在顆粒中金屬原子排列為三角形狀、四角形狀或六角形狀。但是，在不同的顆粒之間金屬原子的排列沒有規律性。

[0106] 接著，說明使用 X 射線繞射（XRD: X-Ray Diffraction）進行分析的 CAAC-OS。例如，當利用 out-of-plane 法分析包含 InGaZnO_4 結晶的 CAAC-OS 的結構時，如圖 9A 所示，在繞射角（ 2θ ）為 31° 附近時常出現峰值。由於該峰值來源於 InGaZnO_4 結晶的（009）面，由此可知 CAAC-OS 中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。

[0107] 注意，當利用 out-of-plane 法分析 CAAC-OS 的結構時，除了 2θ 為 31° 附近的峰值以外，有時在 2θ 為 36° 附近時也出現峰值。 2θ 為 36° 附近的峰值表示 CAAC-OS 中的一部分包含不具有 c 軸配向性的結晶。較佳的

是，在利用 out-of-plane 法分析的 CAAC-OS 的結構中，在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0108] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 的結構時，在 2θ 為 56° 附近時出現峰值。該峰值來源於 InGaZnO_4 結晶的 (110) 面。在 CAAC-OS 中，即使將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸 (ϕ 軸) 旋轉樣本的條件下進行分析 (ϕ 掃描)，也如圖 9B 所示的那樣觀察不到明確的峰值。相比之下，在 InGaZnO_4 的單晶氧化物半導體中，在將 2θ 固定為 56° 附近來進行 ϕ 掃描時，如圖 9C 所示的那樣觀察到來源於相等於 (110) 面的結晶面的六個峰值。因此，由使用 XRD 的結構分析可以確認到 CAAC-OS 中的 a 軸和 b 軸的配向沒有規律性。

[0109] 接著，說明利用電子繞射進行分析的 CAAC-OS。例如，當對包含 InGaZnO_4 結晶的 CAAC-OS 在平行於樣本面的方向上入射束徑為 300nm 的電子線時，可能會獲得圖 10A 所示的繞射圖案（也稱為選區穿透式電子繞射圖案）。在該繞射圖案中包含起因於 InGaZnO_4 結晶的 (009) 面的斑點。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另一方面，圖 10B 示出對相同的樣本在垂直於樣本面的方向上入射束徑為 300nm 的電子線時的繞射圖案。由圖 10B 觀察到環狀的繞射圖案。因此，

由電子繞射也可知 CAAC-OS 所包含的顆粒的 a 軸和 b 軸不具有配向性。可以認為圖 10B 中的第一環起因於 InGaZnO_4 結晶的 (010) 面和 (100) 面等。另外，可以認為圖 10B 中的第二環起因於 (110) 面等。

[0110] 如上所述，CAAC-OS 是結晶性高的氧化物半導體。因為氧化物半導體的結晶性有時因雜質的混入或缺陷的生成等而降低，所以從相反的觀點來看，可以說 CAAC-OS 是雜質或缺陷（氧缺陷等）少的氧化物半導體。

[0111] 另外，雜質是指氧化物半導體的主要成分以外的元素，諸如氫、碳、矽和過渡金屬元素等。例如，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧，由此打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氫、二氧化碳等的原子半徑（或分子半徑）大，所以會打亂氧化物半導體的原子排列，導致結晶性下降。

[0112] 當氧化物半導體包含雜質或缺陷時，其特性有時因光或熱等會發生變動。例如，包含於氧化物半導體的雜質有時會成為載子陷阱或載子發生源。另外，氧化物半導體中的氧缺陷有時會成為載子陷阱或因俘獲氫而成為載子發生源。

[0113] 雜質及氧缺陷少的 CAAC-OS 是載子密度低的氧化物半導體。明確而言，該氧化物半導體可以具有低於 8×10^{11} 個/ cm^3 ，較佳低於 1×10^{11} 個/ cm^3 ，更佳低於 1×10^{10}

個/cm³ 且為 1×10^{-9} 個/cm³ 以上的載子密度。將這樣的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS 的雜質濃度和缺陷能階密度低。亦即，可以說 CAAC-OS 是具有穩定特性的氧化物半導體。

[0114]

〈nc-OS〉

接著說明 nc-OS。

[0115] 在 nc-OS 的高解析度 TEM 影像中有能夠觀察到結晶部的區域和觀察不到明確的結晶部的區域。nc-OS 所包含的結晶部的尺寸大多為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下。注意，有時將其結晶部的尺寸大於 10nm 且是 100nm 以下的氧化物半導體稱為微晶氧化物半導體。例如，在 nc-OS 的高解析度 TEM 影像中，有時無法明確地觀察到晶界。注意，奈米晶的來源有可能與 CAAC-OS 中的顆粒相同。因此，下面有時將 nc-OS 的結晶部稱為顆粒。

[0116] 在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，nc-OS 在不同的顆粒之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 或非晶氧化物半導體沒有差別。例如，當利用使用其束徑比顆粒大的 X 射線的 out-of-plane 法對 nc-OS 進行結構分析時，檢測不到表示結晶面的峰值。在使用其束徑比

顆粒大（例如，50nm 以上）的電子射線對 nc-OS 進行電子繞射時，觀察到類似光暈圖案的繞射圖案。另一方面，在使用其束徑近於顆粒或者比顆粒小的電子射線對 nc-OS 進行奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0117] 如此，由於在顆粒（奈米晶）之間結晶定向都沒有規律性，所以也可以將 nc-OS 稱為包含 RANC（Random Aligned nanocrystals：無規配向奈米晶）的氧化物半導體或包含 NANC（Non-Aligned nanocrystals：無配向奈米晶）的氧化物半導體。

[0118] nc-OS 是規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷能階密度比 a-like OS 或非晶氧化物半導體低。但是，在 nc-OS 中的不同的顆粒之間觀察不到結晶定向的規律性。所以，nc-OS 的缺陷能階密度比 CAAC-OS 高。

[0119]

〈a-like OS〉

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的氧化物半導體。

[0120] 在 a-like OS 的高解析度 TEM 影像中有時觀察到空洞。另外，在高解析度 TEM 影像中，有能夠明確地觀察到結晶部的區域和不能觀察到結晶部的區域。

[0121] 由於 a-like OS 包含空洞，所以其結構不穩定。為了證明與 CAAC-OS 及 nc-OS 相比 a-like OS 具有不穩定的結構，下面示出電子照射所導致的結構變化。

[0122] 作為進行電子照射的樣本，準備 a-like OS（記載為樣本 A）、nc-OS（記載為樣本 B）和 CAAC-OS（記載為樣本 C）。每個樣本都是 In-Ga-Zn 氧化物。

[0123] 首先，取得各樣本的高解析度剖面 TEM 影像。由高解析度剖面 TEM 影像可知，每個樣本都具有結晶部。

[0124] 注意，如下那樣決定將哪個部分作為一個結晶部。例如，已知 InGaZnO_4 結晶的單位晶格具有包括三個 In-O 層和六個 Ga-Zn-O 層的九個層在 c 軸方向上以層狀層疊的結構。這些彼此靠近的層的間隔與 (009) 面的晶格表面間隔（也稱為 d 值）是幾乎相等的，由結晶結構分析求出其值為 0.29nm。由此，可以將晶格條紋的間隔為 0.28nm 以上且 0.30nm 以下的部分作為 InGaZnO_4 結晶部。每個晶格條紋對應於 InGaZnO_4 結晶的 a-b 面。

[0125] 圖 11 示出調查了各樣本的結晶部（22 個部分至 45 個部分）的平均尺寸的例子。注意，結晶部尺寸對應於上述晶格條紋的長度。由圖 11 可知，在 a-like OS 中，結晶部根據電子的累積照射量逐漸變大。明確而言，如圖 11 中的 (1) 所示，可知在利用 TEM 的觀察初期尺寸為 1.2nm 左右的結晶部（也稱為初始晶核）在累積照射量為 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 時生長到 2.6nm 左右。另一方面，可

知 nc-OS 和 CAAC-OS 在開始電子照射時到電子的累積照射量為 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 的範圍內，結晶部的尺寸都沒有變化。明確而言，如圖 11 中的 (2) 及 (3) 所示，可知無論電子的累積照射量如何，nc-OS 及 CAAC-OS 的平均結晶部尺寸都分別為 1.4nm 左右及 2.1nm 左右。

[0126] 如此，有時電子照射引起 a-like OS 中的結晶部的生長。另一方面，可知在 nc-OS 和 CAAC-OS 中，幾乎沒有電子照射所引起的結晶部的生長。也就是說，a-like OS 與 CAAC-OS 及 nc-OS 相比具有不穩定的結構。

[0127] 另外，由於 a-like OS 包含空洞，所以其密度比 nc-OS 及 CAAC-OS 低。具體地，a-like OS 的密度為具有相同組成的單晶氧化物半導體的 78.6% 以上且低於 92.3%。nc-OS 的密度及 CAAC-OS 的密度為具有相同組成的單晶氧化物半導體的 92.3% 以上且低於 100%。注意，難以形成其密度低於單晶氧化物半導體的密度的 78% 的氧化物半導體。

[0128] 例如，在原子個數比滿足 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 的氧化物半導體中，具有菱方晶系結構的單晶 InGaZnO_4 的密度為 $6.357\text{g}/\text{cm}^3$ 。因此，例如，在原子個數比滿足 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 的氧化物半導體中，a-like OS 的密度為 $5.0\text{g}/\text{cm}^3$ 以上且低於 $5.9\text{g}/\text{cm}^3$ 。另外，例如，在原子個數比滿足 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 的氧化物半導體中，nc-OS 的密度和 CAAC-OS 的密度為 $5.9\text{g}/\text{cm}^3$ 以上且低於 $6.3\text{g}/\text{cm}^3$ 。

[0129] 注意，有時不存在相同組成的單晶氧化物半

1

1

1

1

1

半導體。半導體 406b 例如也可以是鋅錫氧化物、鎵錫氧化物或氧化鎵等不包含銦且包含鋅、鎵或錫的氧化物半導體等。

[0134] 作為半導體 406b 例如使用能隙大的氧化物。半導體 406b 的能隙例如是 2.5eV 以上且 4.2eV 以下，較佳為 2.8eV 以上且 3.8eV 以下，更佳為 3eV 以上且 3.5eV 以下。

[0135] 例如，絕緣體 406a 及絕緣體 406c 是包含一種或兩種以上構成半導體 406b 的除了氧之外的元素的氧化物。因為絕緣體 406a 及絕緣體 406c 包含一種或兩種以上構成半導體 406b 的除了氧之外的元素，所以不容易在絕緣體 406a 與半導體 406b 的介面以及半導體 406b 與絕緣體 406c 的介面處形成介面能階。

[0136] 說明絕緣體 406a、半導體 406b 及絕緣體 406c 包含銦的情況。另外，在絕緣體 406a 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic%時，較佳的是：In 低於 50atomic%，M 高於 50atomic%，更佳的是：In 低於 25atomic%，M 高於 75atomic%。此外，在半導體 406b 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic%時，較佳的是：In 高於 25atomic%，M 低於 75atomic%，更佳的是：In 高於 34atomic%，M 低於 66atomic%。此外，在絕緣體 406c 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic%時，較佳的是：In 低於 50atomic%，M 高於 50atomic%，更佳的是：In 低於

25atomic%，M 高於 75atomic%。另外，絕緣體 406c 也可以使用與絕緣體 406a 相同的種類的氧化物。

[0137] 作為半導體 406b 使用其電子親和力大於絕緣體 406a 及絕緣體 406c 的氧化物。例如，作為半導體 406b 使用如下氧化物，該氧化物的電子親和力比絕緣體 406a 及絕緣體 406c 大 0.07eV 以上且 1.3eV 以下，較佳大 0.1eV 以上且 0.7eV 以下，更佳大 0.15eV 以上且 0.4eV 以下。注意，電子親和力是真空能階和導帶底之間的能量差。

[0138] 注意，銦鎵氧化物的電子親和力小，其氧阻擋性高。因此，絕緣體 406c 較佳為包含銦鎵氧化物。鎵原子的比率[Ga/(In+Ga)]例如為 70%以上，較佳為 80%以上，更佳為 90%以上。

[0139] 注意，絕緣體 406a 或/及絕緣體 406c 也可以是氧化鎵。例如，當作為絕緣體 406c 使用氧化鎵時，可以減少產生在導電體 416a1 或導電體 416a2 和導電體 404 之間的洩漏電流。也就是說，可以減少電晶體的關態電流。

[0140] 此時，若施加閘極電壓，通道則形成在絕緣體 406a、半導體 406b 和絕緣體 406c 當中的電子親和力最大的半導體 406b 中。

[0141] 在此，有時在絕緣體 406a 與半導體 406b 之間具有絕緣體 406a 和半導體 406b 的混合區域。另外，有時在半導體 406b 與絕緣體 406c 之間具有半導體 406b 和

絕緣體 406c 的混合區域。混合區域的介面態密度較低。因此，絕緣體 406a、半導體 406b 和絕緣體 406c 的疊層體具有介面及介面附近的能量連續地變化（也稱為連續接合）的帶結構。

[0142] 此時，電子不是在絕緣體 406a 及絕緣體 406c 中而主要在半導體 406b 中移動。由此，藉由降低絕緣體 406a 與半導體 406b 的介面處的介面態密度、半導體 406b 與絕緣體 406c 的介面處的介面態密度，在半導體 406b 中妨礙電子移動的情況減少，從而可以提高電晶體的通態電流。

[0143] 注意，當電晶體具有 s-channel 結構時，在整個半導體 406b 中形成有通道。因此，半導體 406b 的厚度越大，通道區域越大。亦即，半導體 406b 越厚，越能夠提高電晶體的通態電流。例如，半導體 406b 具有其厚度為 10nm 以上，較佳為 20nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上，還較佳為 100nm 以上的區域即可。注意，包括電晶體的半導體裝置的生產率有時會下降，因此，例如，半導體 406b 具有其厚度為 300nm 以下，較佳為 200nm 以下，更佳為 150nm 以下的區域即可。注意，當通道形成區域縮小時，有時半導體 406b 的厚度較小的電晶體的電特性會得到提高。因此，半導體 406b 的厚度也可以小於 10nm。

[0144] 此外，為了提高電晶體的通態電流，絕緣體 406c 的厚度越小越較佳。例如，絕緣體 406c 具有其厚度

小於 10nm、較佳為 5nm 以下、更佳為 3nm 以下的區域即可。另一方面，絕緣體 406c 具有阻擋構成相鄰的絕緣體的氧之外的元素（氫、矽等）侵入形成有通道的半導體 406b 中的功能。因此，絕緣體 406c 較佳為具有一定厚度的厚度。例如，絕緣體 406c 具有其厚度為 0.3nm 以上，較佳為 1nm 以上，更佳為 2nm 以上的區域即可。另外，為了抑制從絕緣體 402 等釋放的氧向外擴散，絕緣體 406c 較佳為具有阻擋氧的性質。

[0145] 此外，為了提高可靠性，較佳為使絕緣體 406a 變厚並使絕緣體 406c 變薄。例如，絕緣體 406a 具有其厚度例如為 10nm 以上、較佳為 20nm 以上、更佳為 40nm 以上、進一步較佳為 60nm 以上的區域即可。藉由將絕緣體 406a 形成得厚，可以拉開從相鄰的絕緣體和絕緣體 406a 的介面到形成有通道的半導體 406b 的距離。注意，因為包括電晶體的半導體裝置的生產率可能會下降，所以絕緣體 406a 具有其厚度例如為 200nm 以下、較佳為 120nm 以下、更佳為 80nm 以下的區域即可。

[0146] 例如，氧化物半導體中的矽有時成為載子陷阱或載子發生源。因此，半導體 406b 的矽濃度越低，越較佳。例如，在半導體 406b 與絕緣體 406a 之間具有藉由二次離子質譜分析法（SIMS: Secondary Ion Mass Spectrometry）得到的矽濃度低於 $1 \times 10^{19} \text{atoms/cm}^3$ 、較佳低於 $5 \times 10^{18} \text{atoms/cm}^3$ 、更佳低於 $2 \times 10^{18} \text{atoms/cm}^3$ 的區域。此外，在半導體 406b 與絕緣體 406c 之間具有藉由

SIMS 得到的矽濃度低於 $1 \times 10^{19} \text{atoms/cm}^3$ 、較佳低於 $5 \times 10^{18} \text{atoms/cm}^3$ 、更佳低於 $2 \times 10^{18} \text{atoms/cm}^3$ 的區域。

[0147] 此外，為了降低半導體 406b 的氫濃度，較佳為降低絕緣體 406a 及絕緣體 406c 的氫濃度。絕緣體 406a 及絕緣體 406c 具有藉由 SIMS 得到的氫濃度為 $2 \times 10^{20} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下的區域。此外，為了降低半導體 406b 的氮濃度，較佳為降低絕緣體 406a 及絕緣體 406c 的氮濃度。絕緣體 406a 及絕緣體 406c 具有藉由 SIMS 得到的氮濃度低於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下的區域。

[0148] 另外，當銅混入氧化物半導體中時，有時生成電子陷阱。電子陷阱有時使電晶體的臨界電壓向正方向漂移。因此，半導體 406b 的表面或內部的銅濃度越低，越較佳。例如，半導體 406b 較佳為具有銅濃度為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{atoms/cm}^3$ 以下或者 $1 \times 10^{18} \text{atoms/cm}^3$ 以下的區域。

[0149] 上述三層結構是一個例子。例如，也可以採用沒有絕緣體 406a 或絕緣體 406c 的兩層結構。或者，也可以採用在絕緣體 406a 上或下、或者在絕緣體 406c 上或下設置具有作為絕緣體 406a、半導體 406b 和絕緣體 406c 例示的絕緣體和半導體中的任一個的四層結構。或者，也

可以採用在絕緣體 406a 上、絕緣體 406a 下、絕緣體 406c 上、絕緣體 406c 下中的任兩個以上的位置設置具有作為絕緣體 406a、半導體 406b 和絕緣體 406c 例示的絕緣體和半導體中的任一個的 n 層結構（ n 為 5 以上的整數）。

[0150] 作為基板 400 例如可以使用絕緣體基板、半導體基板或導電體基板。作為絕緣體基板，例如可以舉出玻璃基板、石英基板、藍寶石基板、穩定氧化鋁基板（釔安定氧化鋁基板等）、樹脂基板等。例如，作為半導體基板，可以舉出由矽或鍺等構成的單一材料半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅或氧化鎵等構成的化合物半導體基板等。並且，還可以舉出在上述半導體基板內部具有絕緣體區域的半導體基板，例如為 SOI（Silicon On Insulator；絕緣層上覆矽）基板等。作為導電體基板，可以舉出石墨基板、金屬基板、合金基板、導電樹脂基板等。或者，可以舉出包含金屬氮化物的基板、包含金屬氧化物的基板等。再者，還可以舉出設置有導電體或半導體的絕緣體基板、設置有導電體或絕緣體的半導體基板、設置有半導體或絕緣體的導電體基板等。或者，也可以使用在這些基板上設置有元件的基板。作為設置在基板上的元件，可以舉出電容元件、電阻元件、切換元件、發光元件、記憶元件等。

[0151] 此外，作為基板 400 也可以使用撓性基板。另外，作為在撓性基板上設置電晶體的方法，也可以舉出如下方法：在不具有撓性的基板上形成電晶體之後，剝離

電晶體而將該電晶體轉置到撓性基板的基板 400 上。在此情況下，較佳為在不具有撓性的基板與電晶體之間設置剝離層。此外，作為基板 400，也可以使用包含纖維的薄片、薄膜或箔等。另外，基板 400 也可以具有伸縮性。此外，基板 400 可以具有在停止彎曲或拉伸時恢復為原來的形狀的性質。或者，也可以具有不恢復為原來的形狀的性質。基板 400 例如包括具有如下厚度的區域： $5\mu\text{m}$ 以上且 $700\mu\text{m}$ 以下，較佳為 $10\mu\text{m}$ 以上且 $500\mu\text{m}$ 以下，更佳為 $15\mu\text{m}$ 以上且 $300\mu\text{m}$ 以下。藉由將基板 400 形成得薄，可以實現包括電晶體的半導體裝置的輕量化。另外，藉由將基板 400 形成得薄，即便在使用玻璃等的情況下也有時會具有伸縮性或在停止彎曲或拉伸時恢復為原來的形狀的性質。因此，可以緩和因掉落等而基板 400 上的半導體裝置受到的衝擊等。亦即，能夠提供一種耐久性高的半導體裝置。

[0152] 作為撓性基板的基板 400，例如可以使用金屬、合金、樹脂、玻璃或其纖維等。撓性基板的基板 400 的線性膨脹係數越低，因環境而發生的變形越得到抑制，所以是較佳的。作為撓性基板的基板 400，例如使用線性膨脹係數為 $1\times 10^{-3}/\text{K}$ 以下、 $5\times 10^{-5}/\text{K}$ 以下或 $1\times 10^{-5}/\text{K}$ 以下的材料即可。作為樹脂，例如可以舉出聚酯、聚烯烴、聚醯胺（尼龍、芳族聚醯胺等）、聚醯亞胺、聚碳酸酯、丙烯酸等。尤其是芳族聚醯胺的線性膨脹係數較低，因此適用於撓性基板的基板 400。

[0153] 本實施方式可以將其至少一部分與本說明書所記載的其他實施方式適當的組合而實施。

[0154]

實施方式 3

〈電晶體的製造方法 1〉

下面，參照圖 12A 至圖 28C 說明根據本發明的圖 1A 至圖 1C 的電晶體的製造方法。

[0155] 首先，準備基板 400。

[0156] 接著，形成絕緣體 401。絕緣體 401 可以藉由濺射法、化學氣相沉積（CVD: Chemical Vapor Deposition）法、分子束磊晶（MBE: Molecular Beam Epitaxy）法、脈衝雷射沉積（PLD: Pulsed Laser Deposition）法、原子層沉積（ALD: Atomic Layer Deposition）法等形成。

[0157] 注意，CVD 法可以分為利用電漿的電漿 CVD（PECVD: Plasma Enhanced CVD）法、利用熱量的熱 CVD（TCVD: Thermal CVD）法及利用光的光 CVD（Photo CVD）法等。再者，CVD 法可以根據使用的源氣體被分為金屬 CVD（MCVD: Metal CVD）法及有機金屬 CVD（MOCVD: Metal Organic CVD）法。

[0158] 藉由利用電漿 CVD 法，可以以較低的溫度得到高品質的膜。另外，因為在熱 CVD 法中不使用電漿，所以能夠減少對被處理物造成的電漿損傷。例如，包括在半導體裝置中的佈線、電極、元件（電晶體、電容元件等）等有時因從電漿接收電荷而會產生電荷積聚（charge

up)。此時，有時由於所累積的電荷而使包括在半導體裝置中的佈線、電極、元件等受損傷。另一方面，因為在不使用電漿的熱 CVD 法的情況下不產生這種電漿損傷，所以能夠提高半導體裝置的良率。另外，在熱 CVD 法中，不產生成膜時的電漿損傷，因此能夠得到缺陷較少的膜。

[0159] 另外，ALD 法也是能夠減少對被處理物造成的電漿損傷的成膜方法。此外，在利用 ALD 法的成膜時不產生電漿損傷，所以能夠得到缺陷較少的膜。

[0160] 不同於從靶材等中被釋放的粒子沉積的成膜方法，CVD 法及 ALD 法是因被處理物表面的反應而形成膜的成膜方法。因此，藉由 CVD 法及 ALD 法形成的膜不易受被處理物的形狀的影響而具有良好的步階覆蓋性。尤其是，藉由 ALD 法形成的膜具有良好的步階覆蓋性和厚度均勻性，所以 ALD 法適合用於形成覆蓋縱橫比高的開口的表面的膜。但是，ALD 法的沉積速度比較慢，所以有時較佳為與沉積速度快的 CVD 法等其他成膜方法組合而使用。

[0161] CVD 法或 ALD 法可以藉由調整源氣體的流量比控制所得到的膜的組成。例如，當使用 CVD 法或 ALD 法時，可以藉由調整源氣體的流量比形成任意組成的膜。此外，例如，當使用 CVD 法或 ALD 法時，可以藉由一邊形成膜一邊改變源氣體的流量比來形成其組成連續變化的膜。在一邊改變源氣體的流量比一邊形成膜時，因為可以省略傳送及調整壓力所需的時間，所以與使用多個成膜室

進行成膜的情況相比可以縮短其成膜時所需的時間。因此，有時可以提高半導體裝置的生產率。

[0162] 接著，在絕緣體 401 上形成絕緣體 301。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式形成絕緣體 301。

[0163] 接著，在絕緣體 301 中形成到達絕緣體 401 的槽。槽例如在其範疇內包括孔或開口等。在形成槽時，可以使用濕蝕刻，但是對微型加工來說乾蝕刻是較佳的。作為絕緣體 401，較佳為選擇在對絕緣體 301 進行蝕刻形成槽時被用作蝕刻障壁膜的絕緣體。例如，當作為被形成槽的絕緣體 301 使用氧化矽膜時，作為絕緣體 401 可以使用氮化矽膜、氧化鋁膜、氧化鉛膜。

[0164] 在形成槽之後，形成將成為導電體 310a 及導電體 310b 的導電體。將成為導電體 310a 及導電體 310b 的導電體較佳為包含具有不容易使氧透過的功能的導電體。例如，可以使用氮化鉭、氮化鎢、氮化鈦等。或者，可以使用該導電體與鉭、鎢、鈦、鉬、鋁、銅或鉬鎢合金的疊層膜。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式形成將成為導電體 310a 及導電體 310b 的導電體。

[0165] 接著，藉由進行化學機械拋光（Chemical Mechanical Polishing: CMP）去除絕緣體 301 上的將成為導電體 310a 及導電體 310b 的導電體。其結果是，只在槽殘留導電體 310a 及導電體 310b，所以可以形成其頂面平

坦的佈線層。

[0166] 接著，在絕緣體 301、導電體 310a 及導電體 310b 上形成絕緣體 302。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 302。在絕緣體 302 上形成電子俘獲層 303。電子俘獲層 303 較佳為具有不容易使氧或氫等雜質透過的功能。例如，可使用氮化矽膜、氧化鋁膜、氧化鉛膜。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成電子俘獲層 303。

[0167] 接著，在電子俘獲層 303 上形成絕緣體 402。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 402。接著，也可以進行對絕緣體 402 添加氧的處理。作為添加氧的處理，例如可以舉出離子植入法、電漿處理法等。添加到絕緣體 402 的氧成為過量氧。

[0168] 接著，在絕緣體 402 上形成絕緣體 406a_1。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 406a_1。

[0169] 接著，也可以進行對絕緣體 406a_1 添加氧的處理。作為添加氧的處理，例如有離子植入法、電漿處理法等。另外，添加到絕緣體 406a_1 的氧成為過量氧。較佳為對對應於絕緣體 406a_1 的層進行添加氧的處理。接著，在絕緣體 406a_1 上形成半導體 406b_1。

[0170] 接著，較佳為進行第一加熱處理。第一加熱處理以 250℃ 以上且 650℃ 以下的溫度，較佳為以 450℃ 以上且 600℃ 以下的溫度，更佳為以 520℃ 以上且 570℃

以下的溫度進行即可。第一加熱處理在惰性氣體氛圍或者包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行。第一加熱處理也可以在減壓狀態下進行。或者，也可以以如下方法進行第一加熱處理：在惰性氣體氛圍下進行加熱處理之後，為了填補脫離了的氧而在包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行另一個加熱處理。藉由進行第一加熱處理，可以提高半導體 406b_1 的結晶性，並可以去除氫或水等雜質。或者，在第一加熱處理中，也可以在減壓狀態下進行包含氧的電漿處理。包含氧的電漿處理例如較佳為採用包括用來產生使用微波的高密度電漿的電源的裝置。或者，也可以包括對基板一側施加 RF（Radio Frequency：射頻）的電源。藉由使用高密度電漿可以生成高密度氧自由基，且藉由對基板一側施加 RF 可以將由高密度電漿而生成的氧自由基高效地導入半導體 406b_1 中。或者，也可以在使用這種裝置進行包含惰性氣體的電漿處理之後，為填補脫離的氧而進行包含氧的電漿處理。

[0171] 接著，在半導體 406b_1 上形成導電體 414。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式形成導電體 414（參照圖 12A 至圖 12C）。

[0172] 接著，藉由利用光微影法等對導電體 414 進行加工，形成導電體 415（參照圖 13A 至圖 13C）。

[0173] 接著，藉由光微影法等對絕緣體 406a_1、半導體 406b_1 及導電體 415 進行加工，來形成包括絕緣體

406a、半導體 406b、導電體 416a1 及導電體 416a2 的多層膜。在此，藉由在形成導電體時損傷成為半導體 406b 的半導體的頂面，形成區域 407。因為區域 407 包括半導體 406b 低電阻化了的區域，所以導電體 415 和半導體 406b 之間的接觸電阻也變低。另外，當形成多層膜時，有時絕緣體 402 也被蝕刻而其一部分區域變薄。也就是說，絕緣體 402 有時具有在與多層膜接觸的區域包括凸部的形狀（參照圖 14A 至圖 14C）。

[0174] 注意，在光微影法中，首先藉由遮罩對光阻劑進行曝光。接著，使用顯影液去除或留下所曝光的區域而形成光阻遮罩。接著，藉由該光阻遮罩進行蝕刻處理來將導電體、半導體或絕緣體等加工為所希望的形狀。例如，使用 KrF 準分子雷射、ArF 準分子雷射、EUV（Extreme Ultraviolet：極紫外）光等對光阻劑進行曝光來形成光阻遮罩，即可。此外，也可以利用在基板和投影透鏡之間填滿液體（例如，水）的狀態下進行曝光的液浸技術。另外，也可以使用電子束或離子束代替上述光。注意，當使用電子束或離子束時，不需要遮罩。另外，既可以進行灰化處理等乾蝕刻處理或濕蝕刻處理，也可以在進行乾蝕刻處理之後進行濕蝕刻處理，又可以在進行濕蝕刻處理之後進行乾蝕刻處理，來去除光阻遮罩。

[0175] 作為乾蝕刻裝置，可以使用包括平行平板型電極的電容耦合型電漿（CCP: Capacitively Coupled Plasma）蝕刻裝置。包括平行平板型電極的電容耦合型電

漿蝕刻裝置也可以對平行平板型電極中的一個施加高頻電源；也可以對平行平板型電極中的一個施加不同的多個高頻電源；也可以對平行平板型電極的各個施加相同的高頻電源；或者對各個平行平板型電極施加頻率不同的高頻電源。此外，也可以使用包括高密度電漿源的乾蝕刻裝置。作為包括高密度電漿源的乾蝕刻裝置，例如可以使用感應耦合型電漿（ICP: Inductively Coupled Plasma）蝕刻裝置等。

[0176] 接著，形成絕緣體 406c。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 406c。接著，在絕緣體 406c 上形成絕緣體 412。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 412。

[0177] 接著，形成將成為導電體 404 的導電體。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成將成為導電體 404 的導電體。然後，藉由利用光微影法等對將成為導電體 404 的導電體進行加工，形成導電體 404（參照圖 15A 至圖 15C）。

[0178] 接著，形成絕緣體 408。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 408。較佳的是，作為絕緣體 408，使用含有氧的電漿形成氧化鋁，由此可以將該電漿中的氧作為過量氧添加到絕緣體 412 的頂面。

[0179] 接著，在絕緣體 408 上形成絕緣體 410。可以

利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 410。或者，可以使用旋塗法、浸漬法、液滴噴射法（噴墨法等）、印刷法（網版印刷、平板印刷等）、刮刀（doctor knife）法、輥塗（roll coater）法或簾式塗布（curtain coater）法等形成絕緣體 410。

[0180] 可以以其頂面具有平坦性的方式形成絕緣體 410。例如，在成膜剛結束後，絕緣體 410 的頂面可以具有平坦性。或者，例如，在成膜後，可以從頂面去除絕緣體等以使絕緣體 410 平行於基板背面等基準面。將這種處理稱為平坦化處理。作為平坦化處理，有 CMP 處理、乾蝕刻處理等。注意，絕緣體 410 的頂面也可以不具有平坦性（參照圖 16A 至圖 16C）。

[0181] 以下，對本發明的第一開口、第二開口、第三開口及第四開口的製造方法進行詳細的說明。

[0182] 首先，在絕緣體 410 上形成導電體 417a。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成導電體 417a。接著，在導電體 417a 上形成絕緣體 419a。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 419a（參照圖 17A 至圖 17C）。

[0183] 接著，利用光微影法等，在絕緣體 419a 上形成光阻遮罩 420。雖然未圖示，但是也可以在絕緣體 419a 上形成有機塗佈膜，利用光微影法等，在該有機塗佈膜上形成光阻遮罩 420。藉由在絕緣體 419a 和光阻遮罩 420 之間形成有機塗佈膜，有時由於有機塗佈膜而絕緣體 419a

和光阻遮罩 420 的緊密性得到提高（參照圖 18A 至圖 18C）。

[0184] 接著，將該光阻遮罩用作遮罩，利用乾蝕刻法直到到達導電體 417a 的頂面為止對絕緣體 419a 進行第一加工，由此形成絕緣體 419。當在絕緣體 419a 上形成有機塗佈膜時，可以在第一加工之前，利用乾蝕刻法等對該有機塗佈膜進行加工。作為在有機塗佈膜的加工時使用的氣體，例如可以使用 C_4F_6 氣體、 C_2F_8 氣體、 CF_4 氣體、 SF_6 氣體或 CHF_3 氣體等。

[0185] 作為在第一加工中使用的氣體，例如可以使用 C_4F_6 氣體、 C_2F_8 氣體、 CF_4 氣體、 SF_6 氣體和 CHF_3 氣體中的一種或混合它們中的兩種以上而成的氣體。或者，可以對上述氣體適當地添加氧氣體、氮氣體、氬氣體或氫氣體等。作為在有機塗佈膜的加工及絕緣體 419 的加工中使用的乾蝕刻裝置可以使用上述乾蝕刻裝置，但是較佳為使用具有平行平板型電極的每一個與頻率不同的高頻電源連接的結構的乾蝕刻裝置（參照圖 19A 至圖 19C）。

[0186] 接著，利用乾蝕刻法直到到達絕緣體 410 的頂面為止對導電體 417a 進行第二加工，由此形成導電體 417。作為在乾蝕刻中使用的氣體，例如可以使用 C_4F_6 氣體、 C_2F_8 氣體、 CF_4 氣體、 SF_6 氣體、 CHF_3 氣體、 Cl_2 氣體、 BCl_3 氣體和 $SiCl_4$ 氣體等中的一個或混合它們中的兩種以上而成的氣體。或者，可以對上述氣體適當地添加氧氣體、氮氣體、氬氣體、氫氣體等。此時，有時光阻遮罩

420 被蝕刻而消失。作為乾蝕刻裝置，也可以使用上述第一加工中的乾蝕刻裝置。藉由上述步驟，形成包括導電體 417 及絕緣體 419 的硬遮罩（參照圖 20A 至圖 20C）。

[0187] 注意，上述硬遮罩也可以是只有導電體 417 的一層。此時，可以在利用光微影法等導電體 417 上形成光阻遮罩 420 之後進行上述第二加工。有時由於第二加工，因此光阻遮罩 420 被蝕刻而消失。或者，有可能產生如下情況：沒有硬遮罩而只形成光阻遮罩 420；或者形成包括有機塗佈膜及光阻遮罩 420 的兩層遮罩。

[0188] 接著，將包括導電體 417 及絕緣體 419 的硬遮罩用作遮罩，利用乾蝕刻法直到第一開口、第二開口、第三開口及第四開口到達絕緣體 408 的頂面為止對絕緣體 410 進行第三加工。作為在乾蝕刻中使用的氣體可以使用與上述第一加工相同的氣體。作為乾蝕刻裝置，可以使用與上述第一加工相同的裝置。

[0189] 當絕緣體 410 的頂面具有平坦性時，各開口中的絕緣體 410 的厚度互不相同，厚度第一大的是第一開口，第二大的是第四開口，第三大的是第二開口及第三開口。

[0190] 就是說，在第三加工中，首先，第二開口及第三開口中的絕緣體 410 被蝕刻而到達絕緣體 408。接著，第四開口中的絕緣體 410 被蝕刻而到達絕緣體 408。最後，第一開口中的絕緣體 410 被蝕刻而到達絕緣體 408。就是說，直到第二開口、第三開口及第四開口到達

絕緣體 408 後且第一開口到達絕緣體 408 為止，第二開口、第三開口及第四開口中的絕緣體 408 被過蝕刻。

[0191] 因此，作為第三加工條件，使絕緣體 408 的蝕刻速率比絕緣體 410 小，換言之，使絕緣體 408 的蝕刻速率和絕緣體 410 的蝕刻速率的比例大，因此可以儘可能抑制蝕刻進行到第二開口及第三開口的絕緣體 408。作為絕緣體 408 的蝕刻速率和絕緣體 410 的蝕刻速率的比例，將絕緣體 408 的蝕刻速率設定為 1，將絕緣體 410 的蝕刻速率設定為 5 以上，較佳為 10 以上（參照圖 21A 至圖 21C）。

[0192] 接著，對絕緣體 408 進行第四加工，其中利用乾蝕刻法直到第一開口、第二開口及第三開口到達絕緣體 412 為止進行加工，並且直到第四開口到達導電體 404 為止進行加工。

[0193] 接著，利用乾蝕刻法直到第一開口、第二開口及第三開口到達絕緣體 406c 為止對絕緣體 412 進行第五加工。第四開口在第四加工中到達了導電體 404，而在第五加工中第四開口中的導電體 404 被過蝕刻（參照圖 22A 至圖 22C）。

[0194] 接著，對絕緣體 406c 進行第六加工，其中利用乾蝕刻法直到第一開口到達絕緣體 402 為止進行加工，並且直到第二開口及第三開口到達導電體 416a1 及導電體 416a2 為止進行加工。第四開口在第四加工中到達了導電體 404，而在第六加工中第四開口中的導電體 404 進一步

被過蝕刻。

[0195] 接著，利用乾蝕刻法直到第一開口到達電子俘獲層 303 為止對絕緣體 402 進行第七加工。第二開口及第三開口在第六加工中到達了導電體 416a1 及導電體 416a2，而在第七加工中第二開口及第三開口中的導電體 416a1 及導電體 416a2 被過蝕刻。第四開口在第四加工中到達了導電體 404，而在第七加工中第四開口中的導電體 404 進一步被過蝕刻（參照圖 23A 至圖 23C）。

[0196] 接著，利用乾蝕刻法直到第一開口到達絕緣體 302 為止對電子俘獲層 303 進行第八加工。第二開口及第三開口在第六加工中到達了導電體 416a1 及導電體 416a2，而在第八加工中第二開口及第三開口中的導電體 416a1 及導電體 416a2 被過蝕刻。第四開口在第四加工中到達了導電體 404，而在第八加工中第四開口中的導電體 404 進一步被過蝕刻。

[0197] 接著，利用乾蝕刻法直到第一開口到達導電體 310b 為止對絕緣體 302 進行第九加工。第二開口及第三開口在第六加工中到達了導電體 416a1 及導電體 416a2，而在第九加工中第二開口及第三開口中的導電體 416a1 及導電體 416a2 進一步被過蝕刻。第四開口在第四加工中到達了導電體 404，而在第九加工中第四開口中的導電體 404 進一步被過蝕刻。

[0198] 第四加工條件、第五加工條件、第六加工條件、第七加工條件、第八加工條件及第九加工條件可以是

同一的。作為在乾蝕刻中使用的氣體可以使用與上述第一加工相同的氣體。作為乾蝕刻裝置可以使用與上述第一加工相同的裝置。

[0199] 作為第四加工條件、第五加工條件、第六加工條件、第七加工條件、第八加工條件及第九加工條件，藉由使導電體 404 的蝕刻速率、導電體 416a1 的蝕刻速率、導電體 416a2 的蝕刻速率及導電體 310b 的蝕刻速率與絕緣體 408 及電子俘獲層 303 的蝕刻速率之間的比例大，可以抑制由於過蝕刻而蝕刻進行到導電體 404、導電體 416a1 及導電體 416a2。當將導電體 404 的蝕刻速率、導電體 416a1 的蝕刻速率、導電體 416a2 的蝕刻速率及導電體 310b 的蝕刻速率設定為 1 時，將絕緣體 408 及電子俘獲層 303 的蝕刻速率設定為 5 以上，較佳為 10 以上。

[0200] 在第三加工條件、第四加工條件、第五加工條件、第六加工條件、第七加工條件、第八加工條件及第九加工條件中，藉由使被用作硬遮罩的絕緣體 419 及導電體 417 的蝕刻速率與絕緣體 410、絕緣體 408、絕緣體 412、絕緣體 406c、絕緣體 402、電子俘獲層 303 及絕緣體 302 的蝕刻速率之間的比例大，可以抑制被用作硬遮罩的絕緣體 419 及導電體 417 的形狀變化，可以防止開口的形狀異常。明確而言，可以防止開口的頂部變寬。當將絕緣體 419 及導電體 417 的蝕刻速率設定為 1 時，將絕緣體 410、絕緣體 408、絕緣體 412、絕緣體 406c、絕緣體 402、電子俘獲層 303 及絕緣體 302 的蝕刻速率設定為 5

以上，較佳為 10 以上。

[0201] 注意，可以使用同一乾蝕刻裝置連續地進行第一加工至第九加工。或者，當該乾蝕刻裝置包括多個蝕刻室時，在各加工中可以將基板不暴露於大氣氛圍的方式進行加工，可以防止基板的腐蝕、污染或塵埃的附著，或者生產力得到提高，所以是較佳的。

[0202] 例如，當乾蝕刻裝置包括兩個蝕刻室時，可以在第一蝕刻室中連續地進行第一加工及第二加工之後，將基板移動到第二蝕刻室，連續地進行第三加工至第九加工。當根據蝕刻時使用的氣體種類如包含氯的氣體和包含氟的氣體等使用不同的蝕刻室時，適合於蝕刻速率的穩定性等。或者，例如可以進行並列處理，其中在第一處理室中進行第一加工至第九加工，在第二蝕刻室中同樣地進行第一加工至第九加工。並列處理可以提高生產性，所以是較佳的。藉由上述步驟，可以形成第一開口、第二開口、第三開口及第四開口（參照圖 24A 至圖 24C）。

[0203] 接著，形成導電體 422a。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成導電體 422a。以填充形成在絕緣體 410 等中的開口的方式形成導電體 422a。因此，較佳為使用 CVD 法（尤其是，MCVD 法）。另外，為了提高絕緣體 410 和藉由 MCVD 法形成的導電體的緊密性，有時較佳為採用藉由 ALD 法等形成的導電體與藉由 MCVD 法形成的導電體的疊層膜。例如，可以使用依次形成有氮化鈦與鎢的多層膜等（參照圖

25A 至圖 25C)。

[0204] 接著，直到到達絕緣體 419 的頂面為止對導電體 422a 進行第一 CMP 處理，形成導電體 422 (參照圖 26A 至圖 26C)。

[0205] 接著，直到到達絕緣體 410 的頂面為止對導電體 422、絕緣體 419 及導電體 417 進行第二 CMP 處理。由此，導電體 433 埋入在第一開口中，導電體 431 埋入在第二開口中，導電體 429 埋入在第三開口中，導電體 437 埋入在第四開口中 (參照圖 27A 至圖 27C)。

[0206] 接著，在絕緣體 410、導電體 433、導電體 431、導電體 429 及導電體 437 上形成導電體，利用光微影法對該導電體的一部分進行蝕刻，由此形成導電體 434、導電體 432、導電體 430 及導電體 438。藉由上述步驟，可以製造圖 1A 至圖 1C 所示的電晶體 (參照圖 28A 至圖 28C)。

[0207]

〈電晶體的製造方法 2〉

以下，使用圖 29A 至圖 47C 對根據本發明的實施方式的圖 4A 至圖 4C 所示的電晶體的製造方法進行說明。注意，直到形成導電體 414 為止的製程與上述電晶體的製造方法 1 相同 (參照圖 29A 至圖 29C)。

[0208] 接著，利用光微影法等對絕緣體 406a_1、半導體 406b_1 及導電體 414 進行加工，形成包括絕緣體 406a、半導體 406b 及導電體 415 的多層膜。在此，當形

成導電體 414 時，半導體 406b_1 的頂面受到損傷而形成區域 407。因為區域 407 具有半導體 406b 被低電阻化的區域，所以導電體 415 和半導體 406b 之間的接觸電阻變低。當形成多層膜時，有時絕緣體 402 也被蝕刻，一部分的區域減薄。亦即，絕緣體 402 有時具有在接觸於多層膜的區域具有凸部的形狀（參照圖 30A 至圖 30C）。

[0209] 接著，形成絕緣體 410a。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成絕緣體 410a。或者，可以使用旋塗法、浸漬法、液滴噴射法（噴墨法等）、印刷法（網版印刷、平板印刷等）、刮刀（doctor knife）法、輥塗（roll coater）法或簾式塗布（curtain coater）法等形成絕緣體 410a。

[0210] 可以以其頂面具有平坦性的方式形成絕緣體 410a。例如，在成膜剛結束後，絕緣體 410a 的頂面可以具有平坦性。或者，例如，在成膜後，可以從頂面去除絕緣體等以使絕緣體 410a 的頂面平行於基板背面等基準面，而絕緣體 410a 具有平坦性。將這種處理稱為平坦化處理。作為平坦化處理，有 CMP 處理、乾蝕刻處理等。注意，絕緣體 410a 的頂面也可以不具有平坦性。

[0211] 接著，利用光微影法等形成絕緣體 410a 上形成光阻遮罩 411。在此，為了提高絕緣體 410a 的頂面和光阻遮罩的緊密性，例如，在絕緣體 410a 和光阻遮罩 411 之間形成有機塗佈膜。另外，也可以在絕緣體 410a 上形成單層的導電體或導電體和絕緣體的疊層膜，利用光微影

法形成硬遮罩（參照圖 31A 至圖 31C）。

[0212] 接著，利用乾蝕刻法等直到到達絕緣體 402 為止對絕緣體 410a 進行第一加工，由此形成絕緣體 410。此時，有時直到到達電子俘獲層 303 為止絕緣體 402 被蝕刻。作為在第一加工的乾蝕刻中使用的氣體，例如可以使用 C_4F_6 氣體、 CF_4 氣體、 SF_6 氣體或 CHF_3 氣體等。或者，可以對上述氣體適當地添加氧氣體、氮氣體、氫氣體或氫氣體等。在此，較佳為使用對 C_4F_6 氣體添加氧氣體而成的氣體。作為乾蝕刻裝置可以使用上述乾蝕刻裝置，但是較佳為使用具有平行平板型電極的每一個與頻率不同的高頻電源連接的結構的乾蝕刻裝置。

[0213] 接著，利用乾蝕刻法等對導電體 415 進行第二加工，由此將導電體 415 分離為導電體 416a1 和導電體 416a2。作為在第二加工的乾蝕刻中使用的氣體，例如可以使用 C_4F_6 氣體、 CF_4 氣體、 SF_6 氣體、 Cl_2 氣體、 BCl_3 氣體和 $SiCl_4$ 氣體等中的一個或混合它們中的兩種以上而成的氣體。或者，可以對上述氣體適當地添加氧氣體、氮氣體、氫氣體或氫氣體。在此，較佳為混合 CF_4 氣體、 Cl_2 氣體和氧氣體而使用。作為乾蝕刻裝置，也可以使用上述第一加工中的乾蝕刻裝置。

[0214] 此時，半導體 406b 具有露出的區域。半導體 406b 的露出的區域中的區域 407 有時由於上述第二加工而被去除（參照圖 32A 至圖 32C）。

[0215] 當利用乾蝕刻法進行第一加工及第二加工

時，有時蝕刻氣體的殘留成分等雜質附著在半導體 406b 的露出的區域。例如，當作為蝕刻氣體使用氯類氣體時，氯等附著在半導體 406b 的露出的區域。另外，當作為蝕刻氣體使用烴類氣體時，碳或氫等附著在半導體 406b 的露出的區域。當在第二加工之後將基板暴露於大氣時，有時半導體 406b 的露出的區域等被腐蝕。因此，當在第二加工之後連續地進行利用氧氣體的電漿處理時可以去除上述雜質，而可以防止半導體 406b 的露出區域等的腐蝕，所以是較佳的。

[0216] 或者，例如，也可以藉由進行使用稀氫氟酸等的洗滌處理或使用臭氧等的洗滌處理，減少雜質。另外，也可以組合多個洗滌處理。由此，半導體 406b 的露出區域，換言之，通道形成區域具有高電阻。

[0217] 另一方面，在導電體 416a1 和半導體 406b 的頂面、導電體 416a2 和半導體 406b 的頂面互相重疊的區域 407 中，如上所述，導電體 416a1 和半導體 406b 之間、導電體 416a2 和半導體 406b 之間的接觸電阻值變低，因此可以得到良好的電晶體特性，所以是較佳的。

[0218] 接著，形成將成為絕緣體 406c 的絕緣體，在將成為絕緣體 406c 的絕緣體上形成將成為絕緣體 412 的絕緣體。可以以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成將成為絕緣體 406c 的絕緣體及將成為絕緣體 412 的絕緣體。在形成於絕緣體 410、導電體 416a1 及導電體 416a2 中的開口的側面及底面以均勻的厚度形成

將成為絕緣體 406c 的絕緣體及將成為絕緣體 412 的絕緣體。因此，較佳為使用 ALD 法。

[0219] 接著，形成將成為導電體 404 的導電體。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成將成為導電體 404 的導電體。以填充形成在絕緣體 410 等中的開口的方式形成將成為導電體 404 的導電體。因此，較佳為使用 CVD 法（尤其是，MCVD 法）。另外，為了提高絕緣體 410 和藉由 MCVD 法形成的導電體的緊密性，有時較佳為採用藉由 ALD 法等形成的導電體與藉由 CVD 法形成的導電體的多層膜。例如，可以使用依次形成有氮化鈦與鎢的多層膜等。

[0220] 接著，利用 CMP 等直到將成為導電體 404 的導電體、將成為絕緣體 412 的絕緣體及將成為絕緣體 406c 的絕緣體到達絕緣體 410 的頂面為止從將成為導電體 404 的導電體的頂面進行拋光並使其平坦化。由此，可以自對準地形成被用作閘極電極的導電體 404 而不利用光微影法。另外，形成絕緣體 412 及絕緣體 406c。

[0221] 因為可以不考慮被用作閘極電極的導電體 404 與被用作源極電極或汲極電極的導電體 416a1 及導電體 416a2 的位置對準精度而形成被用作閘極電極的導電體 404，所以可以縮小半導體裝置的面積。另外，因為不需要光微影製程，所以可以期待製程簡化所引起的生產性的提高（參照圖 33A 至圖 33C）。

[0222] 接著，在絕緣體 410、絕緣體 412 及絕緣體

406c 上形成絕緣體 418。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法形成絕緣體 418。接著，在絕緣體 418 上形成絕緣體 408。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法形成絕緣體 408。較佳的是，作為絕緣體 408 使用含有氧的電漿形成氧化鋁，由此可以將該電漿中的氧作為過量氧添加到絕緣體 418 的頂面。

[0223] 在形成將成為絕緣體 408 的絕緣體之後，在任何時候都可以進行第二加熱處理。藉由進行第二加熱處理，包含在絕緣體 418 中的過量氧經過絕緣體 410、絕緣體 402 及絕緣體 406a 移動到半導體 406b。包含在絕緣體 418 中的過量氧經過絕緣體 412 及/或絕緣體 406c 移動到半導體 406b。如此，因為過量氧經過兩個路徑移動到半導體 406b，所以可以降低半導體 406b 的缺陷（氧缺陷）。

[0224] 注意，在包含在絕緣體 418 中的過量氧（氧）可以擴散到半導體 406b 的溫度下進行第二加熱處理即可。例如，也可以參照關於第一加熱處理的記載。或者，第二加熱處理的溫度較佳低於第一加熱處理。第一加熱處理和第二加熱處理的溫度差為 20℃ 以上且 150℃ 以下，較佳為 40℃ 以上且 100℃ 以下。由此，可以抑制過多的過量氧（氧）從絕緣體 402 被釋放。注意，若各層的成膜時的加熱能夠兼作與第二加熱處理同等的加熱處理，則有時無需進行第二加熱處理。

[0225] 接著，在絕緣體 408 上形成絕緣體 428。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式形成絕緣體 428（參照圖 34A 至圖 34C）。

[0226] 以下，對根據本發明的實施方式的第一開口、第二開口、第三開口及第四開口的製造方法進行詳細的說明。

[0227] 首先，在絕緣體 428 上形成導電體 417a。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式形成導電體 417a。接著，在導電體 417a 上形成絕緣體 419a。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式形成絕緣體 419a（參照圖 35A 至圖 35C）。

[0228] 接著，利用光微影法等，在絕緣體 419a 上形成光阻遮罩 420。雖然未圖示，但是也可以在絕緣體 419a 上形成有機塗佈膜，利用光微影法等，在該有機塗佈膜上形成光阻遮罩 420。藉由在絕緣體 419a 和光阻遮罩 420 之間形成有機塗佈膜，有時由於有機塗佈膜而絕緣體 419a 和光阻遮罩 420 的緊密性得到提高（參照圖 36A 至圖 36C）。

[0229] 接著，將該光阻遮罩用作遮罩，利用乾蝕刻法直到到達導電體 417a 的頂面為止對絕緣體 419a 進行第一加工，由此形成絕緣體 419。當在絕緣體 419a 上形成有機塗佈膜時，可以在第一加工之前，利用乾蝕刻法等對該有機塗佈膜進行加工。作為在有機塗佈膜的加工時使用的氣體，例如可以使用 C_4F_6 氣體、 C_2F_8 氣體、 CF_4 氣體、

SF_6 氣體或 CHF_3 氣體等。

[0230] 作為在第一加工中使用的氣體，例如可以使用 C_4F_6 氣體、 C_2F_8 氣體、 CF_4 氣體、 SF_6 氣體和 CHF_3 氣體等中的一個或混合它們中的兩種以上而成的氣體。或者，可以對上述氣體適當地添加氧氣體、氮氣體、氬氣體或氫氣體等。作為在有機塗佈膜的加工及絕緣體 419 的加工中使用的乾蝕刻裝置可以使用上述乾蝕刻裝置，但是較佳為使用具有平行平板型電極的每一個與頻率不同的高頻電源連接的結構的乾蝕刻裝置（參照圖 37A 至圖 37C）。

[0231] 接著，利用乾蝕刻法直到到達絕緣體 428 的頂面為止對導電體 417a 進行第二加工，由此形成導電體 417。作為在乾蝕刻中使用的氣體，例如可以使用 C_4F_6 氣體、 C_2F_8 氣體、 CF_4 氣體、 SF_6 氣體、 CHF_3 氣體、 Cl_2 氣體、 BCl_3 氣體和 SiCl_4 氣體等中的一個或混合它們中的兩種以上而成的氣體。或者，可以對上述氣體適當地添加氧氣體、氮氣體、氬氣體或氫氣體等。此時，有時光阻遮罩 420 被蝕刻而消失。作為乾蝕刻裝置，也可以使用上述第一加工中的乾蝕刻裝置。藉由上述步驟，形成包括導電體 417 及絕緣體 419 的硬遮罩（參照圖 38A 至圖 38C）。

[0232] 注意，上述硬遮罩也可以是只有導電體 417 的一層。此時，可以在利用光微影法等導電體 417a 上形成光阻遮罩 420 之後進行上述第二加工。有時由於第二加工，因此光阻遮罩 420 被蝕刻而消失。或者，有可能產生如下情況：沒有硬遮罩而只形成光阻遮罩 420；或者形

成包括有機塗佈膜及光阻遮罩 420 的兩層遮罩。

[0233] 接著，將包括導電體 417 及絕緣體 419 的硬遮罩用作遮罩，利用乾蝕刻法直到第一開口、第二開口、第三開口及第四開口到達絕緣體 408 的頂面為止對絕緣體 428 進行第三加工。作為在乾蝕刻中使用的氣體可以使用與上述第一加工相同的氣體。作為乾蝕刻裝置，可以使用與上述第一加工相同的裝置（參照圖 39A 至圖 39C）。

[0234] 接著，利用乾蝕刻法直到第一開口、第二開口及第三開口及第四開口到達絕緣體 418 的頂面為止對絕緣體 408 進行第四加工。

[0235] 接著，對絕緣體 418 進行第五加工，其中利用乾蝕刻法直到第一開口、第二開口及第三開口到達絕緣體 410 為止進行加工，並且直到第四開口到達導電體 404 為止進行加工。

[0236] 接著，對絕緣體 410 進行第六加工，其中利用乾蝕刻法直到第一開口到達絕緣體 402 為止進行加工，直到第二開口到達導電體 416a1 為止進行加工，並且直到第三開口到達導電體 416a2 為止進行加工。第四開口沒有包括絕緣體 410，在第五加工中到達了導電體 404，而在第六加工中導電體 404 被過蝕刻（參照圖 40A 至圖 40C）。

[0237] 因為絕緣體 410 的頂面因 CMP 處理等而具有平坦性，所以第一開口中的絕緣體 410 與第二開口及第三開口中的絕緣體 410 的厚度互不相同，厚度第一大的是第

一開口，第二大的是第二開口及第三開口。注意，第四開口沒有包括絕緣體 410。

[0238] 就是說，在第六加工中，首先，第二開口及第三開口中的絕緣體 410 被蝕刻而到達導電體 416a1 及導電體 416a2。接著，第一開口中的絕緣體 410 被蝕刻而到達絕緣體 402。就是說，直到第二開口及第三開口到達導電體 416a1 及導電體 416a2 後且第一開口到達絕緣體 402 為止，第二開口及第三開口中的導電體 416a1 及導電體 416a2 被過蝕刻。或者，在第六加工中，第四開口中的導電體 404 被過蝕刻。

[0239] 接著，利用乾蝕刻法直到第一開口到達絕緣體 302 為止對絕緣體 402 及電子俘獲層 303 進行第七加工。第二開口及第三開口在第六加工中到達了導電體 416a1 及導電體 416a2，而在第七加工中導電體 416a1 及導電體 416a2 進一步被過蝕刻。第四開口在第五加工中到達了導電體 404，而在第七加工中導電體 404 進一步被過蝕刻（參照圖 41A 至圖 41C）。

[0240] 接著，利用乾蝕刻法直到第一開口到達導電體 310b 為止對絕緣體 302 進行第八加工。第二開口及第三開口在第六加工中到達了導電體 416a1 及導電體 416a2，而在第八加工中導電體 416a1 及導電體 416a2 進一步被過蝕刻。第四開口在第五加工中到達了導電體 404，而在第八加工中導電體 404 進一步被過蝕刻（參照圖 42A 至圖 42C）。

[0241] 第四加工條件、第五加工條件、第六加工條件、第七加工條件及第八加工條件可以是同一的。作為在乾蝕刻中使用的氣體可以使用與上述第一加工相同的氣體。作為乾蝕刻裝置可以使用與上述第一加工相同的裝置。

[0242] 作為第四加工條件、第五加工條件、第六加工條件、第七加工條件及第八加工條件，藉由使導電體 404 的蝕刻速率、導電體 416a1 的蝕刻速率、導電體 416a2 的蝕刻速率及導電體 310b 的蝕刻速率與絕緣體 408 及電子俘獲層 303 的蝕刻速率之間的比例大，可以抑制由於過蝕刻而蝕刻進行到導電體 404、導電體 416a1 及導電體 416a2。當將導電體 404 的蝕刻速率、導電體 416a1 的蝕刻速率、導電體 416a2 的蝕刻速率及導電體 310b 的蝕刻速率設定為 1 時，將絕緣體 408 及電子俘獲層 303 的蝕刻速率設定為 5 以上，較佳為 10 以上。

[0243] 在第三加工條件、第四加工條件、第五加工條件、第六加工條件、第七加工條件及第八加工條件中，藉由使被用作硬遮罩的絕緣體 419 及導電體 417 的蝕刻速率與絕緣體 428、絕緣體 418、絕緣體 408、絕緣體 410、絕緣體 402、電子俘獲層 303 及絕緣體 302 的蝕刻速率之間的比例大，可以抑制被用作硬遮罩的絕緣體 419 及導電體 417 的形狀變化，可以防止開口的形狀異常。明確而言，可以防止開口的頂部變寬。當將絕緣體 419 及導電體 417 的蝕刻速率設定為 1 時，將絕緣體 428、絕緣體

418、絕緣體 408、絕緣體 410、絕緣體 402、電子俘獲層 303 及絕緣體 302 的蝕刻速率設定為 5 以上，較佳為 10 以上。

[0244] 接著，形成導電體 422a。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成導電體 422a。以填充形成在絕緣體 410 等中的開口的方式形成導電體 422a。因此，較佳為使用 CVD 法（尤其是，MCVD 法）。另外，為了提高絕緣體 410 等和藉由 MCVD 法形成的導電體的緊密性，有時較佳為採用藉由 ALD 法等形成的導電體與藉由 CVD 法形成的導電體的多層膜。例如，可以使用依次形成有氮化鈦與鎢的多層膜等（參照圖 43A 至圖 43C）。

[0245] 接著，直到到達絕緣體 419 的頂面為止對導電體 422a 進行第一 CMP 處理，由此形成導電體 422（參照圖 44A 至圖 44C）。

[0246] 接著，直到到達絕緣體 428 的頂面為止對導電體 422、絕緣體 419 及導電體 417 進行第二 CMP 處理。由此，導電體 433 埋入在第一開口中，導電體 431 埋入在第二開口中，導電體 429 埋入在第三開口中，導電體 437 埋入在第四開口中（參照圖 45A 至圖 45C）。

[0247] 接著，在絕緣體 428、導電體 433、導電體 431、導電體 429 及導電體 437 上形成導電體，利用光微影法對該導電體的一部分進行蝕刻，由此形成導電體 434、導電體 432、導電體 430 及導電體 438。藉由上述步

驟，可以製造圖 4A 至圖 4C 所示的電晶體（參照圖 46A 至圖 46C）。

[0248] 如上所述，在形成絕緣體 410 時，利用乾蝕刻法等直到到達絕緣體 402 為止對絕緣體 410a 進行第一加工，由此形成絕緣體 410。此時，有時直到到達電子俘獲層 303 上為止絕緣體 402 被蝕刻，此時的電晶體具有圖 47A 至圖 47C 所示的結構。本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0249]

實施方式 4

〈記憶體裝置 1〉

參照圖 48A 及圖 48B 示出半導體裝置（記憶體裝置）的一個例子，其中使用根據本發明的一個實施方式的電晶體，即使在沒有電力供應的情況下也能夠保持存儲內容，並且對寫入次數也沒有限制。

[0250] 圖 48A 所示的半導體裝置包括使用第一半導體的電晶體 3200、使用第二半導體的電晶體 3300 以及電容元件 3400。另外，作為電晶體 3300 可以使用上述電晶體。

[0251] 電晶體 3300 較佳為關態電流小的電晶體。例如，作為電晶體 3300 可以採用使用氧化物半導體的電晶體。由於電晶體 3300 的關態電流小，所以可以在長期間使半導體裝置的特定的節點保持存儲內容。也就是說，不需要更新工作或可以使更新工作的頻率極低，從而實現低

耗電的半導體裝置。

[0252] 在圖 48A 中，第一佈線 3001 與電晶體 3200 的源極電連接，第二佈線 3002 與電晶體 3200 的汲極電連接。此外，第三佈線 3003 與電晶體 3300 的源極和汲極中的一個電連接，第四佈線 3004 與電晶體 3300 的閘極電連接。再者，電晶體 3200 的閘極及電晶體 3300 的源極和汲極中的另一個與電容元件 3400 的一個電極電連接，第五佈線 3005 與電容元件 3400 的另一個電極電連接。

[0253] 圖 48A 所示的半導體裝置藉由具有能夠保持電晶體 3200 的閘極的電位的特徵，可以如下所示那樣進行資訊的寫入、保持以及讀出。

[0254] 對資訊的寫入及保持進行說明。首先，將第四佈線 3004 的電位設定為使電晶體 3300 成為導通狀態的電位，使電晶體 3300 成為導通狀態。由此，第三佈線 3003 的電位被供應到與電晶體 3200 的閘極及電容元件 3400 的一個電極電連接的節點 FG。換言之，對電晶體 3200 的閘極施加規定的電荷（寫入）。這裡，供應賦予兩種不同電位位準的電荷（以下，稱為低位準電荷、高位準電荷）中的任一個。然後，藉由將第四佈線 3004 的電位設定為使電晶體 3300 成為非導通狀態的電位而使電晶體 3300 處於非導通狀態，使節點 FG 保持電荷（保持）。

[0255] 因為電晶體 3300 的關態電流小，所以節點 FG 的電荷被長時間地保持。

[0256] 接著，對資訊的讀出進行說明。當在對第一佈線 3001 供應規定的電位（恆電位）的狀態下對第五佈線 3005 供應適當的電位（讀出電位）時，第二佈線 3002 具有對應於保持在節點 FG 中的電荷量的電位。這是因為如下緣故：在電晶體 3200 為 n 通道電晶體的情況下，對電晶體 3200 的閘極施加高位準電荷時的外觀上的臨界電壓 V_{th_H} 低於對電晶體 3200 的閘極施加低位準電荷時的外觀上的臨界電壓 V_{th_L} 。在此，外觀上的臨界電壓是指為了使電晶體 3200 成為“導通狀態”所需要的第五佈線 3005 的電位。由此，藉由將第五佈線 3005 的電位設定為 V_{th_H} 與 V_{th_L} 之間的電位 V_0 ，可以辨別施加到節點 FG 的電荷。例如，在寫入時節點 FG 被供應高位準電荷的情況下，如果第五佈線 3005 的電位為 $V_0 (>V_{th_H})$ ，電晶體 3200 則成為“導通狀態”。另一方面，當節點 FG 被供應低位準電荷時，即使第五佈線 3005 的電位為 $V_0 (<V_{th_L})$ ，電晶體 3200 還保持“非導通狀態”。因此，藉由辨別第二佈線 3002 的電位，可以讀出節點 FG 所保持的資訊。

[0257] 注意，當將記憶單元設置為陣列狀時，在讀出時必須讀出所希望的記憶單元的資訊。例如，在不讀出資訊的記憶單元中，藉由對第五佈線 3005 供應不管施加到節點 FG 的電荷如何都使電晶體 3200 成為“非導通狀態”的電位，亦即低於 V_{th_H} 的電位，能夠讀出所希望的記憶單元中的資訊。或者，在不讀出資訊的記憶單元中，藉由

對第五佈線 3005 供應不管施加到節點 FG 的電荷如何都使電晶體 3200 成為“導通狀態”的電位，亦即高於 V_{th_L} 的電位，能夠僅讀出所希望的記憶單元中的資訊。

[0258]

〈半導體裝置的結構 1〉

圖 49 是對應於圖 48A 的半導體裝置的剖面圖。圖 49 所示的半導體裝置包括電晶體 3200、電晶體 3300 以及電容元件 3400。電晶體 3300 及電容元件 3400 配置於電晶體 3200 的上方。雖然在此示出了作為電晶體 3300 使用圖 1A 至圖 1C 所示的電晶體的例子，但是根據本發明的一個實施方式的半導體裝置不侷限於此。因此，適當地參照上述電晶體的記載。

[0259] 此外，圖 49 所示的電晶體 3200 是使用半導體基板 450 的電晶體。電晶體 3200 包括半導體基板 450 中的區域 474a、半導體基板 450 中的區域 474b、絕緣體 462 以及導電體 454。

[0260] 在電晶體 3200 中，區域 474a 及區域 474b 被用作源極區域及汲極區域。另外，絕緣體 462 被用作閘極絕緣體。另外，導電體 454 被用作閘極電極。因此，能夠由供應到導電體 454 的電位控制通道形成區域的電阻。亦即，能夠由供應到導電體 454 的電位控制區域 474a 與區域 474b 之間的導通·非導通。

[0261] 作為半導體基板 450，例如可以使用由矽或鍺等單一材料構成的半導體基板、或者由碳化矽、矽鍺、砷

化鎵、磷化銦、氧化鋅或氧化鎵等構成的半導體基板等。較佳的是，作為半導體基板 450 使用單晶矽基板。

[0262] 作為半導體基板 450 使用包含賦予 n 型導電性的雜質的半導體基板。注意，作為半導體基板 450，也可以使用包含賦予 p 型導電性的雜質的半導體基板。此時，在形成電晶體 3200 的區域中配置包含賦予 n 型導電性的雜質的井即可。或者，半導體基板 450 也可以為 i 型。

[0263] 半導體基板 450 的頂面較佳為具有 (110) 面。由此，能夠提高電晶體 3200 的通態特性。

[0264] 區域 474a 及區域 474b 是包含賦予 p 型導電性的雜質的區域。由此，電晶體 3200 具有 p 通道電晶體的結構。

[0265] 雖然在此說明了電晶體 3200 為 p 通道電晶體的情況，但是電晶體 3200 也可以為 n 通道電晶體。

[0266] 注意，電晶體 3200 與鄰接的電晶體被區域 460 等隔開。區域 460 具有絕緣性。

[0267] 圖 49 所示的半導體裝置包括絕緣體 464、絕緣體 466、絕緣體 468、絕緣體 470、絕緣體 472、絕緣體 475、絕緣體 402、絕緣體 410、絕緣體 418、絕緣體 408、絕緣體 428、絕緣體 465、絕緣體 467、絕緣體 469、絕緣體 498、導電體 480a、導電體 480b、導電體 480c、導電體 478a、導電體 478b、導電體 478c、導電體 476a、導電體 476b、導電體 476c、導電體 479a、導電體

479b、導電體 479c、導電體 477a、導電體 477b、導電體 477c、導電體 484a、導電體 484b、導電體 484c、導電體 484d、導電體 483a、導電體 483b、導電體 483c、導電體 483d、導電體 483e、導電體 483f、導電體 485a、導電體 485b、導電體 485c、導電體 485d、導電體 487a、導電體 487b、導電體 487c、導電體 488a、導電體 488b、導電體 488c、導電體 490a、導電體 490b、導電體 489a、導電體 489b、導電體 491a、導電體 491b、導電體 491c、導電體 492a、導電體 492b、導電體 492c、導電體 494、導電體 496、絕緣體 406a、半導體 406b 以及絕緣體 406c。

[0268] 絕緣體 464 配置於電晶體 3200 上。絕緣體 466 配置於絕緣體 464 上。絕緣體 468 配置於絕緣體 466 上。絕緣體 470 配置於絕緣體 468 上。絕緣體 472 配置於絕緣體 470 上。絕緣體 475 配置於絕緣體 472 上。電晶體 3300 配置於絕緣體 475 上。絕緣體 418 配置於電晶體 3300 上。絕緣體 408 配置於絕緣體 418 上。絕緣體 428 配置於絕緣體 408 上。絕緣體 465 配置於絕緣體 428 上。電容元件 3400 配置於絕緣體 465 上。絕緣體 469 配置於電容元件 3400 上。

[0269] 絕緣體 464 包括到達區域 474a 的開口、到達區域 474b 的開口以及到達導電體 454 的開口。導電體 480a、導電體 480b 及導電體 480c 分別埋入在各開口中。

[0270] 絕緣體 466 包括到達導電體 480a 的開口、到達導電體 480b 的開口以及到達導電體 480c 的開口。導電

體 478a、導電體 478b 及導電體 478c 分別埋入在各開口中。

[0271] 絕緣體 468 包括到達導電體 478a 的開口、到達導電體 478b 的開口以及到達導電體 478c 的開口。導電體 476a、導電體 476b 或導電體 476c 分別埋入在各開口中。

[0272] 在絕緣體 468 上包括與導電體 476a 接觸的導電體 479a、與導電體 476b 接觸的導電體 479b 以及與導電體 476c 接觸的導電體 479c。絕緣體 472 包括經過絕緣體 470 到達導電體 479a 的開口、經過絕緣體 470 到達導電體 479b 的開口、以及經過絕緣體 470 到達導電體 479c 的開口。導電體 477a、導電體 477b 以及導電體 477c 分別埋入在各開口中。

[0273] 絕緣體 475 包括與電晶體 3300 的通道形成區域重疊的開口、到達導電體 477a 的開口、到達導電體 477b 的開口、到達導電體 477c 的開口以及到達絕緣體 472 的開口。導電體 484a、導電體 484b、導電體 484c 和導電體 484d 分別埋入在各開口中。

[0274] 導電體 484d 也可以具有電晶體 3300 的底閘極電極的功能。或者，例如，也可以藉由對導電體 484d 供應預定的電位，來控制電晶體 3300 的臨界電壓等的電特性。或者，例如，也可以將導電體 484d 與電晶體 3300 的頂閘極電極電連接。由此，可以增加電晶體 3300 的通態電流。此外，由於可以抑制衝穿現象，因此可以使電晶

體 3300 的飽和區域中的電特性穩定。

[0275] 絕緣體 402 包括到達導電體 484a 的開口、到達導電體 484b 的開口以及到達導電體 484c 的開口。

[0276] 絕緣體 428 包括：經過絕緣體 408、絕緣體 418、絕緣體 410 及絕緣體 402 到達導電體 484a 的開口；經過絕緣體 408、絕緣體 418、絕緣體 410 及絕緣體 402 到達導電體 484c 的開口；經過絕緣體 408、絕緣體 418 及絕緣體 410 分別到達電晶體 3300 的源極電極和汲極電極的導電體的兩個開口；經過絕緣體 408 及絕緣體 418 到達電晶體 3300 的閘極電極的導電體的開口；以及經過絕緣體 408、絕緣體 418、絕緣體 410 及絕緣體 402 到達導電體 484b 的導電體的開口。導電體 483a、導電體 483b、導電體 483c、導電體 483e、導電體 483f 和導電體 483d 分別埋入在各開口中。

[0277] 在絕緣體 428 上包括與導電體 483a、483e 接觸的導電體 485a、與導電體 483b 接觸的導電體 485b、與導電體 483c 及導電體 483f 接觸的導電體 485c 以及與導電體 483d 接觸的導電體 485d。絕緣體 465 包括到達導電體 485a 的開口、到達導電體 485b 的開口以及到達導電體 485c 的開口。導電體 487a、導電體 487b 或導電體 487c 分別埋入在開口中。

[0278] 在絕緣體 465 上包括與導電體 487a 接觸的導電體 488a、與導電體 487b 接觸的導電體 488b 以及與導電體 487c 接觸的導電體 488c。絕緣體 467 包括到達導電

體 488a 的開口以及到達導電體 488b 的開口。導電體 490a 或導電體 490b 分別埋入在開口中。此外，導電體 488c 與電容元件 3400 的一個電極的導電體 494 接觸。

[0279] 在絕緣體 467 上包括與導電體 490a 接觸的導電體 489a 以及與導電體 490b 接觸的導電體 489b。絕緣體 469 包括到達導電體 489a 的開口、到達導電體 489b 的開口、到達電容元件 3400 的另一個電極的導電體 496 的開口。導電體 491a、導電體 491b 或導電體 491c 分別埋入在開口中。

[0280] 在絕緣體 469 上包括與導電體 491a 接觸的導電體 492a、與導電體 491b 接觸的導電體 492b 以及與導電體 491c 接觸的導電體 492c。

[0281] 作為絕緣體 464、絕緣體 466、絕緣體 468、絕緣體 470、絕緣體 472、絕緣體 475、絕緣體 402、絕緣體 410、絕緣體 408、絕緣體 428、絕緣體 465、絕緣體 467、絕緣體 469 及絕緣體 498，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、銻、鍺、鈮、銦、鐳或鈾的絕緣體的單層或疊層。例如，作為絕緣體 401，使用氧化鋁、氧化鎂、氧化矽、氮氧化矽、氮氧化矽、氮化矽、氧化銻、氧化鍺、氧化鈮、氧化銦、氧化鐳、氧化鈾、氧化鈾即可。

[0282] 絕緣體 464、絕緣體 466、絕緣體 468、絕緣體 470、絕緣體 472、絕緣體 475、絕緣體 402、絕緣體 410、絕緣體 408、絕緣體 428、絕緣體 465、絕緣體

[0283] 作為具有阻擋氫等雜質及氧的功能的絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、鎵、鍺、鈮、鈳、鈹或鈹的絕緣體的單層或疊層。

799806-2

的導電體、包含銅及鈦的導電體、包含銅及錳的導電體、包含銮、錫及氧的導電體、包含鈦及氮的導電體等。

[0285] 作為半導體 406b，較佳為使用氧化物半導體。注意，有時可以使用矽（包括應變矽）、鍺、矽鍺、碳化矽、砷化鎵、砷化鋁鎵、磷化銮、氮化鎵或有機半導體等。

[0286] 作為絕緣體 406a 及絕緣體 406c，較佳為使用包含一種或兩種以上的構成半導體 406b 的除了氧之外的元素的氧化物。注意，有時可以使用矽（包括應變矽）、鍺、矽鍺、碳化矽、砷化鎵、砷化鋁鎵、磷化銮、氮化鎵或有機半導體等。

[0287] 電晶體 3200 的源極或汲極藉由導電體 480a、導電體 478a、導電體 476a、導電體 479a、導電體 477a、導電體 484a、導電體 483a、導電體 485a、導電體 483e 與電晶體 3300 的源極電極和汲極電極中的一個的導電體電連接。此外，電晶體 3200 的閘極電極的導電體 454 藉由導電體 480c、導電體 478c、導電體 476c、導電體 479c、導電體 477c、導電體 484c、導電體 483c、導電體 485c、導電體 483f 與電晶體 3300 的源極電極和汲極電極中的另一個的導電體電連接。

[0288] 電容元件 3400 包括：電晶體 3300 的源極電極和汲極電極中的一個；藉由導電體 483c、導電體 485c、導電體 487c 及導電體 488c 與電容元件 3400 的一個電極電連接的導電體 494；絕緣體 498；以及電容元件

3400 的另一個電極的導電體 496。另外，藉由在電晶體 3300 的上方或下方形成電容元件 3400，可以縮小半導體裝置的尺寸，所以是較佳的。

[0289] 其他組件的結構可以適當地參照關於圖 4A 至圖 4C 等的記載。

[0290] 注意，圖 50 所示的半導體裝置與圖 49 所示的半導體裝置的不同之處只在於電晶體 3200 的結構。因此，圖 50 所示的半導體裝置參照圖 49 所示的半導體裝置的記載。明確而言，在圖 50 所示的半導體裝置中，電晶體 3200 為 Fin（鰭）型。藉由將電晶體 3200 形成為 Fin 型電晶體，實效的通道寬度得到增大，從而能夠提高電晶體 3200 的通態特性。另外，由於可以增大閘極電極的電場的影響，所以能夠提高電晶體 3200 的關態特性。另外，電晶體 3200 可以為 p 通道電晶體或 n 通道電晶體。

[0291] 雖然在本實施方式中示出了在電晶體 3200 上包括電晶體 3300 且在電晶體 3300 上包括電容元件 3400 的半導體裝置的一個例子，但是也可以在電晶體 3200 上包括具有與電晶體 3300 同樣的半導體的一個以上的電晶體。藉由採用這種結構，可以進一步提高半導體裝置的集成度。

[0292]

〈記憶體裝置 2〉

圖 48B 所示的半導體裝置與圖 48A 所示的半導體裝置不同之處為圖 48B 所示的半導體裝置不包括電晶體

3200。在此情況下也可以藉由與圖 48A 所示的半導體裝置相同的工作進行資訊的寫入及保持工作。

[0293] 說明圖 48B 所示的半導體裝置中的資訊讀出。在電晶體 3300 成為導通狀態時，處於浮動狀態的第三佈線 3003 和電容元件 3400 導通，且在第三佈線 3003 和電容元件 3400 之間再次分配電荷。其結果是，第三佈線 3003 的電位產生變化。第三佈線 3003 的電位的變化量根據電容元件 3400 的一個電極的電位（或積累在電容元件 3400 中的電荷）而具有不同的值。

[0294] 例如，在電容元件 3400 的一個電極的電位為 V ，電容元件 3400 的電容為 C ，第三佈線 3003 所具有的電容成分為 C_B ，在再次分配電荷之前的第三佈線 3003 的電位為 V_{B0} 時，在再次分配電荷之後的第三佈線 3003 的電位為 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ 。因此，在假定作為記憶單元的狀態，電容元件 3400 的一個電極的電位成為兩種狀態，亦即 V_1 和 V_0 ($V_1 > V_0$) 時，可以知道保持電位 V_1 時的第三佈線 3003 的電位 $(= (C_B \times V_{B0} + C \times V_1) / (C_B + C))$ 高於保持電位 V_0 時的第三佈線 3003 的電位 $(= (C_B \times V_{B0} + C \times V_0) / (C_B + C))$ 。

[0295] 而且，藉由對第三佈線 3003 的電位和規定的電位進行比較可以讀出資訊。

[0296] 在此情況下，可以採用一種結構，其中對用來驅動記憶單元的驅動電路使用上述應用第一半導體的電晶體，且將作為電晶體 3300 的應用第二半導體的電晶體

層疊在驅動電路上。

[0297] 上述半導體裝置可以應用使用氧化物半導體的關態電流小的電晶體來長期間地保持存儲內容。也就是說，不需要更新工作或可以使更新工作的頻率極低，從而可以實現低耗電的半導體裝置。此外，在沒有電力的供應時（注意，較佳為固定電位）也可以長期間地保持存儲內容。

[0298] 此外，因為該半導體裝置在寫入資訊時不需要高電壓，所以其中不容易產生元件的劣化。由於例如不如習知的非揮發性記憶體那樣地對浮動閘極注入電子或從浮動閘極抽出電子，因此不會發生如絕緣體的劣化等的問題。換言之，根據本發明的一個實施方式的半導體裝置是對習知的非揮發性記憶體所具有的問題的重寫的次數沒有限制而其可靠性得到極大提高的半導體裝置。再者，根據電晶體的導通狀態或非導通狀態而進行資訊寫入，而可以進行高速工作。本實施方式可以將其至少一部分與本說明書所記載的其他實施方式適當的組合而實施。

[0299]

實施方式 5

〈半導體裝置的結構 2〉

在本實施方式中，參照圖式說明利用本發明的一個實施方式的電晶體的電路的一個例子。

〈剖面結構〉

圖 51A 及圖 51B 示出本發明的一個實施方式的半導體裝置的剖面圖。在圖 51A 中，X1-X2 方向表示通道長度方向，而在圖 51B 中，Y1-Y2 方向表示通道寬度方向。圖 51A 及圖 51B 所示的半導體裝置在下部包括使用第一半導體材料的電晶體 2200，而在上部包括使用第二半導體材料的電晶體 2100。圖 51A 及圖 51B 示出了作為使用第二半導體材料的電晶體 2100 使用圖 4A 至圖 4C 所例示的電晶體的例子。

[0300] 第一半導體材料和第二半導體材料較佳為具有彼此不同的禁止帶寬度的材料。例如，可以將氧化物半導體以外的半導體材料（矽（包含應變矽）、鍺、矽鍺、碳化矽、砷化鎵、砷化鋁鎵、磷化銦、氮化鎵、有機半導體等）用作第一半導體材料，並且將氧化物半導體用作第二半導體材料。作為氧化物半導體以外的材料使用單晶矽等的電晶體容易進行高速工作。另一方面，藉由將在上述實施方式中例示出的電晶體適用於使用氧化物半導體的電晶體，可以得到良好的次臨界值特性，而實現微型電晶體。此外，該電晶體的開關速度快，所以可以進行高速工作，並且其關態電流小，所以洩漏電流小。

[0301] 電晶體 2200 可以是 n 通道電晶體和 p 通道電晶體中的任一個，根據電路使用適合的電晶體即可。另外，除了使用包含氧化物半導體的根據本發明的一個實施方式的電晶體之外，半導體裝置的材料及結構等具體結構不侷限於在此所示的結構。

[0302] 在圖 51A 及圖 51B 所示的結構中，在電晶體 2200 上隔著絕緣體 2201、絕緣體 2207 及絕緣體 2208 設置有電晶體 2100。在電晶體 2200 與電晶體 2100 之間設置有多個佈線 2202。此外，藉由埋入各種絕緣體中的多個插頭 2203 使設置在該絕緣膜上及下的佈線或電極彼此電連接。此外，還設置有覆蓋電晶體 2100 的絕緣體 2204 以及絕緣體 2204 上的佈線 2205。

[0303] 如此，藉由層疊兩種電晶體，可以減少電路的佔有面積，而可以高密度地設置多個電路。

[0304] 在此，在將矽類半導體材料用於設置在下層的電晶體 2200 時，設置在電晶體 2200 的半導體膜的附近的絕緣體中的氫具有使矽的懸空鍵終結而提高電晶體 2200 的可靠性的效果。另一方面，在將氧化物半導體用於設置在上層的電晶體 2100 時，設置在電晶體 2100 的半導體膜附近的絕緣體中的氫有可能成為在氧化物半導體中生成載子的原因之一，所以有時引起電晶體 2100 的可靠性的下降。因此，當在使用矽類半導體材料的電晶體 2200 上層疊使用氧化物半導體的電晶體 2100 時，在它們之間設置具有防止氫的擴散的功能的絕緣體 2207 是特別有效的。藉由利用絕緣體 2207 將氫封閉在下層，可以提高電晶體 2200 的可靠性，此外，由於從下層到上層的氫的擴散得到抑制，所以同時可以提高電晶體 2100 的可靠性。

[0305] 絕緣體 2207 例如可以使用氧化鋁、氧氮化

鋁、氧化鎵、氧氮化鎵、氧化鉍、氧氮化鉍、氧化鉛、氧氮化鉛、鉍安定氧化銻（YSZ）等。

[0306] 此外，較佳為在電晶體 2100 上以覆蓋包括氧化物半導體膜的電晶體 2100 的方式形成具有防止氫的擴散的功能的障壁膜。該障壁膜可以使用與絕緣體 2207 相同的材料，特別較佳為使用氧化鋁膜。氧化鋁膜可以在成膜時對其下方的絕緣體添加過量氧，且藉由熱製程過量氧移動到電晶體 2100 的氧化物半導體層，其效果是修復氧化物半導體層中的缺陷。再者，氧化鋁膜的不使氫、水分等雜質和氧透過膜的遮斷（阻擋）效果高。因此，藉由作為覆蓋電晶體 2100 的該障壁膜使用氧化鋁膜，可以防止氧從電晶體 2100 中的氧化物半導體膜脫離，還可以防止水及氫混入氧化物半導體膜。另外，既可以使用具有疊層結構的絕緣體 2204 作為該障壁膜，又可以在絕緣體 2204 的下側設置該障壁膜。

[0307] 另外，電晶體 2200 不僅是平面型電晶體，而且還可以是各種類型的電晶體。例如，可以是 FIN（鰭）型、TRI-GATE（三閘極）型電晶體等。圖 51E 及圖 51F 示出此時的剖面圖的例子。在半導體基板 2211 上設置有絕緣體 2212。半導體基板 2211 具有頂端細的凸部（也稱為鰭）。此外，也可以在凸部上設置有絕緣體。該絕緣體被用作避免在形成凸部時半導體基板 2211 被蝕刻的遮罩。另外，凸部可以是頂端不細的形狀，例如該凸部也可以是大致長方體或頂端粗的形狀。在半導體基板 2211 的

凸部上設置有閘極絕緣體 2214，且在該閘極絕緣體 2214 上設置有閘極電極 2213。在半導體基板 2211 中形成有源極區域及汲極區域 2215。另外，雖然在此示出了半導體基板 2211 具有凸部的例子，但是根據本發明的一個實施方式的半導體裝置不侷限於此。例如，也可以加工 SOI 基板形成具有凸部的半導體區域。

[0308] 本實施方式可以將其至少一部分與本說明書所記載的其他實施方式適當的組合而實施。

[0309]

實施方式 6

〈CMOS 電路〉

圖 51C 所示的電路圖示出所謂的 CMOS 電路的結構，其中將 p 通道電晶體 2200 和 n 通道電晶體 2100 串聯連接且將各閘極連接。

[0310]

〈類比開關〉

圖 51D 所示的電路圖示出將電晶體 2100 和電晶體 2200 的各源極和汲極連接的結構。藉由採用該結構，可以將其用作所謂的類比開關。本實施方式可以將其至少一部分與本說明書所記載的其他實施方式適當的組合而實施。

[0311]

實施方式 7

〈CPU〉

下面說明包括上述電晶體或上述記憶體裝置等半導體裝置的 CPU。

[0312] 圖 52 是示出其一部分使用上述電晶體的 CPU 的一個例子的結構的方塊圖。

[0313] 圖 52 所示的 CPU 在基板 1190 上具有：ALU1191（ALU: Arithmetic logic unit：算術電路）、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、時序控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面 1198、能夠重寫的 ROM1199 以及 ROM 介面 1189。作為基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 52 所示的 CPU 只是簡化其結構而示的一個例子而已，所以實際上的 CPU 根據其用途具有各種各樣的結構。例如，也可以以包括圖 52 所示的 CPU 或算術電路的結構為核心，設置多個該核心並使其同時工作。另外，在 CPU 的內部算術電路或資料匯流排中能夠處理的位元數例如可以為 8 位元、16 位元、32 位元、64 位元等。

[0314] 藉由匯流排介面 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼後輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195。

[0315] ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 根據被解碼的指令進行各

種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在執行 CPU 的程式時，根據其優先度或遮罩狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 1197 生成暫存器 1196 的位址，並根據 CPU 的狀態進行暫存器 1196 的讀出或寫入。

[0316] 在圖 52 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。可以將上述電晶體或記憶體裝置等用於暫存器 1196 的記憶單元。

[0317] 在圖 52 所示的 CPU 中，暫存器控制器 1197 根據來自 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 在暫存器 1196 所具有的記憶單元中選擇是由正反器保持資料還是由電容元件保持資料。在選擇由正反器保持資料的情況下，對暫存器 1196 中的記憶單元供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫存器 1196 中的記憶單元供應電源電壓。

[0318] 圖 53 是可以用作暫存器 1196 的記憶元件的電路圖的一個例子。記憶元件 1200 包括在電源關閉時失去存儲資料的電路 1201、在電源關閉時不失去存儲資料的電路 1202、開關 1203、開關 1204、邏輯元件 1206、電容元件 1207 以及具有選擇功能的電路 1220。電路 1202 包括電容元件 1208、電晶體 1209 及電晶體 1210。另外，記憶元件 1200 根據需要還可以包括其他元件諸如二極

體、電阻元件或電感器等。

[0319] 在此，電路 1202 可以使用上述記憶體裝置。在停止對記憶元件 1200 供應電源電壓時，GND (0V) 或使電晶體 1209 關閉的電位持續被輸入到電路 1202 中的電晶體 1209 的閘極。例如，電晶體 1209 的閘極藉由電阻器等負載接地。

[0320] 在此示出開關 1203 為具有一導電性（例如，n 通道型）的電晶體 1213，而開關 1204 為具有與此相反的導電性（例如，p 通道型）的電晶體 1214 的例子。這裡，開關 1203 的第一端子對應於電晶體 1213 的源極和汲極中的一個，開關 1203 的第二端子對應於電晶體 1213 的源極和汲極中的另一個，並且開關 1203 的第一端子與第二端子之間的導通或非導通（亦即，電晶體 1213 的導通狀態/非導通狀態）由輸入到電晶體 1213 的閘極中的控制信號 RD 選擇。開關 1204 的第一端子對應於電晶體 1214 的源極和汲極中的一個，開關 1204 的第二端子對應於電晶體 1214 的源極和汲極中的另一個，並且開關 1204 的第一端子與第二端子之間的導通或非導通（亦即，電晶體 1214 的導通狀態/非導通狀態）由輸入到電晶體 1214 的閘極中的控制信號 RD 選擇。

[0321] 電晶體 1209 的源極和汲極中的一個電連接到電容元件 1208 的一對電極的一個及電晶體 1210 的閘極。在此，將連接部分稱為節點 M2。電晶體 1210 的源極和汲極中的一個電連接到能夠供應低電源電位的佈線（例如，

GND 線)，而另一個電連接到開關 1203 的第一端子（電晶體 1213 的源極和汲極中的一個）。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）電連接到開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）。開關 1204 的第二端子（電晶體 1214 的源極和汲極中的另一個）電連接到能夠供應電源電位 VDD 的佈線。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）、開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）、邏輯元件 1206 的輸入端子和電容元件 1207 的一對電極的一個互相電連接。在此，將連接部分稱為節點 M1。可以對電容元件 1207 的一對電極的另一個輸入固定電位。例如，可以對其輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1207 的一對電極的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。可以對電容元件 1208 的一對電極的另一個輸入固定電位。例如，可以對其輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1208 的一對電極的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。

[0322] 另外，當積極地利用電晶體或佈線的寄生電容等時，可以不設置電容元件 1207 及電容元件 1208。

[0323] 控制信號 WE 輸入到電晶體 1209 的第一閘極（第一閘極電極）。開關 1203 及開關 1204 的第一端子與第二端子之間的導通狀態或非導通狀態由與控制信號 WE

不同的控制信號 RD 選擇，當一個開關的第一端子與第二端子之間處於導通狀態時，另一個開關的第一端子與第二端子之間處於非導通狀態。

[0324] 對應於保持在電路 1201 中的資料的信號被輸入到電晶體 1209 的源極和汲極中的另一個。圖 53 示出從電路 1201 輸出的信號輸入到電晶體 1209 的源極和汲極中的另一個的例子。由邏輯元件 1206 使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而成為反轉信號，將其經由電路 1220 輸入到電路 1201。

[0325] 另外，雖然圖 53 示出從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號藉由邏輯元件 1206 及電路 1220 輸入到電路 1201 的例子，但是不侷限於此。可以不使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而輸入到電路 1201。例如，當電路 1201 包括其中保持使從輸入端子輸入的信號的邏輯值反轉的信號的節點時，可以將從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號輸入到該節點。

[0326] 在圖 53 所示的用於記憶元件 1200 的電晶體中，作為電晶體 1209 以外的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的膜或基板 1190 中的電晶體。例如，可以使用其通道形成在矽膜或矽基板中的電晶體。此外，記憶元件 1200 中的所有電晶體都可以

是其通道由氧化物半導體形成的電晶體。或者，記憶元件 1200 除了電晶體 1209 以外還可以包括其通道由氧化物半導體形成的電晶體，並且作為其餘的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板 1190 中的電晶體。

[0327] 圖 53 所示的電路 1201 例如可以使用正反器電路。另外，作為邏輯元件 1206 例如可以使用反相器或時脈反相器等。

[0328] 在本發明的一個實施方式的半導體裝置中，在不向記憶元件 1200 供應電源電壓的期間，可以由設置在電路 1202 中的電容元件 1208 保持儲存在電路 1201 中的資料。

[0329] 另外，其通道形成在氧化物半導體中的電晶體的關態電流極小。例如，其通道形成在氧化物半導體中的電晶體的關態電流比其通道形成在具有結晶性的矽中的電晶體的關態電流小得多。因此，藉由將該電晶體用作電晶體 1209，即便在不向記憶元件 1200 供應電源電壓的期間也可以長期間儲存電容元件 1208 所保持的信號。因此，記憶元件 1200 在停止供應電源電壓的期間也可以保持存儲內容（資料）。

[0330] 另外，由於該記憶元件藉由使用開關 1203 及開關 1204 進行預充電工作，因此可以縮短在再次開始供應電源電壓之後直到電路 1201 重新保持原來的資料為止所需要的時間。

[0331] 另外，在電路 1202 中，電容元件 1208 所保持的信號被輸入到電晶體 1210 的閘極。因此，在再次開始向記憶元件 1200 供應電源電壓之後，可以將由電容元件 1208 保持的信號轉換為電晶體 1210 的狀態（導通狀態或非導通狀態），並從電路 1202 讀出該信號。因此，即便對應於保持在電容元件 1208 中的信號的電位稍有變動，也可以準確地讀出原來的信號。

[0332] 藉由將這種記憶元件 1200 用於處理器所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應電源之前的狀態。因此，可以在處理器整體中或構成處理器的一個或多個邏輯電路中在短時間內停止電源，從而可以抑制功耗。

[0333] 雖然說明了將記憶元件 1200 用於 CPU 的例子，但也可以將記憶元件 1200 應用於 LSI 諸如 DSP（Digital Signal Processor：數位信號處理器）、定製 LSI、PLD（Programmable Logic Device：可程式邏輯裝置）等以及 RF-Tag（Radio Frequency Tag：射頻標籤）。

[0334] 本實施方式可以將其至少一部分與本說明書所記載的其他實施方式適當的組合而實施。

[0335]

實施方式 8

〈攝像裝置〉

圖 54A 是示出根據本發明的一個實施方式的攝像裝置 200 的例子的俯視圖。攝像裝置 200 包括像素部 210、用來驅動像素部 210 的週邊電路 260、週邊電路 270、週邊電路 280 及週邊電路 290。像素部 210 包括配置為 p 行 q 列（ p 及 q 為 2 以上的整數）的矩陣狀的多個像素 211。週邊電路 260、週邊電路 270、週邊電路 280 及週邊電路 290 分別與多個像素 211 連接，並具有供應用來驅動多個像素 211 的信號的功能。此外，在本說明書等中，有時將週邊電路 260、週邊電路 270、週邊電路 280 及週邊電路 290 等總稱為“週邊電路”或“驅動電路”。例如，週邊電路 260 也可以說是週邊電路的一部分。

[0336] 攝像裝置 200 較佳為包括光源 291。光源 291 能夠發射檢測光 P1。

[0337] 週邊電路至少包括邏輯電路、開關、緩衝器、放大電路或轉換電路中的一個。此外，也可以在形成像素部 210 的基板上製造週邊電路。另外，也可以將 IC 晶片等半導體裝置用於週邊電路的一部分或全部。注意，也可以省略週邊電路 260、週邊電路 270、週邊電路 280 和週邊電路 290 中的一個以上。

[0338] 如圖 54B 所示，在攝像裝置 200 所包括的像素部 210 中，也可以以像素 211 傾斜的方式配置。藉由以像素 211 傾斜的方式配置，可以縮短在行方向上及列方向上的像素間隔（間距）。由此，可以提高攝像裝置 200 的攝像品質。

[0339]

〈像素的結構例子 1〉

藉由使攝像裝置 200 所包括的一個像素 211 由多個子像素 212 構成，且使每個子像素 212 與使特定的波長區域的光透過的濾光片（濾色片）組合，可以獲得用來實現彩色影像顯示的資料。

[0340] 圖 55A 是示出用來取得彩色影像的像素 211 的一個例子的俯視圖。圖 55A 所示的像素 211 包括設置有使紅色（R）的波長區域的光透過的濾色片的子像素 212（以下也稱為“子像素 212R”）、設置有使綠色（G）的波長區域的光透過的濾色片的子像素 212（以下也稱為“子像素 212G”）及設置有使藍色（B）的波長區域的光透過的濾色片的子像素 212（以下也稱為“子像素 212B”）。子像素 212 可以被用作光感測器。

[0341] 子像素 212（子像素 212R、子像素 212G 及子像素 212B）與佈線 231、佈線 247、佈線 248、佈線 249、佈線 250 電連接。此外，子像素 212R、子像素 212G 及子像素 212B 分別連接於獨立的佈線 253。在本說明書等中，例如將與第 n 行的像素 211 連接的佈線 248、佈線 249 分別稱為佈線 248[n]、佈線 249[n]。此外，例如，將與第 m 列的像素 211 連接的佈線 253 稱為佈線 253[m]。此外，在圖 55A 中，將與第 m 列的像素 211 所包括的子像素 212R 連接的佈線 253 稱為佈線 253[m]R，將與子像素 212G 連接的佈線 253 稱為佈線 253[m]G，將

與子像素 212B 連接的佈線 253 稱為佈線 253[m]B。子像素 212 藉由上述佈線與週邊電路電連接。

[0342] 攝像裝置 200 具有相鄰的像素 211 的設置有使相同的波長區域的光透過的濾色片的子像素 212 藉由開關彼此電連接的結構。圖 55B 示出配置在第 n 行 (n 為 1 以上且 p 以下的整數) 第 m 列 (m 為 1 以上且 q 以下的整數) 的像素 211 所包括的子像素 212 與相鄰於該像素 211 的配置在第 $n+1$ 行第 m 列的像素 211 所包括的子像素 212 的連接例子。在圖 55B 中，配置在第 n 行第 m 列的子像素 212R 與配置在第 $n+1$ 行第 m 列的子像素 212R 藉由開關 201 連接。此外，配置在第 n 行第 m 列的子像素 212G 與配置在第 $n+1$ 行第 m 列的子像素 212G 藉由開關 202 連接。此外，配置在第 n 行第 m 列的子像素 212B 與配置在第 $n+1$ 行第 m 列的子像素 212B 藉由開關 203 連接。

[0343] 用於子像素 212 的濾色片不侷限於紅色 (R) 濾色片、綠色 (G) 濾色片、藍色 (B) 濾色片，也可以使用使青色 (C)、黃色 (Y) 及洋紅色 (M) 的光透過的濾色片。藉由在一個像素 211 中設置檢測三種不同波長區域的光的子像素 212，可以獲得全彩色影像。

[0344] 或者，可以使用如下像素 211，該像素 211 除了包括分別設置有使紅色 (R)、綠色 (G) 及藍色 (B) 的光透過的濾色片的各子像素 212 以外，還包括設置有使黃色 (Y) 的光透過的濾色片的子像素 212。或者，可以使用如下像素 211，該像素 211 除了包括分別設置有使青

色（C）、黃色（Y）及洋紅色（M）的光透過的濾色片的各子像素 212 以外，還包括設置有使藍色（B）的光透過的濾色片的子像素 212。藉由在一個像素 211 中設置檢測四種不同波長區域的光的子像素 212，可以進一步提高所獲得的影像的顏色再現性。

[0345] 例如，在圖 55A 中，檢測紅色波長區域的光的子像素 212、檢測綠色波長區域的光的子像素 212 及檢測藍色波長區域的光的子像素 212 的像素數比（或受光面積比）不侷限於 1:1:1。例如，也可以採用像素數比（受光面積比）為紅色：綠色：藍色=1:2:1 的 Bayer 排列。或者，像素數比（受光面積比）也可以為紅色：綠色：藍色=1:6:1。

[0346] 設置在像素 211 中的子像素 212 的數量可以為一個，但較佳為兩個以上。例如，藉由設置兩個以上的檢測相同波長區域的光的子像素 212，可以提高冗餘性，由此可以提高攝像裝置 200 的可靠性。

[0347] 此外，藉由使用反射或吸收可見光且使紅外光透過的 IR（IR: Infrared）濾光片，可以實現檢測紅外光的攝像裝置 200。

[0348] 藉由使用 ND（ND: Neutral Density）濾光片（減光濾光片），可以防止大光量光入射光電轉換元件（受光元件）時產生的輸出飽和。藉由組合使用減光量不同的 ND 濾光片，可以增大攝像裝置的動態範圍。

[0349] 除了上述濾光片以外，還可以在像素 211 中

設置透鏡。這裡，參照圖 56A 及圖 56B 的剖面圖說明像素 211、濾光片 254、透鏡 255 的配置例子。藉由設置透鏡 255，可以使光電轉換元件高效地受光。明確而言，如圖 56A 所示，可以使光 256 穿過形成在像素 211 中的透鏡 255、濾光片 254（濾光片 254R、濾光片 254G 及濾光片 254B）及像素電路 230 等而入射到光電轉換元件 220。

[0350] 注意，如由點劃線圍繞的區域所示，有時箭頭所示的光 256 的一部分被佈線 257 的一部分遮蔽。因此，如圖 56B 所示，較佳為採用在光電轉換元件 220 一側配置透鏡 255 及濾光片 254，而使光電轉換元件 220 高效地接收光 256 的結構。藉由從光電轉換元件 220 一側將光 256 入射到光電轉換元件 220，可以提供檢測靈敏度高的攝像裝置 200。

[0351] 作為圖 56A 及圖 56B 所示的光電轉換元件 220，也可以使用形成有 pn 接面或 pin 接面的光電轉換元件。

[0352] 光電轉換元件 220 也可以使用具有吸收輻射產生電荷的功能的物質形成。作為具有吸收輻射產生電荷的功能的物質，可舉出硒、碘化鉛、碘化汞、碲化鎵、碲化鎘、鎘鋅合金等。

[0353] 例如，在將硒用於光電轉換元件 220 時，可以實現對可見光、紫外光、紅外光、X 射線、伽瑪射線等較寬的波長區域具有光吸收係數的光電轉換元件 220。

[0354] 在此，攝像裝置 200 所包括的一個像素 211

除了圖 56A 及圖 56B 所示的子像素 212 以外，還可以包括具有第一濾光片的子像素 212。

[0355]

〈像素的結構例子 2〉

下面，對包括使用矽的電晶體及根據本發明的使用氧化物半導體的電晶體的像素的一個例子進行說明。

[0356] 圖 57A 及圖 57B 是構成攝像裝置的元件的剖面圖。

[0357] 圖 57A 所示的攝像裝置包括設置在矽基板 300 上的使用矽的電晶體 351 上層疊配置的使用氧化物半導體的電晶體 353 及電晶體 354 以及設置在矽基板 300 中的包括陽極 361、陰極 362 的光電二極體 360。各電晶體及光電二極體 360 與各種插頭 370 及佈線 371 電連接。此外，光電二極體 360 的陽極 361 藉由低電阻區域 363 與插頭 370 電連接。

[0358] 攝像裝置包括：包括設置在矽基板 300 上的電晶體 351 及光電二極體 360 的層 305、以與層 305 接觸的方式設置且包括佈線 371 的層 320、以與層 320 接觸的方式設置且包括電晶體 353 及電晶體 354 的層 331、以與層 331 接觸的方式設置且包括佈線 372 及佈線 373 的層 340。

[0359] 在圖 57A 的剖面圖的一個例子中，在矽基板 300 中，在與形成有電晶體 351 的面相反一側設置有光電二極體 360 的受光面。藉由採用該結構，可以確保光路而

不受各種電晶體或佈線等的影響。因此，可以形成高開口率的像素。此外，光電二極體 360 的受光面也可以是與形成有電晶體 351 的面相同的面。

[0360] 在像素包括使用氧化物半導體的電晶體時，層 305 為包括電晶體的層，即可。或者，像素也可以只包括使用氧化物半導體的電晶體而省略層 305。

[0361] 在圖 57A 的剖面圖中，可以以設置在層 305 中的光電二極體 360 與設置在層 331 中的電晶體重疊的方式形成。因此，可以提高像素的集成度。也就是說，可以提高攝像裝置的解析度。

[0362] 此外，在圖 57B 的攝像裝置中，可以在層 340 一側將光電二極體 365 設置於電晶體上。在圖 57B 中，例如層 305 包括使用矽的電晶體 351 及電晶體 352，層 320 包括佈線 371，層 331 包括使用氧化物半導體層的電晶體 353 及電晶體 354，層 340 包括光電二極體 365，光電二極體 365 包括半導體層 366、半導體層 367 及半導體層 368，並且該光電二極體 365 藉由插頭 370 與佈線 373 及佈線 374 電連接。

[0363] 藉由採用圖 57B 所示的元件結構，可以提高開口率。

[0364] 此外，作為光電二極體 365 也可以採用使用非晶矽膜或微晶矽膜等的 pin 型二極體元件等。光電二極體 365 包括依次層疊的 n 型半導體層 368、i 型半導體層 367 及 p 型半導體層 366。i 型半導體層 367 較佳為使用非

晶矽。p 型半導體層 366 及 n 型半導體層 368 可以使用包含賦予各導電性的摻雜物的非晶矽或者微晶矽等。其光電轉換層包含非晶矽的光電二極體 365 在可見光波長區域內的靈敏度較高，容易檢測出微弱的可見光。

[0365] 這裡，在包括電晶體 351 及光電二極體 360 的層 305 與包括電晶體 353 及電晶體 354 的層 331 之間設置有絕緣體 380。注意，絕緣體 380 的位置不侷限於此。

[0366] 設置在電晶體 351 的通道形成區域附近的絕緣體中的氫使矽的懸空鍵終結，由此可以提高電晶體 351 的可靠性。另一方面，設置在電晶體 353 及電晶體 354 等附近的絕緣體中的氫有可能成為在氧化物半導體中生成載子的原因之一。因此，有時引起電晶體 353 及電晶體 354 等的可靠性的下降。因此，當在使用矽類半導體的電晶體上層疊設置使用氧化物半導體的電晶體時，在它們之間設置具有阻擋氫的功能的絕緣體 380 是較佳的。藉由將氫封閉在絕緣體 380 的下層，可以提高電晶體 351 的可靠性。再者，由於可以抑制氫從絕緣體 380 的下層擴散至絕緣體 380 的上層，所以可以提高電晶體 353 及電晶體 354 等的可靠性。此外，藉由在電晶體 353 及電晶體 354 上設置絕緣體 381，可以防止氧擴散在氧化物半導體中。

[0367] 本實施方式可以將其至少一部分與本說明書所記載的其他實施方式適當的組合而實施。

[0368]

實施方式 9

〈RF 標籤〉

在本實施方式中，參照圖 58 說明包括上述實施方式所說明的電晶體或記憶體裝置的 RF 標籤。

[0369] 根據本實施方式的 RF 標籤在其內部包括記憶體電路，在該記憶體電路中儲存所需要的資料，並使用非接觸單元諸如無線通訊向外部發送資料和/或從外部接收資料。由於具有這種特徵，RF 標籤可以被用於藉由讀取物品等的個體資訊來識別物品的個體識別系統等。注意，這些用途要求極高的可靠性。

[0370] 參照圖 58 說明 RF 標籤的結構。圖 58 是示出 RF 標籤的結構例子的方塊圖。

[0371] 如圖 58 所示，RF 標籤 800 包括接收從與通信器 801（也稱為詢問器、讀取器/寫入器等）連接的天線 802 發送的無線信號 803 的天線 804。RF 標籤 800 還包括整流電路 805、定電壓電路 806、解調變電路 807、調變電路 808、邏輯電路 809、記憶體電路 810、ROM811。另外，在包括在解調變電路 807 中的具有整流作用的電晶體中，也可以使用充分地抑制反向電流的材料，諸如氧化物半導體。由此，可以抑制起因於反向電流的整流作用的降低並防止解調變電路的輸出飽和，也就是說，可以使解調變電路的輸入和解調變電路的輸出之間的關係靠近於線性關係。注意，資料傳輸方法大致分成如下三種方法：將一對線圈相對地設置並利用互感進行通信的電磁耦合方法；利用感應場進行通信的電磁感應方法；以及利用電波進行

通信的電波方法。在本實施方式所示的 RF 標籤 800 中可以使用上述任何方法。

[0372] 接著，說明各電路的結構。天線 804 與連接於通信器 801 的天線 802 之間進行無線信號 803 的發送及接收。在整流電路 805 中，對藉由由天線 804 接收無線信號來生成的輸入交流信號進行整流，例如進行半波倍壓整流，並由設置在後級的電容元件使被整流的信號平滑化，由此生成輸入電位。另外，整流電路 805 的輸入一側或輸出一側也可以設置限制器電路。限制器電路是在輸入交流信號的振幅大且內部生成電壓大時進行控制以不使一定以上的電力輸入到後級的電路中的電路。

[0373] 定電壓電路 806 是由輸入電位生成穩定的電源電壓而供應到各電路的電路。定電壓電路 806 也可以在其內部包括重設信號產生電路。重設信號產生電路是利用穩定的電源電壓的上升而生成邏輯電路 809 的重設信號的電路。

[0374] 解調變電路 807 是藉由包封檢測對輸入交流信號進行解調並生成解調信號的電路。此外，調變電路 808 是根據從天線 804 輸出的資料進行調變的電路。

[0375] 邏輯電路 809 是分析解調信號並進行處理的電路。記憶體電路 810 是保持被輸入的資料的電路，並包括行解碼器、列解碼器、存儲區域等。此外，ROM811 是保持識別號碼（ID）等並根據處理進行輸出的電路。

[0376] 注意，根據需要可以適當地設置上述各電

路。

[0377] 在此，可以將上述實施方式所示的記憶體電路用於記憶體電路 810。因為根據本發明的一個實施方式的記憶體電路即使在關閉電源的狀態下也可以保持資料，所以適用於 RF 標籤。再者，因為根據本發明的一個實施方式的記憶體電路的資料寫入所需要的電力（電壓）比習知的非揮發性記憶體低得多，所以也可以不產生資料讀出時和寫入時的最大通信距離的差異。再者，根據本發明的一個實施方式的記憶體電路可以抑制由於資料寫入時的電力不足引起誤動作或誤寫入的情況。

[0378] 此外，因為根據本發明的一個實施方式的記憶體電路可以用作非揮發性記憶體，所以還可以應用於 ROM811。在此情況下，較佳為生產者另外準備用來對 ROM811 寫入資料的指令防止使用者自由地重寫。由於生產者在預先寫入識別號碼後出貨，可以僅使出貨的良品具有識別號碼而不使所製造的所有 RF 標籤具有識別號碼，由此不發生出貨後的產品的識別號碼不連續的情況而可以容易根據出貨後的產品進行顧客管理。

[0379] 注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0380]

實施方式 10

〈顯示裝置〉

以下參照圖 59A 至圖 60B 說明根據本發明的一個實

施方式的顯示裝置。

[0381] 作為用於顯示裝置的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）等。發光元件在其範疇內包括其亮度由電流或電壓控制的元件，明確而言，包括無機 EL（Electroluminescence：電致發光）元件、有機 EL 元件等。下面，作為顯示裝置的一個例子對使用 EL 元件的顯示裝置（EL 顯示裝置）及使用液晶元件的顯示裝置（液晶顯示裝置）進行說明。

[0382] 另外，下面示出的顯示裝置包括密封有顯示元件的面板及在該面板中安裝有包括控制器的 IC 等的模組。

[0383] 另外，下面示出的顯示裝置是指影像顯示裝置或光源（包括照明設備）。此外，顯示裝置還包括：安裝有連接器諸如 FPC 或 TCP 的模組；在 TCP 的端部設置有印刷線路板的模組；或者藉由 COG 方式將 IC（積體電路）直接安裝到顯示元件的模組。

[0384] 圖 59A 至圖 59C 是根據本發明的一個實施方式的 EL 顯示裝置的一個例子。圖 59A 示出 EL 顯示裝置的像素的電路圖。圖 59B 是示出 EL 顯示裝置整體的俯視圖。此外，圖 59C 是對應於圖 59B 的點劃線 M-N 的一部分的剖面圖。

[0385] 圖 59A 是用於 EL 顯示裝置的像素的電路圖的一個例子。

[0386] 在本說明書等中，有時即使不指定主動元件（電晶體、二極體等）、被動元件（電容元件、電阻元件等）等所具有的所有端子的連接位置，所屬技術領域的通常知識者也能夠構成發明的一個實施方式。也就是說，即使未指定連接位置，也可以說發明的一個實施方式是明確的，並且，當在本說明書等記載有指定連接位置的內容時，有時可以判斷為在本說明書等中記載有該方式。尤其是，在端子的連接位置有多個的情況下，不一定必須要將該端子的連接位置限於指定的部分。因此，有時藉由僅指定主動元件（電晶體、二極體等）、被動元件（電容元件、電阻元件等）等所具有的一部分的端子的連接位置，就能夠構成發明的一個實施方式。

[0387] 在本說明書等中，當至少指定某個電路的連接位置時，有時所屬技術領域的通常知識者能夠指定發明。或者，當至少指定某個電路的功能時，有時所屬技術領域的通常知識者能夠指定發明。也就是說，只要指定功能，就可以說是發明的一個實施方式是明確的，而判斷為在本說明書等中記載有該方式。因此，即使只指定某個電路的連接位置而不指定其功能時，也可以判斷為該電路作為發明的一個實施方式公開而構成發明的一個實施方式。或者，即使只指定某個電路的功能而不指定其連接位置時，也可以判斷為該電路作為發明的一個實施方式公開而構成發明的一個實施方式。

[0388] 圖 59A 所示的 EL 顯示裝置包含切換元件

743、電晶體 741、電容元件 742、發光元件 719。

[0389] 另外，由於圖 59A 等是電路結構的一個例子，所以還可以追加設置電晶體。與此相反，在圖 59A 的各節點中，也可以不追加電晶體、開關、被動元件等。

[0390] 電晶體 741 的閘極與切換元件 743 的一個端子及電容元件 742 的一個電極電連接。電晶體 741 的源極與電容元件 742 的另一個電極及發光元件 719 的一個電極電連接。電晶體 741 的汲極被供應電源電位 VDD。切換元件 743 的另一個端子與信號線 744 電連接。發光元件 719 的另一個電極被供應恆電位。另外，恆電位為等於或低於接地電位 GND 的電位。

[0391] 作為切換元件 743，較佳為使用電晶體。藉由使用電晶體，可以減小像素的面積，由此可以提供解析度高的 EL 顯示裝置。作為切換元件 743，使用藉由與電晶體 741 同一製程形成的電晶體，由此可以提高 EL 顯示裝置的生產率。作為電晶體 741 及/或切換元件 743，例如可以適用圖 4A 至圖 4C 所示的電晶體。

[0392] 圖 59B 是 EL 顯示裝置的俯視圖。EL 顯示裝置包括基板 700、基板 750、密封材料 734、驅動電路 735、驅動電路 736、像素 737 以及 FPC732。密封材料 734 以包圍像素 737、驅動電路 735 以及驅動電路 736 的方式配置在基板 700 與基板 750 之間。另外，驅動電路 735 及/或驅動電路 736 也可以配置在密封材料 734 的外側。

[0393] 圖 59C 是對應於圖 59B 的點劃線 M-N 的一部分的 EL 顯示裝置的剖面圖。

[0394] 圖 59C 示出電晶體 741，該電晶體 741 包括：基板 700 上的絕緣體 712a；導電體 704a；位於絕緣體 712a 及導電體 704a 上且其一部分與導電體 704a 重疊的絕緣體 706a；絕緣體 706a 上的半導體 706b；與半導體 706b 的頂面接觸的導電體 716a1 及導電體 716a2；導電體 716a1 上及導電體 716a2 上的絕緣體 710；半導體 706b 上的絕緣體 706c；絕緣體 706c 上的絕緣體 718b；以及絕緣體 718b 上的與半導體 706b 重疊的導電體 714a。注意，電晶體 741 的結構只是一個例子，也可以與圖 59C 所示的結構不同。

[0395] 在圖 59C 所示的電晶體 741 中，導電體 704a 被用作閘極電極，絕緣體 712a 被用作閘極絕緣體，導電體 716a1 被用作源極電極，導電體 716a2 被用作汲極電極，絕緣體 718b 被用作閘極絕緣體，並且導電體 714a 被用作閘極電極。注意，絕緣體 706a、半導體 706b 及絕緣體 706c 有時因光照射而其電特性發生變動。因此，較佳的是導電體 704a、導電體 716a1、導電體 716a2 和導電體 714a 中的任一個以上具有遮光性。

[0396] 圖 59C 示出電容元件 742，該電容元件 742 包括：位於導電體 704b 上且其一部分與導電體 704b 重疊的絕緣體 706d；絕緣體 706d 上的半導體 706e；與半導體 706e 的頂面接觸的導電體 716a3 及導電體 716a4；導電體

716a3 上及導電體 716a4 上的絕緣體 710；半導體 706e 上的絕緣體 706f；絕緣體 706f 上的絕緣體 718b；以及位於絕緣體 718b 上且與半導體 706e 重疊的導電體 714b。

[0397] 在電容元件 742 中，將導電體 704b 用作一個電極，將導電體 714b 用作另一個電極。

[0398] 因此，可以使用與電晶體 741 相同的膜製造電容元件 742。導電體 704a 及導電體 704b 較佳為使用同種導電體。此時，可以藉由同一製程形成導電體 704a 和導電體 704b。另外，導電體 714a 和導電體 714b 較佳為使用同種導電體。此時，可以藉由同一製程形成導電體 714a 和導電體 714b。

[0399] 圖 59C 所示的電容元件 742 是相對於佔有面積的電容大的電容元件。因此，圖 59C 是顯示品質高的 EL 顯示裝置。注意，電容元件 742 的結構是一個例子，而也可以與圖 59C 所示的結構不同。

[0400] 在電晶體 741 及電容元件 742 上配置有絕緣體 728。在絕緣體 728 上配置有絕緣體 720。在此，絕緣體 728 及絕緣體 720 也可以具有到達用作電晶體 741 的源極電極的導電體 716a1 的開口。在絕緣體 720 上配置有導電體 781。導電體 781 也可以經過絕緣體 728 及絕緣體 720 中的開口與電晶體 741 電連接。

[0401] 在導電體 781 上配置有到達導電體 781 的開口的分隔壁 784。在分隔壁 784 上配置有在分隔壁 784 的開口中與導電體 781 接觸的發光層 782。在發光層 782 上

配置有導電體 783。導電體 781、發光層 782 和導電體 783 重疊的區域被用作發光元件 719。

[0402] 至此，說明了 EL 顯示裝置的例子。接著，將說明液晶顯示裝置的例子。

[0403] 圖 60A 是示出液晶顯示裝置的像素的結構例子的電路圖。圖 60A 所示的像素包括電晶體 751、電容元件 752、在一對電極之間填充有液晶的元件（液晶元件）753。

[0404] 電晶體 751 的源極和汲極中的一個與信號線 755 電連接，電晶體 751 的閘極與掃描線 754 電連接。

[0405] 電容元件 752 的一個電極與電晶體 751 的源極和汲極中的另一個電連接，電容元件 752 的另一個電極與供應共用電位的佈線電連接。

[0406] 液晶元件 753 的一個電極與電晶體 751 的源極和汲極中的另一個電連接，液晶元件 753 的另一個電極與供應共用電位的佈線電連接。此外，供應到與上述電容元件 752 的另一個電極電連接的佈線的共用電位與供應到液晶元件 753 的另一個電極的共用電位可以不同。

[0407] 假設液晶顯示裝置的俯視圖與 EL 顯示裝置相同來進行說明。圖 60B 示出對應於沿著圖 59B 的點劃線 M-N 的液晶顯示裝置的剖面圖。在圖 60B 中，FPC732 藉由端子 731 與佈線 733a 連接。佈線 733a 也可以使用與構成電晶體 751 的導電體或半導體同種的導電體或半導體。

[0408] 電晶體 751 參照關於電晶體 741 的記載。電

容元件 752 參照關於電容元件 742 的記載。注意，圖 60B 示出具有對應於圖 59C 所示的電容元件 742 之結構的電容元件 752 之結構，但是電容元件 752 之結構不侷限於此。

[0409] 當將氧化物半導體用於電晶體 751 的半導體時，可以實現關態電流極小的電晶體。因此，保持在電容元件 752 中的電荷不容易洩漏，而可以長期間保持施加到液晶元件 753 的電壓。因此，當顯示動作少的動態影像、靜態影像時，藉由使電晶體 751 處於關閉狀態，不需要用來使電晶體 751 工作的電力，由此可以實現低耗電的液晶顯示裝置。另外，因為可以縮小電容元件 752 的佔有面積，所以可以提供一種開口率高的液晶顯示裝置或高解析度液晶顯示裝置。

[0410] 在電晶體 751 及電容元件 752 上配置有絕緣體 721。在此，絕緣體 721 具有到達電晶體 751 的開口。在絕緣體 721 上配置有導電體 791。導電體 791 經過絕緣體 721 中的開口與電晶體 751 電連接。

[0411] 在導電體 791 上配置有用作配向膜的絕緣體 792。在絕緣體 792 上配置有液晶層 793。在液晶層 793 上配置有用作配向膜的絕緣體 794。在絕緣體 794 上配置有間隔物 795。在間隔物 795 及絕緣體 794 上配置有導電體 796。在導電體 796 上配置有基板 797。

[0412] 藉由採用上述結構，可以提供一種包括佔有面積小的電容元件的顯示裝置。或者，可以提供一種顯示品質高的顯示裝置。或者，可以提供一種高解析度顯示裝

置。

[0413] 例如，在本說明書等中，顯示元件、顯示裝置、發光元件或發光裝置例如包括 EL 元件（包括有機物及無機物的 EL 元件、有機 EL 元件、無機 EL 元件）、LED（白色 LED、紅色 LED、綠色 LED、藍色 LED 等）、電晶體（根據電流而發光的電晶體）、電子發射元件、液晶元件、電子墨水、電泳元件、柵光閥（GLV）、電漿顯示器（PDP）、使用微機電系統（MEMS）的顯示元件、數位微鏡裝置（DMD）、數位微快門（DMS）、干涉測量調節（IMOD）元件、快門方式的 MEMS 顯示元件、光干涉方式的 MEMS 顯示元件、電潤濕（electrowetting）元件、壓電陶瓷顯示器或使用碳奈米管的顯示元件等中的至少一個。除此以外，還可以包括其對比度、亮度、反射率、透射率等因電或磁作用而變化的顯示媒體。

[0414] 作為使用 EL 元件的顯示裝置的例子，有 EL 顯示器等。作為使用電子發射元件的顯示裝置的例子，有場致發射顯示器（FED）或 SED 方式平面型顯示器（SED: Surface-conduction Electron-emitter Display：表面傳導電子發射顯示器）等。作為使用液晶元件的顯示裝置的例子，有液晶顯示器（透射式液晶顯示器、半透射式液晶顯示器、反射式液晶顯示器、直觀式液晶顯示器、投射式液晶顯示器）等。作為使用電子墨水或電泳元件的顯示裝置的例子，有電子紙等。注意，當實現半透射型液晶顯示器或反射式液晶顯示器時，使像素電極的一部分或全

部具有作為反射電極的功能即可。例如，使像素電極的一部分或全部包含鋁、銀等即可。並且，此時也可以將 SRAM 等記憶體電路設置在反射電極下。由此，可以進一步降低功耗。

[0415] 注意，當使用 LED 時，也可以在 LED 的電極或氮化物半導體下配置石墨烯或石墨。石墨烯或石墨也可以為層疊有多個層的多層膜。如此，藉由設置石墨烯或石墨，可以更容易地在其上形成氮化物半導體，如具有結晶的 n 型 GaN 半導體等。並且，在其上設置具有結晶的 p 型 GaN 半導體等，能夠構成 LED。此外，也可以在石墨烯或石墨與具有晶體的 n 型 GaN 半導體之間設置 AlN 層。可以利用 MOCVD 形成 LED 所包括的 GaN 半導體。注意，當設置石墨烯時，可以以濺射法形成 LED 所包括的 GaN 半導體。

[0416] 本實施方式可以將其至少一部分與本說明書所記載的其他實施方式適當的組合而實施。

[0417]

實施方式 11

在本實施方式中，參照圖 61 說明應用根據本發明的一個實施方式的半導體裝置的顯示模組。

[0418]

〈顯示模組〉

圖 61 所示的顯示模組 6000 在上蓋 6001 與下蓋 6002 之間包括連接於 FPC6003 的觸控面板 6004、連接於

FPC6005 的顯示面板 6006、背光單元 6007、框架 6009、印刷電路板 6010、電池 6011。注意，有時沒有設置背光單元 6007、電池 6011、觸控面板 6004 等。

[0419] 例如，可以將本發明的一個實施方式的半導體裝置用於顯示面板 6006 或安裝於印刷基板的積體電路。

[0420] 上蓋 6001 及下蓋 6002 可以根據觸控面板 6004 及顯示面板 6006 的尺寸適當地改變其形狀或尺寸。

[0421] 觸控面板 6004 可以是電阻膜式觸控面板或靜電容量式觸控面板，並且能夠以與顯示面板 6006 重疊的方式被形成。此外，也可以使顯示面板 6006 的相對基板（密封基板）具有觸控面板功能。或者，光感測器可以被設置於顯示面板 6006 的每個像素內，對該顯示面板附加作為光學式觸控面板的功能。或者，也可以在顯示面板 6006 的每個像素內設置觸控感測器用電極，並對該顯示面板附加電容式觸控面板的功能。

[0422] 背光單元 6007 包括光源 6008。可以採用將光源 6008 設置於背光單元 6007 的端部且使用光擴散板的結構。

[0423] 框架 6009 保護顯示面板 6006，並且還用作阻擋從印刷電路板 6010 產生的電磁波的電磁屏蔽。此外，框架 6009 也可以具有散熱板的功能。

[0424] 印刷電路板 6010 包括電源電路以及用來輸出視訊信號及時脈信號的信號處理電路。作為對電源電路供

應電力的電源，既可以使用外部的商用電源，又可以使用另行設置的電池 6011。注意，當使用商用電源時可以省略電池 6011。

[0425] 此外，在顯示模組 6000 中還可以設置偏光板、相位差板、稜鏡片等構件。

[0426] 注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0427]

實施方式 12

〈使用引線框架型插板的封裝〉

圖 62A 示出使用引線框架型插板（interposer）的封裝的剖面結構的透視圖。在圖 62A 所示的封裝中，相當於根據本發明的一個實施方式的半導體裝置的晶片 551 藉由利用打線接合法與插板 550 上的端子 552 連接。端子 552 配置在插板 550 的設置有晶片 551 的面上。晶片 551 也可以由模鑄樹脂 553 密封，這裡在各端子 552 的一部分露出的狀態下進行密封。

[0428] 圖 62B 示出其中封裝被安裝在電路基板中的電子裝置（行動電話）的模組的結構。在圖 62B 所示的行動電話機的模組中，印刷線路板 601 安裝有封裝 602 及電池 604。另外，設置有顯示元件的面板 600 藉由 FPC603 安裝有印刷線路板 601。

[0429] 本實施方式可以將其至少一部分與本說明書所記載的其他實施方式適當的組合而實施。

[0430]

實施方式 13

在本實施方式中，參照圖式說明本發明的一個實施方式的電子裝置及照明設備。

[0431]

〈電子裝置〉

藉由使用本發明的一個實施方式的半導體裝置，可以製造電子裝置或照明設備。另外，藉由使用本發明的一個實施方式的半導體裝置，可以製造可靠性高的電子裝置或照明設備。此外，藉由使用本發明的一個實施方式的半導體裝置，可以製造觸控感測器的檢出靈敏度得到提高的電子裝置或照明設備。

[0432] 作為電子裝置，例如可以舉出電視機（也稱為電視或電視接收機）、用於電腦等的顯示器、數位相機、數位攝影機、數位相框、行動電話機（也稱為行動電話、行動電話裝置）、可攜式遊戲機、可攜式資訊終端、音頻再生裝置、彈珠機等的大型遊戲機等。

[0433] 此外，在本發明的一個實施方式的電子裝置或照明設備具有撓性的情況下，因此也可以將該電子裝置或照明設備沿著房屋及高樓的內壁或外壁、汽車的內部裝飾或外部裝飾的曲面組裝。

[0434] 此外，本發明的一個實施方式的電子裝置也可以包括二次電池，較佳為藉由非接觸電力傳送對該二次電池充電。

[0435] 作為二次電池，例如，可以舉出利用凝膠狀電解質的鋰聚合物電池（鋰離子聚合物電池）等鋰離子二次電池、鋰離子電池、鎳氫電池、鎳鎘電池、有機自由基電池、鉛蓄電池、空氣二次電池、鎳鋅電池、銀鋅電池等。

[0436] 本發明的一個實施方式的電子裝置也可以包括天線。藉由由天線接收信號，可以在顯示部上顯示影像或資訊等。另外，在電子裝置包括二次電池時，可以將天線用於非接觸電力傳送。

[0437] 圖 63A 示出一種可攜式遊戲機，該可攜式遊戲機包括外殼 7101、外殼 7102、顯示部 7103、顯示部 7104、麥克風 7105、揚聲器 7106、操作鍵 7107 以及觸控筆 7108 等。根據本發明的一個實施方式的半導體裝置可用於內置於外殼 7101 中的積體電路、CPU 等。藉由對顯示部 7103 或顯示部 7104 使用根據本發明的一個實施方式的發光裝置，可以提供一種使用者友好且不容易發生品質降低的可攜式遊戲機。注意，雖然圖 63A 所示的可攜式遊戲機包括兩個顯示部亦即顯示部 7103 和顯示部 7104，但是可攜式遊戲機所包括的顯示部的數量不限於兩個。

[0438] 圖 63B 示出一種智慧手錶，包括外殼 7302、顯示部 7304、操作按鈕 7311、7312、連接端子 7313、腕帶 7321、錶帶扣 7322 等。根據本發明的一個實施方式的半導體裝置可用於顯示部 7304 或內置於外殼 7302 中的記憶體、CPU 等。

[0439] 圖 63C 示出一種可攜式資訊終端，包括安裝於外殼 7501 中的顯示部 7502、操作按鈕 7503、外部連接埠 7504、揚聲器 7505、麥克風 7506、顯示部 7502 等。根據本發明的一個實施方式的半導體裝置可用於內置於外殼 7501 中的攜帶用記憶體、CPU 等。因為可以使顯示部 7502 的清晰度非常高，所以雖然顯示部 7502 是中小型的，但可以進行 4k 或 8k 等各種顯示，而得到非常清晰的影像。

[0440] 圖 63D 示出一種攝影機，包括第一外殼 7701、第二外殼 7702、顯示部 7703、操作鍵 7704、鏡頭 7705、連接部 7706 等。操作鍵 7704 及鏡頭 7705 被設置在第一外殼 7701 中，顯示部 7703 被設置在第二外殼 7702 中。並且，第一外殼 7701 和第二外殼 7702 由連接部 7706 連接，第一外殼 7701 和第二外殼 7702 之間的角度可以由連接部 7706 改變。顯示部 7703 所顯示的影像也可以根據連接部 7706 所形成的第一外殼 7701 和第二外殼 7702 之間的角度切換。可以將本發明的一個實施方式的攝像裝置設置在鏡頭 7705 的焦點的位置上。根據本發明的一個實施方式的半導體裝置可用於內置於第一外殼 7701 中的積體電路、CPU 等。

[0441] 圖 63E 示出數位看板，該數位看板具備設置於電線杆 7921 的顯示部 7922。根據本發明的一個實施方式的顯示裝置可用於顯示部 7922 的控制電路。

[0442] 圖 64A 示出膝上型個人電腦，該膝上型個人

電腦包括外殼 8121、顯示部 8122、鍵盤 8123 及指向裝置 8124 等。根據本發明的一個實施方式的半導體裝置可用於內置於外殼 8121 中的 CPU、記憶體。另外，因為可以使顯示部 8122 的清晰度非常高，所以雖然顯示部 8122 是中小型的，但可以進行 8k 顯示，而得到非常清晰的影像。

[0443] 圖 64B 示出汽車 9700 的外觀。圖 64C 示出汽車 9700 的駕駛座位。汽車 9700 包括車體 9701、車輪 9702、儀表板 9703、燈 9704 等。根據本發明的一個實施方式的半導體裝置可用於汽車 9700 的顯示部及控制用積體電路。例如，本發明的一個實施方式的半導體裝置可設置於圖 64C 所示的顯示部 9710 至顯示部 9715。

[0444] 顯示部 9710 和顯示部 9711 是設置在汽車的擋風玻璃上的顯示裝置或輸入/輸出裝置。藉由使用具有透光性的導電材料來製造顯示裝置或輸入/輸出裝置中的電極，可以使本發明的一個實施方式的顯示裝置或輸入/輸出裝置成為能看到對面的所謂的透明式顯示裝置或輸入/輸出裝置。透明式顯示裝置或輸入/輸出裝置即使在駕駛汽車 9700 時也不會成為視野的障礙。因此，可以將本發明的一個實施方式的顯示裝置或輸入/輸出裝置設置在汽車 9700 的擋風玻璃上。另外，當在顯示裝置或輸入/輸出裝置中設置用來驅動顯示裝置或輸入/輸出裝置的電晶體等時，較佳為採用使用有機半導體材料的有機電晶體、使用氧化物半導體的電晶體等具有透光性的電晶體。

[0445] 顯示部 9712 是設置在立柱部分的顯示裝置。例如，藉由將來自設置在車體的成像單元的影像顯示在顯示部 9712，可以補充被立柱遮擋的視野。顯示部 9713 是設置在儀表板部分的顯示裝置。例如，藉由將來自設置在車體的成像單元的影像顯示在顯示部 9713，可以補充被儀表板遮擋的視野。也就是說，藉由顯示來自設置在汽車外側的成像單元的影像，可以補充死角，從而提高安全性。另外，藉由顯示補充看不到的部分的影像，可以更自然、更舒適地確認安全。

[0446] 圖 64D 示出採用長座椅作為駕駛座位及副駕駛座位的汽車室內。顯示部 9721 是設置在車門部分的顯示裝置或輸入/輸出裝置。例如，藉由將來自設置在車體的成像單元的影像顯示在顯示部 9721，可以補充被車門遮擋的視野。另外，顯示部 9722 是設置在方向盤的顯示裝置。顯示部 9723 是設置在長座椅的中央部的顯示裝置。另外，藉由將顯示裝置設置在被坐面或靠背部分等，也可以將該顯示裝置用作以該顯示裝置為發熱源的座椅取暖器。

[0447] 顯示部 9714、顯示部 9715 或顯示部 9722 可以提供導航資訊、速度表、轉速計、行駛距離、加油量、排檔狀態、空調的設定以及其他各種資訊。另外，使用者可以適當地改變顯示部所顯示的顯示內容及佈局等。另外，顯示部 9710 至顯示部 9713、顯示部 9721 及顯示部 9723 也可以顯示上述資訊。顯示部 9710 至顯示部 9715、

顯示部 9721 至顯示部 9723 還可以被用作照明設備。此外，顯示部 9710 至顯示部 9715、顯示部 9721 至顯示部 9723 還可以被用作加熱裝置。

[0448] 此外，圖 65A 示出照相機 8000 的外觀。照相機 8000 包括外殼 8001、顯示部 8002、操作按鈕 8003、快門按鈕 8004 以及連接部 8005 等。另外，照相機 8000 也可以安裝鏡頭 8006。

[0449] 連接部 8005 包括電極，除了後面說明的取景器 8100 以外，還可以與閃光燈裝置等連接。

[0450] 在此照相機 8000 包括能夠從外殼 8001 拆卸下鏡頭 8006 而交換的結構，鏡頭 8006 及外殼也可以被形成為一體。

[0451] 藉由按下快門按鈕 8004，可以進行攝像。另外，顯示部 8002 被用作觸控面板，也可以藉由觸摸顯示部 8002 進行攝像。

[0452] 本發明的一個實施方式的顯示裝置或輸入/輸出裝置可以適用於顯示部 8002。

[0453] 圖 65B 示出照相機 8000 安裝有取景器 8100 時的例子。

[0454] 取景器 8100 包括外殼 8101、顯示部 8102 以及按鈕 8103 等。

[0455] 外殼 8101 包括嵌合到照相機 8000 的連接部 8005 的連接部，可以將取景器 8100 安裝到照相機 8000。另外，該連接部包括電極，可以將從照相機 8000 經過該

電極接收的影像等顯示到顯示部 8102 上。

[0456] 按鈕 8103 被用作電源按鈕。藉由利用按鈕 8103，可以切換顯示部 8102 的顯示或非顯示。

[0457] 本發明的一個實施方式的半導體裝置可以適用於外殼 8101 中的積體電路、影像感測器。

[0458] 另外，在圖 65A 和圖 65B 中，照相機 8000 與取景器 8100 是分開且可拆卸的電子裝置，但是也可以在照相機 8000 的外殼 8001 中內置有具備本發明的一個實施方式的顯示裝置或輸入/輸出裝置的取景器。

[0459] 此外，圖 65C 示出頭戴顯示器 8200 的外觀。

[0460] 頭戴顯示器 8200 包括安裝部 8201、透鏡 8202、主體 8203、顯示部 8204 以及電纜 8205 等。另外，在安裝部 8201 中內置有電池 8206。

[0461] 藉由電纜 8205，將電力從電池 8206 供應到主體 8203。主體 8203 具備無線接收器等，能夠將所接收的影像資料等的影像資訊顯示到顯示部 8204 上。另外，藉由利用設置在主體 8203 中的相機捕捉使用者的眼球及眼臉的動作，並根據該資訊算出使用者的視點的座標，可以利用使用者的視點作為輸入方法。

[0462] 另外，也可以對安裝部 8201 的被使用者接觸的位置設置多個電極。主體 8203 也可以具有藉由檢測出根據使用者的眼球的動作而流過電極的電流，可以識別使用者的視點的功能。此外，主體 8203 可以具有藉由檢測出流過該電極的電流來監視使用者的脈搏的功能。安裝部

8201 可以具有溫度感測器、壓力感測器、加速度感測器等各種感測器，也可以具有將使用者的生物資訊顯示在顯示部 8204 上的功能。另外，主體 8203 也可以檢測出使用者的頭部的動作等，並與使用者的頭部的動作等同步地使顯示在顯示部 8204 上的影像變化。

[0463] 本發明的一個實施方式的半導體裝置可以適用於主體 8203 內部的積體電路。

[0464] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0465]

實施方式 14

在本實施方式中，參照圖 66A 至圖 66F 說明使用根據本發明的一個實施方式的 RF 標籤的使用例子。

[0466]

〈RF 標籤的使用例子〉

RF 標籤的用途廣泛，例如可以設置於物品諸如鈔票、硬幣、有價證券類、不記名債券類、證件類（駕駛執照、居民卡等，參照圖 66A）、車輛類（自行車等，參照圖 66B）、包裝用容器類（包裝紙、瓶子等，參照圖 66C）、儲存媒體（DVD、錄影帶等，參照圖 66D）、個人物品（包、眼鏡等，參照圖 66E）、食物類、植物類、動物類、人體、衣物類、生活用品類、包括藥品或藥劑的醫療品、電子裝置（液晶顯示裝置、EL 顯示裝置、電視機或行動電話）等或者各物品的裝運標籤（參照圖 66E 及

圖 66F) 等。

[0467] 根據本發明的一個實施方式的 RF 標籤 4000 以附著到物品表面上或者嵌入物品的方式固定。例如，當物品為書本時，RF 標籤 4000 以嵌入在書本的紙張裡的方式固定在書本，而當物品為有機樹脂的包裝時，RF 標籤 4000 以嵌入在有機樹脂中的方式固定在有機樹脂的包裝。根據本發明的一個實施方式的 RF 標籤 4000 實現了小型、薄型以及輕量，所以即使固定在物品中也不會影響到該物品的設計性。另外，藉由將根據本發明的一個實施方式的 RF 標籤 4000 設置於鈔票、硬幣、有價證券類、不記名債券類或證件類等，可以賦予識別功能。藉由利用該識別功能可以防止偽造。另外，可以藉由在包裝用容器類、儲存媒體、個人物品、食物類、衣物類、生活用品類或電子裝置等中設置根據本發明的一個實施方式的 RF 標籤，可以提高檢品系統等系統的運行效率。另外，藉由在車輛類中安裝根據本發明的一個實施方式的 RF 標籤，可以防止盜竊等而提高安全性。

[0468] 如上所述，藉由將使用根據本發明的一個實施方式的半導體裝置的 RF 標籤應用於在本實施方式中列舉的各用途，可以降低包括資料的寫入或讀出等工作的功耗，因此能夠使最大通信距離長。另外，即使在不供應電力的狀態下，也可以在極長的期間保持資料，所以上述 RF 標籤可以適用於寫入或讀出的頻率低的用途。

[0469] 本實施方式可以與本說明書所示的其他實施

方式適當地組合。

【符號說明】

[0470]

200：攝像裝置

201：開關

202：開關

203：開關

210：像素部

211：像素

212：子像素

212B：子像素

212G：子像素

212R：子像素

220：光電轉換元件

230：像素電路

231：佈線

247：佈線

248：佈線

249：佈線

250：佈線

253：佈線

254：濾光片

254B：濾光片

254G：濾光片

254R：濾光片

255：透鏡

256：光

257：佈線

260：週邊電路

270：週邊電路

280：週邊電路

290：週邊電路

291：光源

300：矽基板

301：絕緣體

302：絕緣體

303：電子俘獲層

305：層

310a：導電體

310b：導電體

310c：導電體

320：層

330：電晶體

331：層

340：層

351：電晶體

352：電晶體

- 353：電晶體
- 354：電晶體
- 360：光電二極體
- 361：陽極
- 362：陰極
- 363：低電阻區域
- 365：光電二極體
- 366：半導體層/p型半導體層
- 367：半導體層/i型半導體層
- 368：半導體層/n型半導體層
- 370：插頭
- 371：佈線
- 372：佈線
- 373：佈線
- 374：佈線
- 380：絕緣體
- 381：絕緣體
- 400：基板
- 401：絕緣體
- 402：絕緣體
- 404：導電體
- 406a：絕緣體
- 406a_1：絕緣體
- 406b：半導體

406b_1：半導體

406c：絕緣體

407：區域

407a1：區域

407a2：區域

408：絕緣體

410：絕緣體

410a：絕緣體

411：光阻遮罩

412：絕緣體

414：導電體

415：導電體

416a1：導電體

416a2：導電體

417：導電體

417a：導電體

418：絕緣體

419：絕緣體

419a：絕緣體

420：光阻遮罩

422：導電體

422a：導電體

428：絕緣體

429：導電體

430：導電體
431：導電體
432：導電體
433：導電體
434：導電體
437：導電體
438：導電體
440：導電體
442：導電體
444：導電體
450：半導體基板
454：導電體
460：區域
462：絕緣體
464：絕緣體
465：絕緣體
466：絕緣體
467：絕緣體
468：絕緣體
469：絕緣體
470：絕緣體
472：絕緣體
474a：區域
474b：區域

475：絕緣體

476a：導電體

476b：導電體

476c：導電體

477a：導電體

477b：導電體

477c：導電體

478a：導電體

478b：導電體

478c：導電體

479a：導電體

479b：導電體

479c：導電體

480a：導電體

480b：導電體

480c：導電體

483a：導電體

483b：導電體

483c：導電體

483d：導電體

483e：導電體

483f：導電體

484a：導電體

484b：導電體

484c：導電體

484d：導電體

485a：導電體

485b：導電體

485c：導電體

485d：導電體

487a：導電體

487b：導電體

487c：導電體

488a：導電體

488b：導電體

488c：導電體

489a：導電體

489b：導電體

490a：導電體

490b：導電體

491a：導電體

491b：導電體

491c：導電體

492a：導電體

492b：導電體

492c：導電體

494：導電體

496：導電體

498：絕緣體
550：插板
551：晶片
552：端子
553：模鑄樹脂
600：面板
601：印刷線路板
602：封裝
603：FPC
604：電池
700：基板
704a：導電體
704b：導電體
706a：絕緣體
706b：半導體
706c：絕緣體
706d：絕緣體
706e：半導體
706f：絕緣體
710：絕緣體
712a：絕緣體
714a：導電體
714b：導電體
716a1：導電體

716a2：導電體

716a3：導電體

716a4：導電體

718b：絕緣體

719：發光元件

720：絕緣體

721：絕緣體

728：絕緣體

731：端子

732：FPC

733a：佈線

734：密封材料

735：驅動電路

736：驅動電路

737：像素

741：電晶體

742：電容元件

743：切換元件

744：信號線

750：基板

751：電晶體

752：電容元件

753：液晶元件

754：掃描線

755：信號線
781：導電體
782：發光層
783：導電體
784：分隔壁
791：導電體
792：絕緣體
793：液晶層
794：絕緣體
795：間隔物
796：導電體
797：基板
800：RF 標籤
801：通信器
802：天線
803：無線信號
804：天線
805：整流電路
806：定電壓電路
807：解調變電路
808：調變電路
809：邏輯電路
810：記憶體電路
811：ROM

1189：ROM 介面
 1190：基板
 1191：ALU
 1192：ALU 控制器
 1193：指令解碼器
 1194：中斷控制器
 1195：時序控制器
 1196：暫存器
 1197：暫存器控制器
 1198：匯流排介面
 1199：ROM
 1200：記憶元件
 1201：電路
 1202：電路
 1203：開關
 1204：開關
 1206：邏輯元件
 1207：電容元件
 1208：電容元件
 1209：電晶體
 1210：電晶體
 1213：電晶體
 1214：電晶體
 1220：電路

2100：電晶體
2200：電晶體
2201：絕緣體
2202：佈線
2203：插頭
2204：絕緣體
2205：佈線
2207：絕緣體
2208：絕緣體
2211：半導體基板
2212：絕緣體
2213：閘極電極
2214：閘極絕緣體
2215：源極區域及汲極區域
3001：佈線
3002：佈線
3003：佈線
3004：佈線
3005：佈線
3200：電晶體
3300：電晶體
3400：電容元件
4000：RF 標籤
5100：顆粒

5120：基板
5161：區域
6000：顯示模組
6001：上蓋
6002：下蓋
6003：FPC
6004：觸控面板
6005：FPC
6006：顯示面板
6007：背光單元
6008：光源
6009：框架
6010：印刷電路板
6011：電池
7101：外殼
7102：外殼
7103：顯示部
7104：顯示部
7105：麥克風
7106：揚聲器
7107：操作鍵
7108：觸控筆
7302：外殼
7304：顯示部

7311：操作按鈕
7312：操作按鈕
7313：連接端子
7321：腕帶
7322：錶帶扣
7501：外殼
7502：顯示部
7503：操作按鈕
7504：外部連接埠
7505：揚聲器
7506：麥克風
7701：外殼
7702：外殼
7703：顯示部
7704：操作鍵
7705：鏡頭
7706：連接部
7921：電線杆
7922：顯示部
8000：照相機
8001：外殼
8002：顯示部
8003：操作按鈕
8004：快門按鈕

8005：連接部
8006：鏡頭
8100：取景器
8101：外殼
8102：顯示部
8103：按鈕
8121：外殼
8122：顯示部
8123：鍵盤
8124：指向裝置
8200：頭戴顯示器
8201：安裝部
8202：透鏡
8203：主體
8204：顯示部
8205：電纜
8206：電池
9700：汽車
9701：車體
9702：車輪
9703：儀表板
9704：燈
9710：顯示部
9711：顯示部

9712：顯示部

9713：顯示部

9714：顯示部

9715：顯示部

9721：顯示部

9722：顯示部

9723：顯示部

【發明申請專利範圍】

【請求項1】一種半導體裝置，包含：

電晶體包含：

第一導電體；

在該第一導電體上的第一絕緣膜；

在該第一絕緣膜上的氧化物半導體層；

在該氧化物半導體層上的源極電極和汲極電極；

在該氧化物半導體層上的閘極絕緣膜；以及

與該氧化物半導體層重疊的閘極電極，

在該氧化物半導體層上的第一絕緣體；

在該第一絕緣體上的第二絕緣體；

在該第二絕緣體上的第三絕緣體；

經過在該第一絕緣膜、該第一絕緣體、該第二絕緣體和該第三絕緣體中的第一開口到達該第一導電體的第二導電體；

經過在該第二絕緣體和該第三絕緣體中的第二開口到達該閘極電極的第三導電體，

其中，該閘極絕緣膜和該閘極電極設置在該第一絕緣體中的開口中，且

其中，該閘極電極的頂表面的高度等於該第一絕緣體的頂表面的高度。

【請求項2】一種半導體裝置，包含：

電晶體包含：

第一導電體；

在該第一導體上的第一絕緣膜；
在該第一絕緣膜上的第一氧化物半導體層；
在該第一絕緣膜上的第二氧化物半導體層；
在該第二氧化物半導體層上的源極電極和汲極電極；

在該第二氧化物半導體層上的閘極絕緣膜；以及
與該第二氧化物半導體層重疊的閘極電極，
在該第二氧化物半導體層上的第一絕緣體；
在該第一絕緣體上的第二絕緣體；
在該第二絕緣體上的第三絕緣體；
經過在該第一絕緣膜、該第一絕緣體、該第二絕緣體
和該第三絕緣體中的第一開口到達該第一導體的第二導
電體；

經過在該第二絕緣體和該第三絕緣體中的第二開口到
達該閘極電極的第三導體，

其中，該閘極絕緣膜和該閘極電極設置在該第一絕緣
體中的開口中，且

其中，該閘極電極的頂表面的高度等於該第一絕緣體
的頂表面的高度。

【請求項3】如請求項1或2之半導體裝置，
其中，在該第一開口中的該第一絕緣膜的開口直徑不
同於該第一絕緣體的開口直徑。

【請求項4】如請求項1之半導體裝置，
其中，該氧化物半導體層包含銦和鋅。

【請求項5】如請求項2之半導體裝置，
其中，該第一氧化物半導體層和該第二氧化物半導體
層的每一者包含銦和鋅。

[發明圖式]

圖 1A

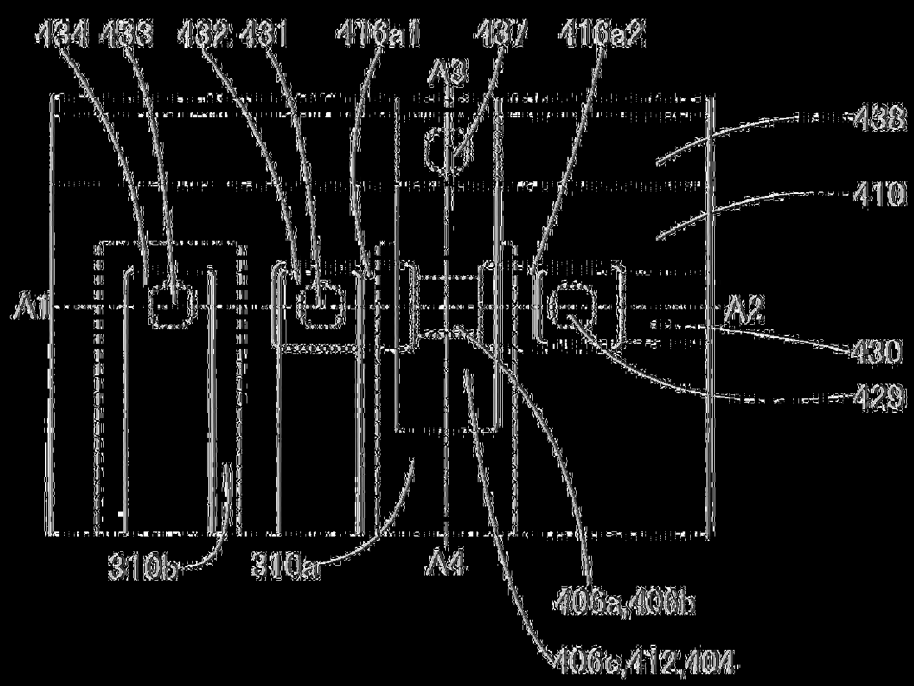


圖 1B

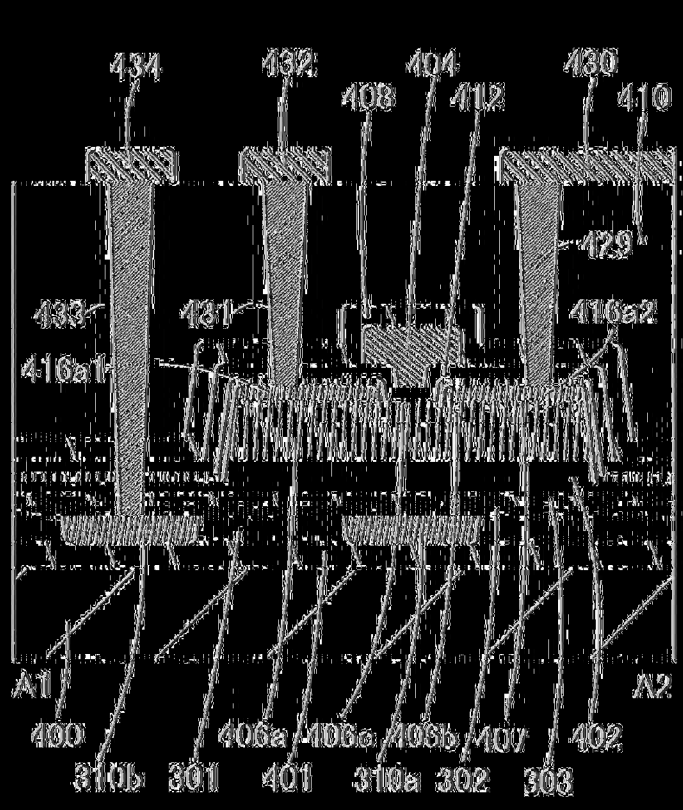


圖 1C

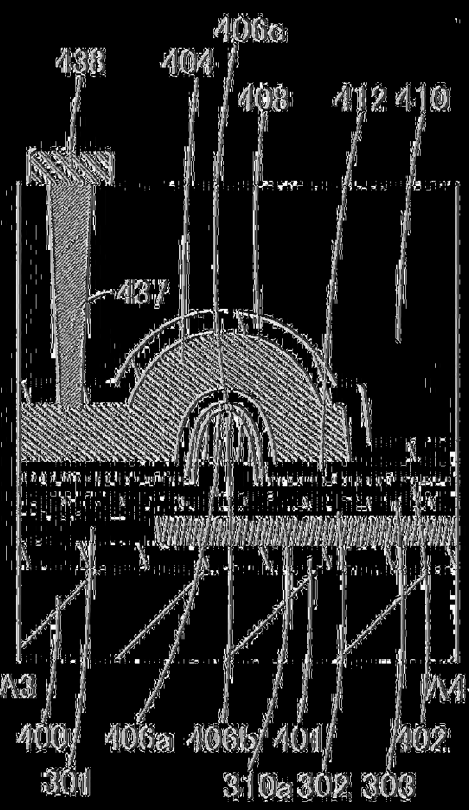


FIG 2A

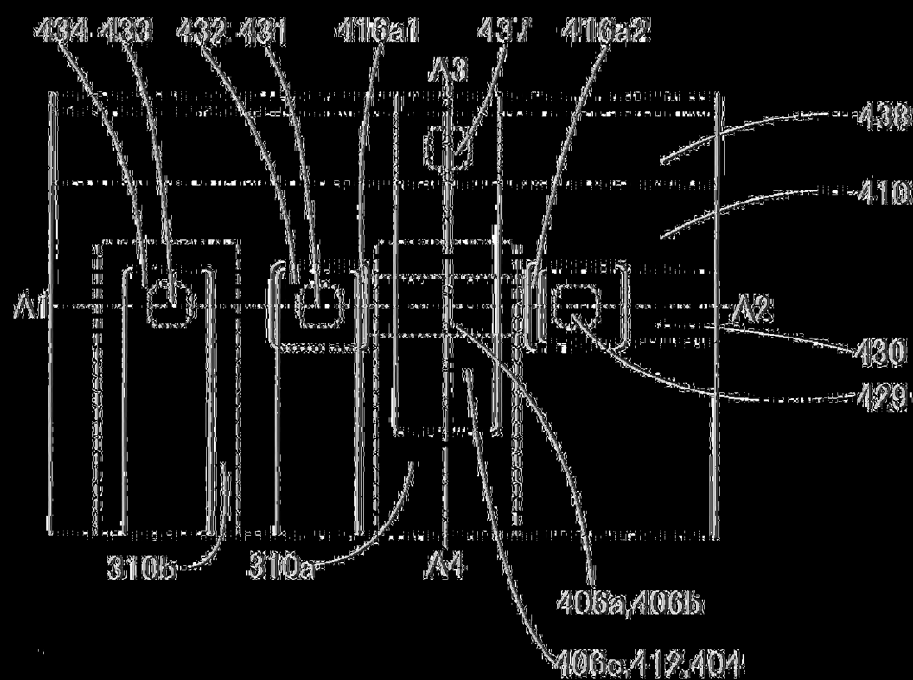


FIG 2B

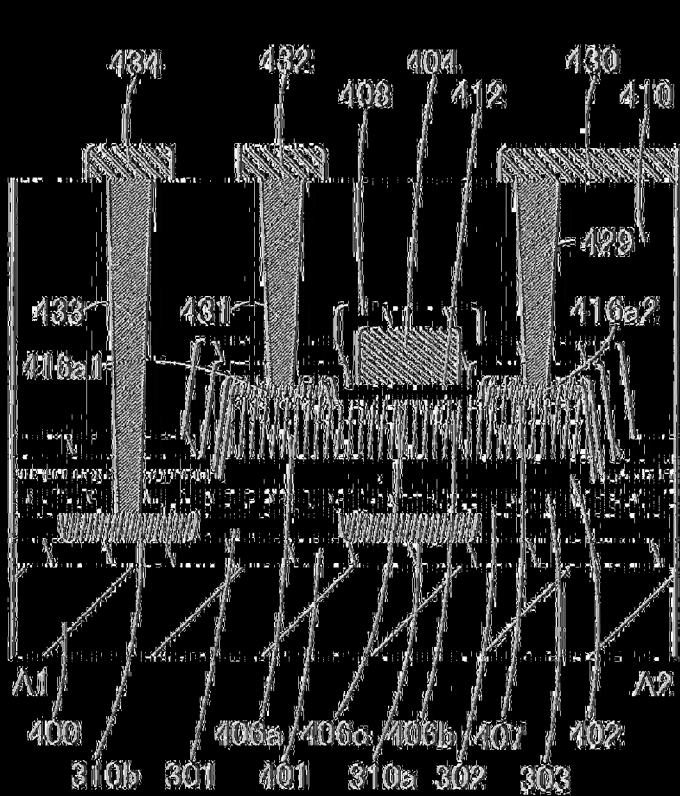


FIG 2C



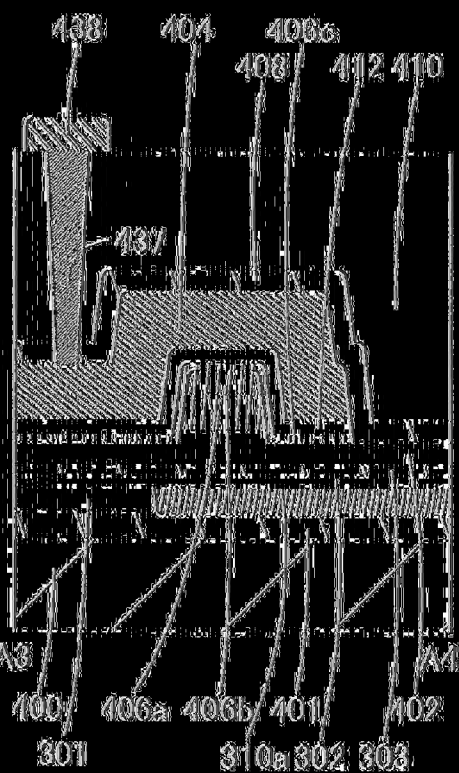
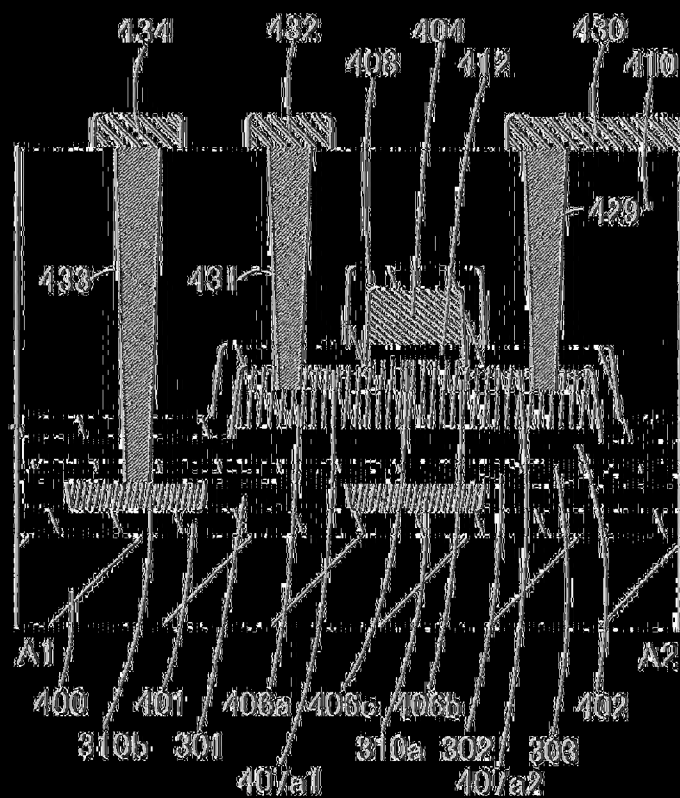
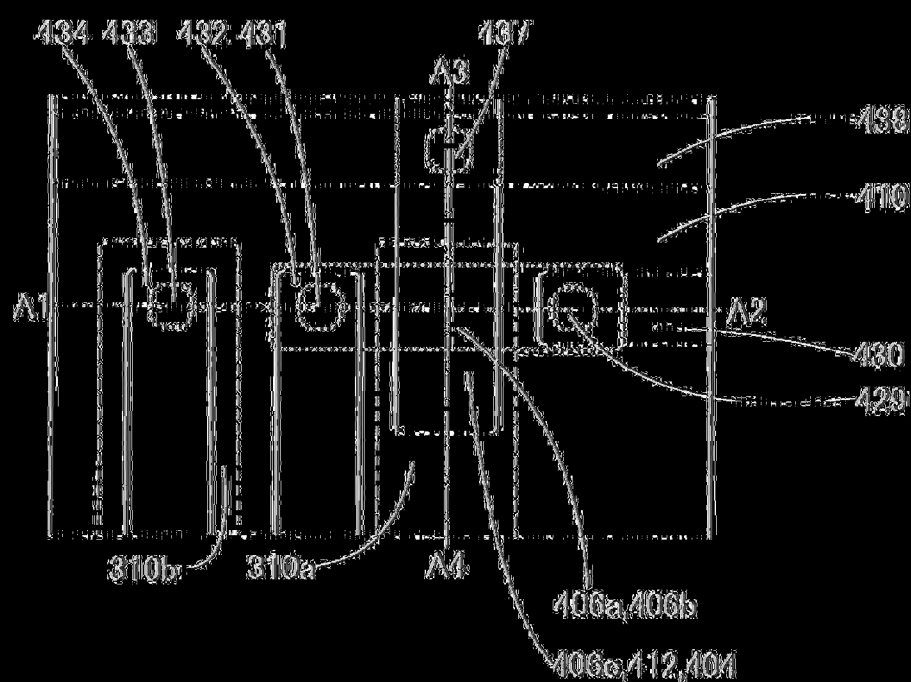


Fig. 4A

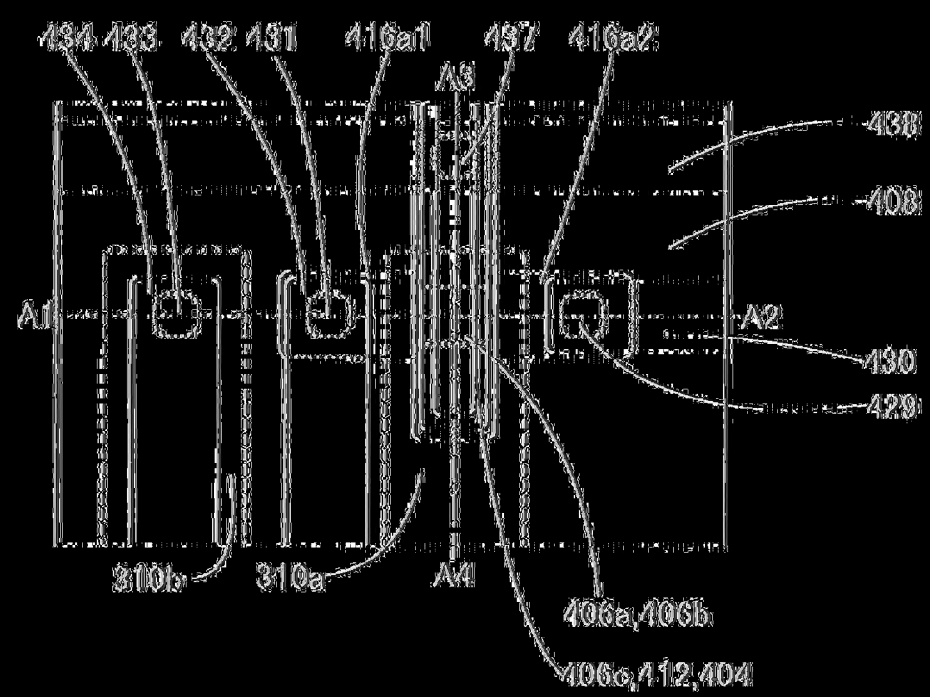


Fig. 4B

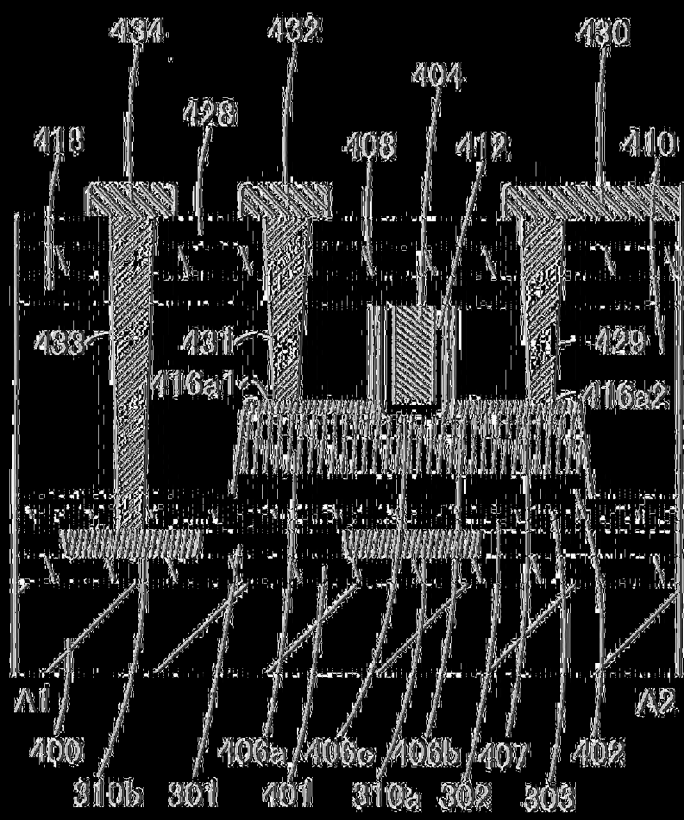


Fig. 4C



Fig 5A

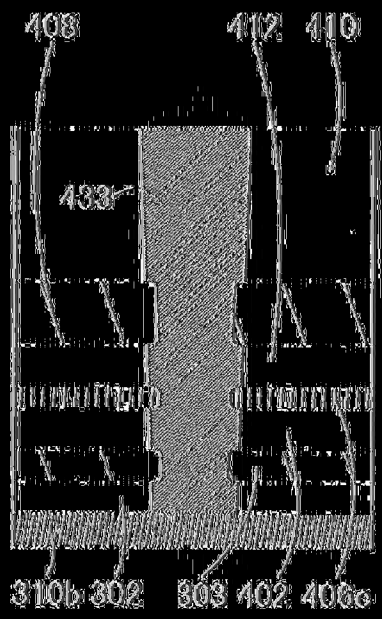


Fig 5B

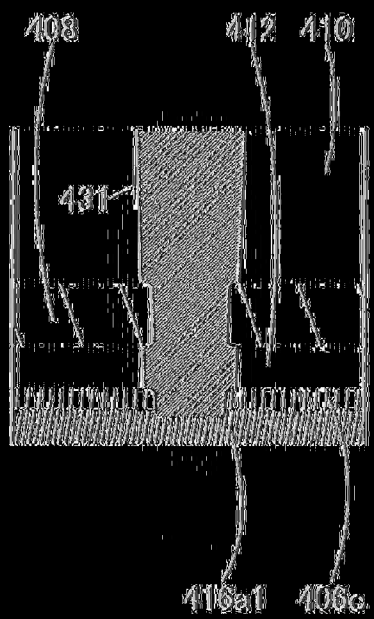


Fig 5C

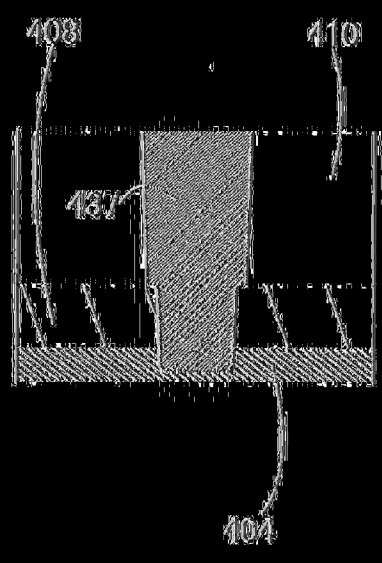


Fig 5D

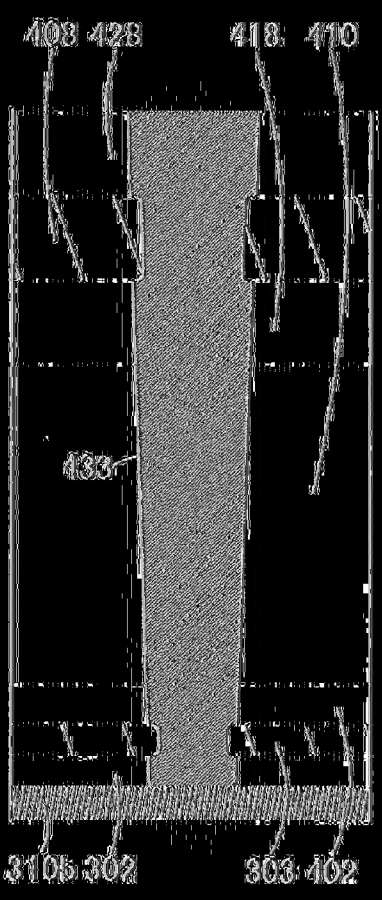


Fig 5E

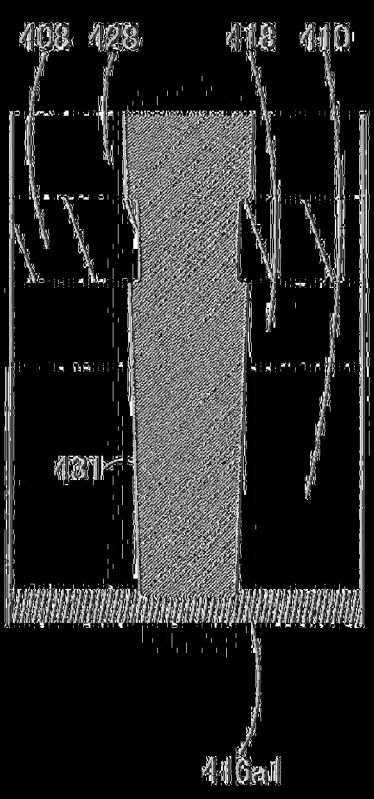


Fig 5F

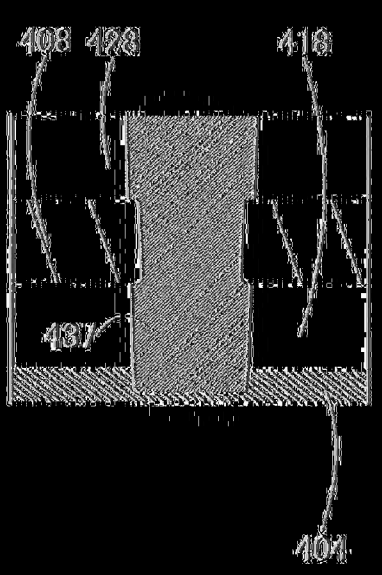


FIG 6A

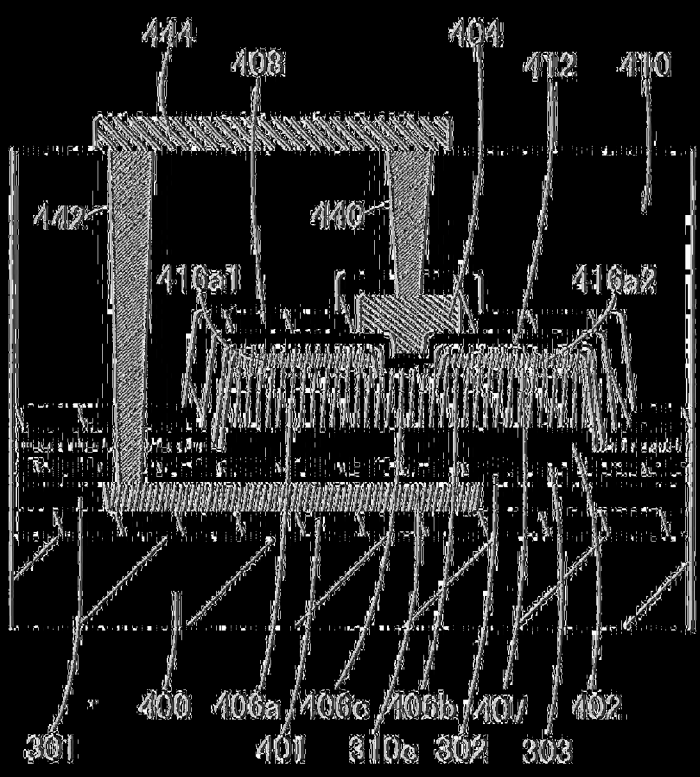
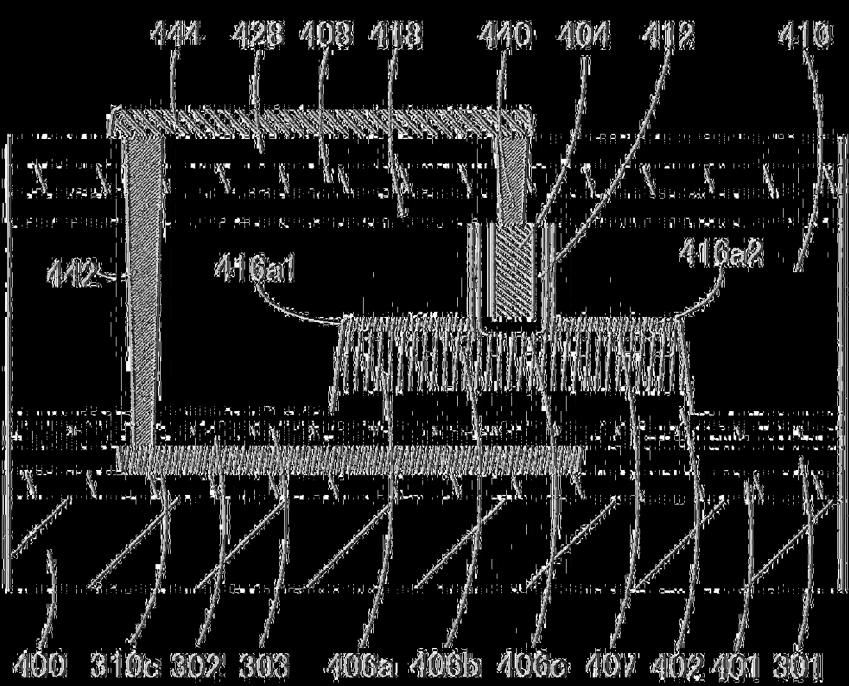
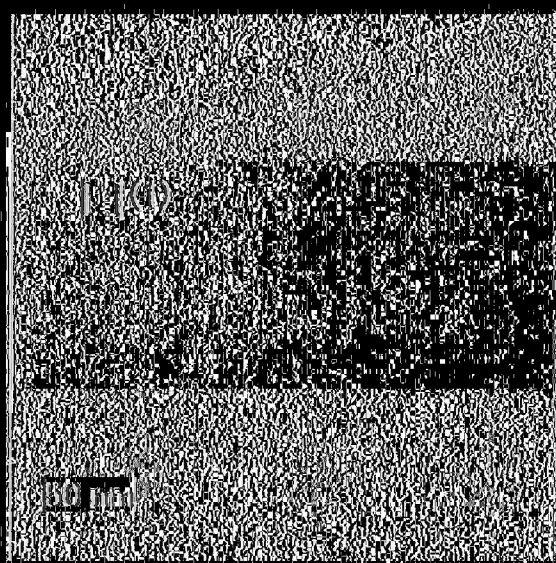


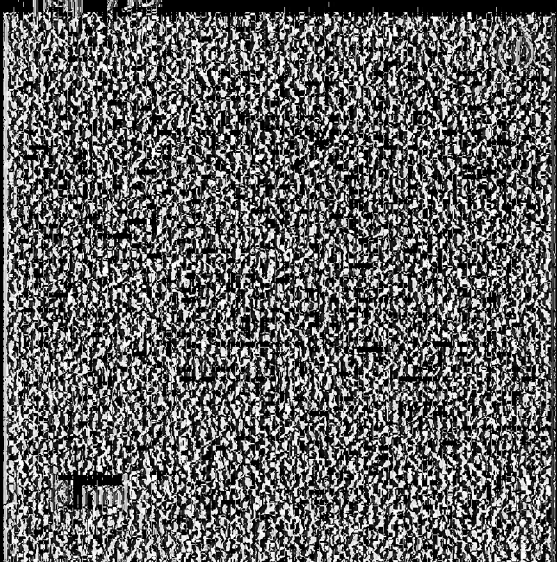
FIG 6B



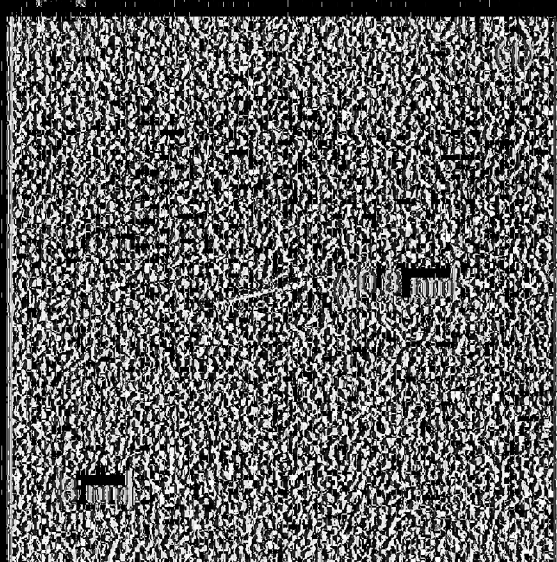
7A



7B



7C



7D



© 1999



Fig 9A

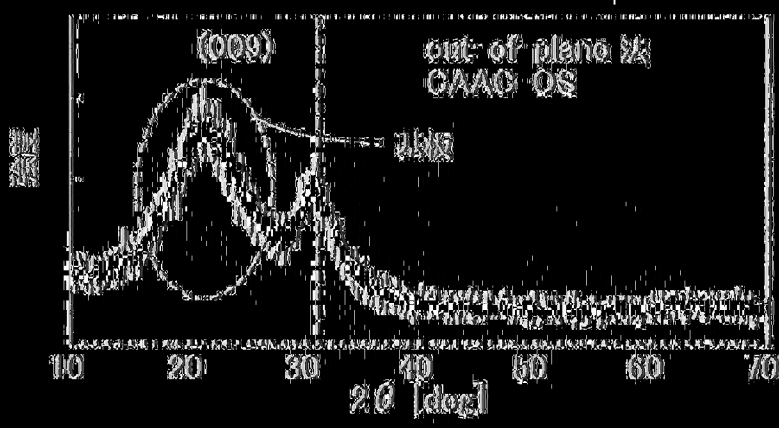


Fig 9B

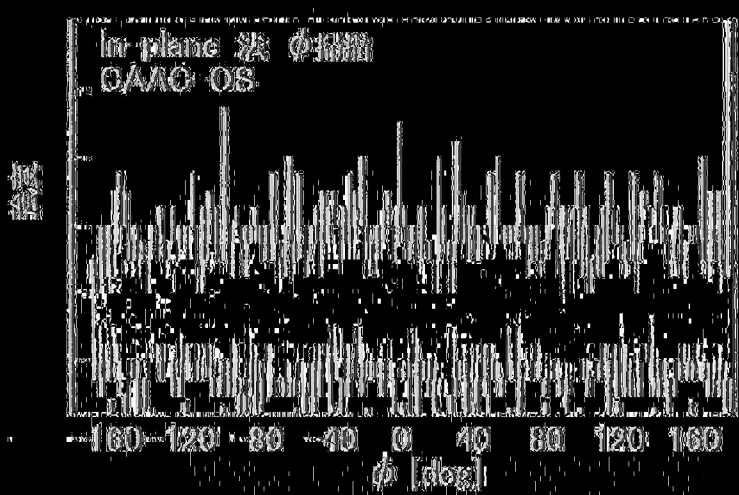
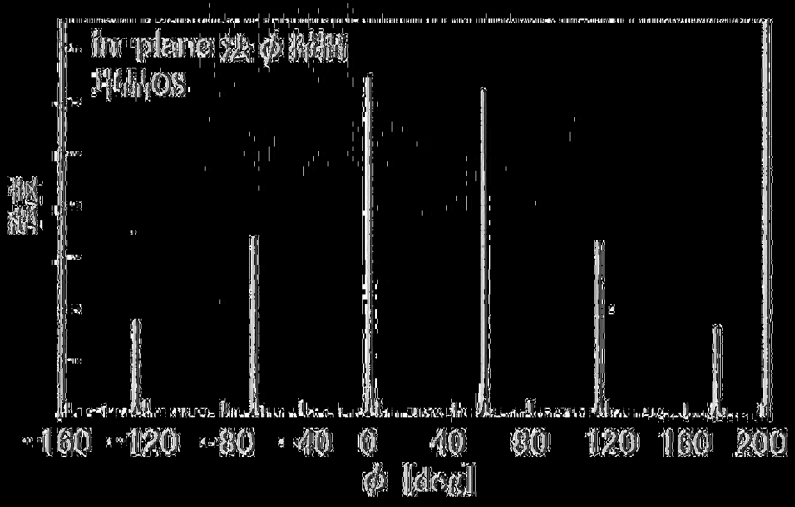
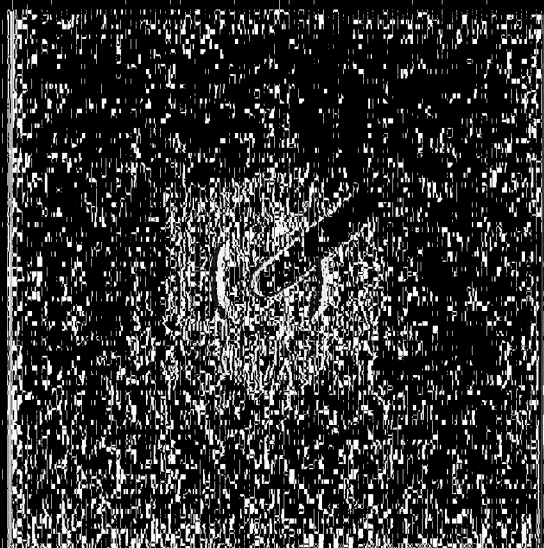


Fig 9C



10A



10B



圖 11

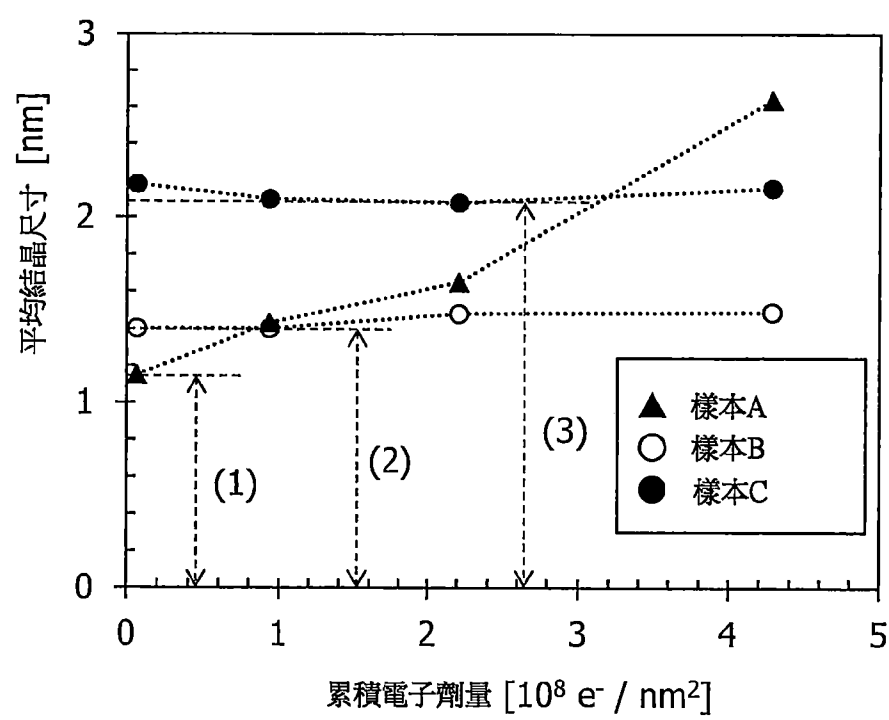


圖 12A

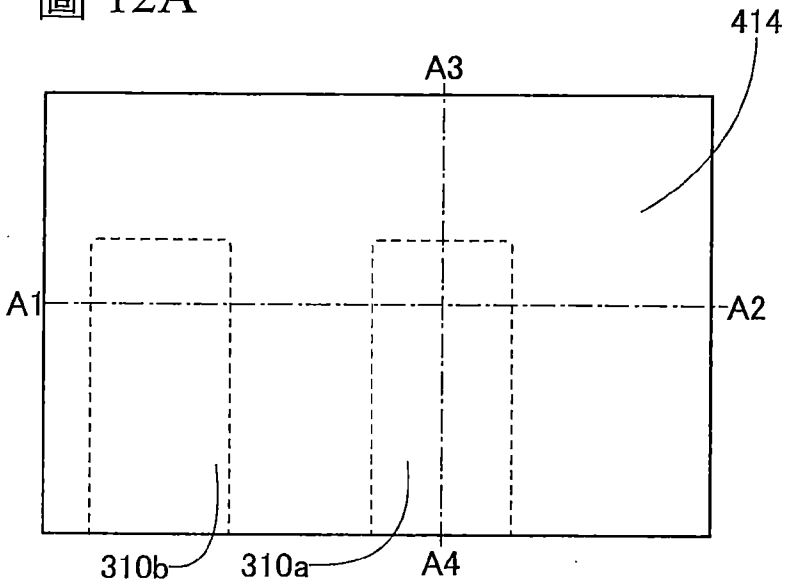


圖 12B

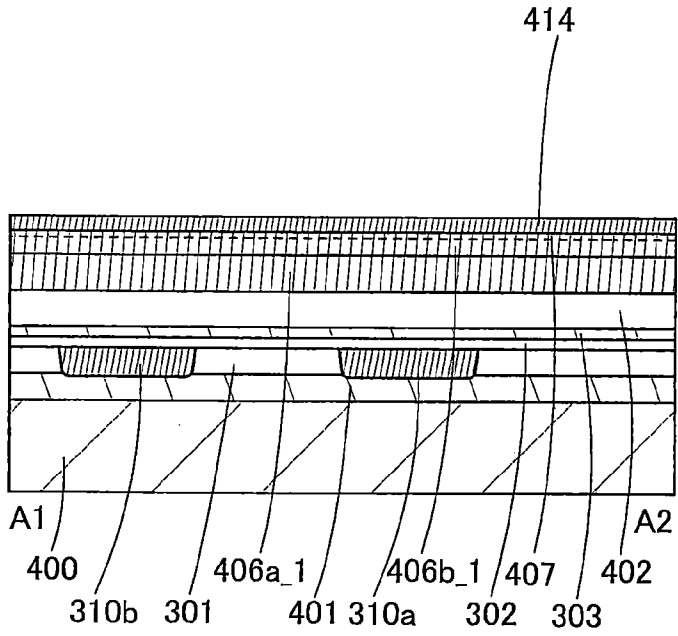


圖 12C

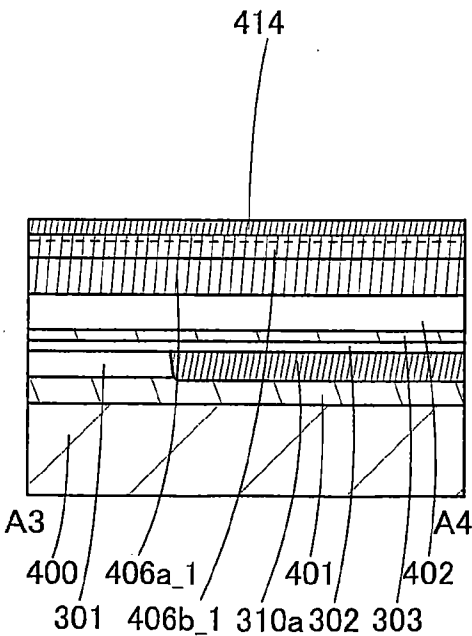


圖 13A

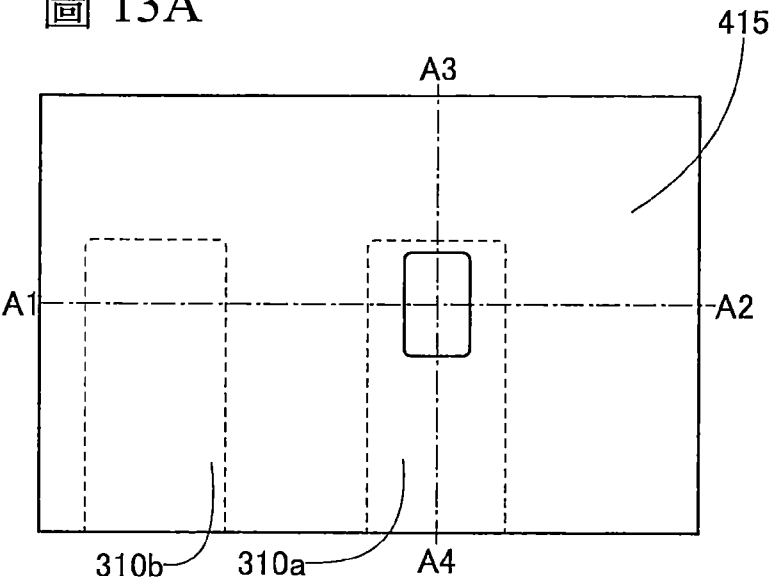


圖 13B

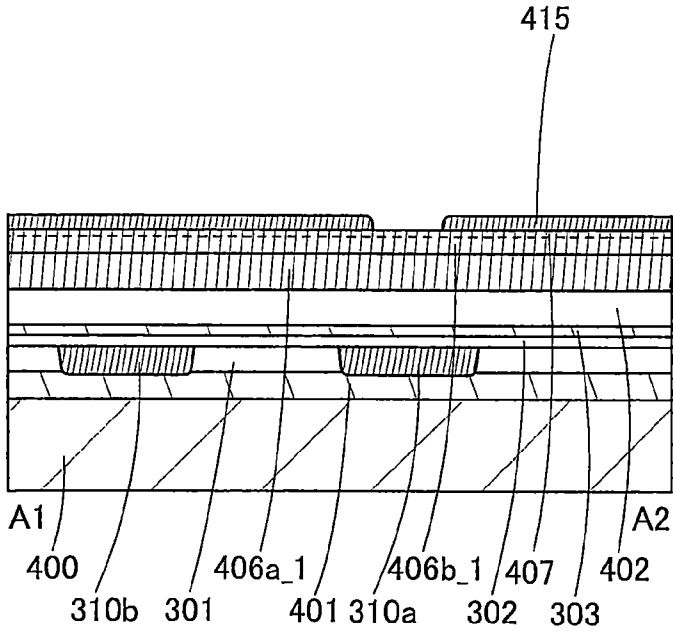


圖 13C

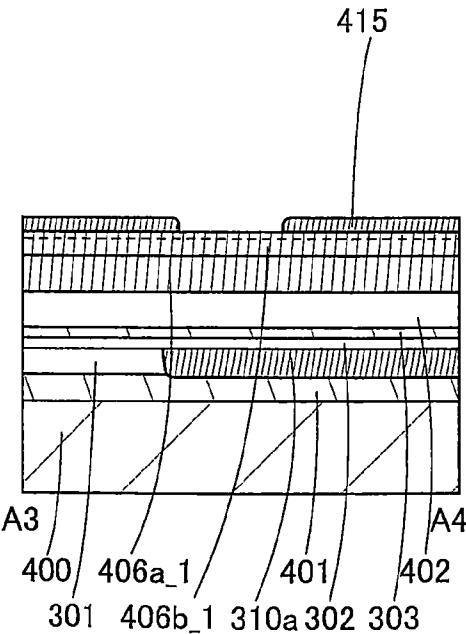


圖 14A

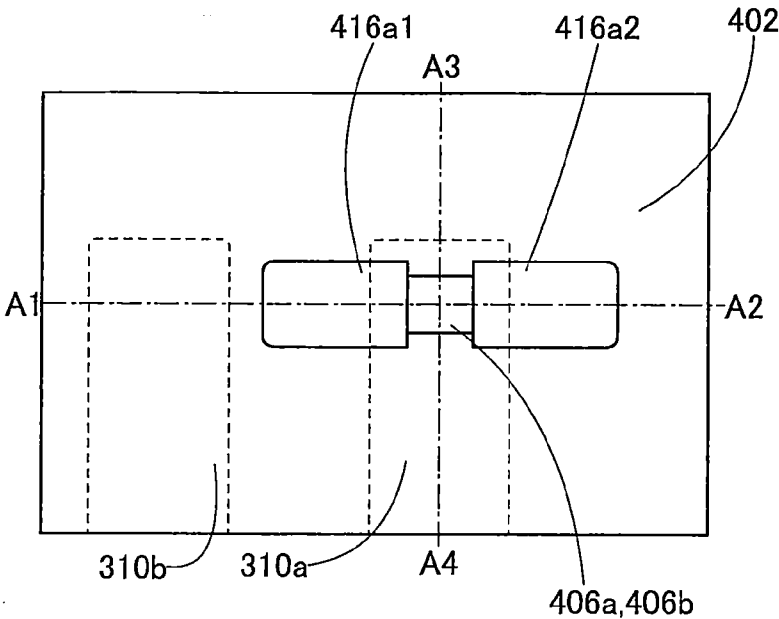


圖 14B

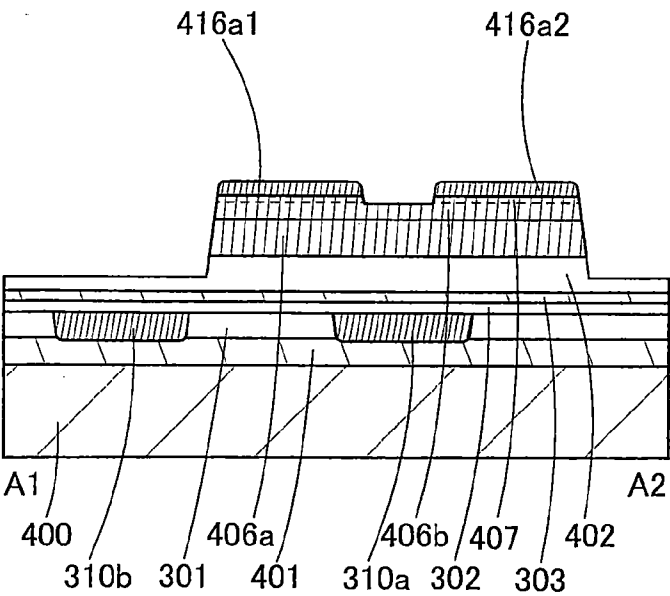


圖 14C

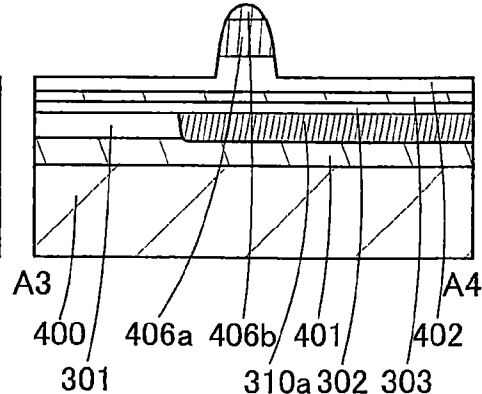


圖 15A

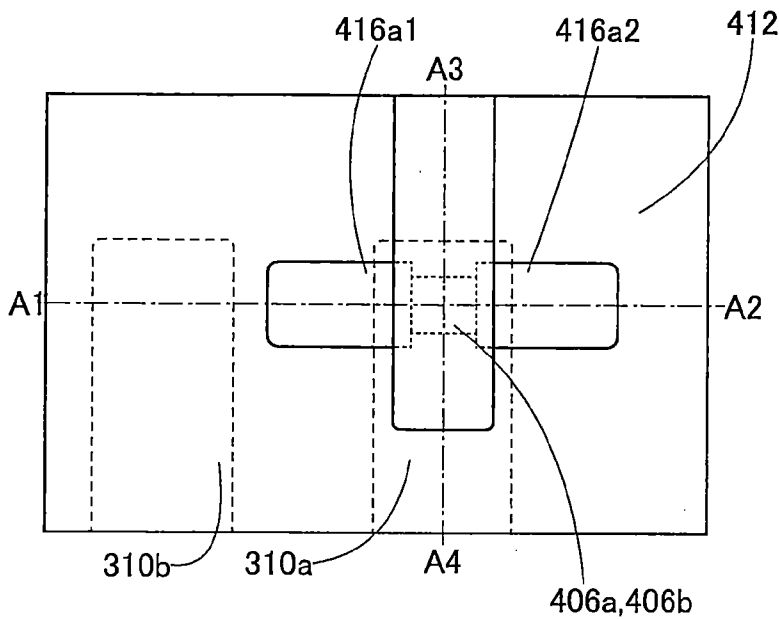


圖 15B

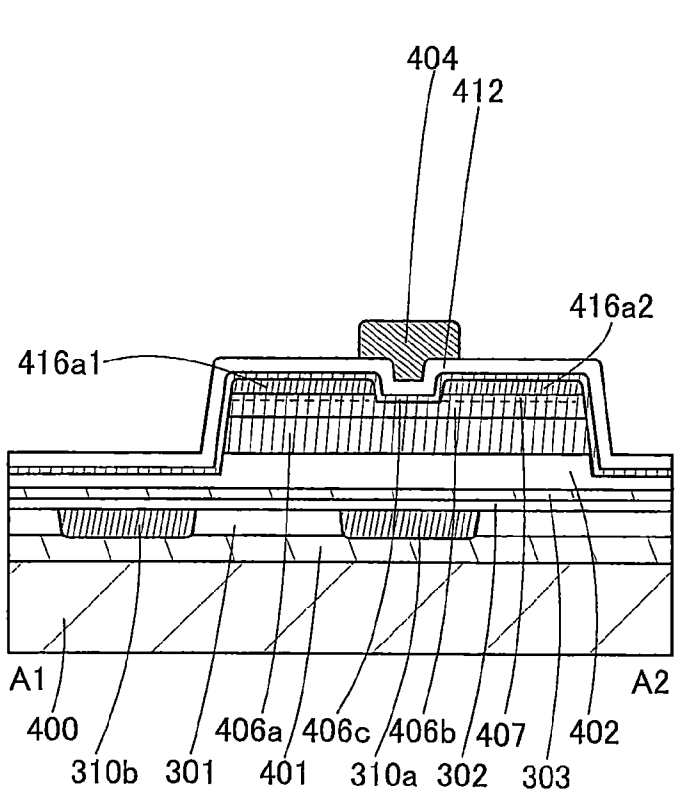
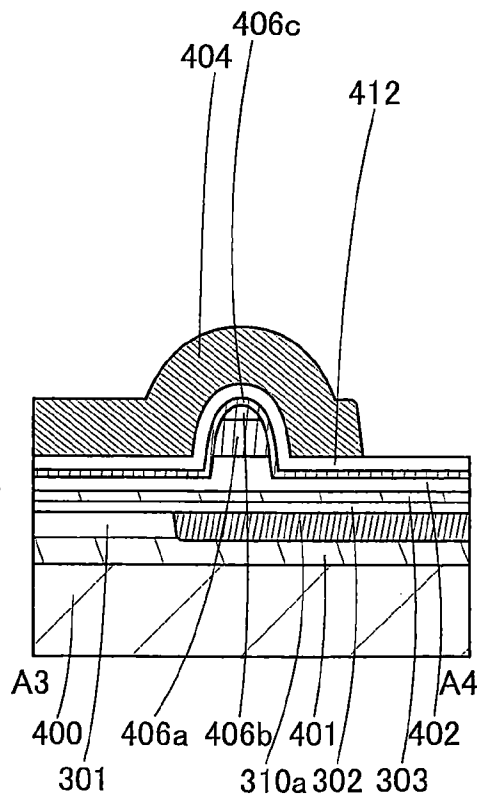


圖 15C



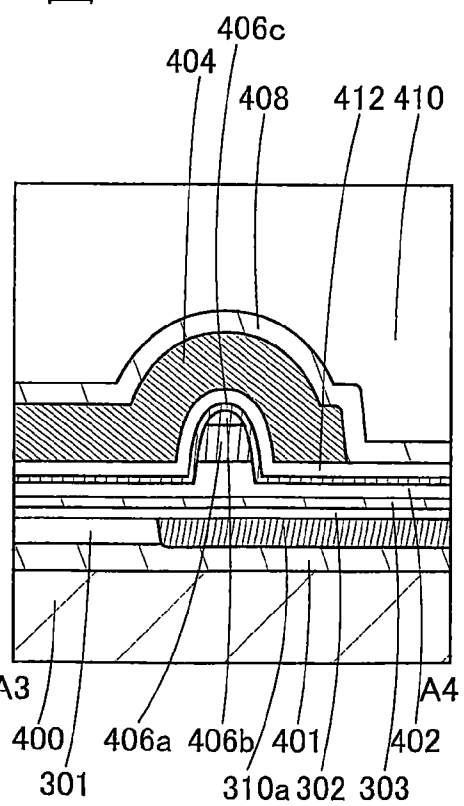


圖 17A

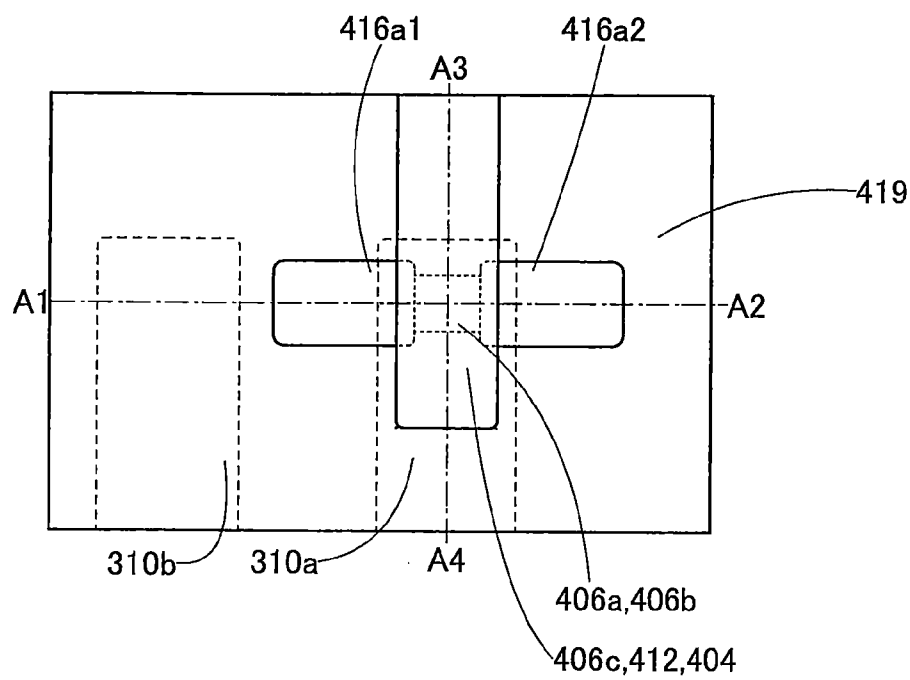


圖 17B

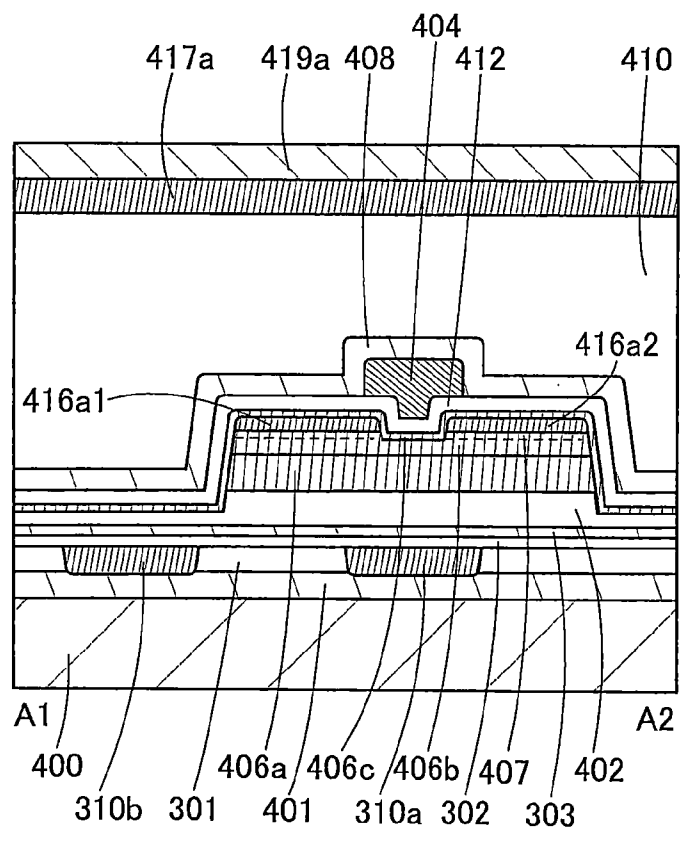


圖 17C

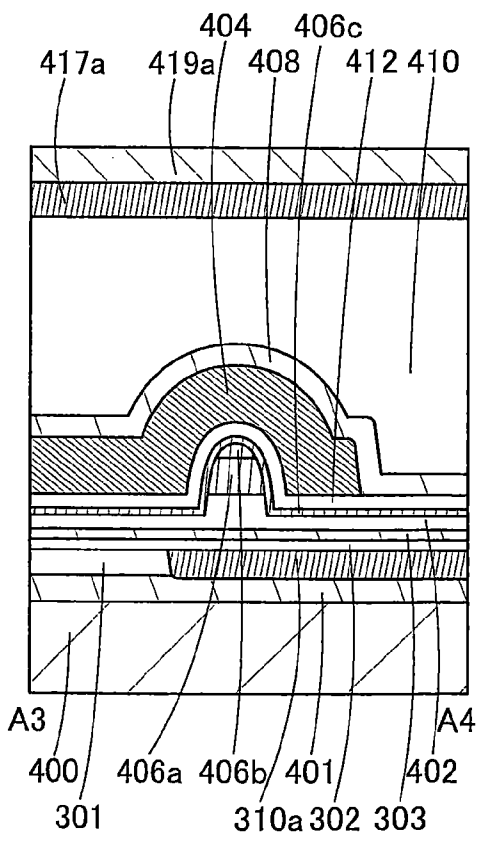


圖 18A

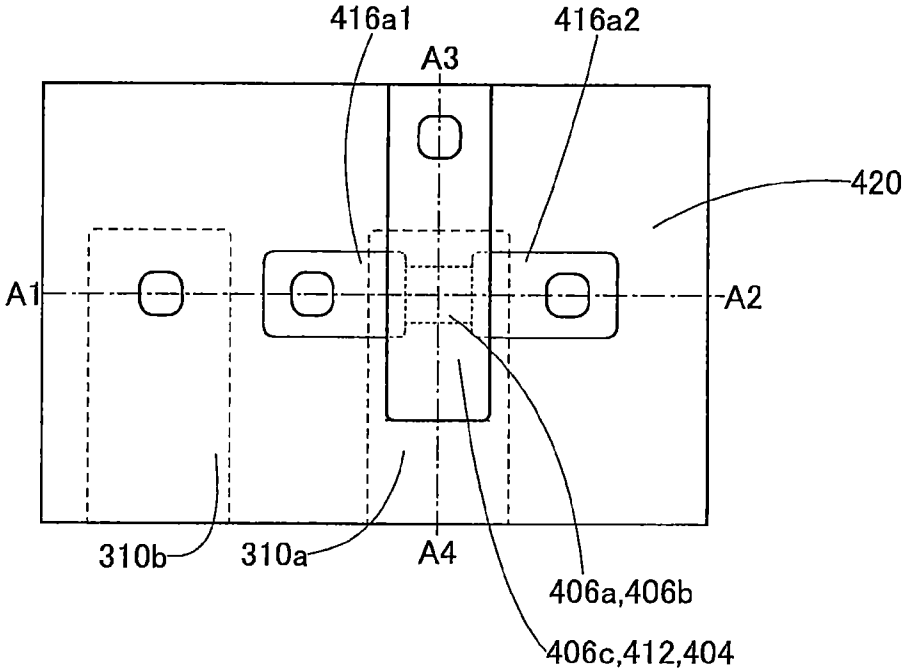


圖 18B

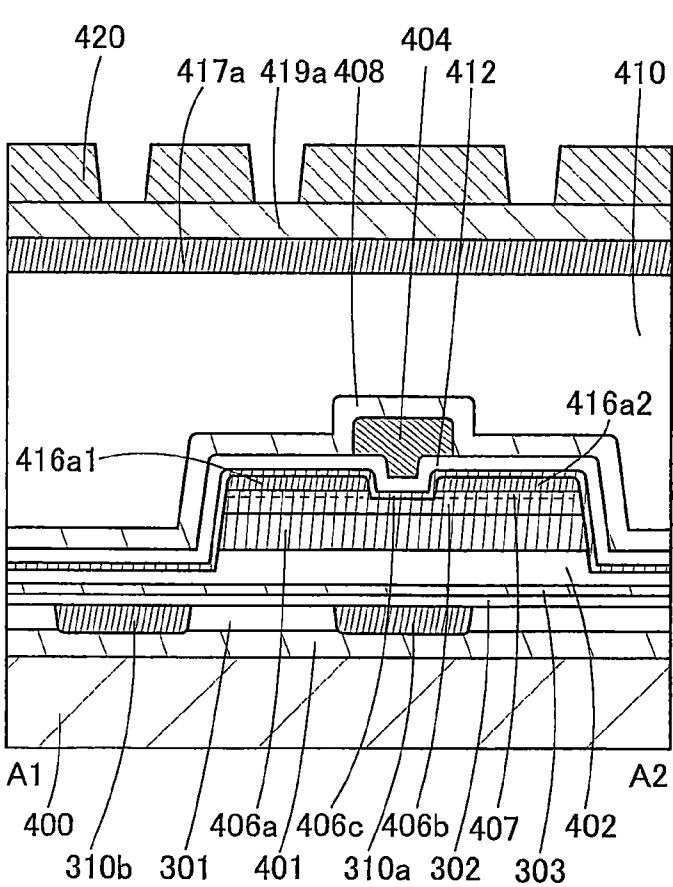


圖 18C

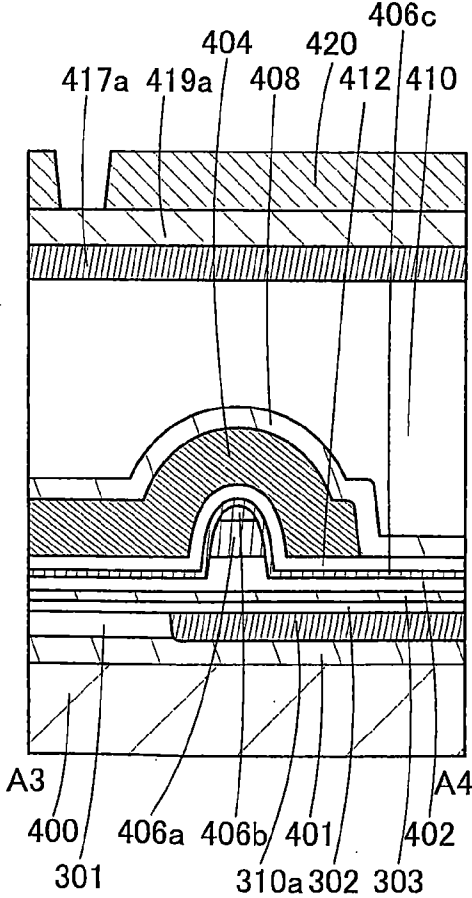


圖 19A

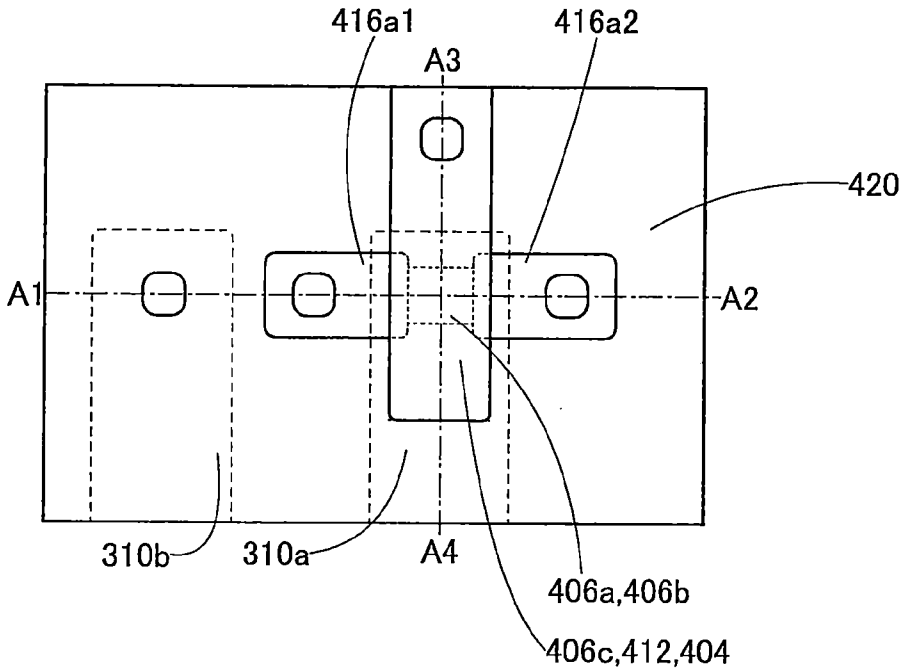


圖 19B

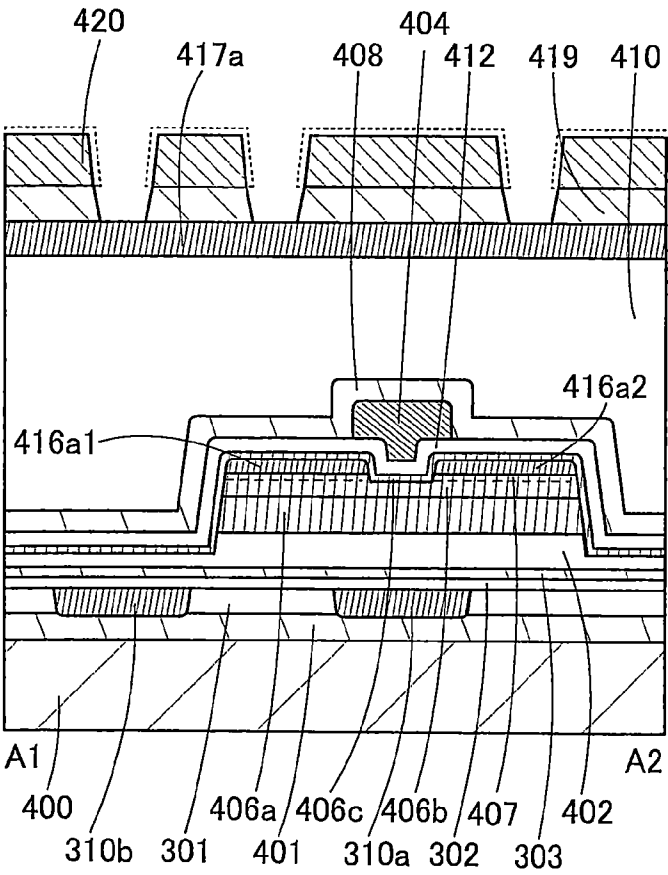
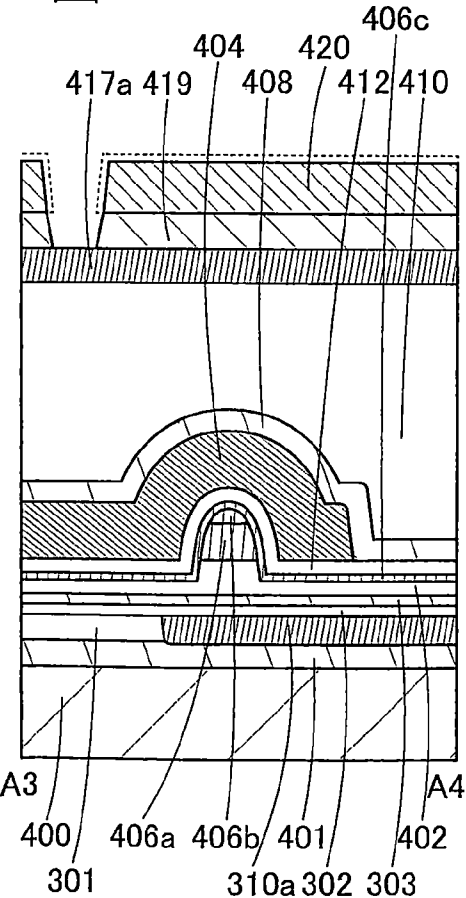


圖 19C



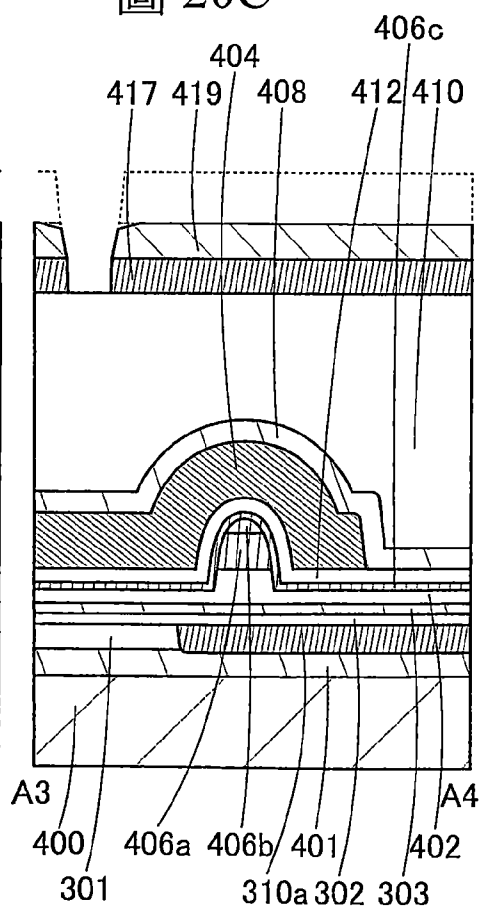


Fig. 10 is a cross-sectional view of a semiconductor device. It shows a substrate with a thin layer 400, a patterned layer 402, and a series of raised structures 404, 408, 412, and 419. The structures are connected by a base layer 416a1 and 416a2. The substrate is labeled A1 and A2. Other labels include 310b, 301, 401, 310a, 302, 303, 406a, 406c, 406b, 407, and 420.

圖 23A

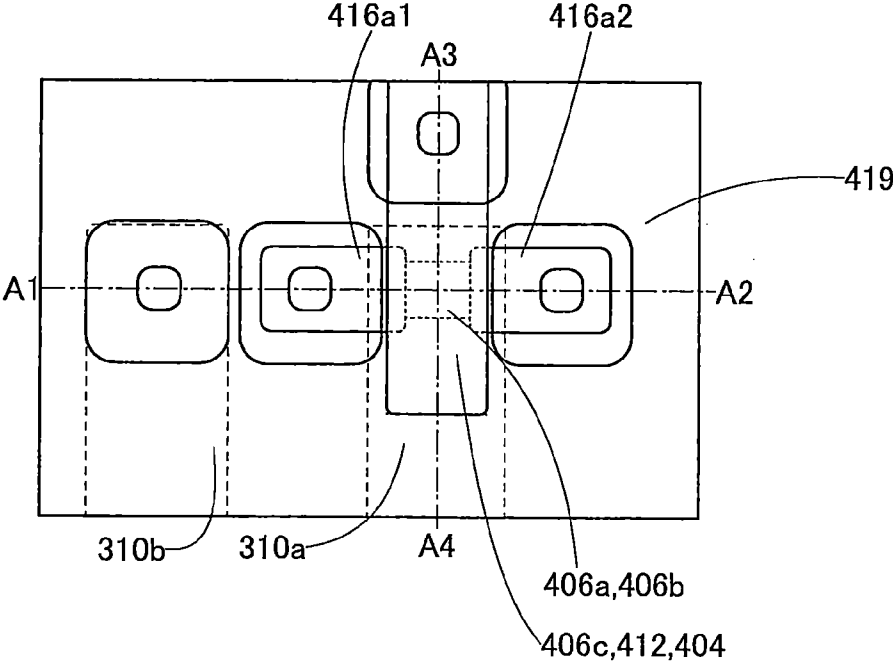


圖 23B

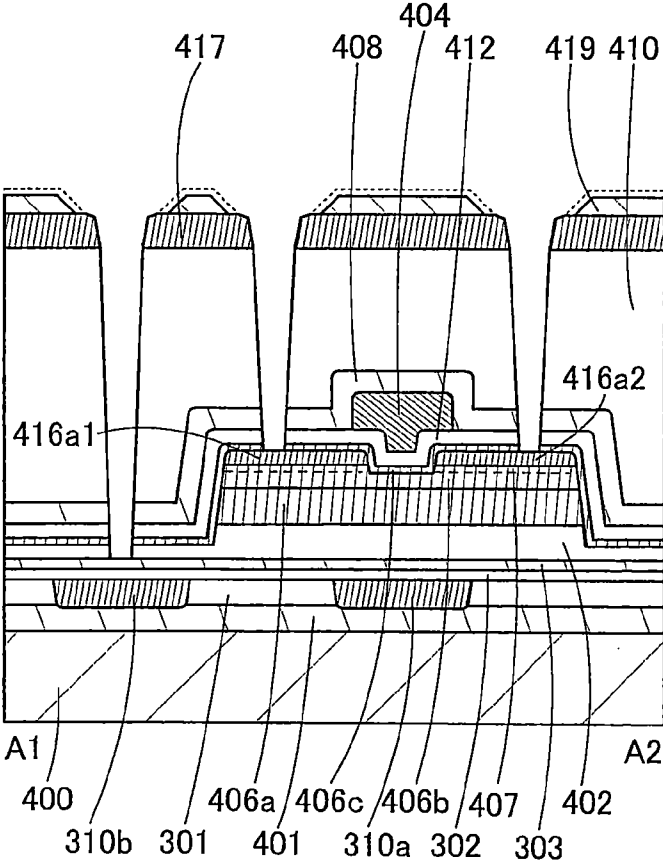


圖 23C

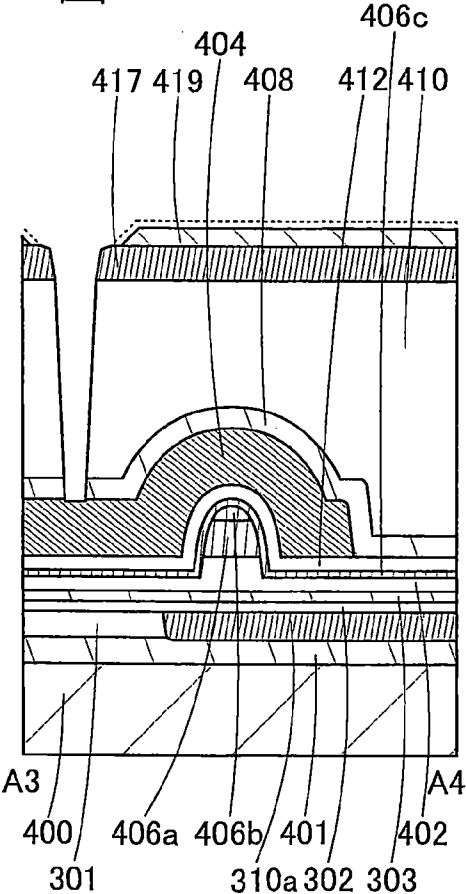


圖 24A

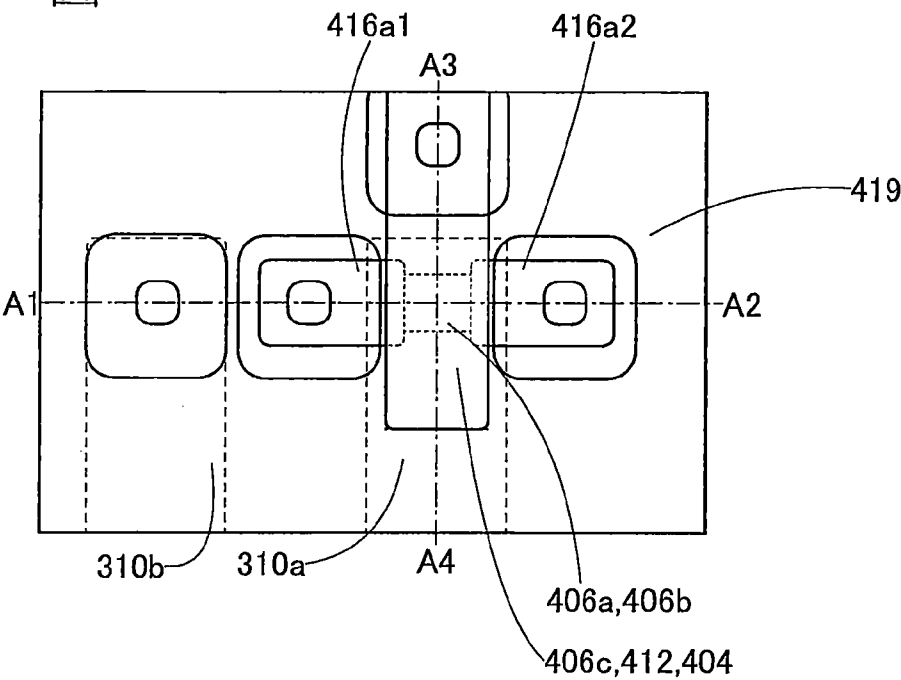


圖 24B

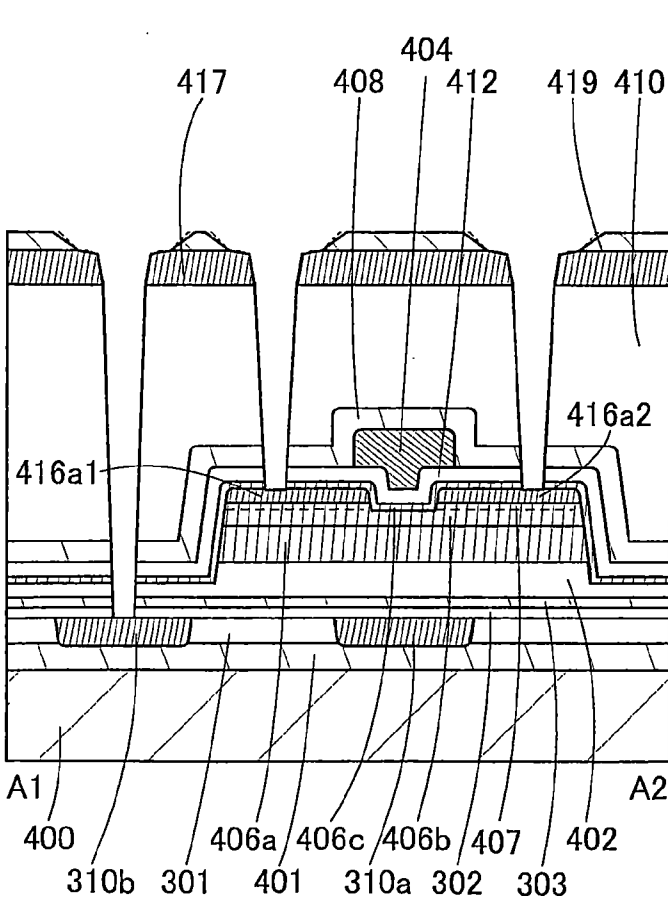
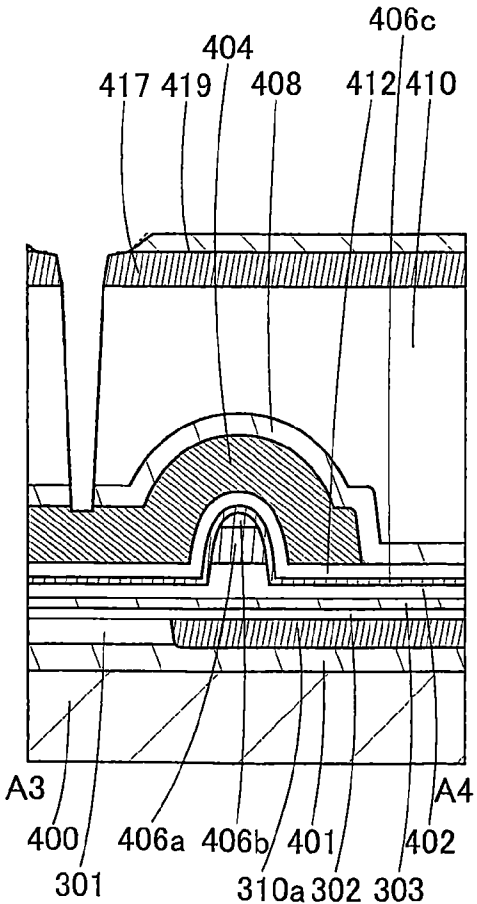
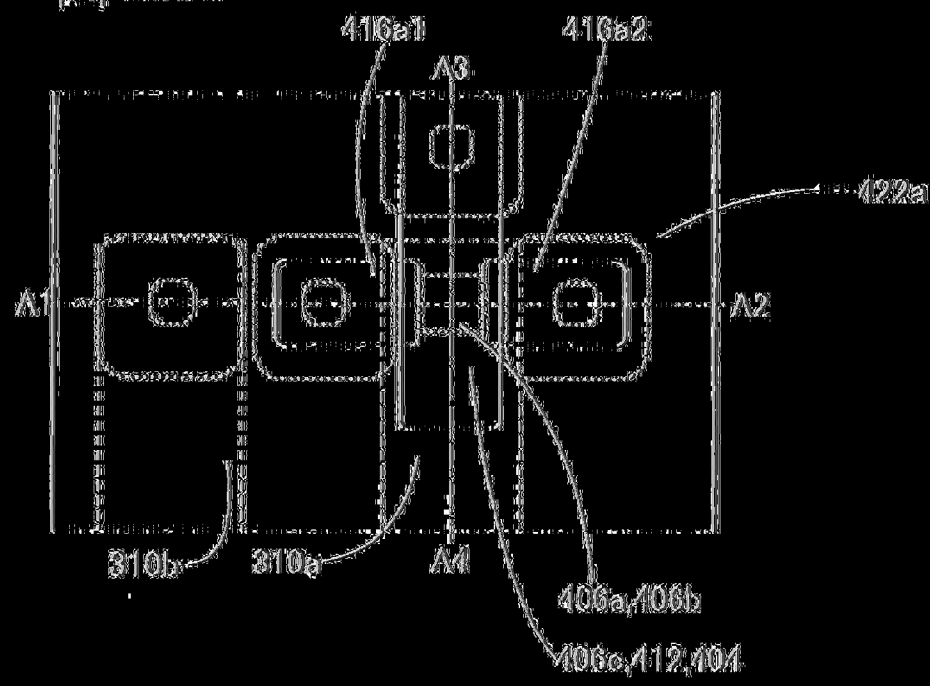


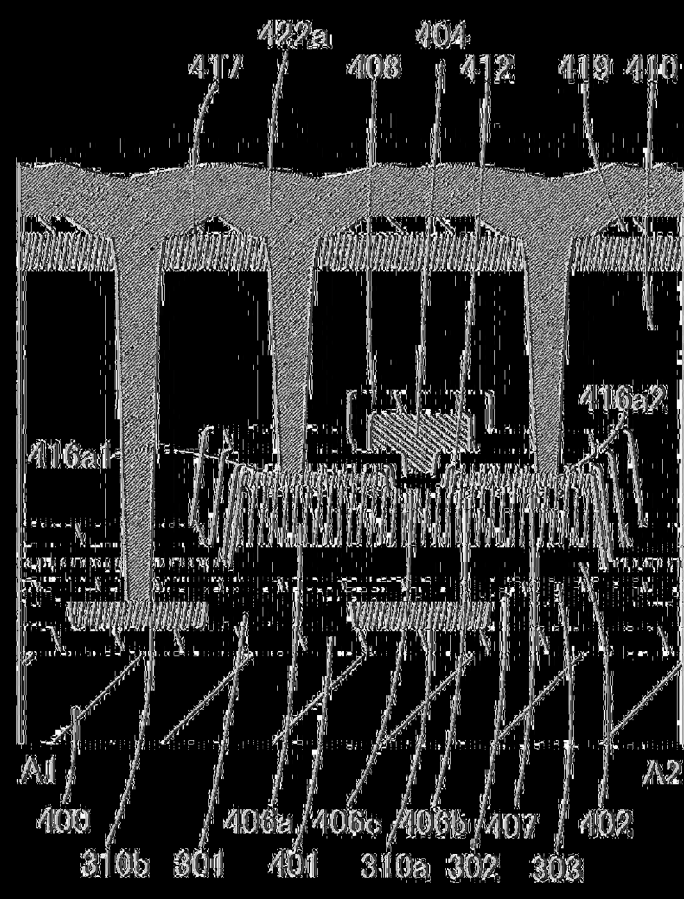
圖 24C



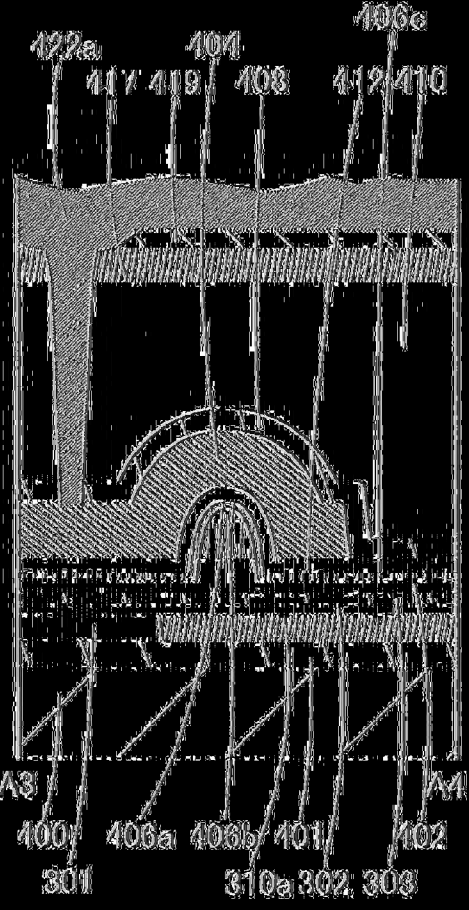
25A

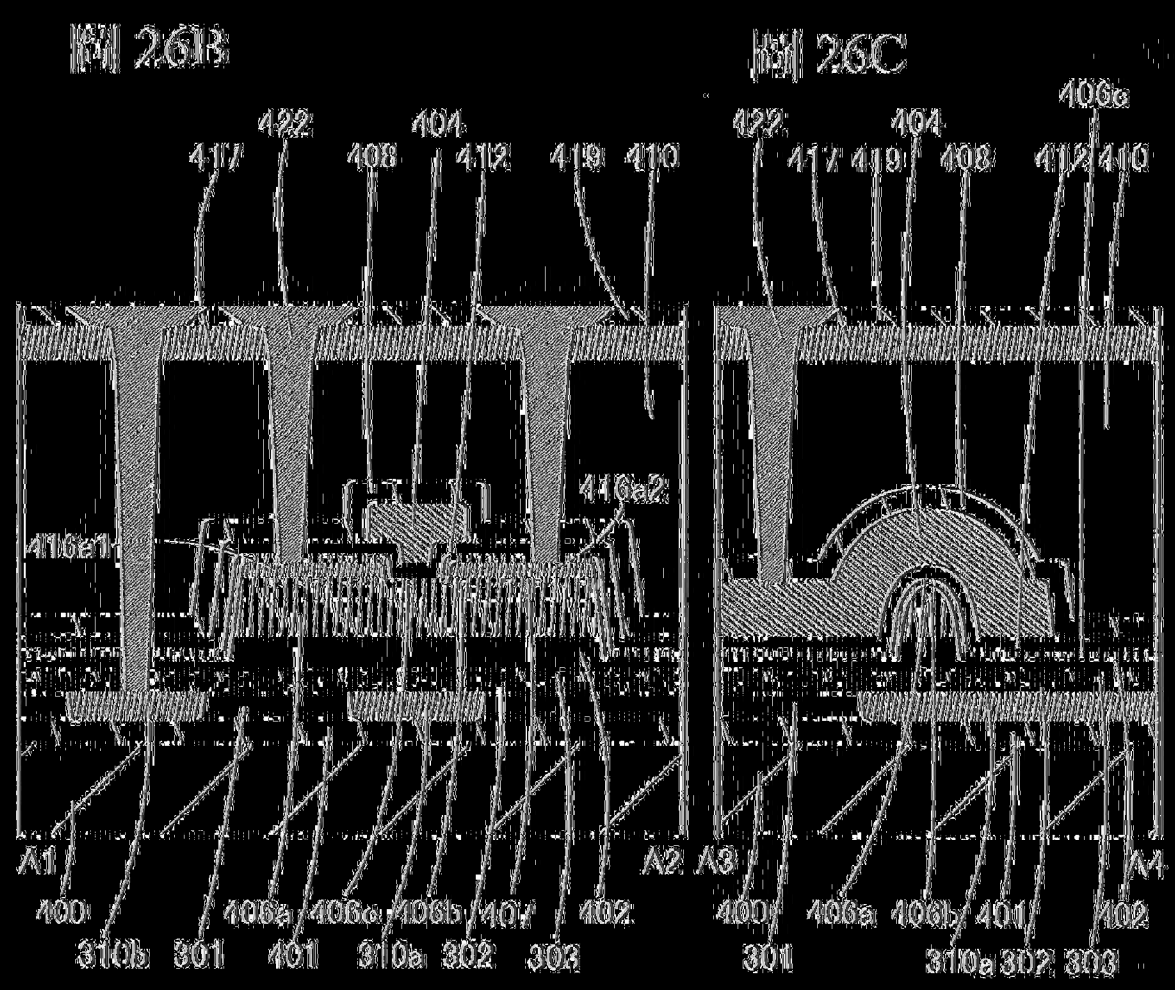
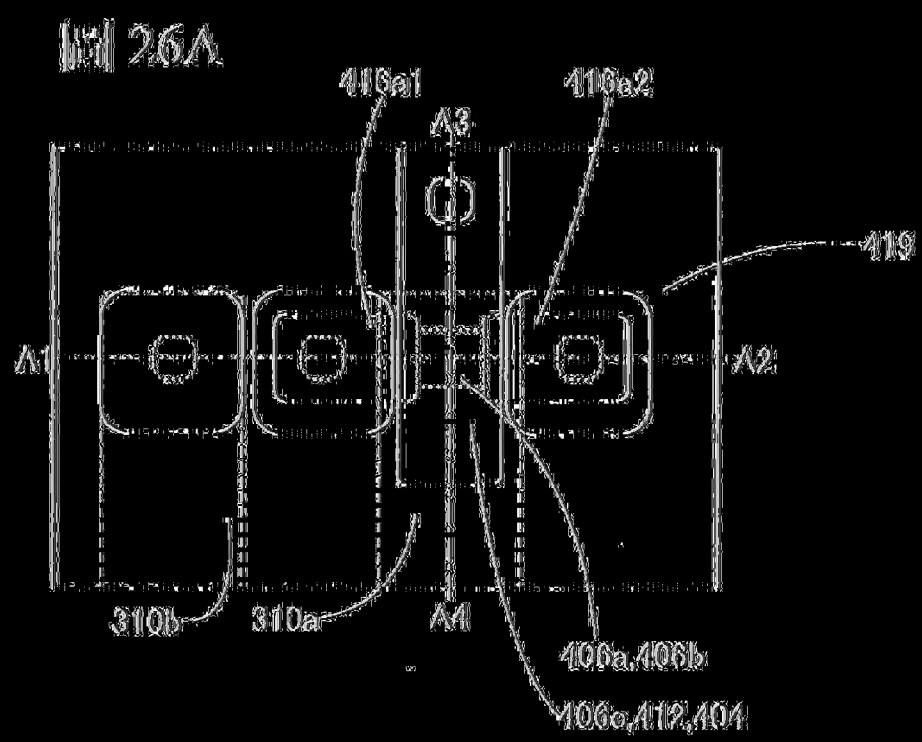


25B

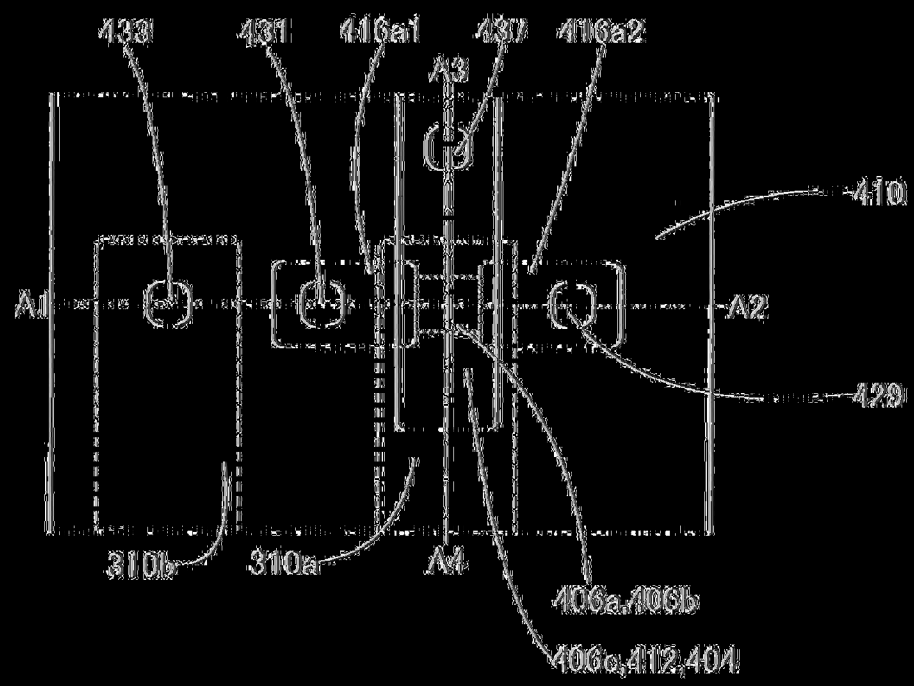


25C

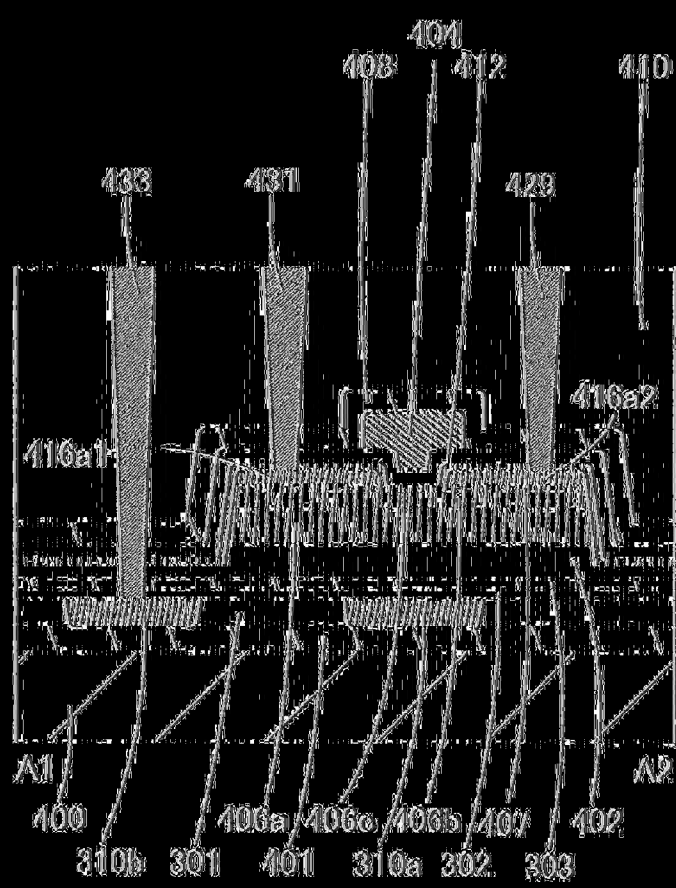




27A



27B



27C

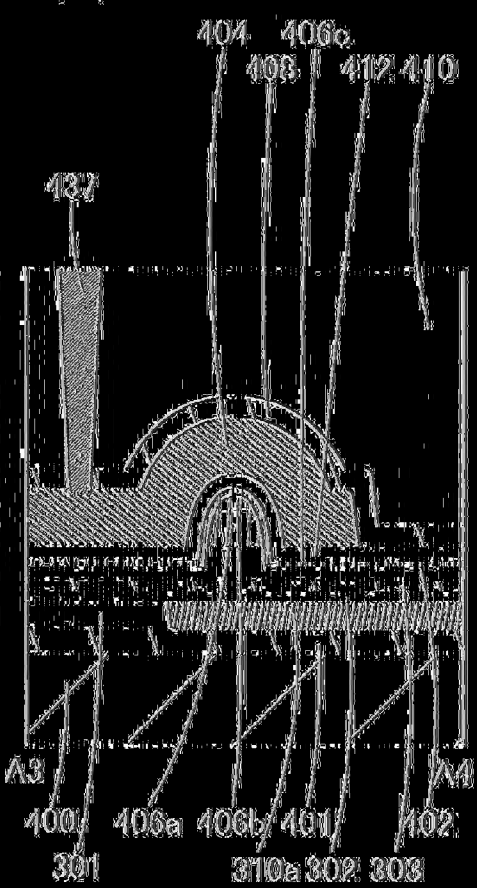


圖 28A

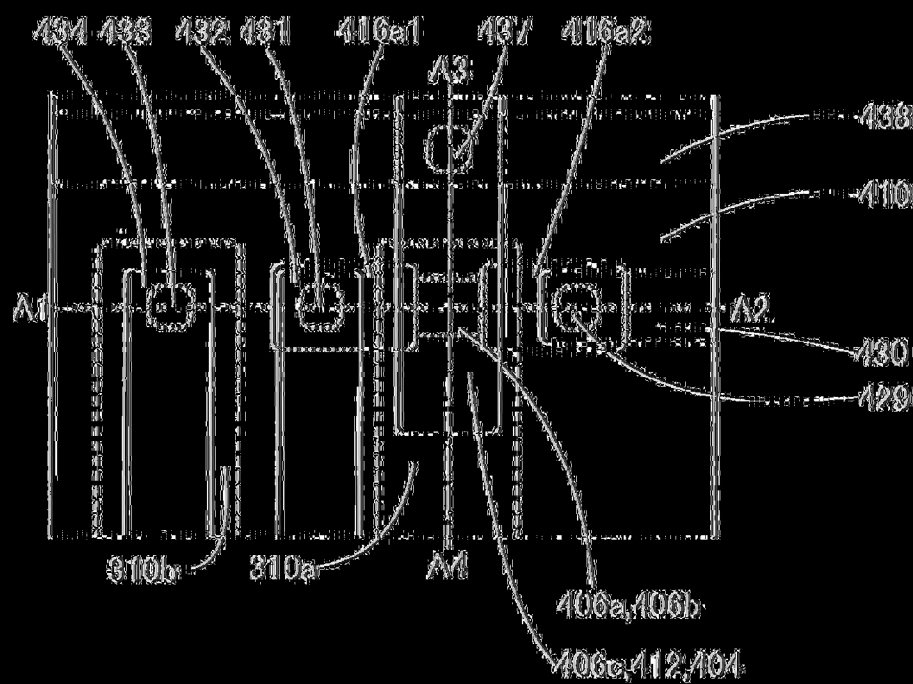


圖 28B

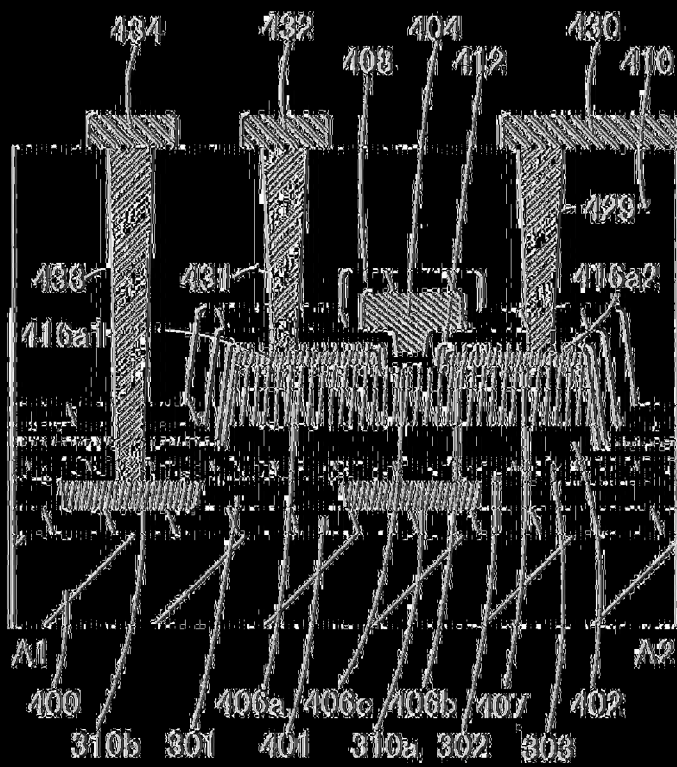


圖 28C

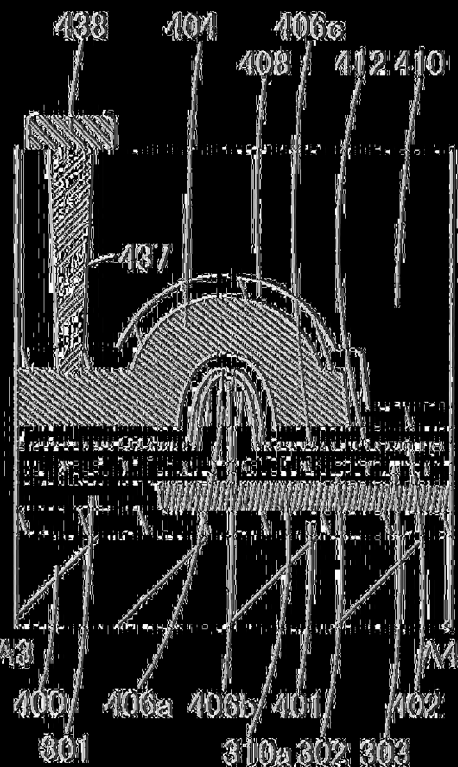


圖 29A

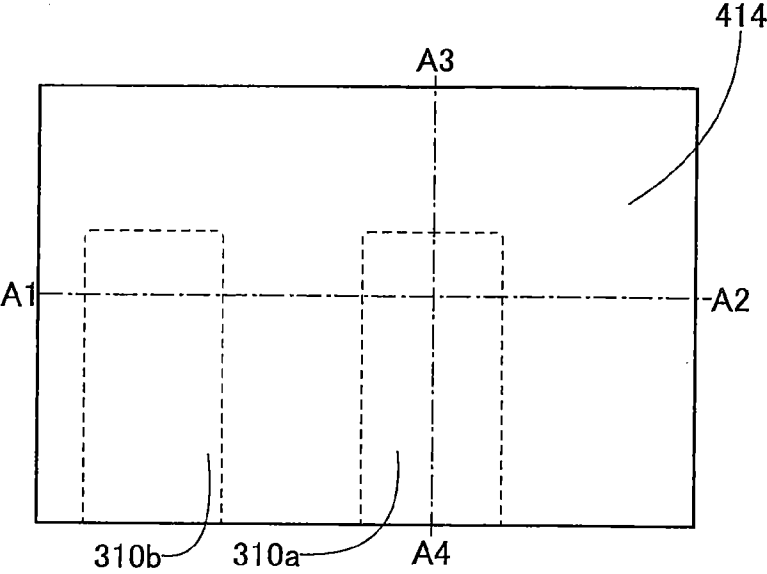


圖 29B

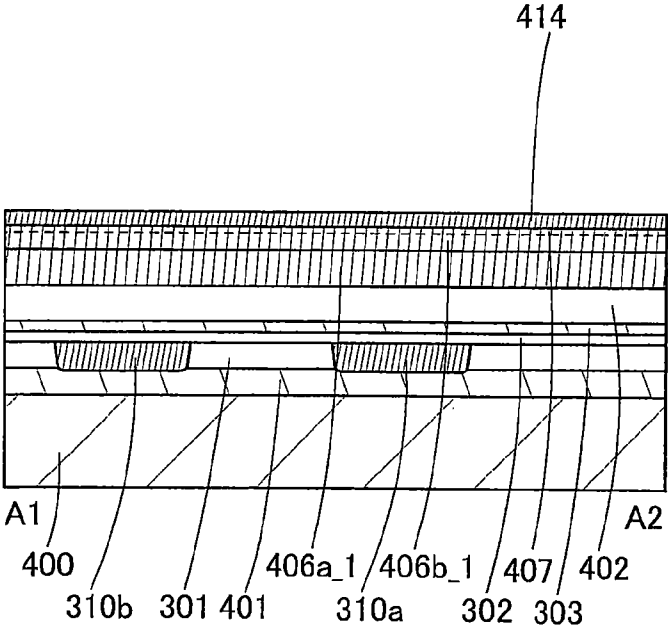


圖 29C

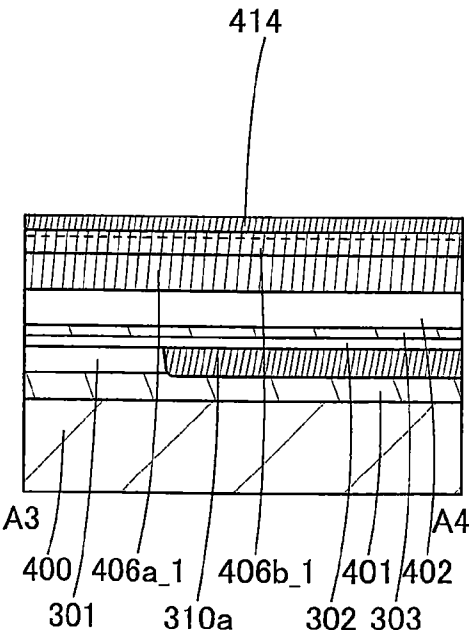


圖 30A

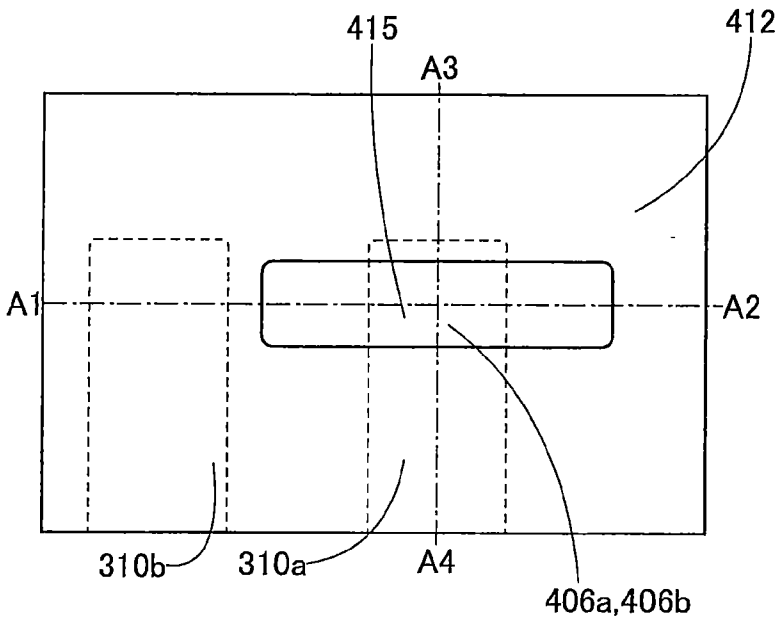


圖 30B

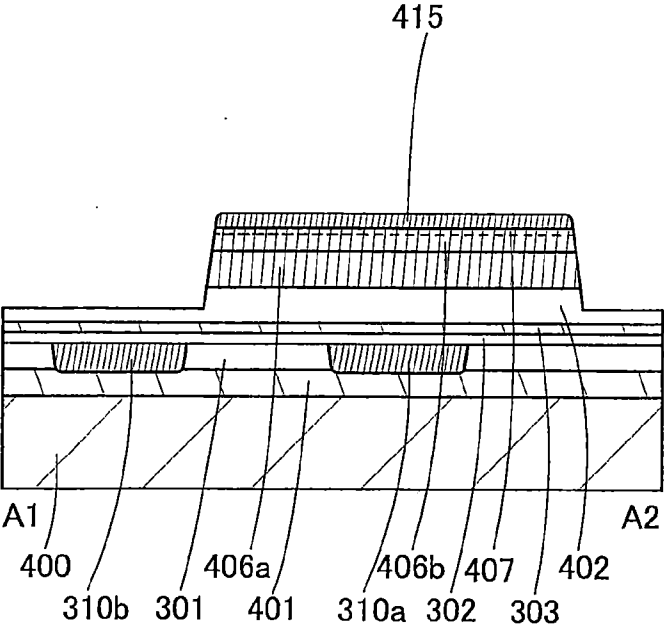


圖 30C

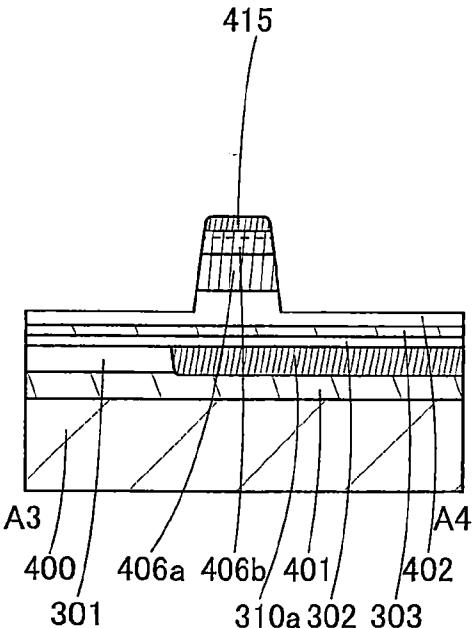


圖 31A

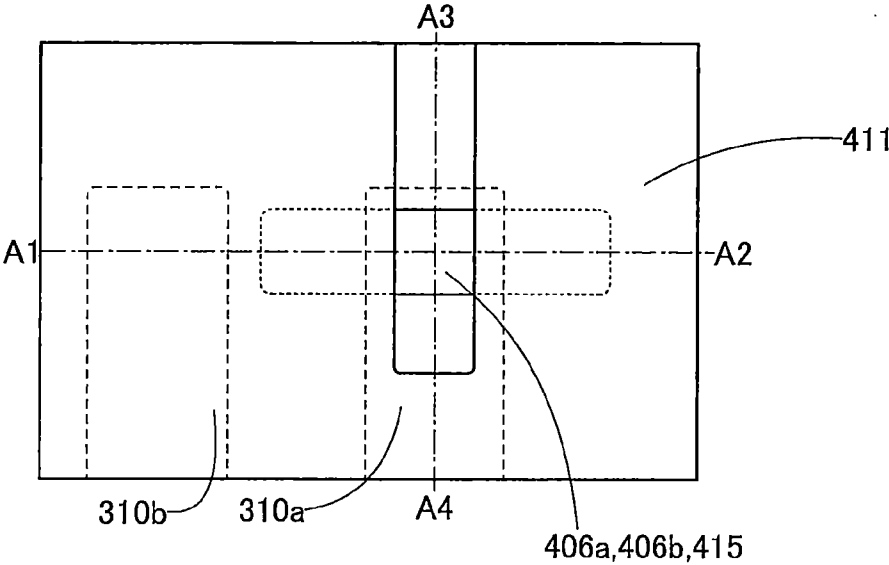


圖 31B

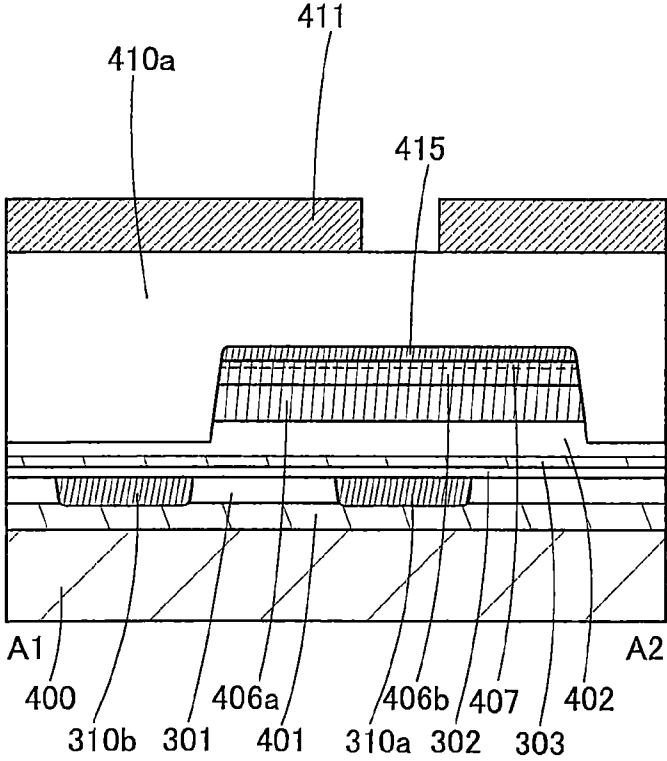


圖 31C

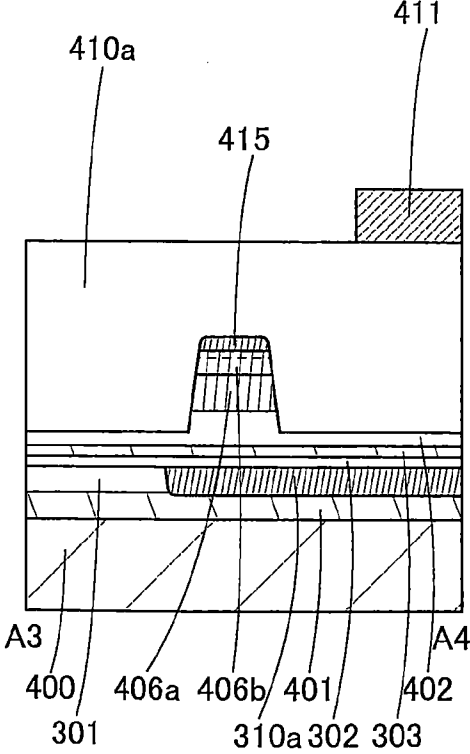


圖 32A

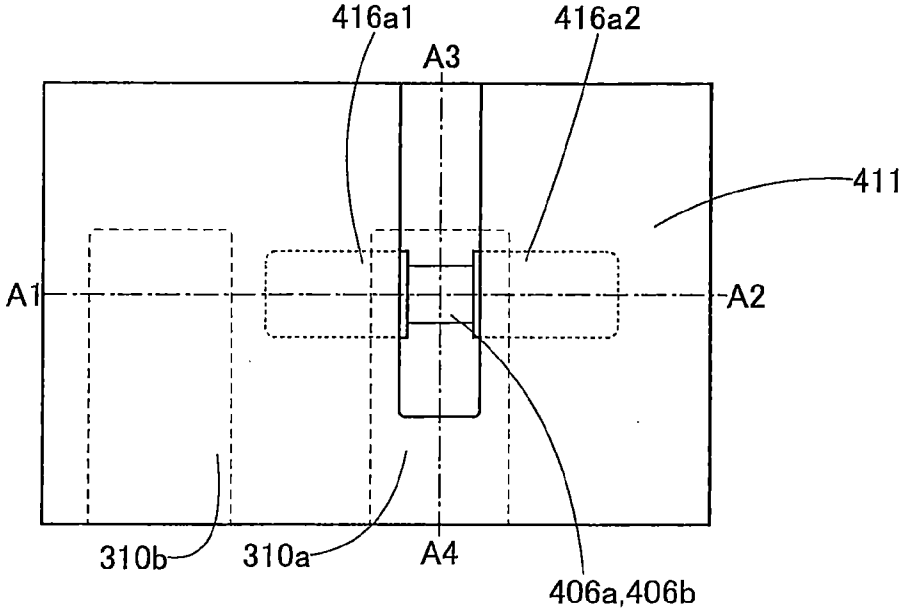


圖 32B

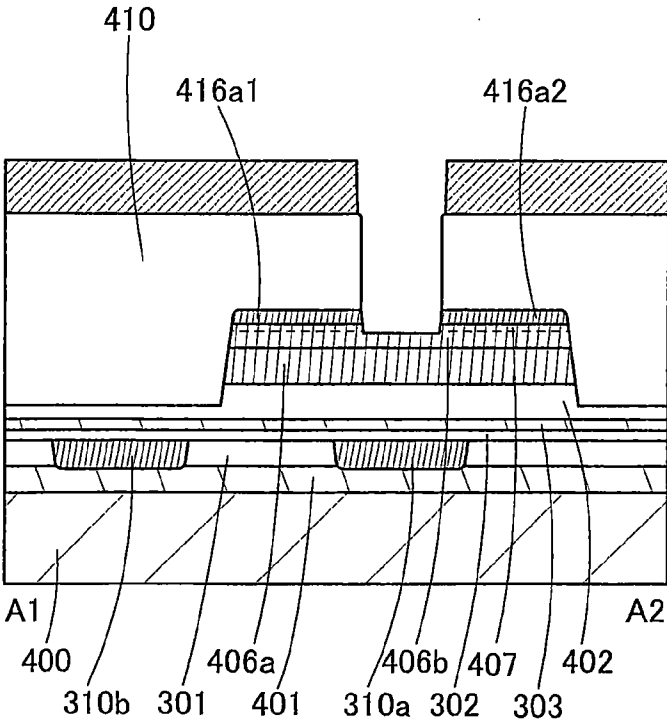


圖 32C

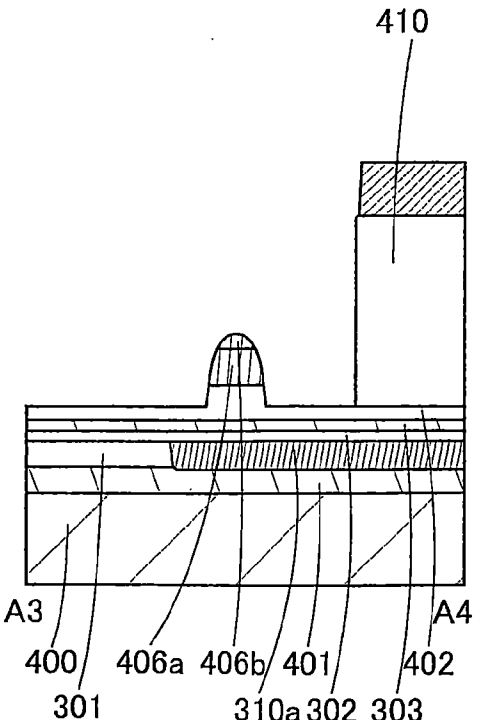


圖 33A

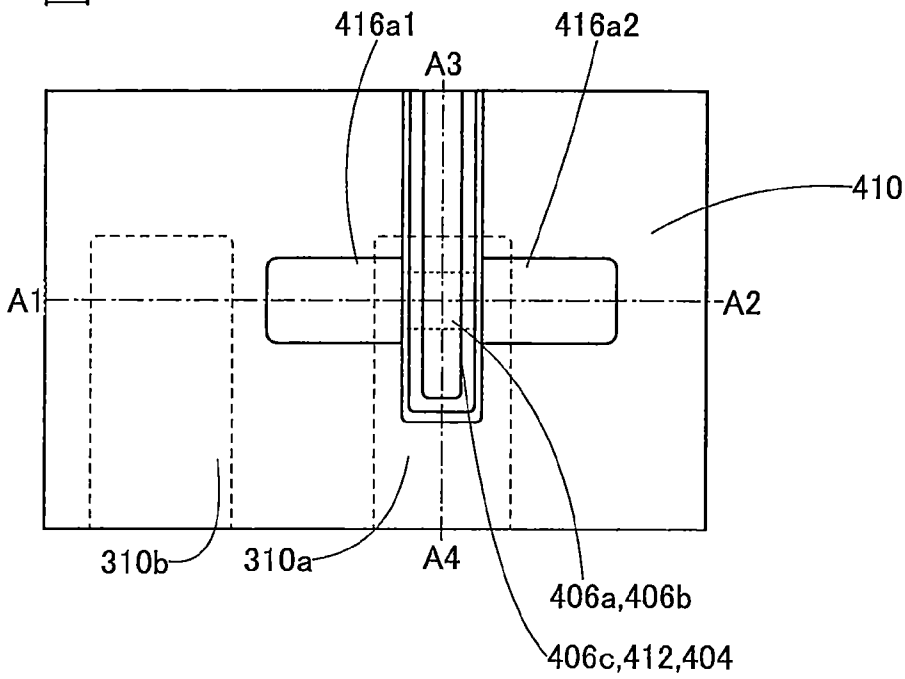


圖 33B

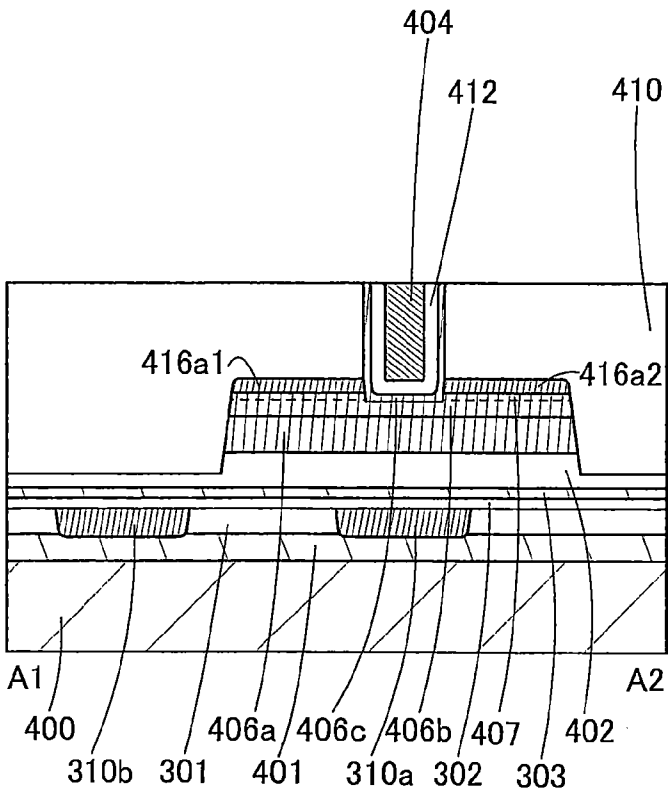


圖 33C

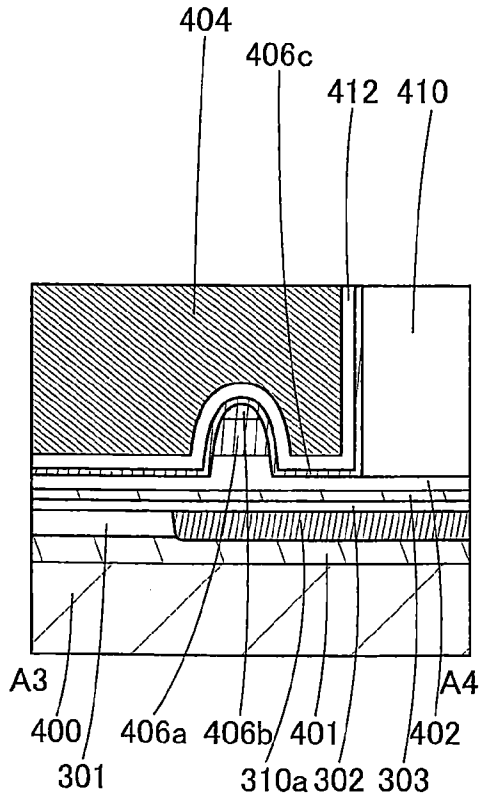


圖 34A

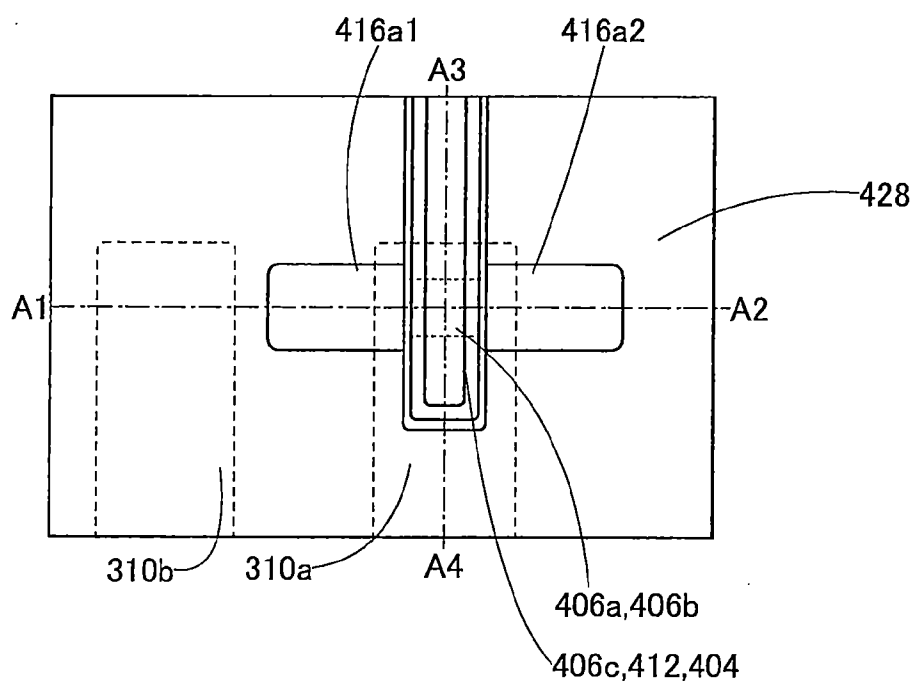


圖 34B

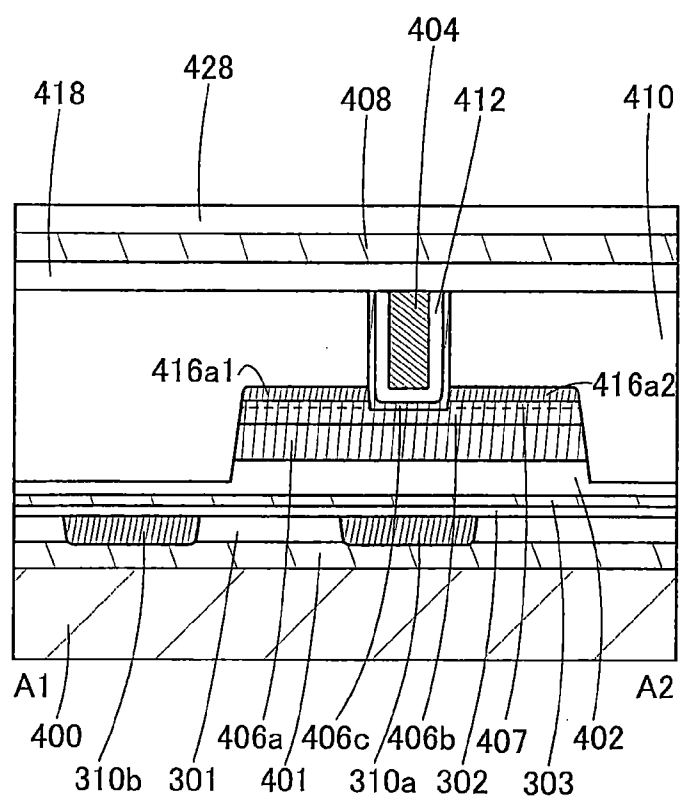


圖 34C

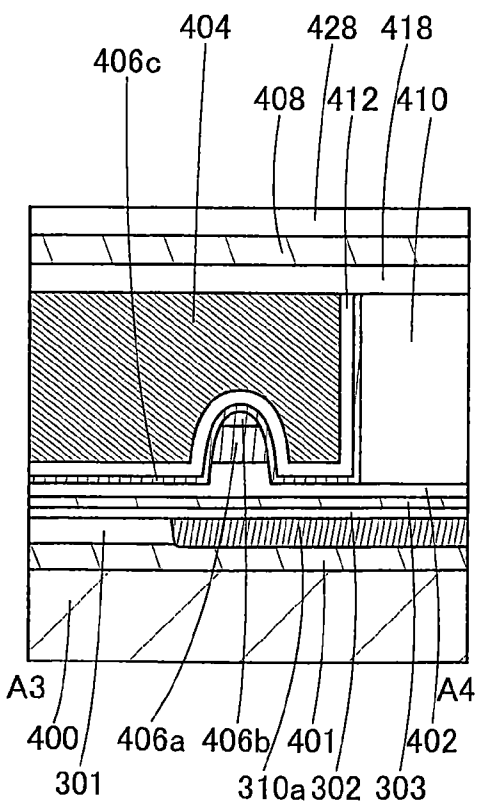


圖 35A

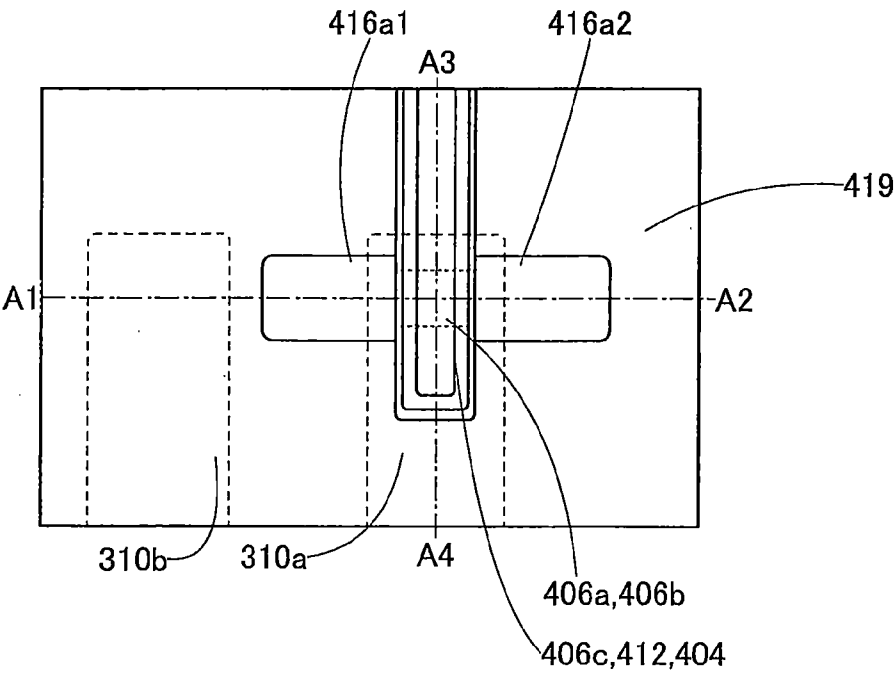


圖 35B

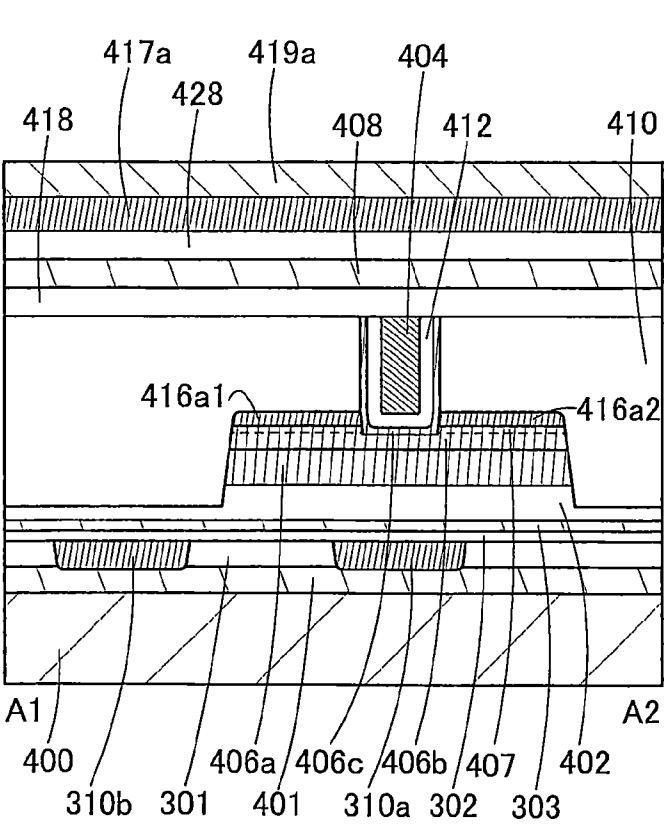
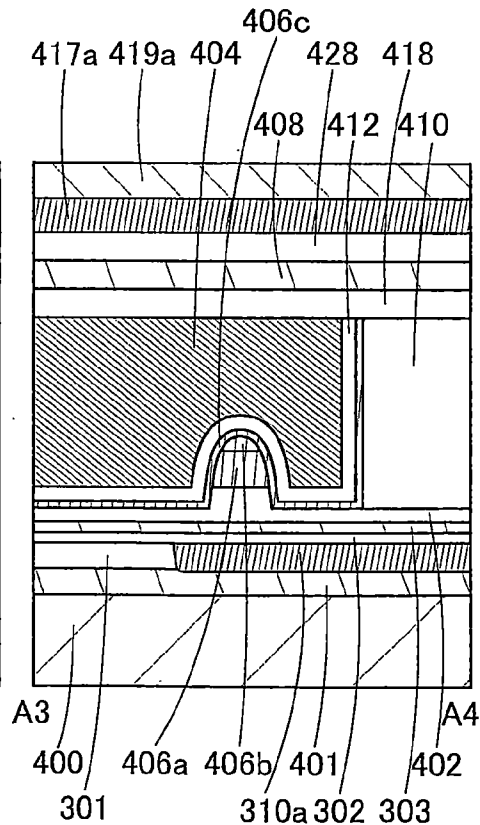


圖 35C



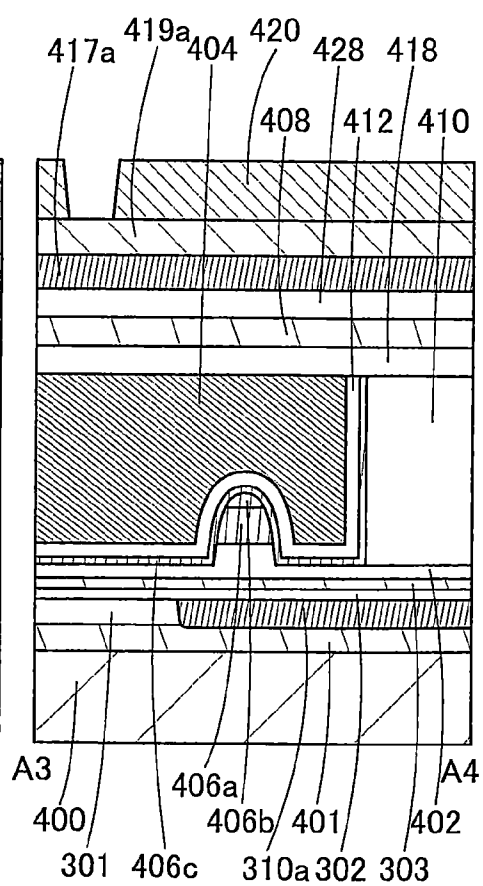


圖 37A

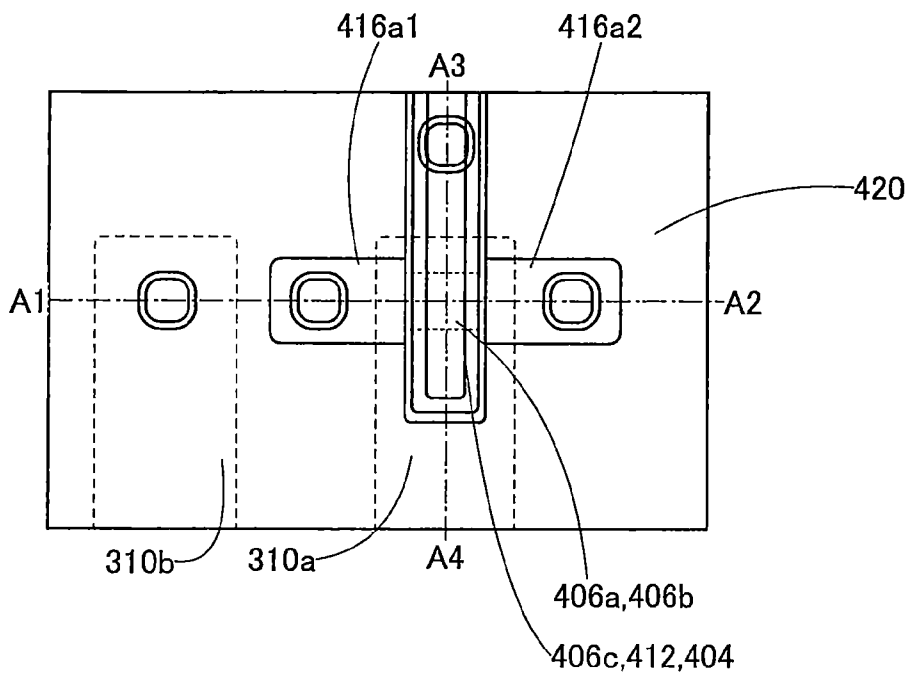


圖 37B

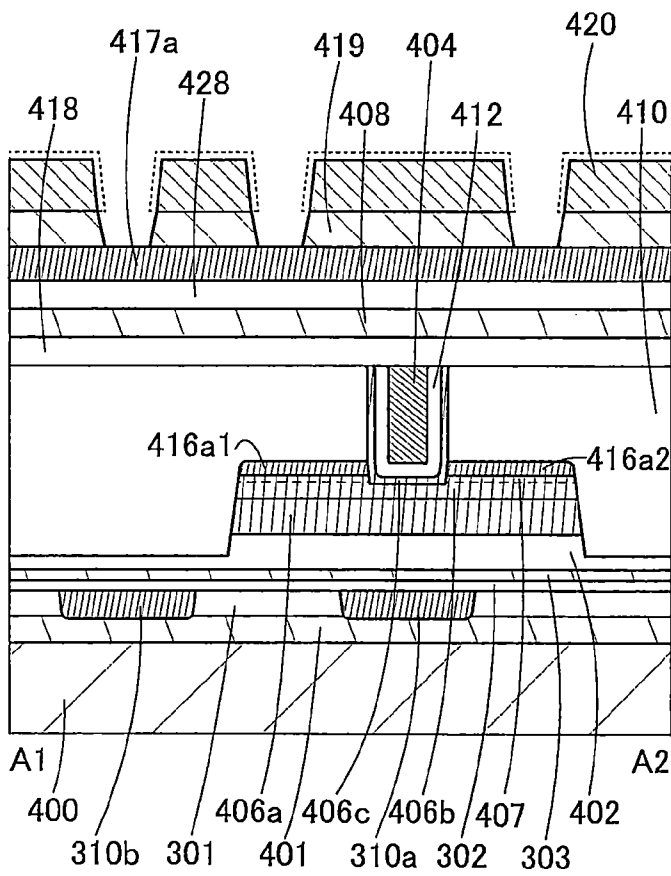


圖 37C

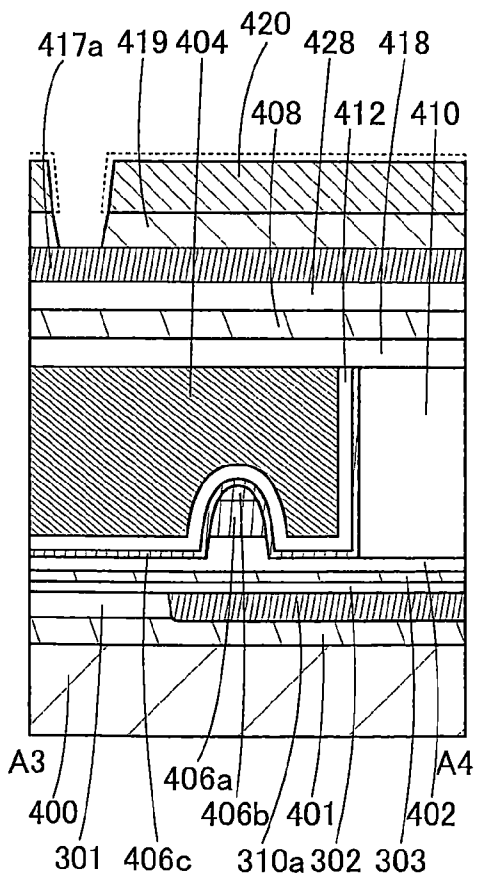


圖 38A

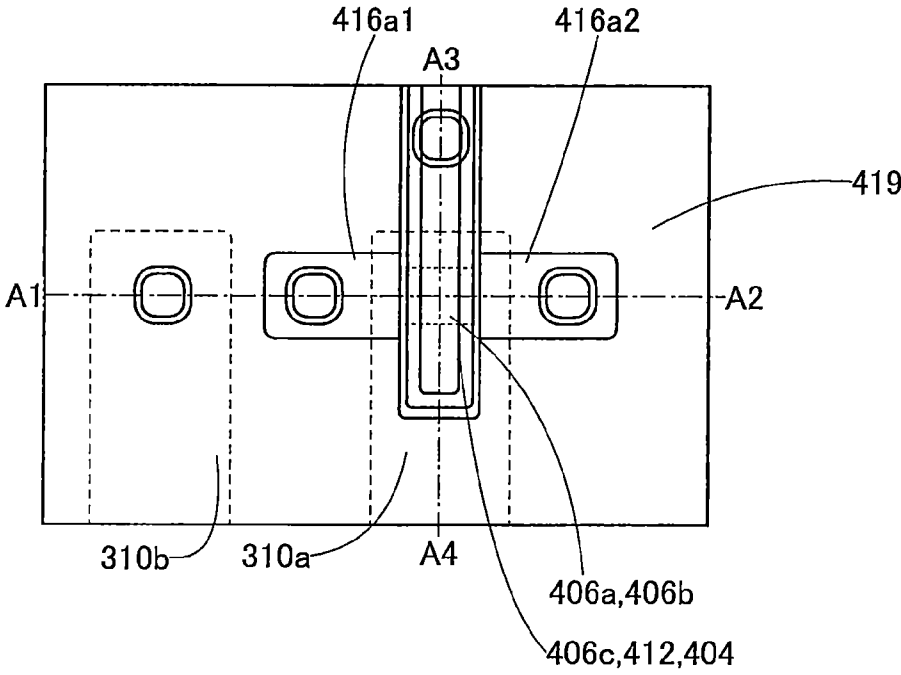


圖 38B

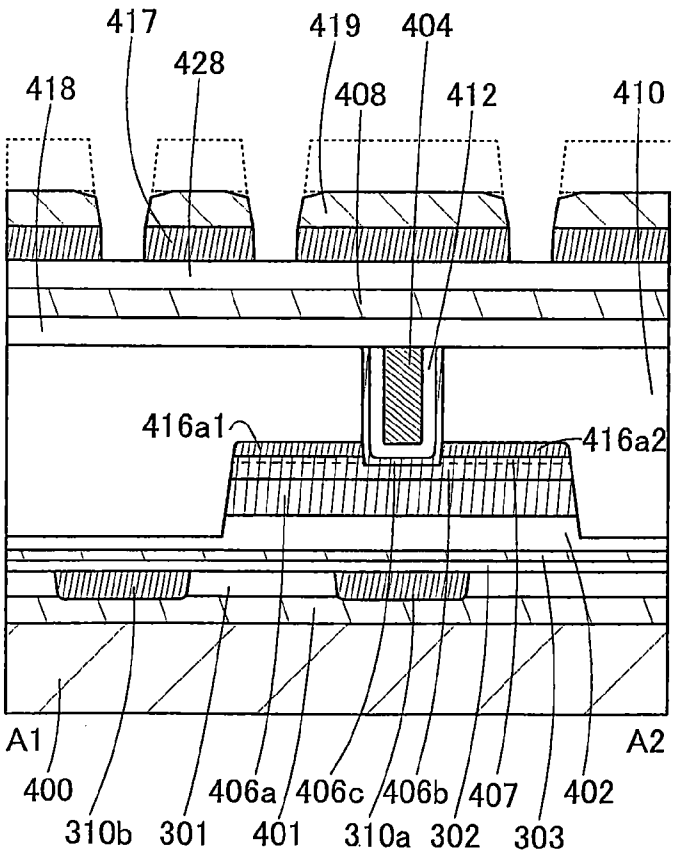


圖 38C

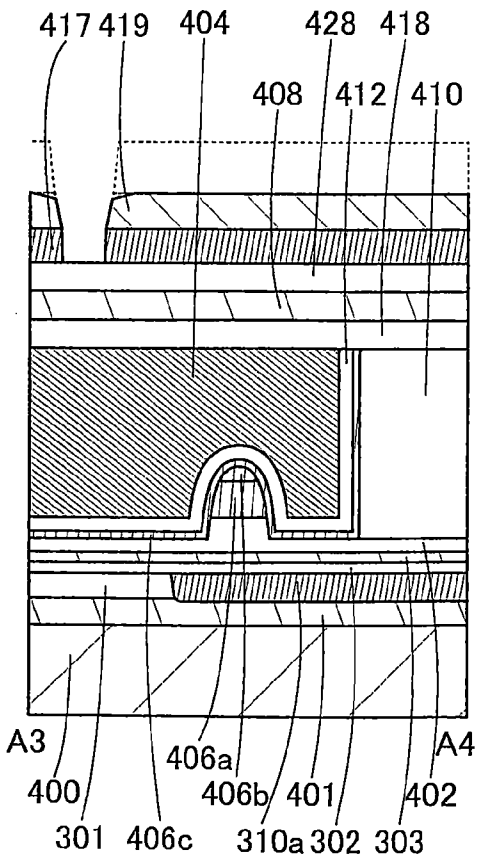


圖 39A

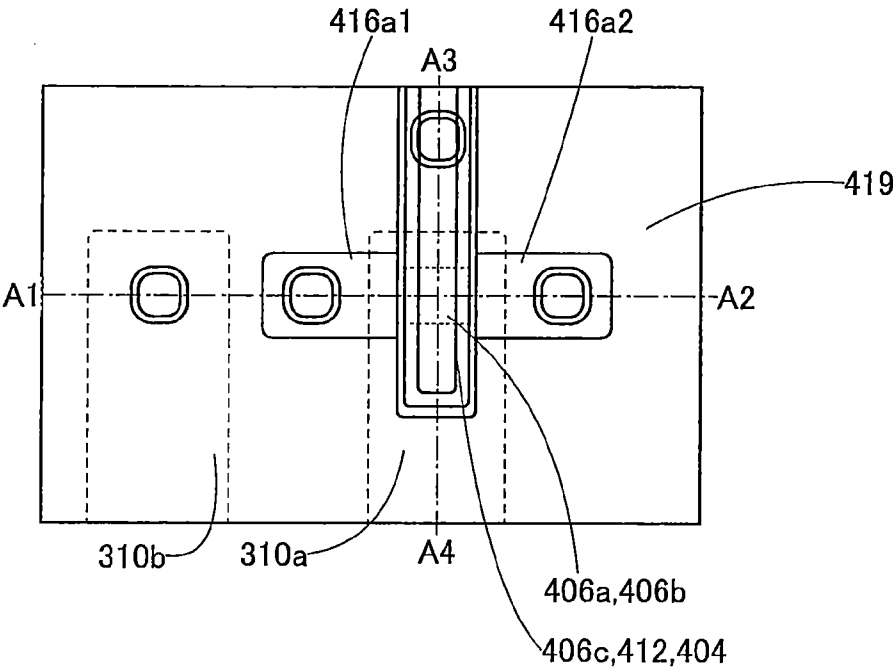


圖 39B

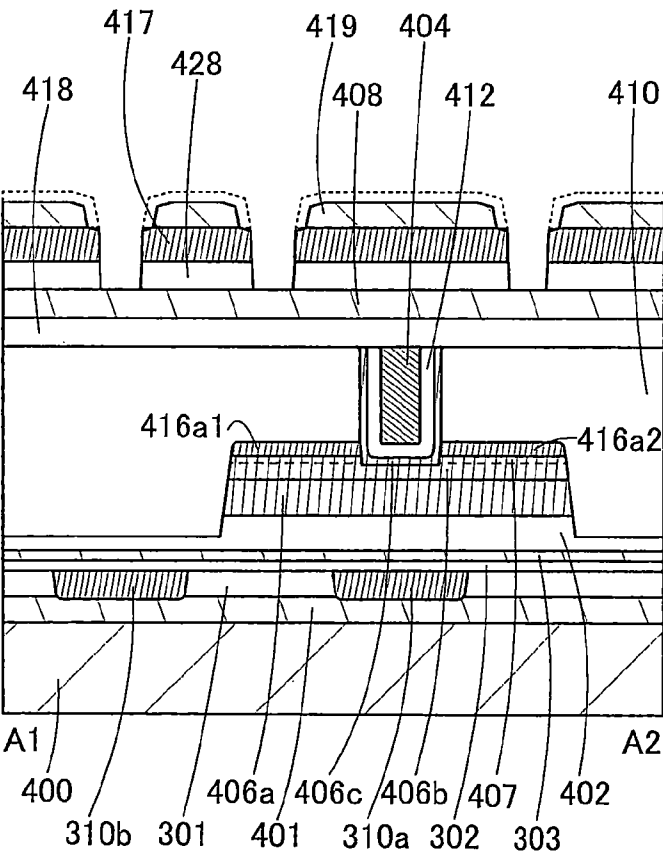


圖 39C

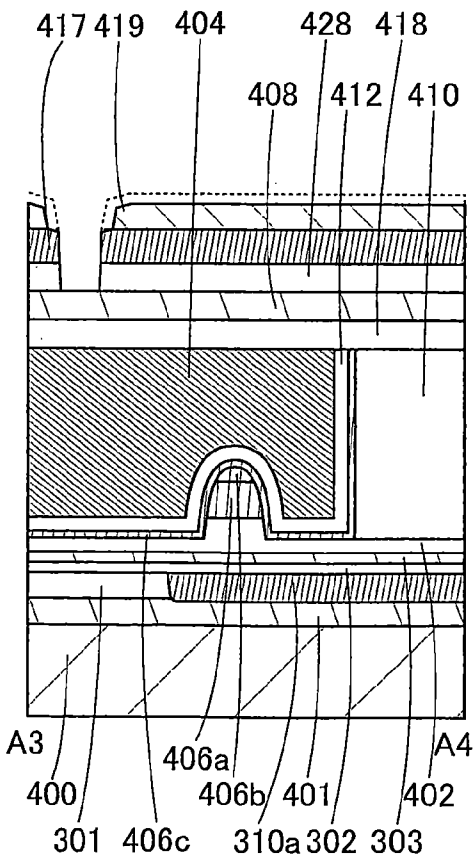


圖 40A

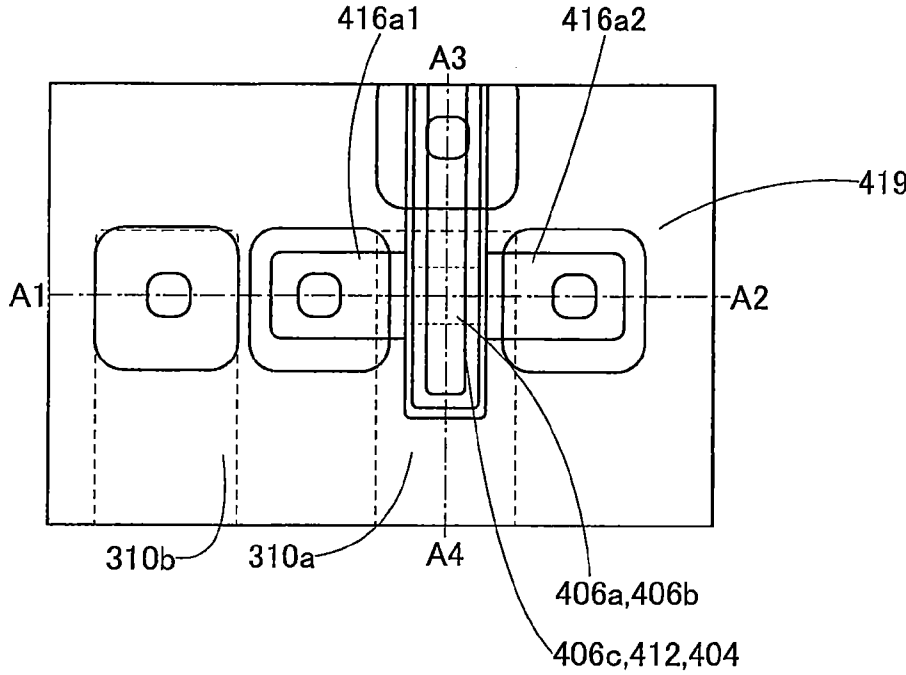


圖 40B

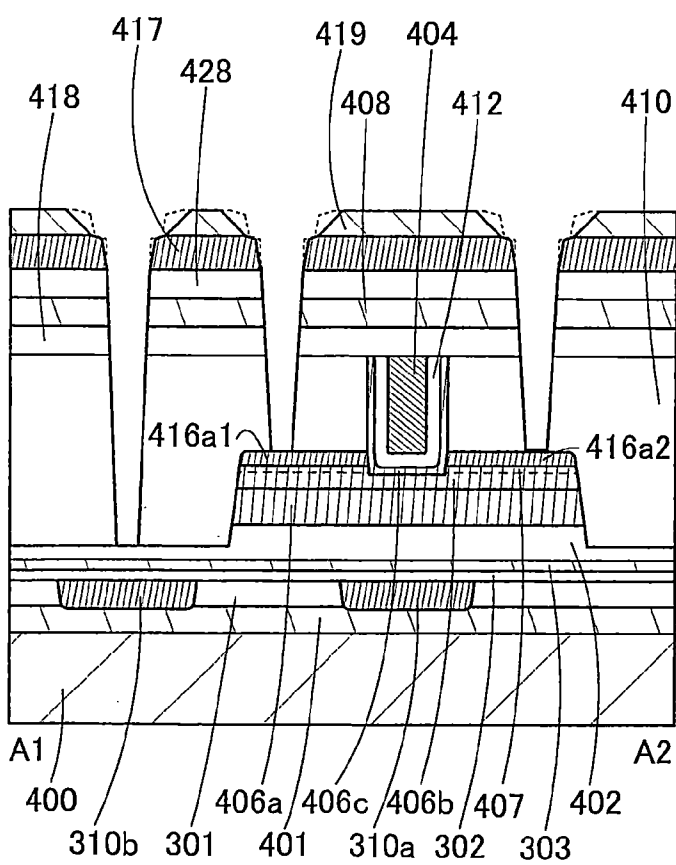


圖 40C

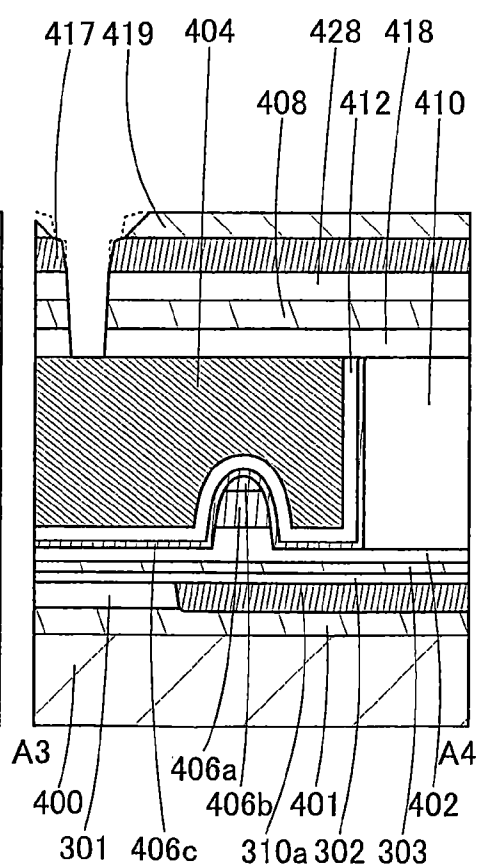


圖 41A

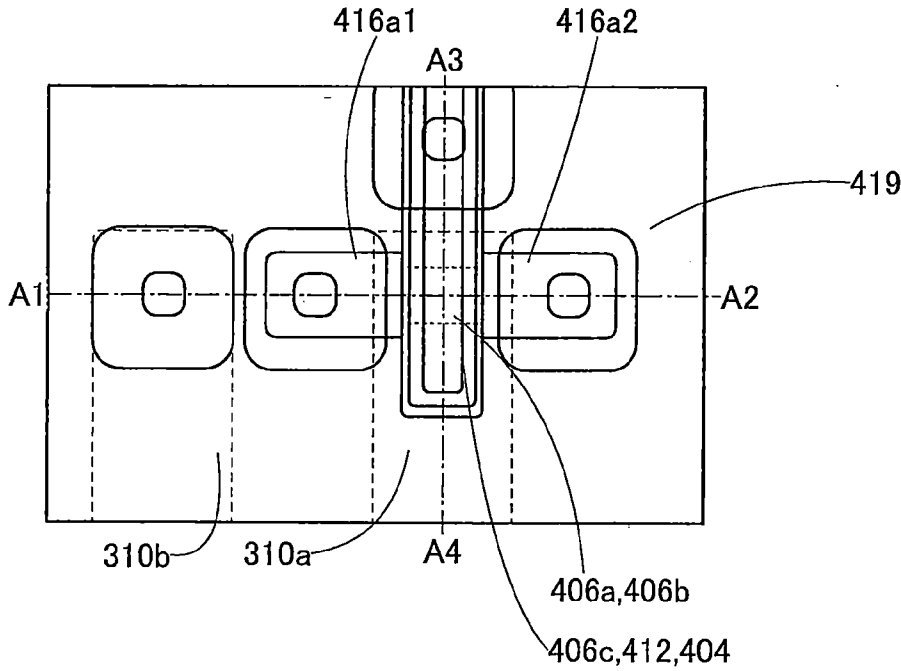


圖 41B

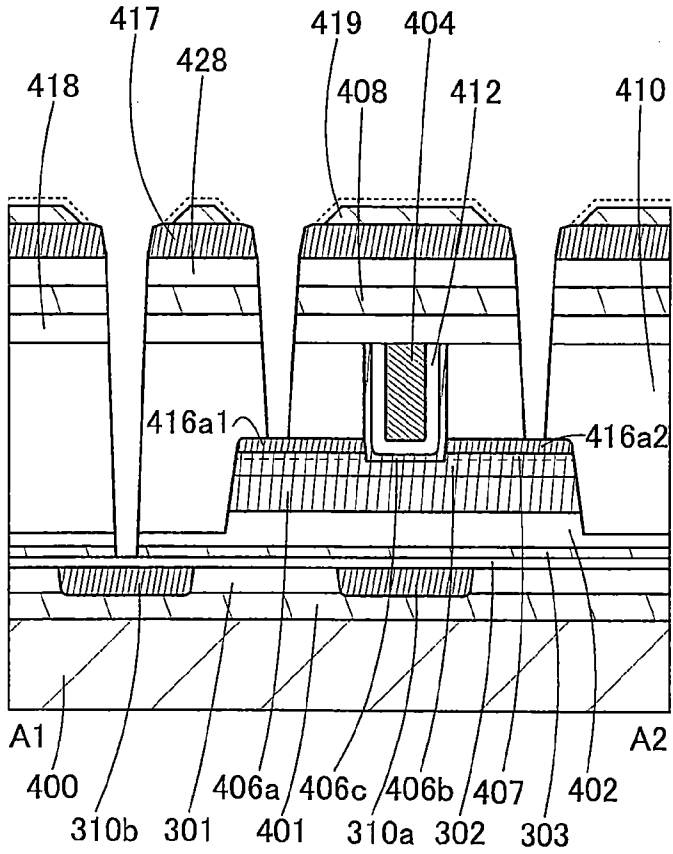


圖 41C

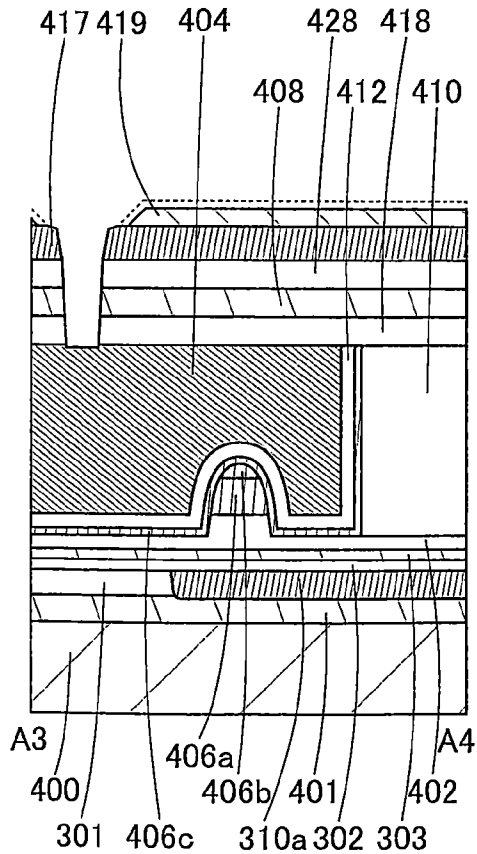


圖 42A

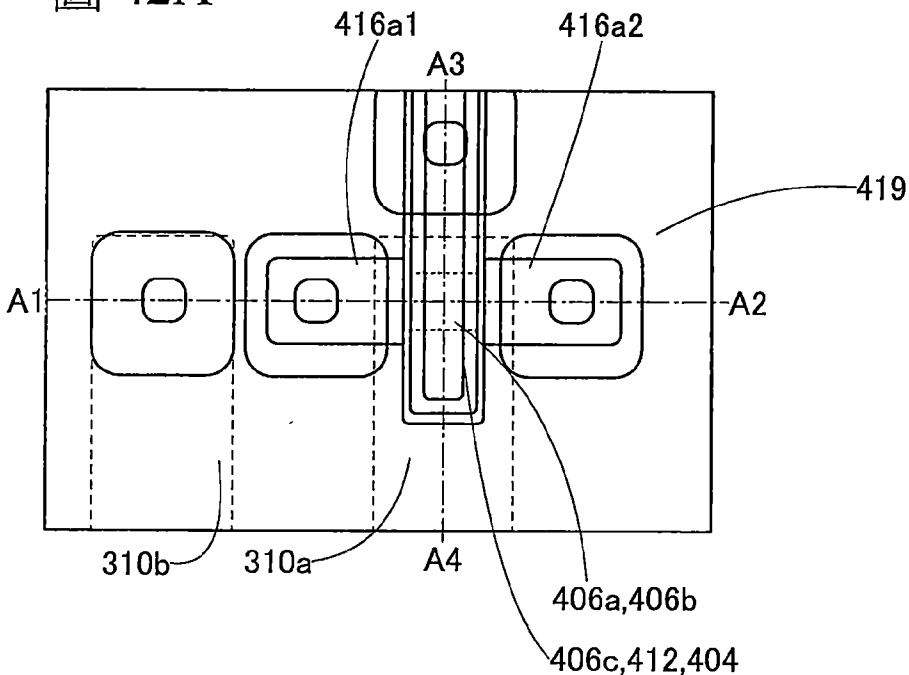


圖 42B

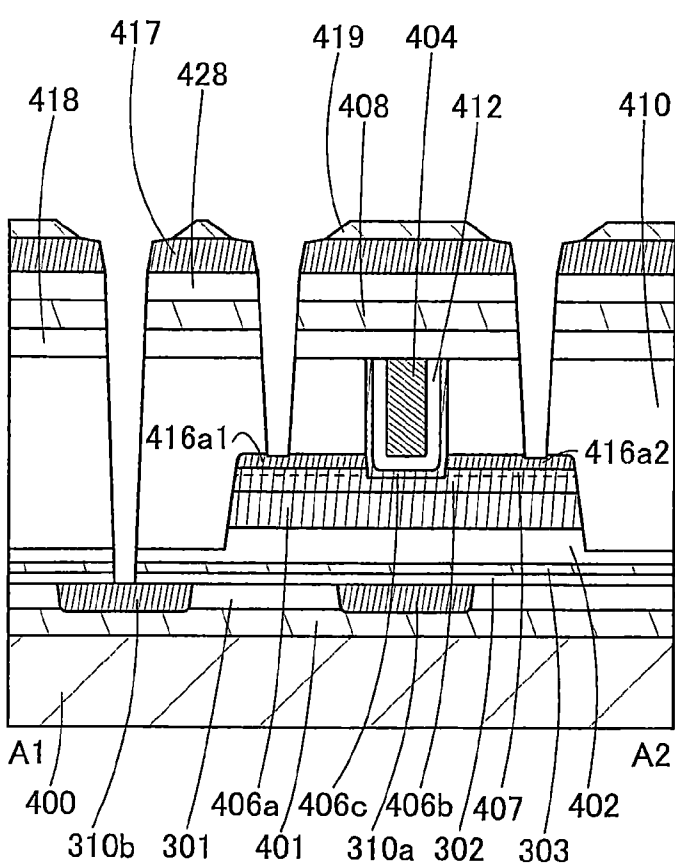


圖 42C

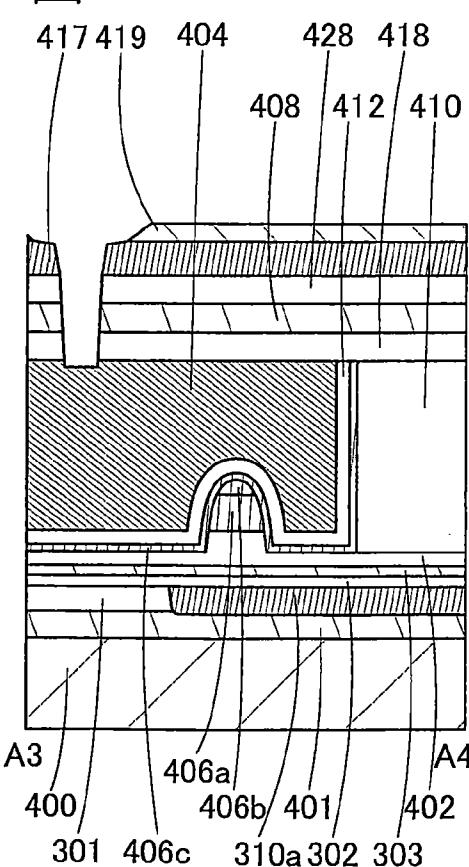


FIG 43A

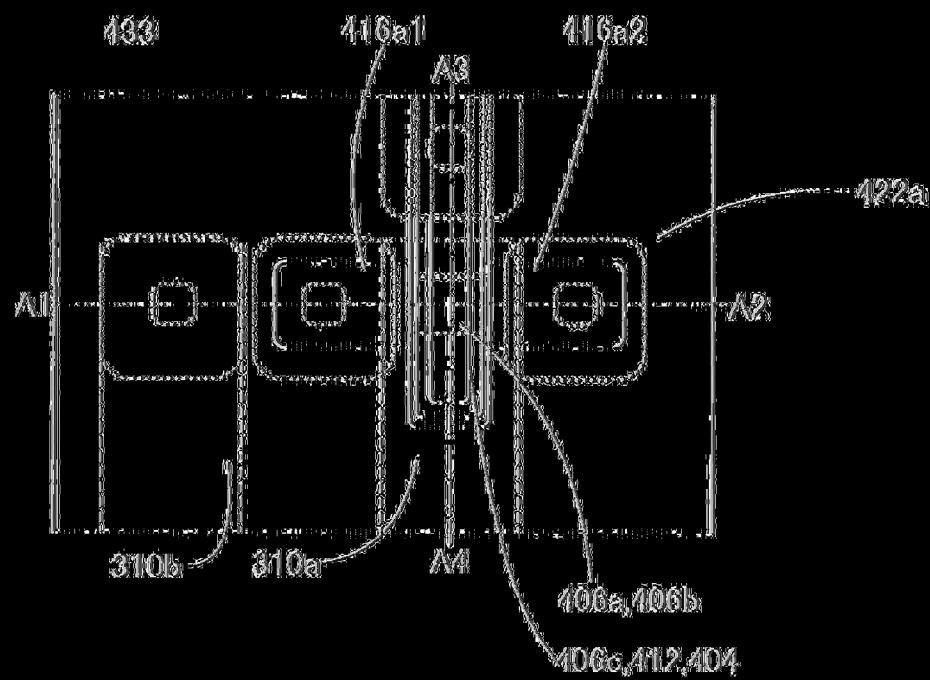


FIG 43B

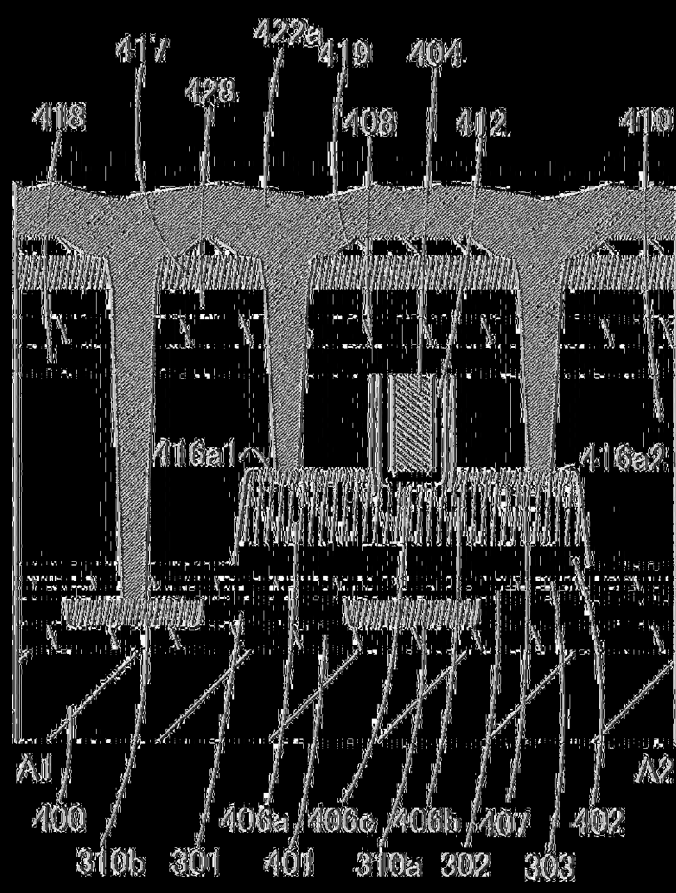


FIG 43C

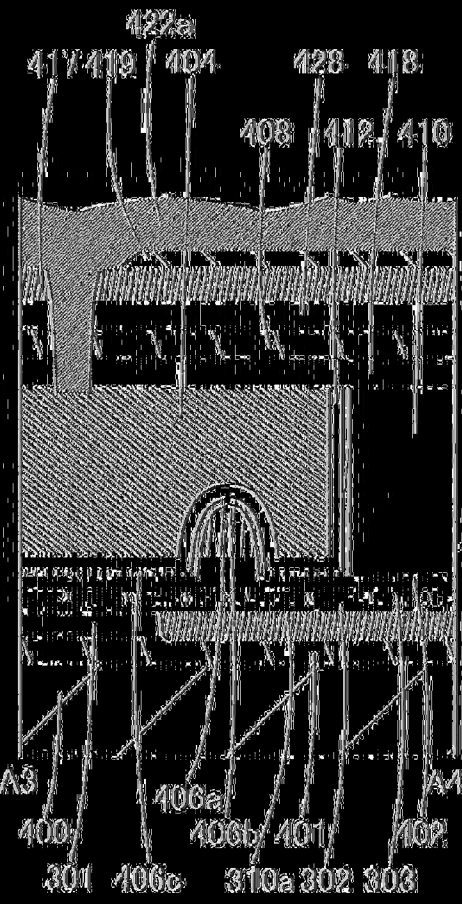


図 44A

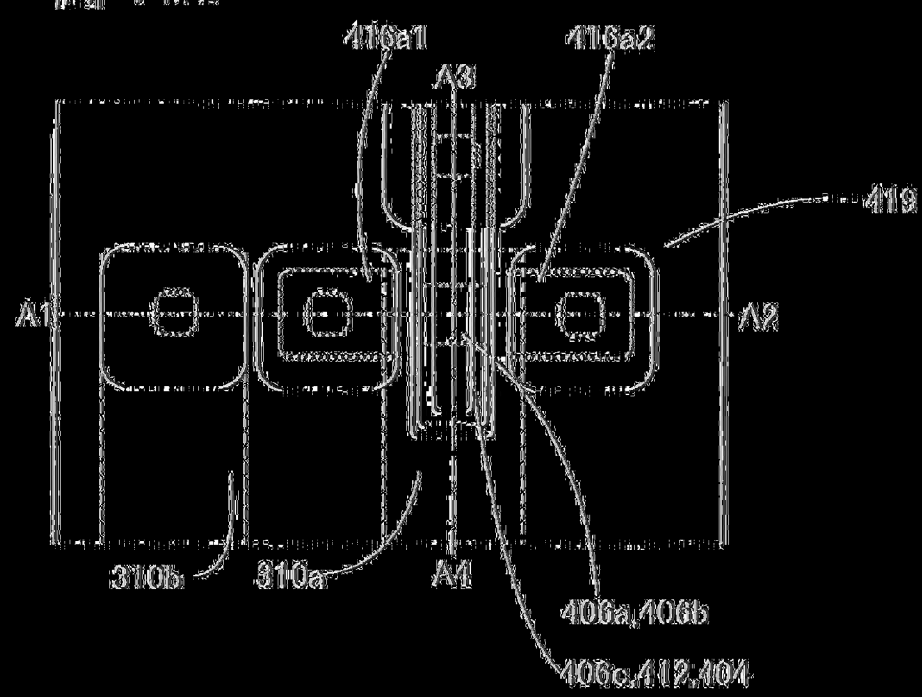


図 44B

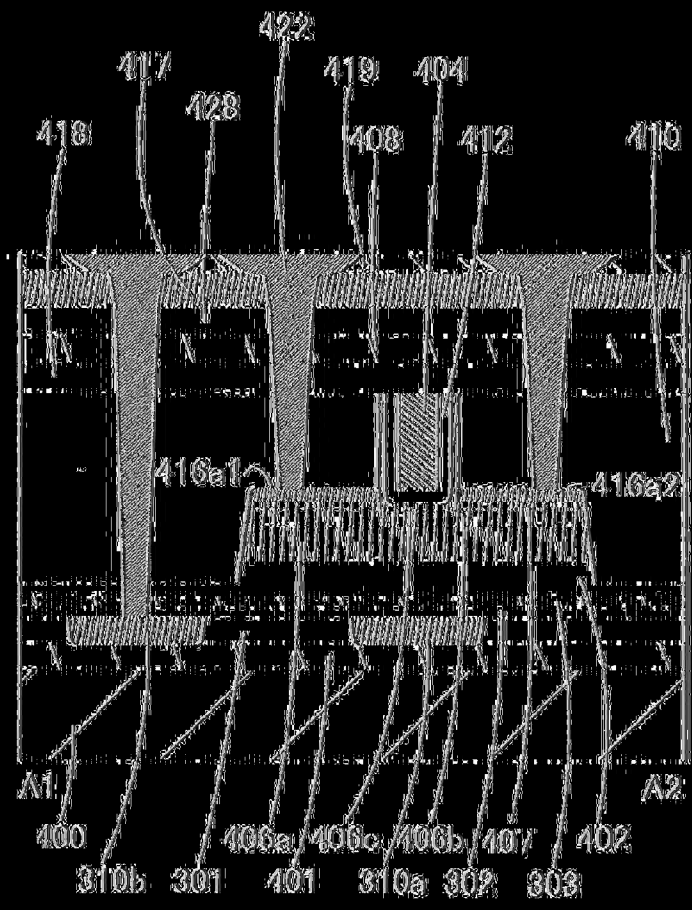
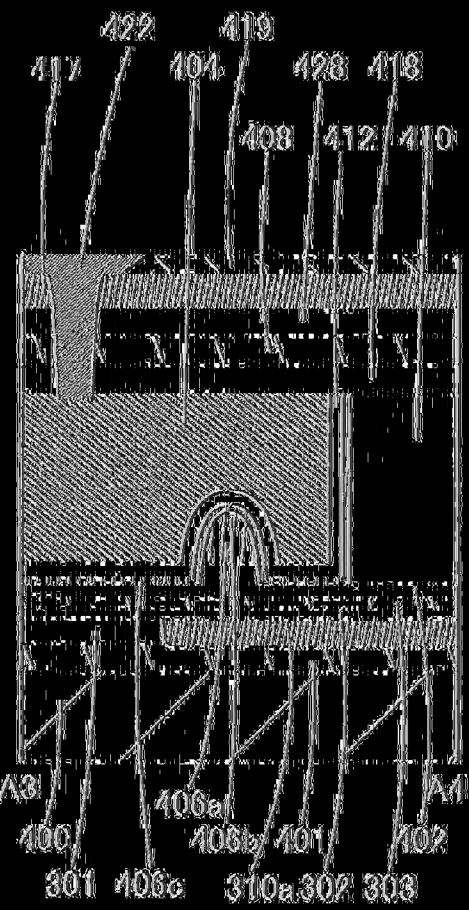


図 44C



5.

4

FIG. 45A

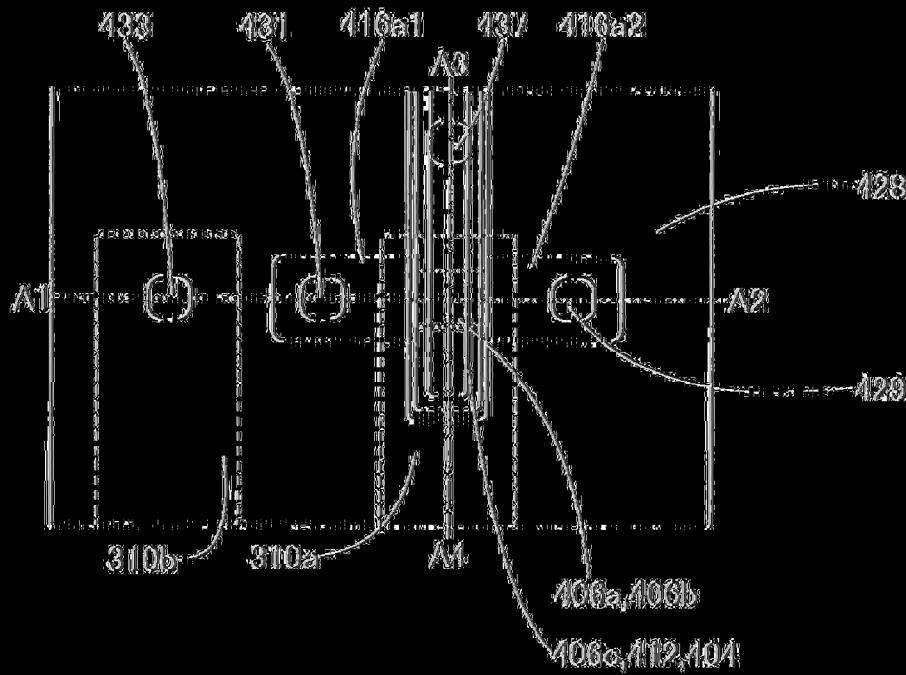


FIG. 45B

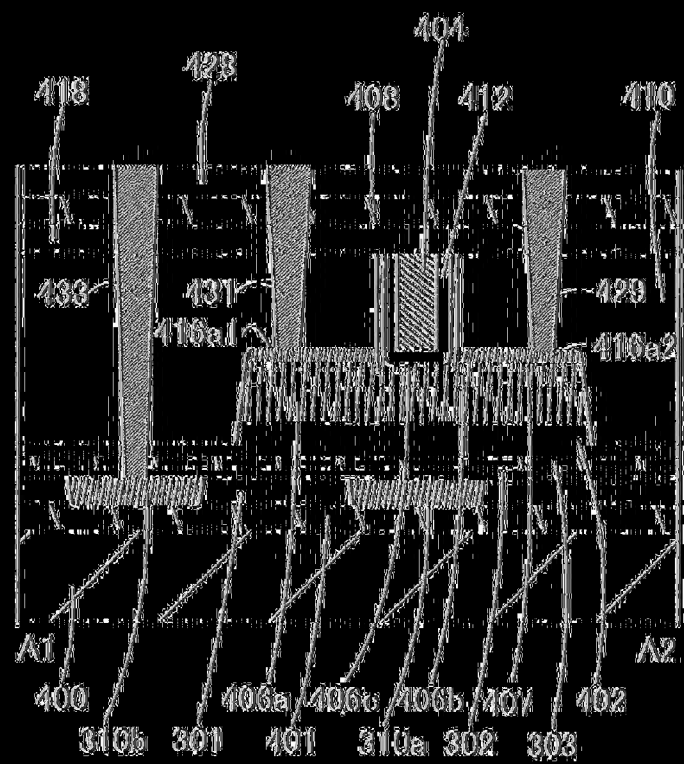


FIG. 45C

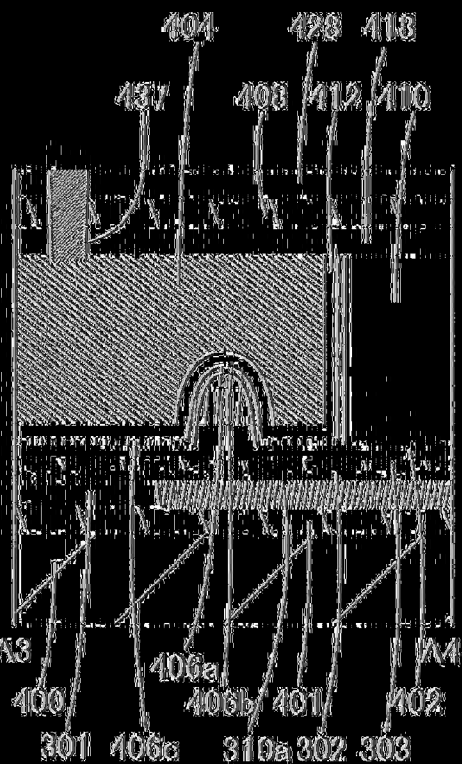


FIG 46A

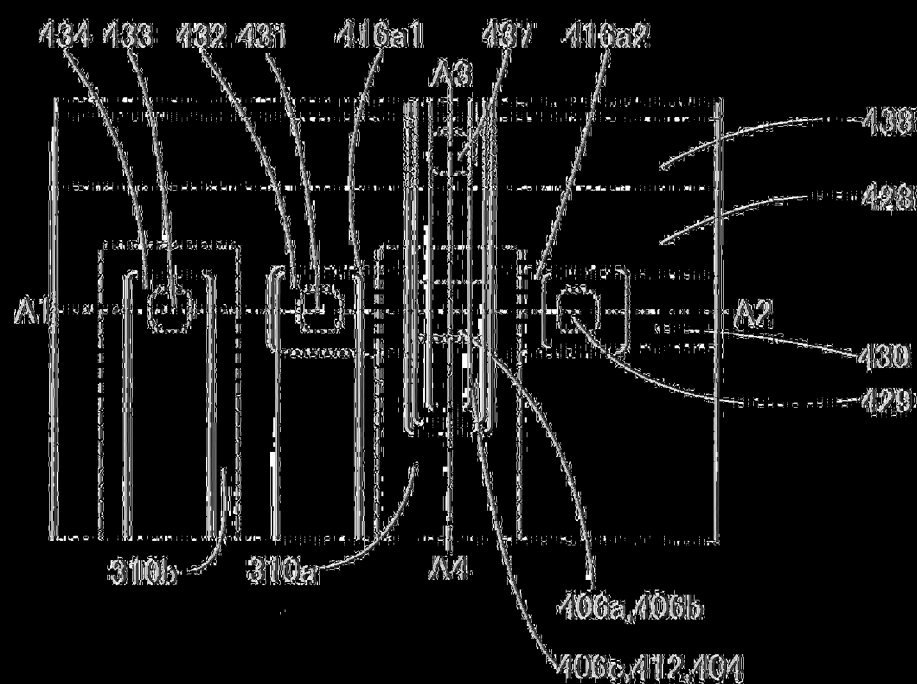


FIG 46B

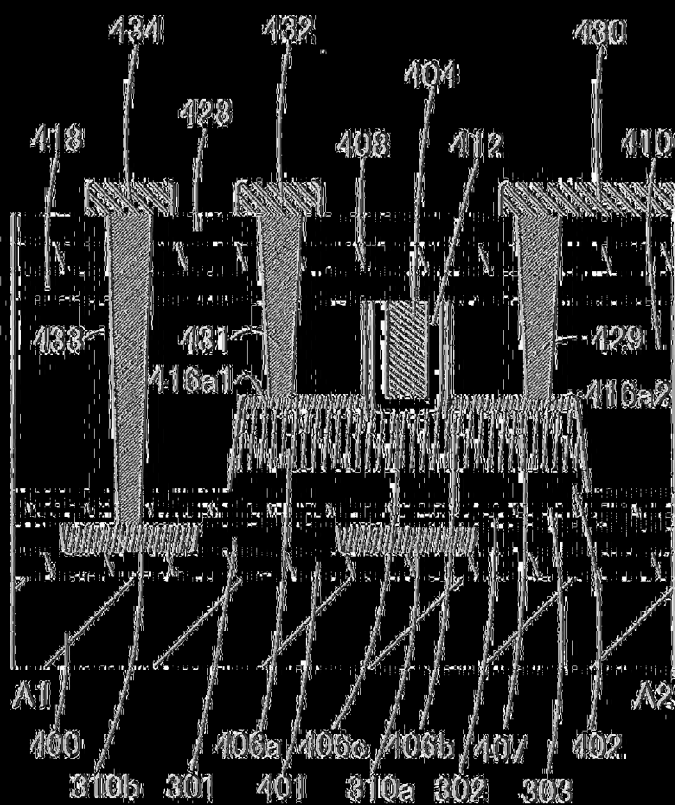
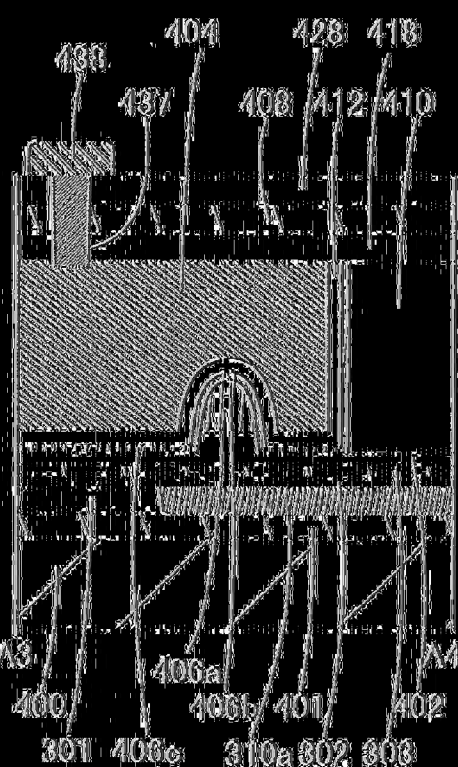
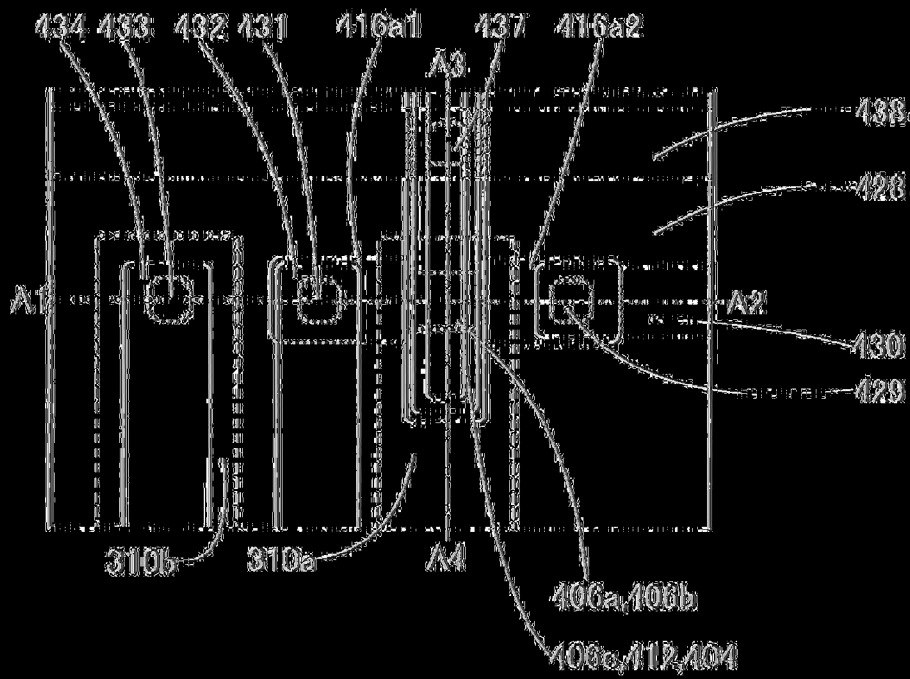


FIG 46C





473

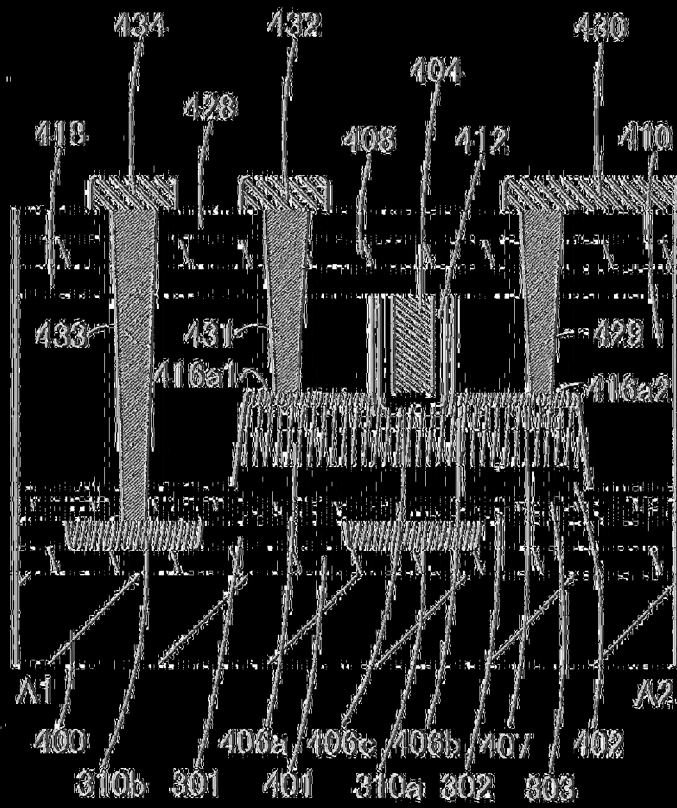



圖 48A

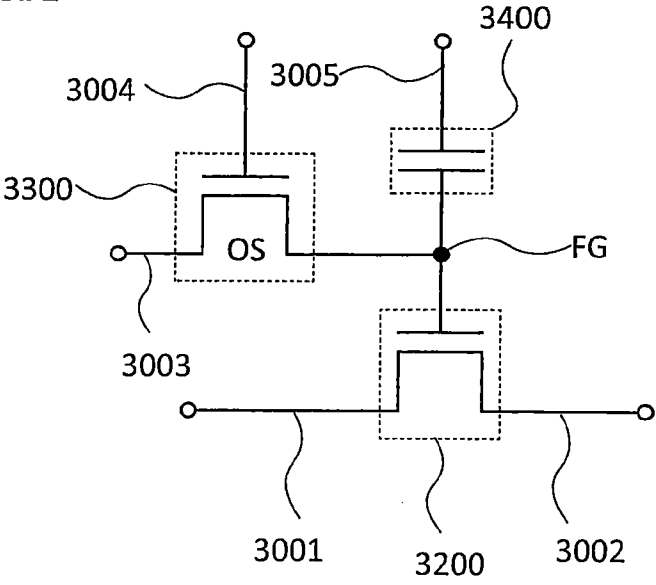


圖 48B

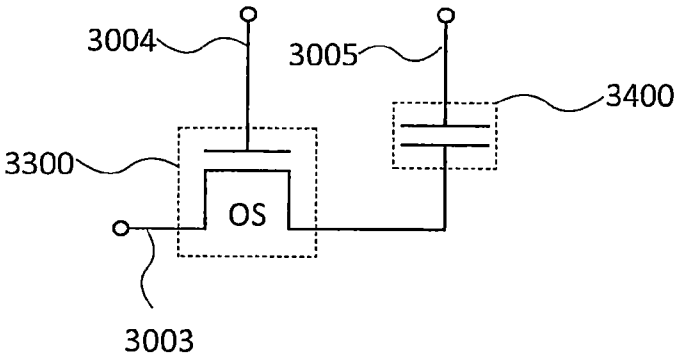


圖 49

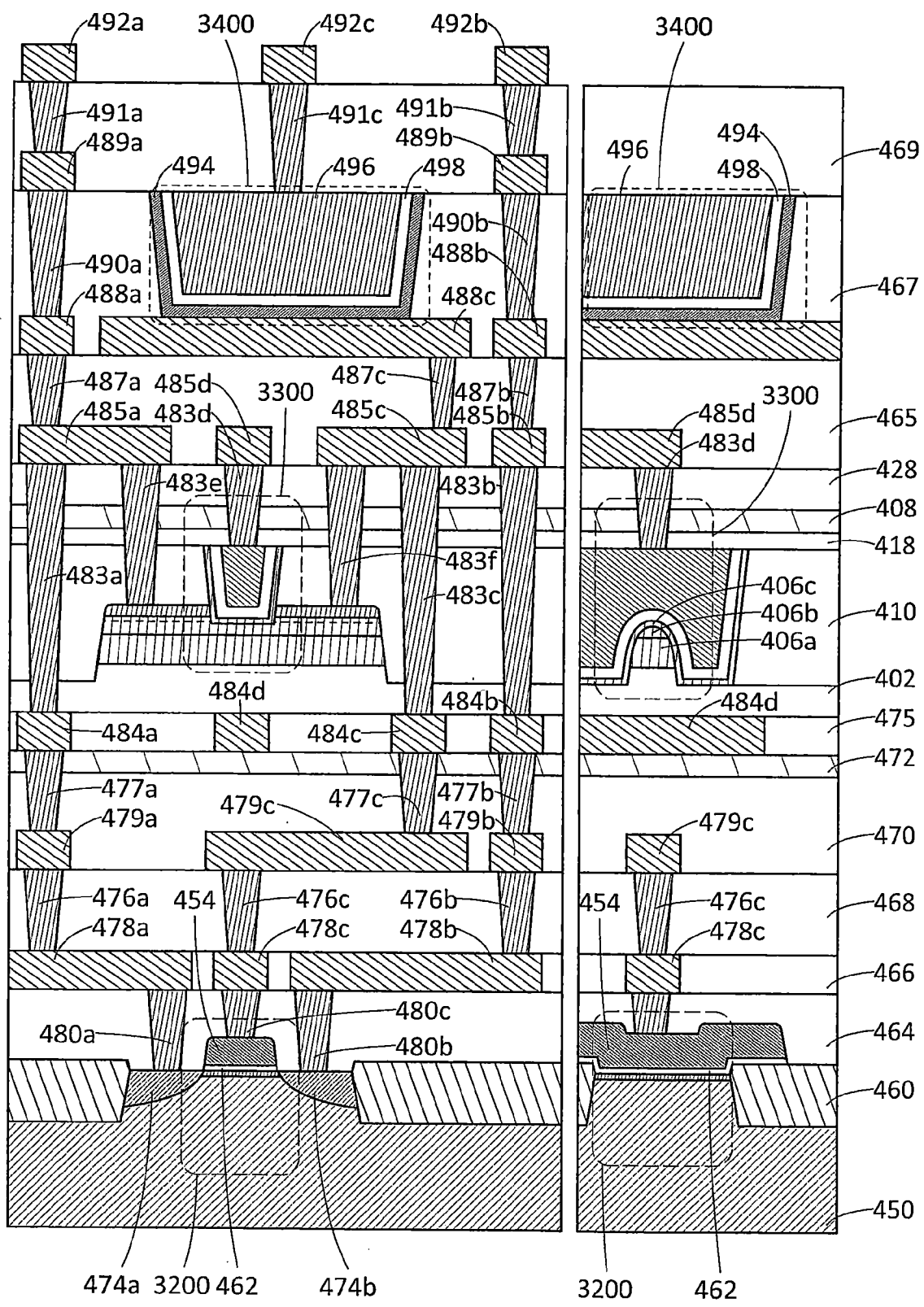
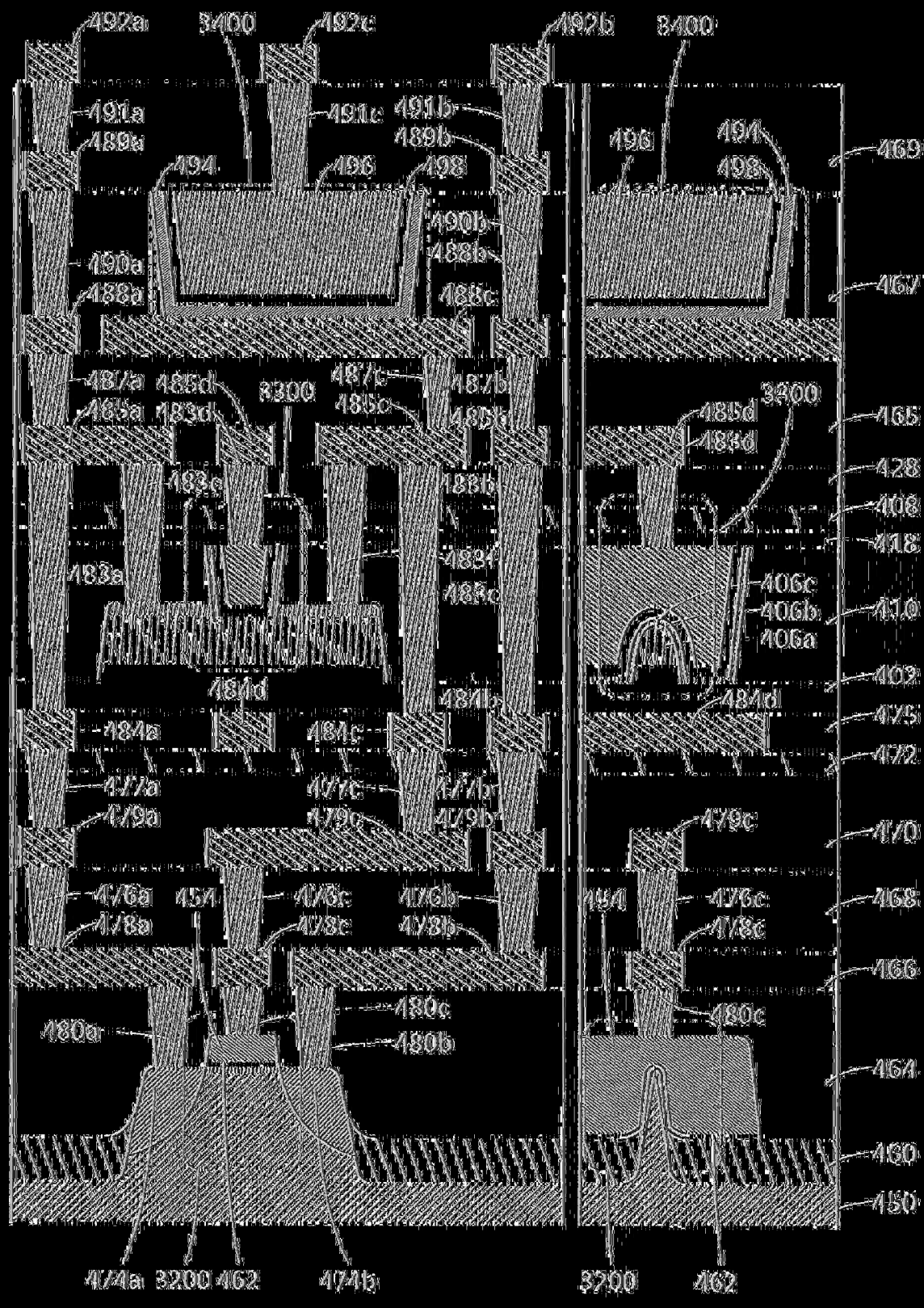


Fig. 50



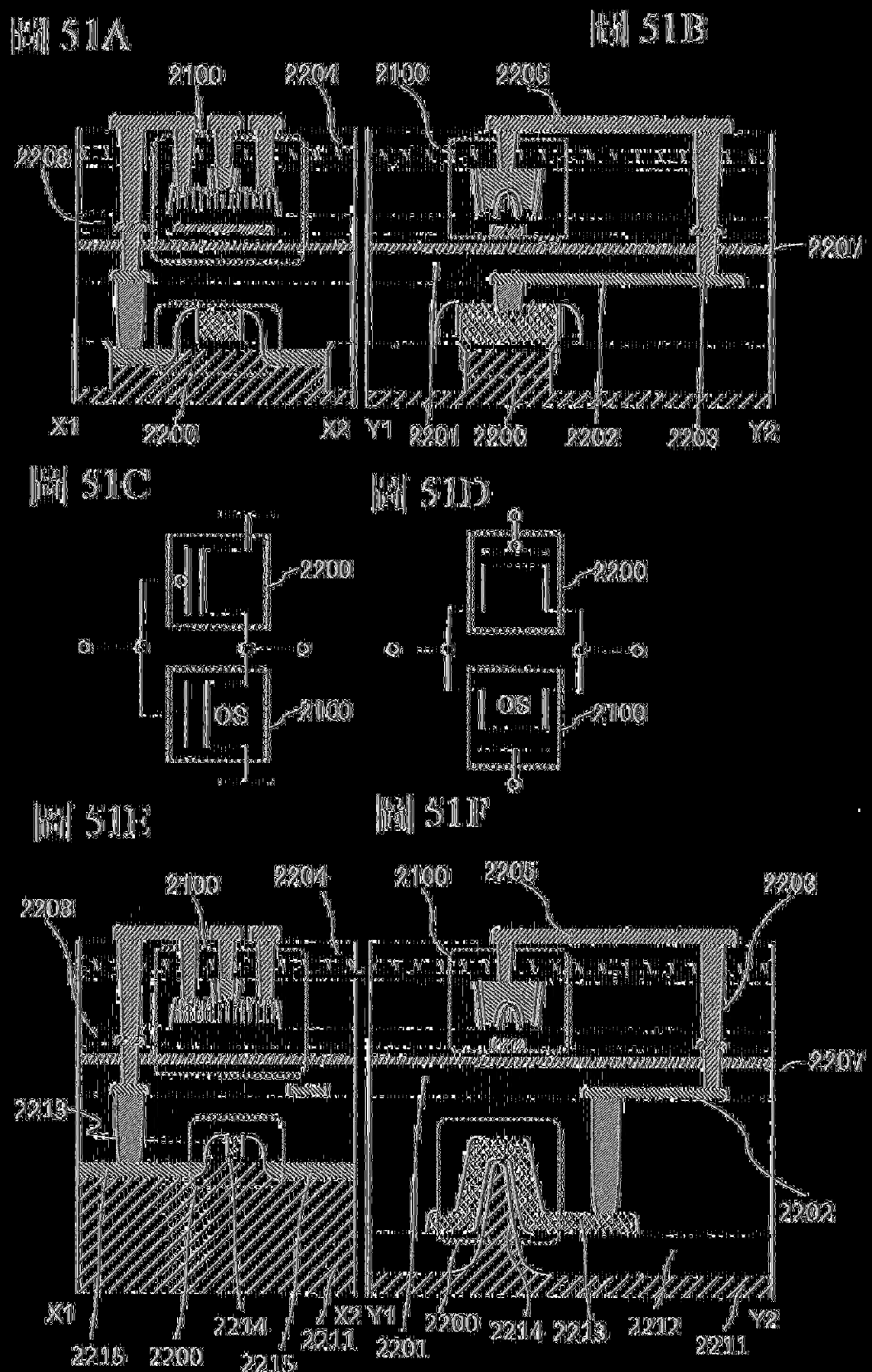
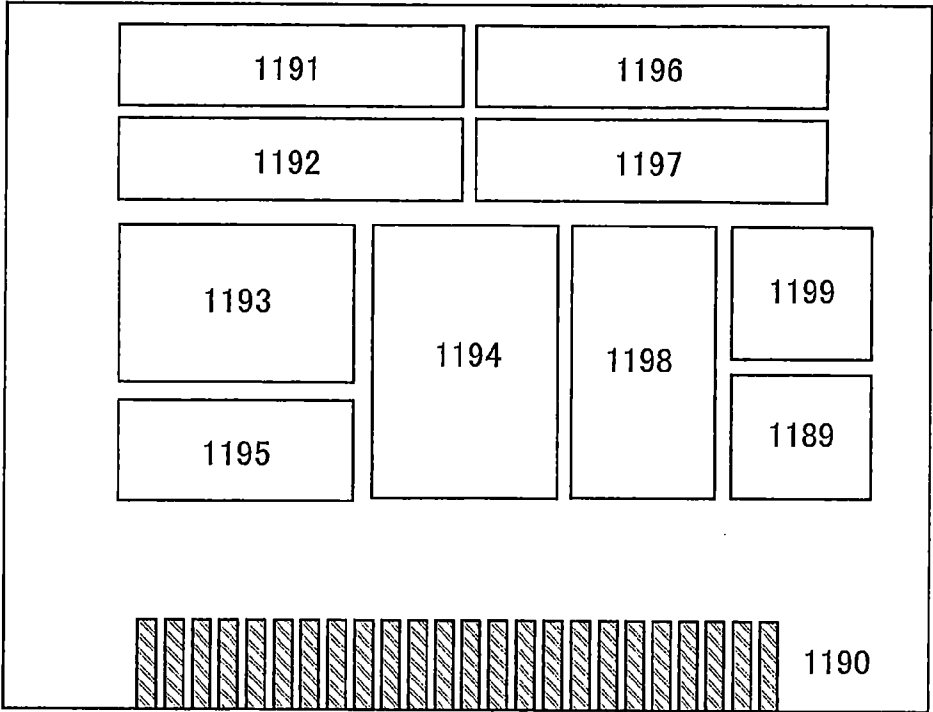


圖 52



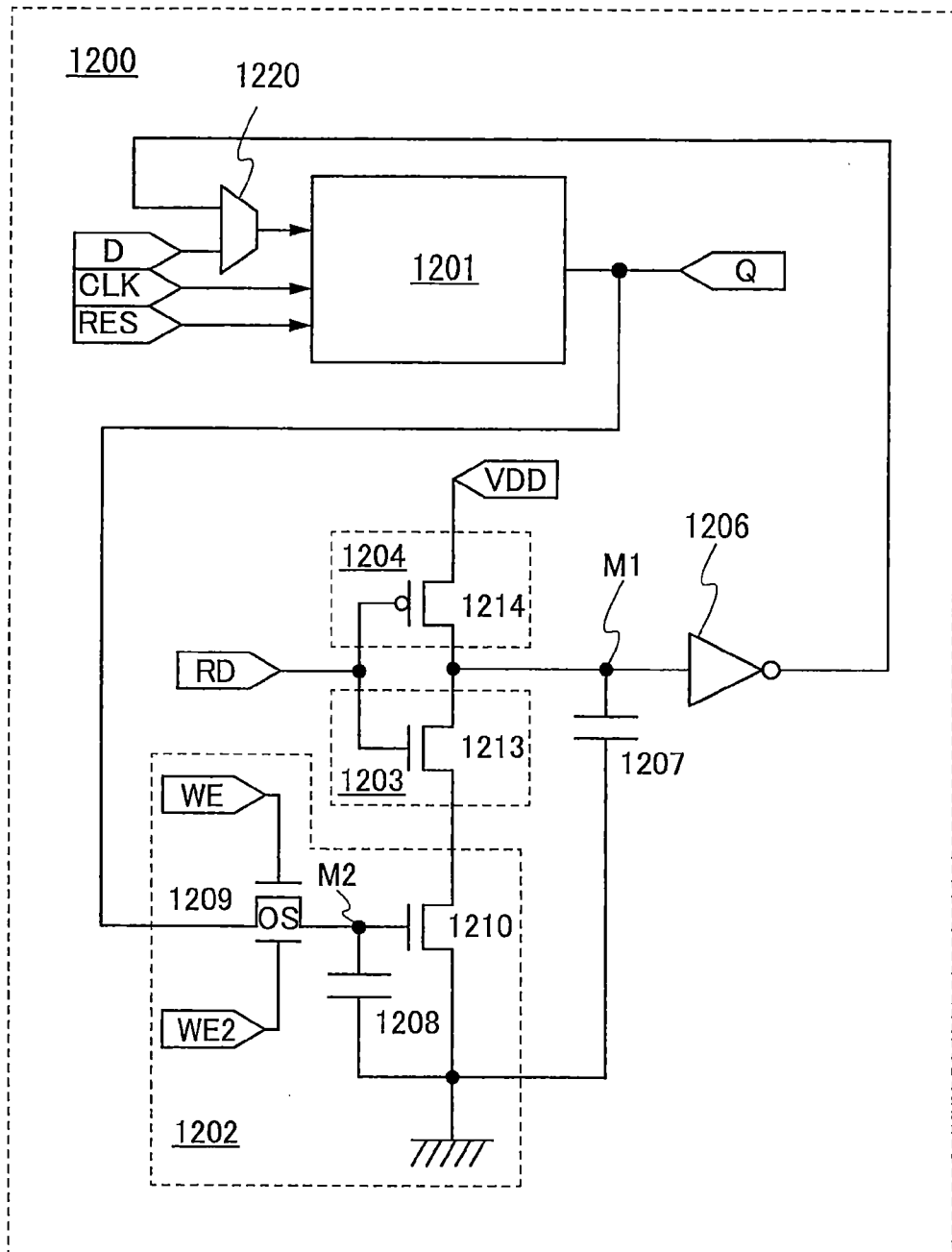


圖 54A

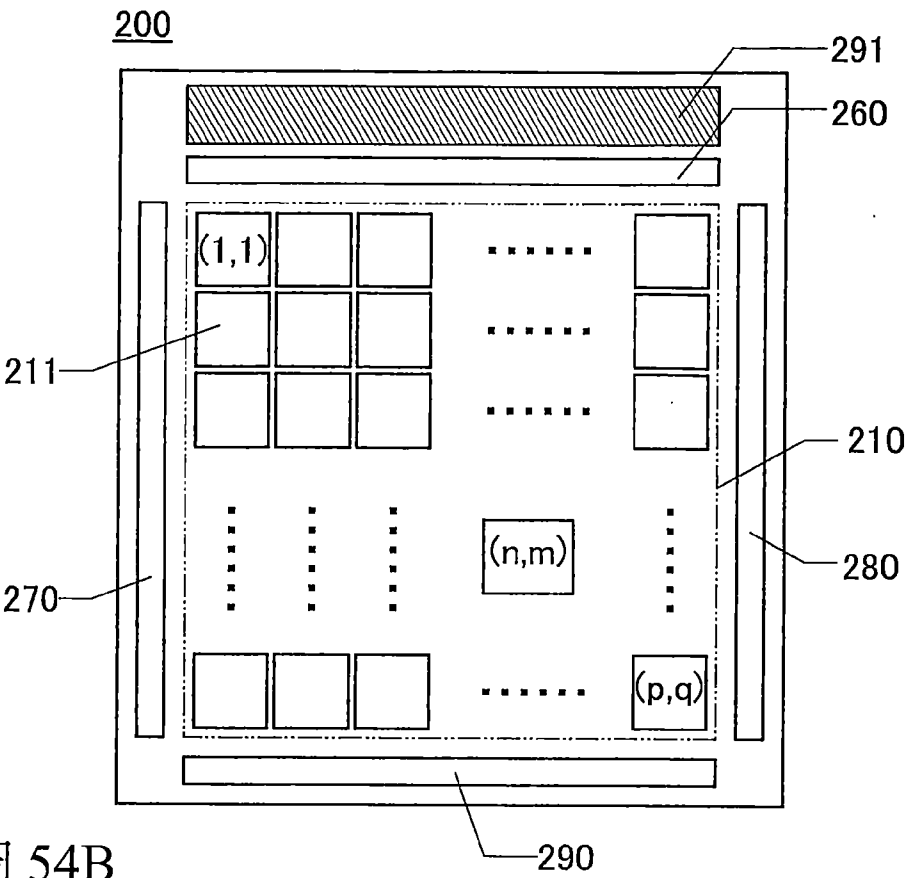


圖 54B

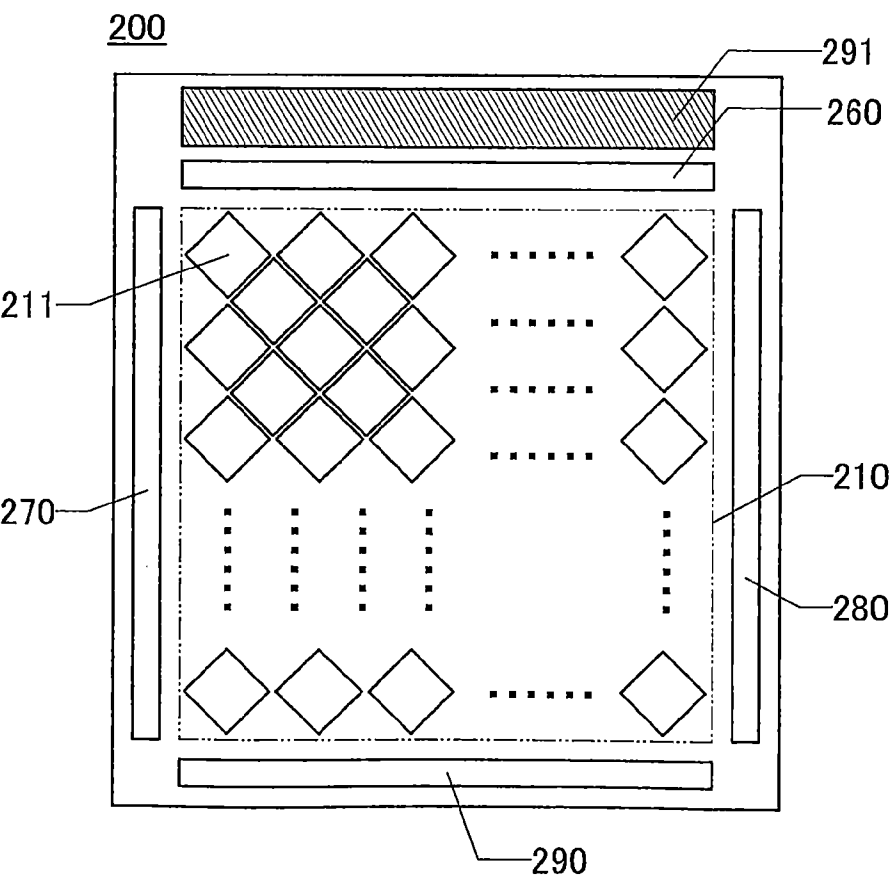


圖 55A

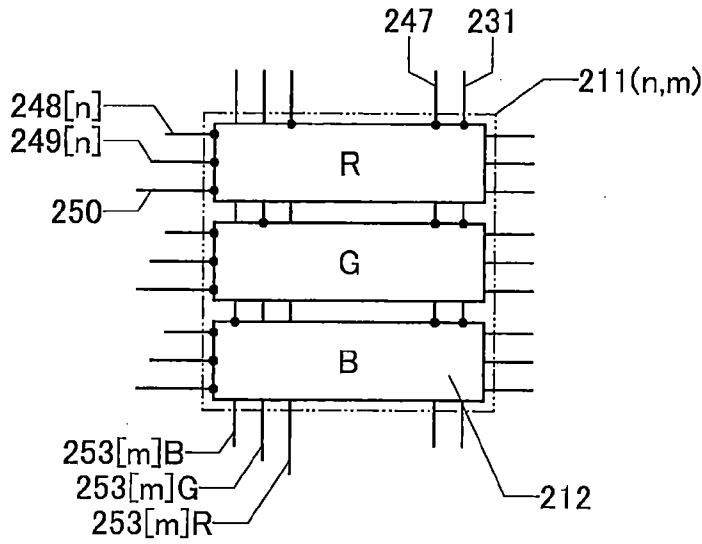


圖 55B

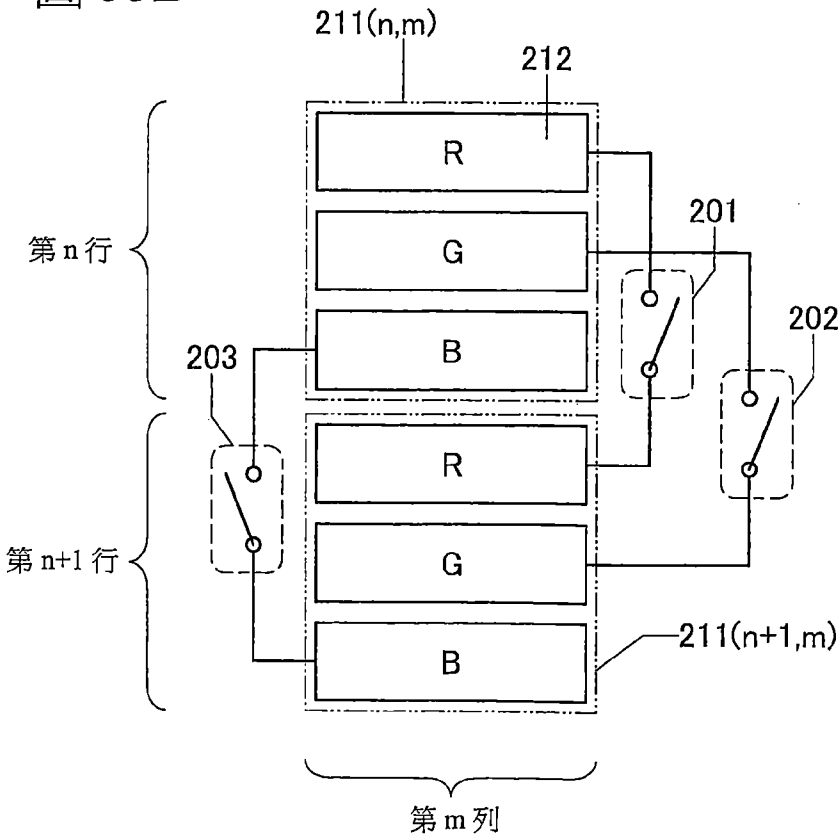


圖 56A

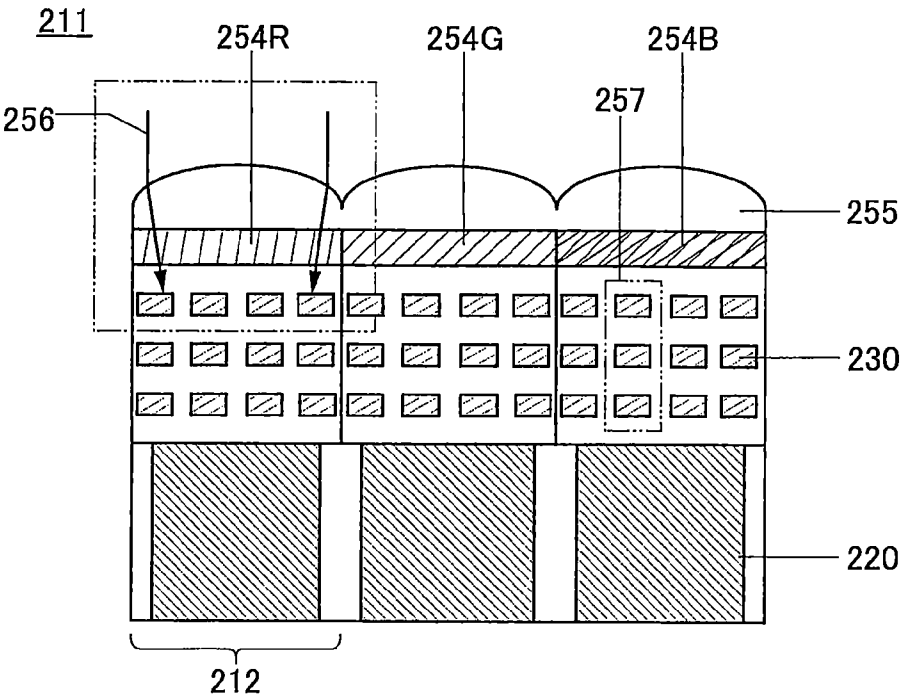


圖 56B

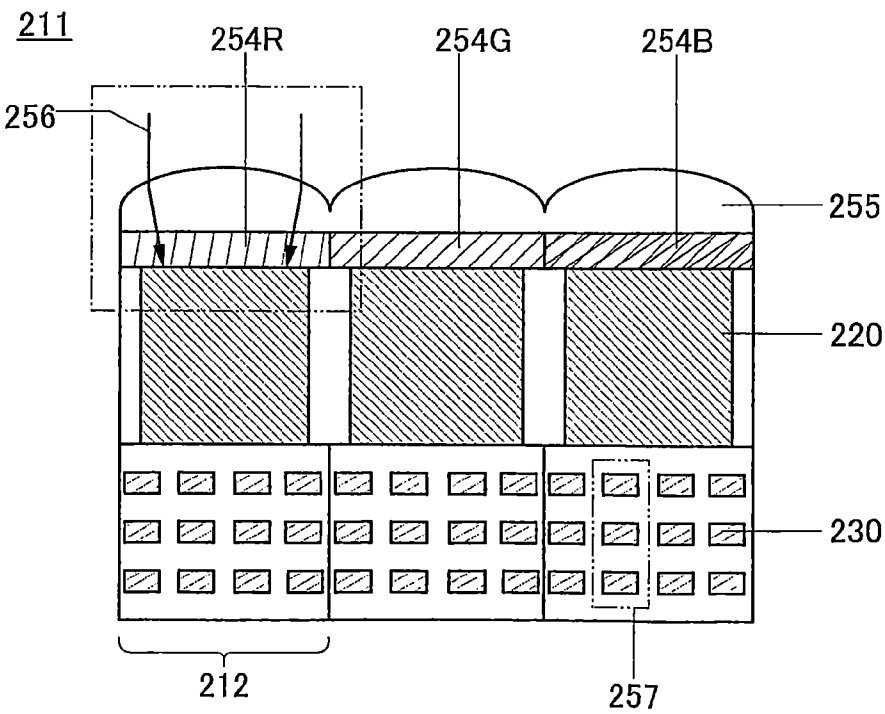


圖 57A

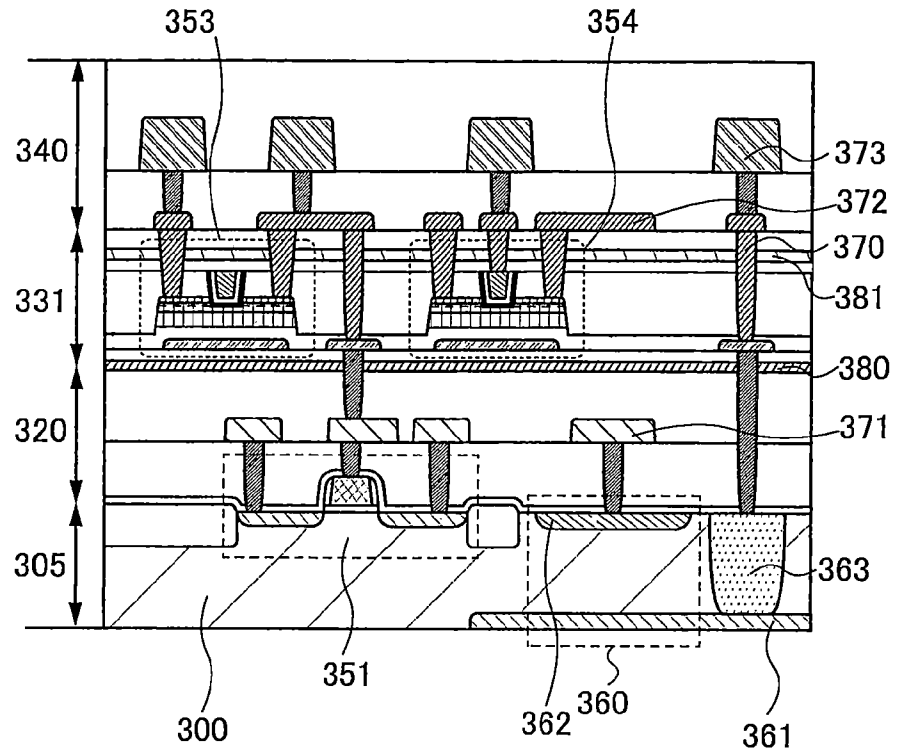


圖 57B

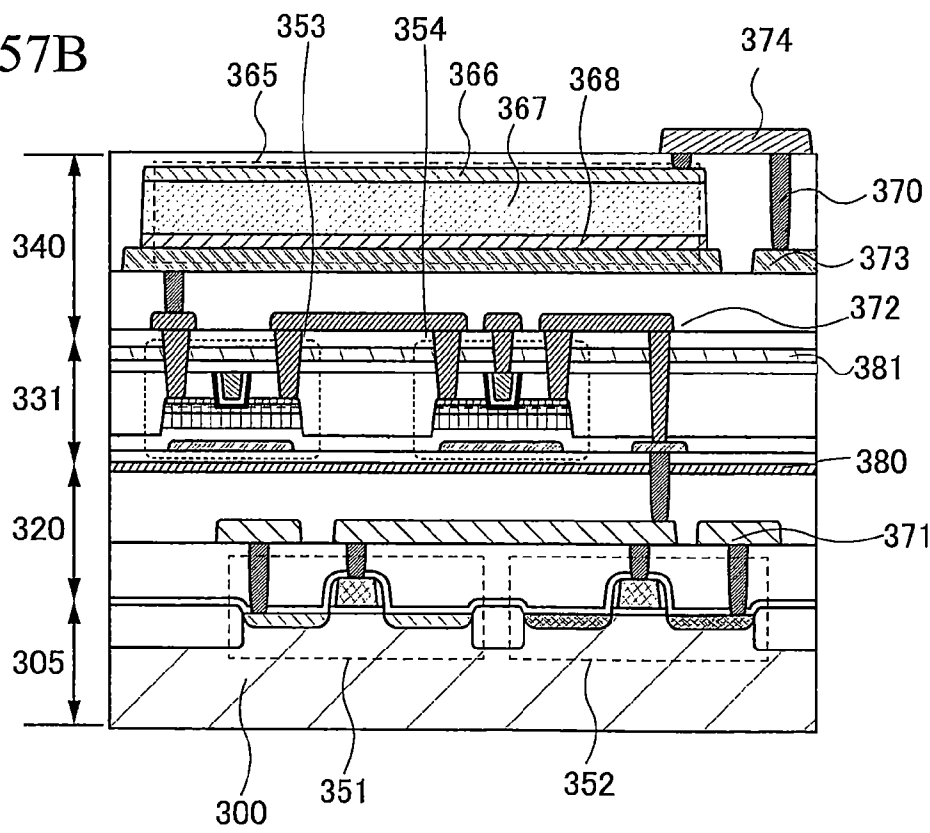


圖 58

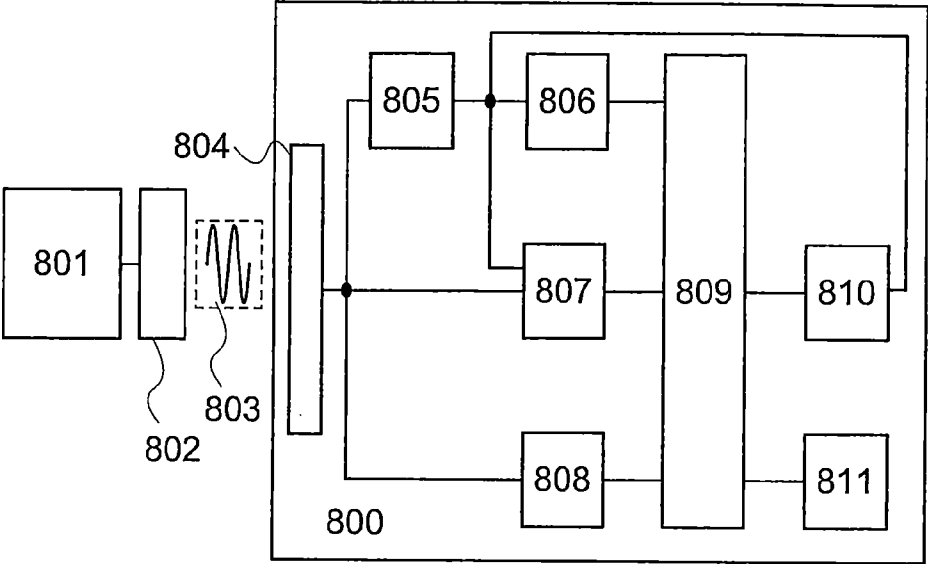


圖 59A

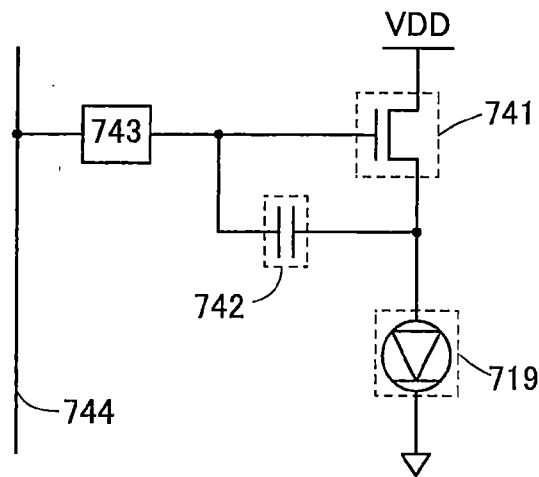


圖 59B

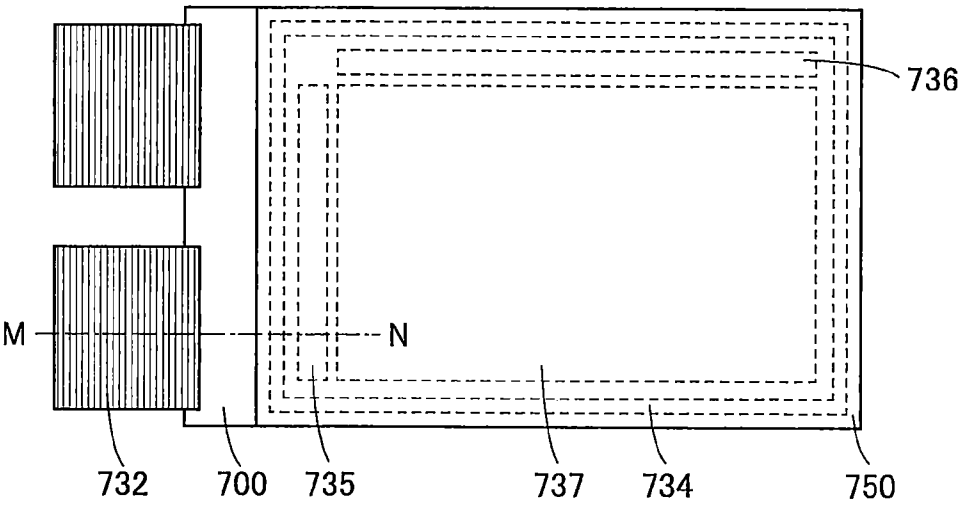


圖 59C

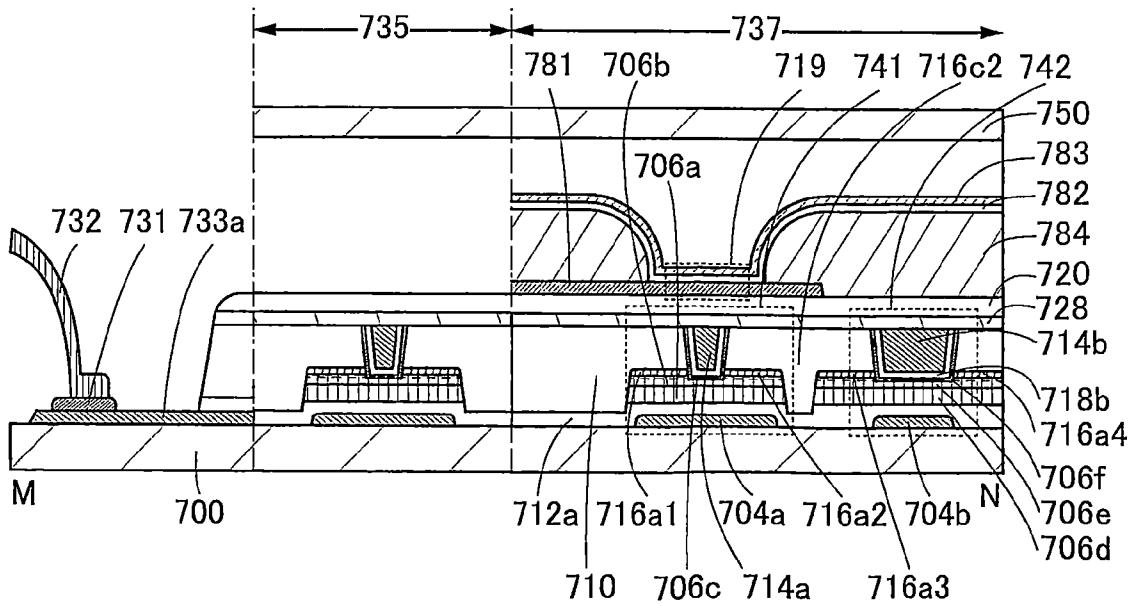


圖 60A

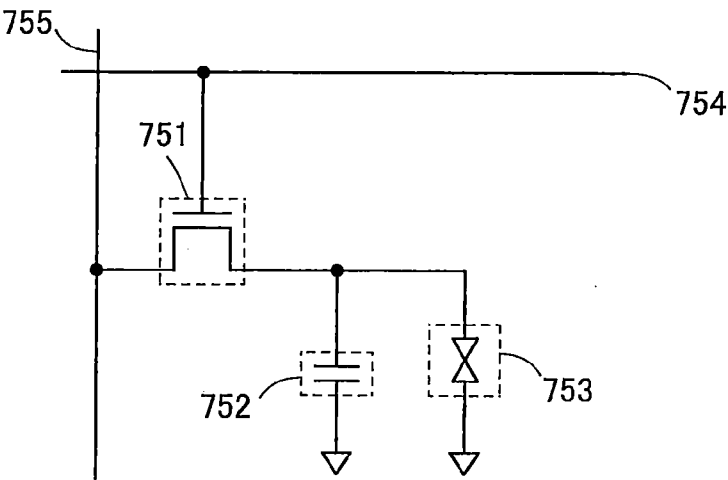


圖 60B

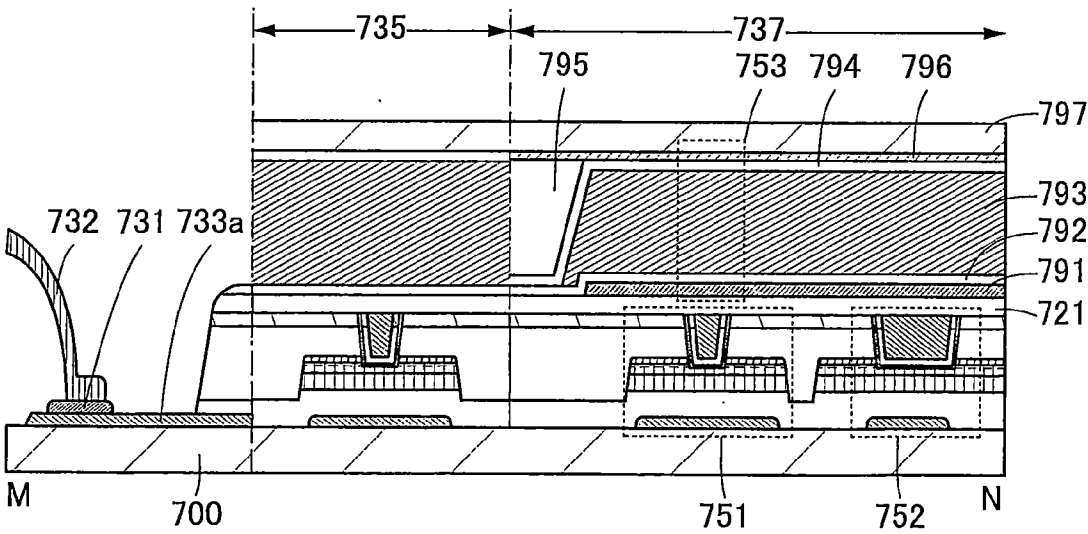


圖 61

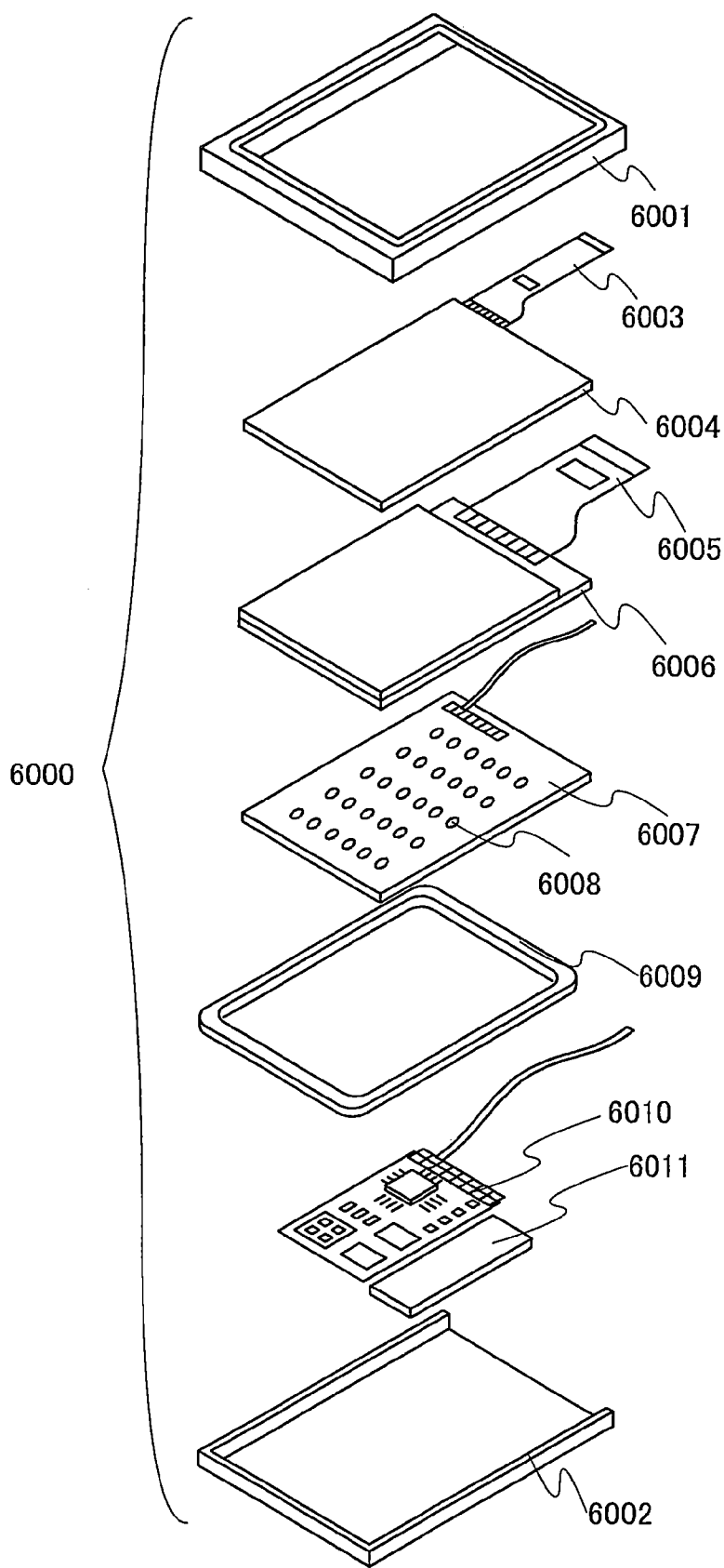


FIG 62A

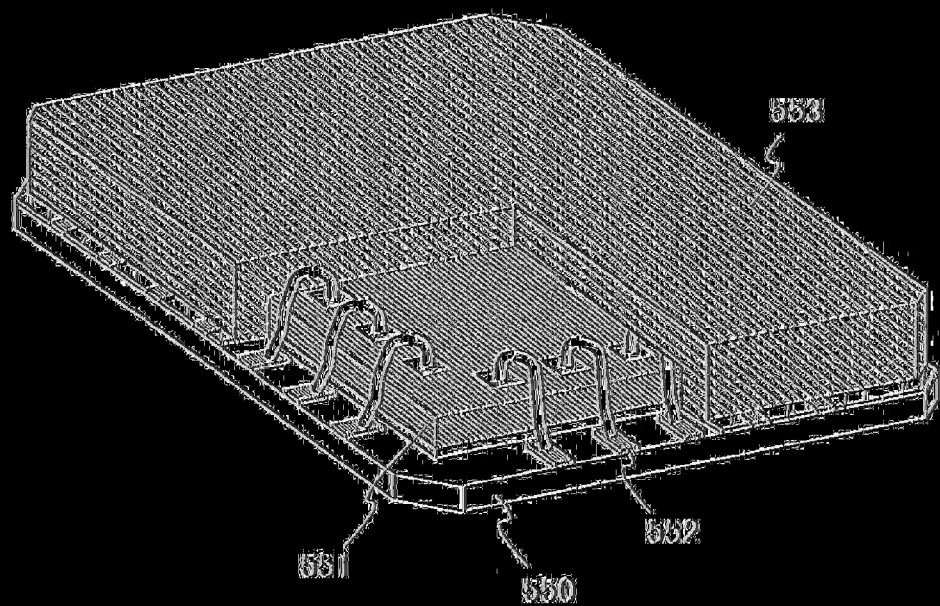


FIG 62B

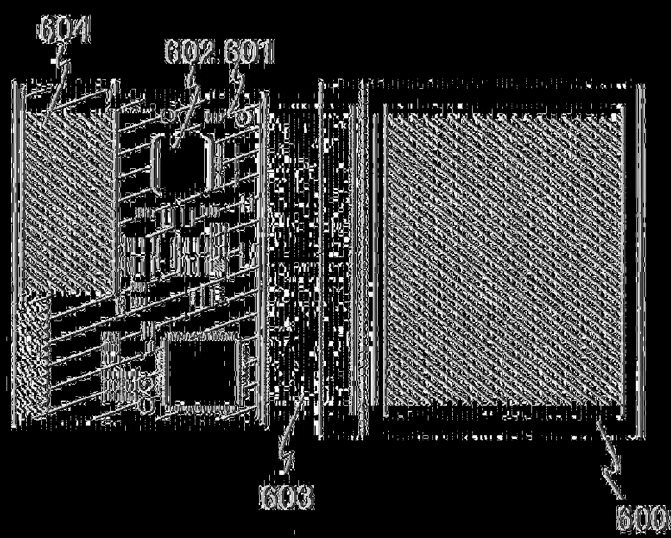


圖 63A

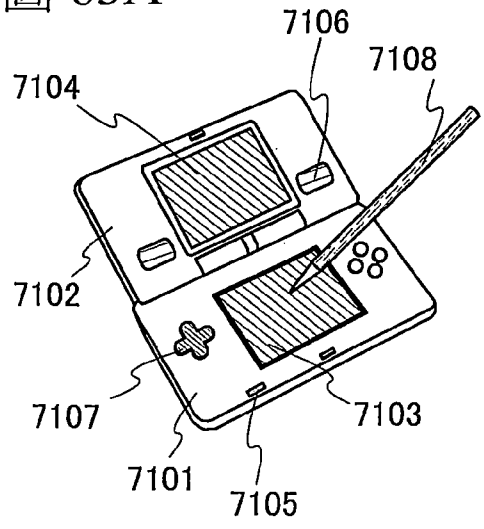


圖 63B

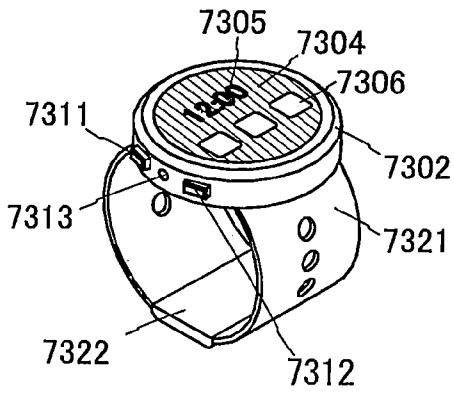


圖 63C

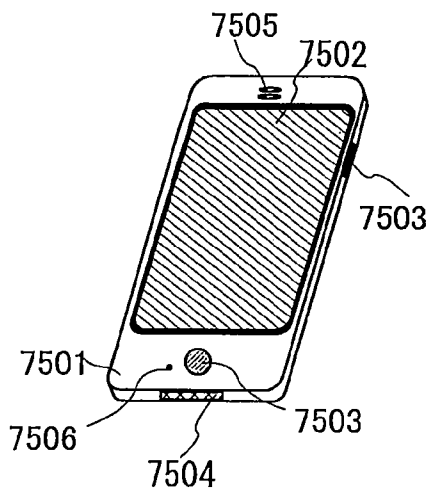


圖 63D

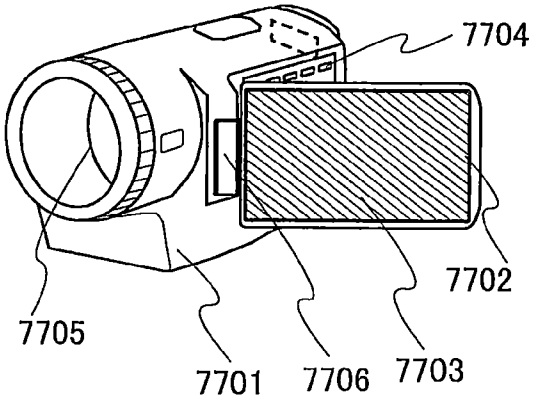


圖 63E

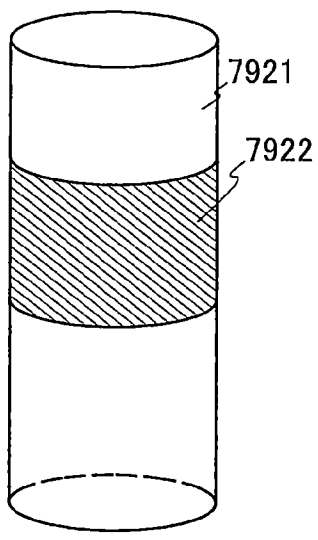


圖 64A

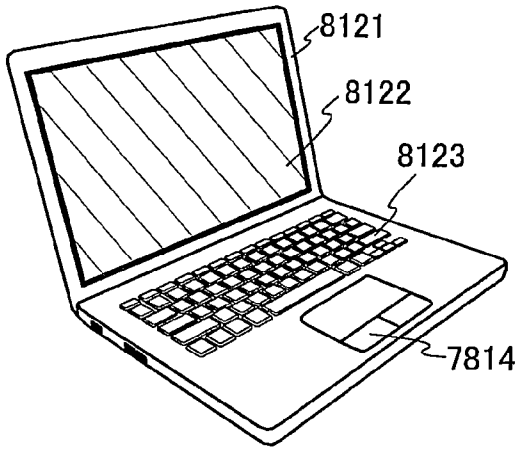


圖 64B

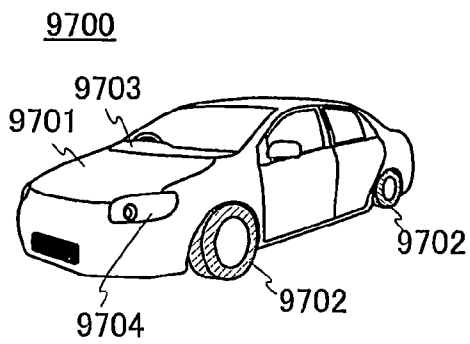


圖 64C

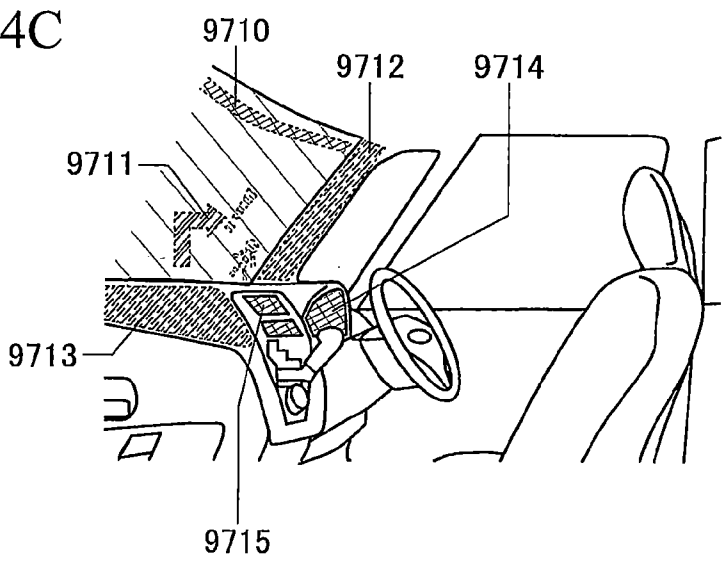


圖 64D

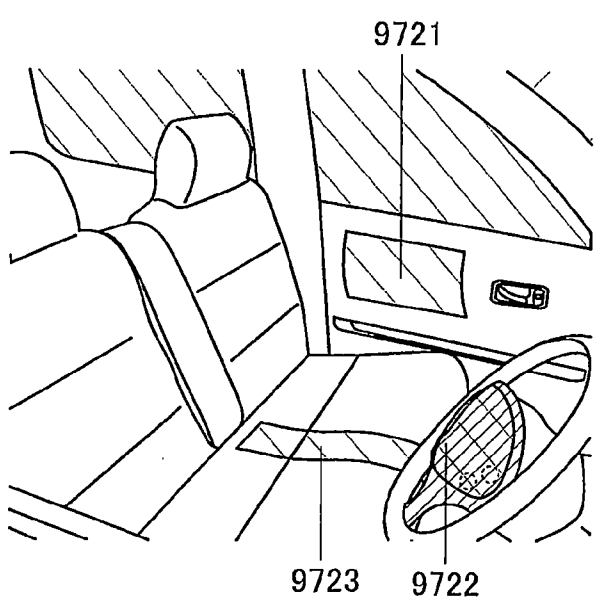


圖 65A

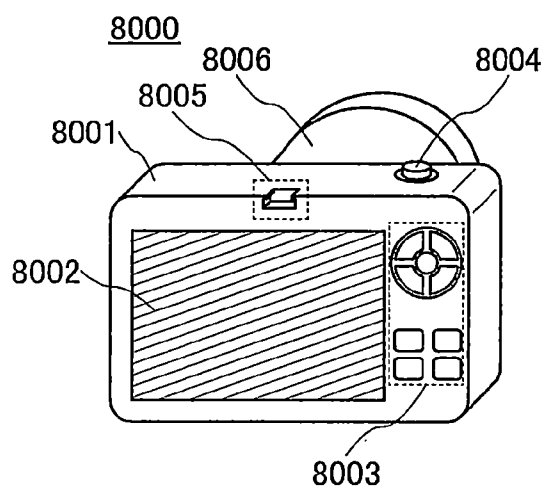


圖 65B

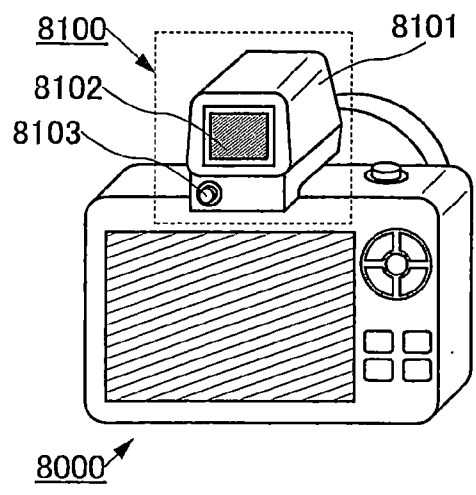


圖 65C

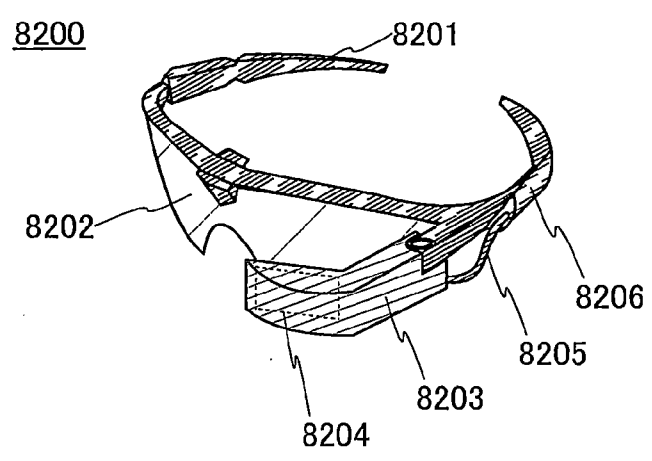


圖 66A

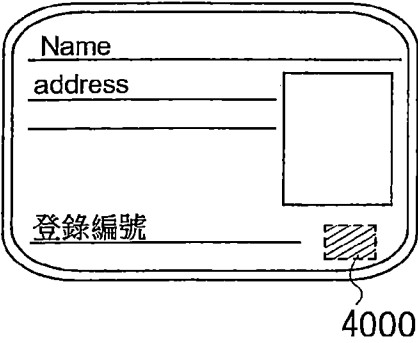


圖 66B

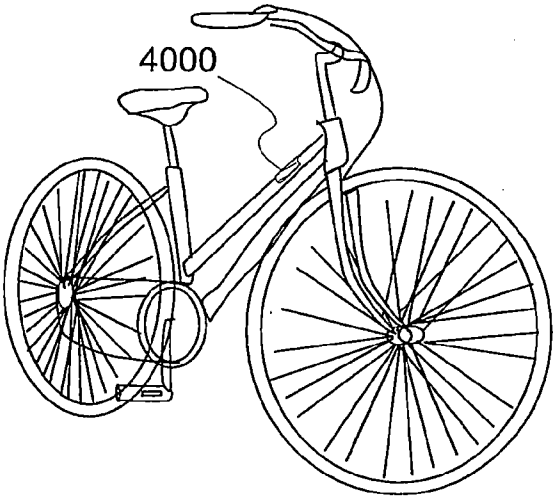


圖 66C

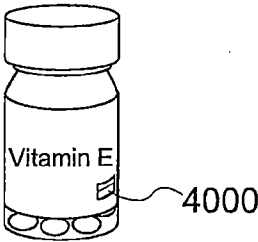


圖 66D

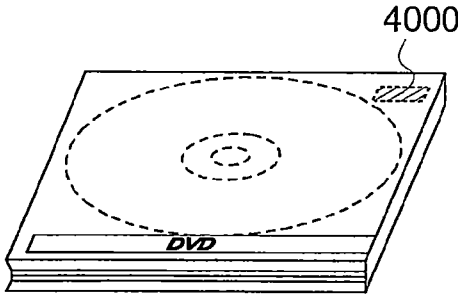


圖 66E



圖 66F

