

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5562912号
(P5562912)

(45) 発行日 平成26年7月30日(2014.7.30)

(24) 登録日 平成26年6月20日(2014.6.20)

(51) Int. Cl. F I
GO2F 1/1343 (2006.01) GO2F 1/1343
GO2F 1/1368 (2006.01) GO2F 1/1368

請求項の数 2 (全 12 頁)

(21) 出願番号	特願2011-164462 (P2011-164462)	(73) 特許権者	501426046
(22) 出願日	平成23年7月27日(2011.7.27)		エルジー ディスプレイ カンパニー リ
(62) 分割の表示	特願2005-154613 (P2005-154613) の分割		ミテッド
原出願日	平成17年5月26日(2005.5.26)		大韓民国 ソウル、ヨンドゥンポグ、ヨ
(65) 公開番号	特開2011-209763 (P2011-209763A)	(74) 代理人	100110423
(43) 公開日	平成23年10月20日(2011.10.20)		弁理士 曾我 道治
審査請求日	平成23年8月26日(2011.8.26)	(74) 代理人	100111648
(31) 優先権主張番号	10-2004-0118365		弁理士 梶並 順
(32) 優先日	平成16年12月31日(2004.12.31)	(74) 代理人	100147566
(33) 優先権主張国	韓国 (KR)		弁理士 上田 俊一
		(72) 発明者	チョンジン・パク
			大韓民国、キョンギド、アニョン、ピョ
			ンチョンドン 897-5、チョウォン
			・アパートメント 604-602
			最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

基板上に形成された複数のゲートラインと前記複数のゲートラインと垂直に交差する複数のデータラインとにより定義される複数の単位画素と、

前記単位画素毎に備えられて、左側データラインに連結され、ゲート絶縁膜及びアクティブ層と、前記ゲート絶縁膜及びアクティブ層上に形成された層間絶縁膜、及び前記層間絶縁膜上に形成され前記アクティブ層と連結された第1ソース電極と第1ドレイン電極を含んで構成された第1TFETと、

前記単位画素毎に備えられて、右側データラインに連結され、前記ゲート絶縁膜及びアクティブ層と、前記層間絶縁膜及び前記層間絶縁膜上に形成され前記アクティブ層と連結された第2ソース電極と第2ドレイン電極を含んで構成された第2TFETと、

前記第1TFETの第1ソース電極と第1ドレイン電極及び前記第2TFETの第2ソース電極と第2ドレイン電極を含んだ前記層間絶縁膜上に形成された保護層と、

前記第1TFET及び第2TFETとそれぞれ連結され、互いに対応するよう平行に配置され、前記保護層上に形成され、前記第1TFETの第1ドレイン電極に連結された第1電極と、前記基板上に形成され、前記第2TFETの第2ドレイン電極と連結された第2電極を含んで構成され、

前記第1電極に前記左側データラインに連結された第1TFETを通じて第1データ電圧が印加され、前記第2電極に前記第2TFETを通じて第2データ電圧が印加されて、これら第1電極及び第2電極それぞれに印加される第1及び第2データ電圧の差により前記第

10

20

1 電極及び第 2 電極間に横電界が形成され、
前記第 1 電極及び第 2 電極は透明電極物質から形成される
ことを特徴とする液晶表示装置。

【請求項 2】

前記第 1 電極及び第 2 電極は、同一層上に形成される
ことを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、隣接する電極間で横電界を形成するインプレーンスイッチング(In Plane Sw 10
itching: 以下、IPS と称する)モードの液晶表示装置に関する。

【背景技術】

【0002】

近来、携帯電話、PDA、ノートブックコンピュータのような各種携帯用電子機器が発
展するにつれて、これに適用できる軽薄短小型の平板表示装置(Flat Panel Display Devi
ce)に対する要求が次第に増大している。

【0003】

このような平板表示装置としては、LCD(Liquid Crystal Display)、PDP(Plasma
Display Panel)、FED(Field Emission Display)、VFD(Vacuum Fluorescent Displa
y)などが活発に研究されているが、このうち、量産化技術、駆動手段の容易性、高画質の 20
実現という理由により、現在は液晶表示装置(LCD)が脚光を浴びている。

【0004】

一般的な液晶表示装置は、電界を利用して液晶の光透過率を調節することにより画像を
実現する。このために、液晶表示装置は、複数の画素がマトリクス状に配列された液晶
パネルと、当該液晶パネルを駆動するための駆動回路とを備える。

【0005】

図 6 は、一般的な IPS モードの液晶表示素子の単位画素を示す平面図である。図 6 に
示すように、液晶パネルの第 1 基板には、ゲートライン 101 とデータライン 102 と
が交差するように配列されて画素領域が定義され、前記ゲートライン 101 とデータライ
ン 102 との交差領域には、スイッチング素子である薄膜トランジスタ(Thin Film Trans 30
istor: TFT)が形成される。液晶パネルの各画素には、画素電極 103 と共通電極 10
5 とが交互に配置されるが、前記画素電極 103 は、前記薄膜トランジスタのソース/ド
レイン電極 106、107 からデータ信号を受けて、前記共通電極 105 と共に第 1 基板
上に横電界を形成する。前記薄膜トランジスタのゲート電極 109 は、データ信号が 1 ラ
イン分ずつの画素電極 103 に印加されるように前記ゲートライン 101 に接続される。

【0006】

これにより、液晶表示装置は、画素別に供給されたデータ信号によって前記画素電極 1
03 と共通電極 105 間に印加される電界により、液晶層の光透過率を調節することによ
り画像を表示する。

【0007】

また、図には示していないが、第 2 基板には、カラーフィルタ層が形成され、前記第
1 基板と第 2 基板間の離隔空間には液晶層が充填される。前記液晶層の液晶分子は、前記
画素電極 103 と共通電極 105 間に形成される横電界により駆動されるので、TN(Twi
sted Nematic)モードの液晶表示素子に比べて可視範囲が広くなり、上、下、左、右方向
に約 80° ~ 85° 範囲の視野角を確保することができる。

【0008】

図 7 は、一般的な IPS モードの液晶表示素子の単位画素を示す回路図である。図 7 に
示すように、液晶表示素子は、ゲートライン Gate とデータライン Data との交
差領域に、スイッチング素子である薄膜トランジスタが形成され、前記 TFT は、液晶に
電界を印加する一電極である画素電極(図示せず)と連結される。前記画素電極と共通電極 50

V c o m間に横電界が形成されることによって、前記画素電極、共通電極V c o m及びこれらの間の液晶層が1つのキャパシタ C_{LC} を形成する。さらに、前記画素電極、共通電極V c o m及びこれらの間の絶縁層がストレージキャパシタ C_{ST} を形成し、データ信号を維持させる。

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、液晶表示素子が大型化するにつれて、基板上に縦横に配列されるゲートライン及びデータラインが長くなり、これにより、線抵抗が増加して1つのゲートラインに沿って形成される各T F Tの駆動が一定にならない、ライン・ディレイ(line delay)現象が激しくなる。即ち、走査信号が長いゲートラインを通じて印加されることによって、1つのゲートラインの第1のT F Tと第NのT F Tとが、線抵抗により互いに異なる走査信号を受ける問題が発生し得る。

10

【0010】

また、大型液晶表示装置においては、1回のフォト工程でパターンが形成できないため、複数回のフォト工程を行う。従って、1つの基板に複数回のフォト工程を行うことにより、各フォト工程により形成されるT F Tの性能が異なり、単位画素が互いに異なる画質を示すので、全体の画質を低下させることになる。

【0011】

また、一般的なI P Sモードの液晶表示素子においては、横電界を印加するために、画素電極と、前記画素電極と平行に対向する共通電極とを備えるが、前記共通電極は開口率を減少させる問題を発生させる。従って、開口率を最大化するために、共通電極ラインをゲートラインと隣接して形成するが、この過程で、ゲートラインとの短絡などが発生し得、製造工程を難しくする。

20

【0012】

本発明は、このような従来技術の問題点を解決するためになされたもので、I P Sモードの液晶表示素子の構成において、共通電極を別途に構成することなく、隣接画素に形成される電極間で横電界を形成するようにして、ライン・ディレイ問題及びT F T性能のバラツキによる画質の低下を防止しようとするものである。また、共通電極を形成しないことで工程を単純化し、ゲートライン形成時に発生していた不良を減らして液晶表示装置の製造工程を単純化することを目的とする。

30

【課題を解決するための手段】

【0013】

このような目的を達成するために、本発明に係る液晶表示装置は、基板上に形成された複数のゲートラインと前記複数のゲートラインと垂直に交差する複数のデータラインとにより定義される複数の単位画素と、前記単位画素毎に備えられて、左側データラインに連結され、ゲート絶縁膜及びアクティブ層と、前記ゲート絶縁膜及びアクティブ層上に形成された層間絶縁膜、及び前記層間絶縁膜上に形成され前記アクティブ層と連結された第1ソース電極と第1ドレイン電極を含んで構成された第1T F Tと、前記単位画素毎に備えられて、右側データラインに連結され、前記ゲート絶縁膜及びアクティブ層と、前記層間絶縁膜及び前記層間絶縁膜上に形成され前記アクティブ層と連結された第2ソース電極と第2ドレイン電極を含んで構成された第2T F Tと、前記第1T F Tの第1ソース電極と第1ドレイン電極及び前記第2T F Tの第2ソース電極と第2ドレイン電極を含んだ前記層間絶縁膜上に形成された保護層と、前記第1T F T及び第2T F Tとそれぞれ連結され、互いに対応するよう平行に配置され、前記保護層上に形成され、前記第1T F Tの第1ドレイン電極に連結された第1電極と、前記基板上に形成され、前記第2T F Tの第2ドレイン電極と連結された第2電極を含んで構成され、前記第1電極に前記左側データラインに連結された第1T F Tを通じて第1データ電圧が印加され、前記第2電極に前記第2T F Tを通じて第2データ電圧が印加されて、これら第1電極及び第2電極それぞれに印加される第1及び第2データ電圧の差により前記第1電極及び第2電極間に横電界が形成

40

50

され、前記第1電極及び第2電極は透明電極物質から形成されることを特徴とする。

【発明の効果】

【0014】

液晶表示装置が大型化するにつれて、ゲートラインが長くなって線抵抗が増加してライン・ディレイ現象が発生するが、本発明によるIPSモードの液晶表示装置においては、隣接するデータラインから印加されるデータ電圧により単位画素に横電界を発生させるため、ライン・ディレイ現象を防止できるという効果がある。

【0015】

また、薄膜トランジスタの基板上に形成される位置によって、薄膜トランジスタにバラツキが発生しても、隣接する薄膜トランジスタ間では殆どバラツキがないため、薄膜トランジスタのバラツキによる画質の低下を防止できるという効果がある。

10

【0016】

さらに、本発明においては、共通電極を形成しないため、共通電極による開口率の減少を防止することができ、ゲートラインの形成工程を単純化して工程の短縮を図ることができるという効果がある。

【図面の簡単な説明】

【0017】

【図1】本発明の第1の実施の形態による単位画素を示す回路図である。

【図2A】本発明の第1の実施の形態による単位画素を示す平面図である。

【図2B】本発明の第1の実施の形態による単位画素を示す断面図である。

20

【図3A】本発明の第1の実施の形態の変形例を示す平面図である。

【図3B】本発明の第1の実施の形態の変形例を示す断面図である。

【図4】本発明の第2の実施の形態による単位画素を示す回路図である。

【図5】本発明の第2の実施の形態による単位画素を示す平面図である。

【図6】一般的なIPSモードの液晶表示素子の単位画素を示す平面図である。

【図7】一般的なIPSモードの液晶表示素子の単位画素を示す回路図である。

【発明を実施するための形態】

【0018】

本発明の第1の実施の形態によるIPSモードの液晶表示素子は、単位画素毎に形成される1対のスイッチング素子と、前記1対のスイッチング素子とそれぞれ連結される電極とを備える。また、本発明は、IPSモードの液晶表示素子の構成において、共通電極を形成することなく、隣接するデータラインにそれぞれ連結される電極を通じて横電界を形成することを特徴とする。即ち、第1のデータラインに連結される第1のスイッチング素子を通じてデータ電圧を受ける第1の電極と、前記第1のデータラインに隣接する第2のデータラインに連結される第2のスイッチング素子を通じてデータ電圧を受ける第2の電極間で、それぞれのデータ電圧により横電界が形成される。

30

【0019】

また、前記第1の電極及び第2の電極にデータ電圧を印加する際、第1のデータラインを通じて印加される第1のデータ電圧と、第2のデータラインを通じて印加される第2のデータ電圧との差が画像情報になるように、前記第1の電極及び第2の電極にそれぞれデータ電圧を印加する。

40

【0020】

また、本発明の第2の実施の形態による液晶表示素子は、単位画素毎に形成される1つのスイッチング素子と、前記スイッチング素子と連結される電極とを備え、前記電極は、第Nの単位画素に形成される第1の電極と、前記第Nの単位画素に隣接する第N-1の単位画素に形成される第2の電極とからなることを特徴とする。また、前記第1の電極と第2の電極とは一体に形成される。

【0021】

さらに、第Nのデータラインから第1の電極に印加される第Nのデータ電圧、及び第N+1のデータラインから前記第1の電極と同一単位画素に形成される第2の電極に印加さ

50

れる第N+1のデータ電圧により横電界を形成し、これらのデータ電圧の差が画像情報となることを特徴とする。

【0022】

以下、図1及び図2を参照して、本発明の第1の実施の形態による液晶表示素子を説明する。

図1は、本発明の第1の実施の形態による単位画素を示す回路図である。図1に示すように、複数のゲートラインG1、G2・・・と、前記複数のゲートラインG1、G2・・・と垂直に交差する複数のデータラインD1、D2、D3・・・とにより単位画素が定義される。

【0023】

前記単位画素には、スイッチング素子として1対のTFT T1、T2がそれぞれ備えられるが、これらのTFT T1、T2はそれぞれ電極と連結され、これらの電極は互いに平行である。また、前記電極は、液晶層との間でキャパシタを形成する。さらに、前記電極間にはデータラインから印加される電圧により横電界が形成され、前記電極間にはキャパシタが形成される。

【0024】

以下、本発明の第1の実施の形態による液晶表示素子の構造及びその動作を図2A及び図2Bを参照して説明する。

図2A及び図2Bに示すように、複数のゲートライン401と、前記複数のゲートライン401と垂直に交差する複数のデータライン402a、402bとにより単位画素430が定義される。前記単位画素430には、スイッチング素子である1対の薄膜トランジスタ410、420が形成される。前記1対の薄膜トランジスタを便宜上、第1のTFT 410及び第2のTFT 420と称する。

【0025】

前記第1のTFT 410は、前記ゲートライン401と第1のデータライン402aとの交差領域に形成され、前記第2のTFT 420は、前記ゲートライン401と第2のデータライン402bとの交差領域に形成される。

【0026】

また、前記第1のTFT 410には、該第1のTFT 410のドレイン電極403を介して第1の電極404が連結され、前記第2のTFT 420には、該第2のTFTのドレイン電極を介して第2の電極405が連結されている。前記第1の電極404及び第2の電極405は、それぞれ少なくとも1つ以上の互いに平行なサブ電極を備えることができる。さらに、前記第1の電極404と第2の電極405とは、互いに平行であり、前記第1のデータライン402a及び第2のデータライン402bから印加される電圧により横電界を形成し、これにより、液晶が駆動される。

【0027】

一方、前記第1の電極404及び第2の電極405は、同一層上に透明電極物質から形成することができ、図3Aに示すように、何れか1つは透明電極物質から形成し、他の1つはゲート電極形成物質と同じ物質から形成することができる。

図2A及び図3Aに示す液晶表示素子は、単に、何れの段階で電極を形成するかの形成順序に差があり、その機能は同一である。

但し、図2Aに示すように、前記第1の電極404及び第2の電極405を透明電極物質から形成する場合、開口率を向上させることができる。

【0028】

前述したように、本発明の第1の実施の形態による液晶表示素子は、単位画素毎に第1及び第2のTFT 410、420備え、前記第1及び第2のTFTとそれぞれ連結される第1及び第2の電極404、405を備えて横電界を発生させるため、共通電極及び画素電極を使用して横電界を発生させる従来のIPSモードの液晶表示素子に比べて、構造が簡単であり、開口率を向上させることができる。

【0029】

10

20

30

40

50

特に、従来のIPSモードの液晶表示素子の製造工程においては、共通電極がゲートラインと同時に形成され、開口率を増加させるために、ゲートラインと共通電極とを可能な限り近接して形成する。その過程で、ゲートラインと共通電極ラインとが短絡する問題が発生することがあり、短絡したゲートラインを補修するための補修過程が必要である。

【0030】

しかしながら、本発明においては、共通電極ラインを本質的に形成しないため、ゲートラインと共通電極ラインとが短絡する問題が発生せず、ゲートラインの補修工程も不要である。

【0031】

一方、従来は、共通電圧が印加される共通電極と、データラインからデータ電圧が印加される画素電極とにより横電界が形成されて液晶に画像情報が実現されたが、本発明においては、共通電極を備えないので、画素情報を実現する方法が従来と異なる。即ち、前記単位画素に同時に印加される第1のデータ電圧と第2のデータ電圧との差により画素情報が実現される。

10

【0032】

以下、前記画像情報を実現する動作を説明する。

走査信号がゲート駆動回路(図示せず)からゲートライン401に1ライン分ずつ印加されると、ゲートライン401に連結されている各单位画素の第1のTFT410及び第2のTFT420のチャンネルはターンオンする。次に、第1及び第2のデータライン402a、402bを通じて、ゲートライン401の1ライン分に該当するデータ信号が第1

20

及び第2のTFT410、420に印加される。

【0033】

従って、第1のデータ信号は、第1のデータライン402a及び第1のTFT410を通じて、第1の電極404に印加され、第2のデータ信号は、第2のデータライン402b及び第2のTFT420を通じて、第2の電極405に印加される。また、第1の電極404及び第2の電極405に印加されるデータ電圧により、前記第1の電極404と第2の電極405間に横電界が発生して液晶を駆動させる。

【0034】

ここで、前記第1の電極404及び第2の電極405に印加されるデータ電圧により液晶を駆動させるので、これらのデータ電圧の差は、従来の共通電極と画素電極間で発生する電圧差と同一であるべきである。

30

【0035】

従って、第1のデータ電圧及び第2のデータ電圧は従来と異なり、第1のデータ電圧と第2のデータ電圧との電圧差が従来の共通電極と画素電極間で発生する電圧差と同一になるように、第1及び第2のデータ電圧を調整して印加する必要がある。即ち、単位画素には、2つのデータ電圧が印加され、印加される2つのデータ電圧の差が画像情報になるように、データ信号を調整して印加する。

【0036】

前記第1及び2データ電圧の調整は、タイミングコントローラにより行うことができ、画像情報の実現は、前記タイミングコントローラで、外部から印加されるデータ電圧を制御し、その調整されたデータ信号を生成した後、データラインに印加することで行われる。

40

【0037】

一方、電極にデータ信号が印加される場合、前記電極間にはキャパシタが形成されて、単位画素の画像情報を所定時間維持させるストレージキャパシタとしての機能を行うことができる。

【0038】

図2Bは、図2AのI-I線断面図である。

図2Bに示すように、本発明の単位画素には、第1のTFT410及び第2のTFT420が形成され、これらの第1のTFT410及び第2のTFT420とそれぞれ連結さ

50

れる第1の電極404及び第2の電極405が形成される。

【0039】

前述の構造をより詳しく説明すると、基板400上にゲート電極450が形成され、前記ゲート電極450は、ゲート絶縁層451により絶縁される。前記ゲート絶縁層451上には、半導体から構成されることができるアクティブ層460が形成され、前記アクティブ層460は、層間絶縁層452により絶縁されている。

【0040】

また、前記層間絶縁層452上には、前記アクティブ層460とそれぞれ連結されるソース電極470及びドレイン電極403が形成され、前記ソース及びドレイン電極470、403上には、保護層453が形成される。

10

前記保護層453上には、前記ドレイン電極403と連結される第1の電極404及び第2の電極405が形成される。これらの第1及び第2の電極404、405は、透明電極物質から形成されて開口率を向上させることができる。

【0041】

一方、本発明の第1の実施の形態による液晶表示素子において、前記電極は、透明電極物質の他に、ゲートラインを形成する金属物質から形成することもできる。

図3Aは、対向する電極の何れか1つの電極を、ゲートラインを形成する金属物質から形成したものを示す。

図3Aは、図2Aに示す第1の実施の形態の変形例として、第2の電極406がゲートライン401と同一層上に同一物質から形成された点で、図2Aに示す第1の実施の形態と異なる。

20

【0042】

即ち、図3Aに示すように、前記第2の電極406は、アルミニウムまたはモリブデンなどの金属物質から形成することができる。従って、前記第2の電極406は、ゲートライン401が形成される段階で同時にパターニングされることで形成されることができる。

【0043】

図3Bは、図3AのII-II線断面図で、前記第2の電極406がゲートライン401と同一層上に形成され、第2のTFT420のドレイン電極403と連結されることを確認することができる。

30

【0044】

本発明の第1の実施の形態においては、単位画素に1対の薄膜トランジスタを形成し、前記1対の薄膜トランジスタにそれぞれ連結される電極を形成することにより、1つのゲートラインが長くなって線抵抗が大きく発生しても、1つの単位画素に形成された1対の薄膜トランジスタには殆ど同じゲート電圧が印加され、且つ、隣接するデータ電圧間の差により画像情報が実現されるので、ライン・ディレイ現象が発生しない。

【0045】

また、前記単位画素の駆動が単位画素内の薄膜トランジスタ、及び各単位画素を定義する隣接するデータラインから印加されるデータ電圧により決定されるので、スイッチング素子を構成する薄膜トランジスタの特性において、基板全体では多少のバラツキが発生しても、単位画素内では殆どバラツキが発生しないため、薄膜トランジスタのバラツキによる画質の低下を防止することができる。

40

【0046】

一方、本発明は、単位画素に形成される1つの薄膜トランジスタと、前記薄膜トランジスタのドレイン電極と連結され、隣接する2つの画素にわたって形成される1つの電極とを備えて構成される。

【0047】

以下、図4及び図5を参照して、本発明の第2の実施の形態による液晶表示素子を説明する。

図4は、本発明の第2の実施の形態による単位画素を示す回路図である。各単位画素は

50

、1つの薄膜トランジスタを備え、前記薄膜トランジスタには、隣接する2つの単位画素にわたって形成される1つの電極が連結されることに特徴がある。

【0048】

第2の実施の形態が第1の実施の形態と異なる点は、単位画素当たり1つのスイッチング素子を備え、一体をなす1つの電極が隣接する2つの単位画素にわたって形成され、且つ、前記電極が前記1つのスイッチング素子により制御されることにある。

【0049】

以下、本発明の第2の実施の形態による液晶表示素子の構造及び動作を図5を参照して説明する。

図5に示すように、本発明の第2の実施の形態は、複数のゲートライン601と、前記複数のゲートライン601と垂直に交差する複数のデータライン602a、602b、602cとにより、第1の単位画素650及び第2の単位画素640が定義され、これらの単位画素毎に1つの薄膜トランジスタ610が形成され、前記薄膜トランジスタ610には、隣接する単位画素にわたって一体に形成される電極が連結される。

10

【0050】

前記電極は、便宜上、第1の電極620と第2の電極630とに区分して説明するが、前記第1の電極620と第2の電極630とは一体に形成される。また、前記第1の電極620が第1の単位画素650に形成され、前記第2の電極630が前記第1の単位画素650の左側に位置する第2の単位画素640に形成され、結局、1つの電極が隣接する2つの単位画素にわたって形成される。

20

【0051】

前記第1の電極620及び第2の電極630は、互いに平行な複数のサブ電極をさらに備えることができ、隣接する単位画素に形成される電極と平行をなす。言い換えれば、前記第1の電極620と第2の電極630とが一体をなすので、任意の単位画素には、第1の電極620と第2の電極630が共に形成され、これらの電極620、630は互いに平行である。また、1つの単位画素に共に形成される第1の電極620と第2の電極630とは、隣接した単位画素に形成された互いに異なる薄膜トランジスタにより駆動されて横電界を形成する。

【0052】

結局、第2の実施の形態による液晶表示素子は、単位画素毎に、1つの薄膜トランジスタと、第2の単位画素640に形成される第1の電極620と、前記第2の単位画素640に隣接した第1の単位画素650から延びる第2の電極630とを備える。また、前記第1の電極620と第2の電極630とは互いに平行である。

30

【0053】

以下、前述の構造を有する本発明の第2の実施の形態の動作を説明する。本発明の第2の実施の形態は、前記第1の実施の形態と同様に、隣接するデータラインを通じて提供されるデータ電圧により横電界が形成され、前記横電界により液晶が駆動されるものである。但し、前記データ電圧の制御が単位画素当たり1つずつ形成される薄膜トランジスタにより行われる点で第1の実施の形態と異なる。

【0054】

図5に示すように、走査信号がゲート駆動回路(図示せず)からゲートラインに1ライン分ずつ提供されると、前記ゲートライン601に形成される複数の薄膜トランジスタ610はターンオンする。

40

次に、データ駆動回路(図示せず)からデータ電圧が印加されると、第1及び第2のデータライン602a、602bと連結される薄膜トランジスタ610を通じて、第1及び第2の電極620、630にデータ電圧が印加される。

【0055】

図5の単位画素640を参照してその一例を挙げると、ゲート信号により薄膜トランジスタ610がターンオンした後、第1のデータライン602a及び第2のデータライン602bを通じて、第1のデータ電圧及び第2のデータ電圧がそれぞれ薄膜トランジスタ6

50

10に印加される。

【0056】

すると、前記第1のデータライン602aから入力される第1のデータ電圧は、第1の電極620に印加される。また、前記第2のデータライン602bから入力される第2のデータ電圧は、第2のデータライン602bに連結される薄膜トランジスタにより制御されて、第2の電極630に印加される。従って、第1のデータ電圧が印加される第1の電極620と、第2のデータ電圧が印加される第2の電極630とにより横電界が形成され、前記横電界により液晶が駆動される。

【0057】

従って、第1のデータ電圧と第2のデータ電圧との差が単位画素を駆動する画像情報となるので、画素電極及び共通電極を備え、データ電圧を受けて画像情報を実現する従来のIPSモードの液晶表示素子とは異なる方式でデータ電圧を印加すべきである。

10

【0058】

即ち、1つの単位画素には、隣接する2つのデータラインから印加される2つのデータ電圧の差により画像情報が決定されるので、データ信号をデータ駆動回路に提供する前に、タイミングコントローラ(図示せず)は、第Nのデータ電圧と第N+1のデータ電圧との差が画像情報となるように、データ電圧を変化させる必要がある。

【0059】

前述したように、単位画素には常に個別的に提供されるデータ電圧により横電界を形成できるので、ゲートラインが長くなることによって線抵抗が発生しても、ライン・ディレイ現象が発生しなくなる。

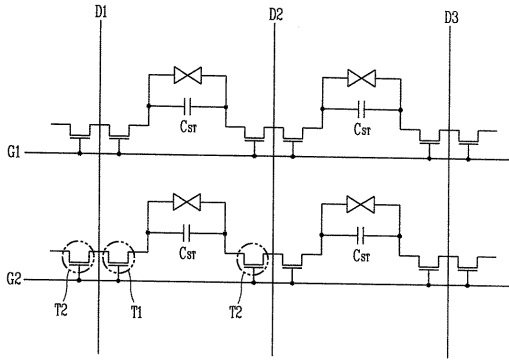
20

即ち、従来は、ゲート電圧及びデータ電圧により画素電極の電圧が決定され、このように決定された画素電極の電圧、及び共通電圧により画像情報が実現されるが、本発明においては、隣接するデータ電圧の差により画像情報が決定されるので、単位画素または隣接する単位画素に形成される薄膜トランジスタの特性が殆ど同一であれば、画面全体においてライン・ディレイによる不良が発生しなくなる。

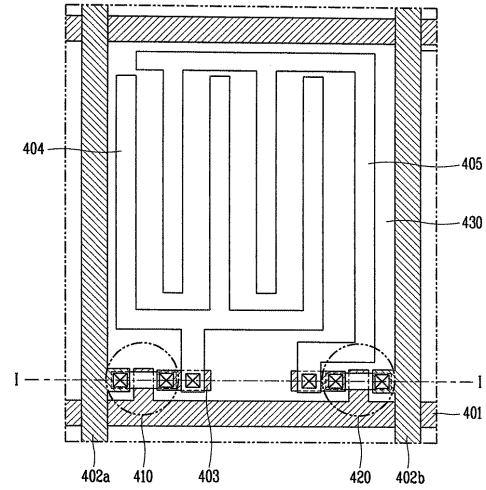
【0060】

また、基板の位置によって薄膜トランジスタの性能にバラツキが発生しても、隣接する薄膜トランジスタ間でバラツキがなければ、画質が低下する問題が発生しない。

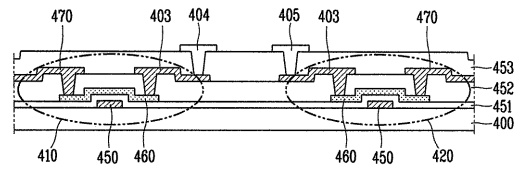
【 図 1 】



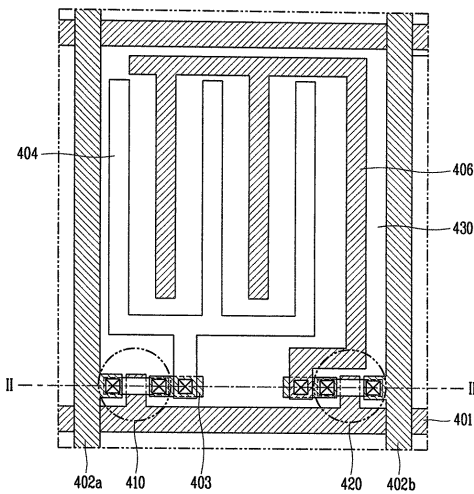
【 図 2 A 】



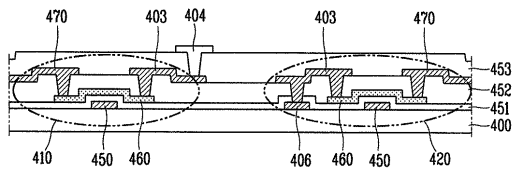
【 図 2 B 】



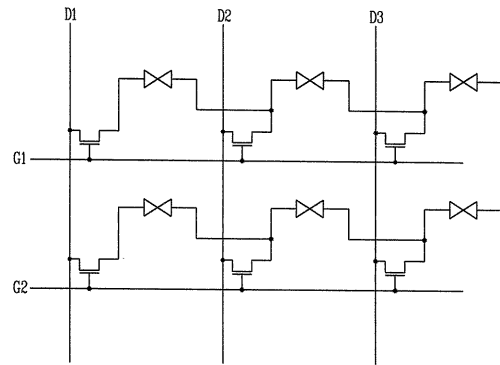
【 図 3 A 】



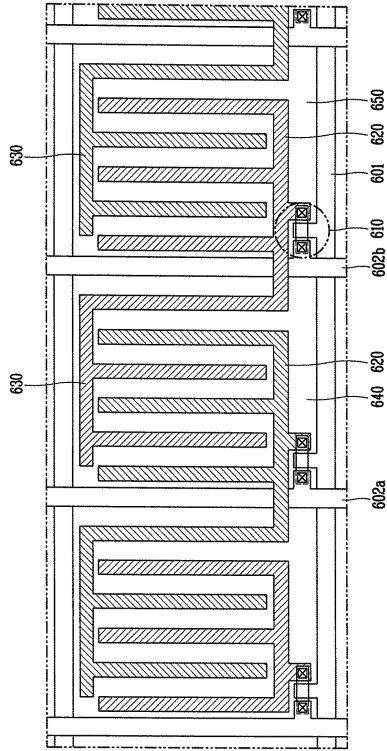
【 図 3 B 】



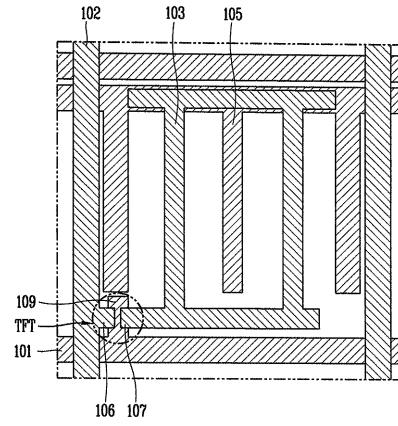
【 図 4 】



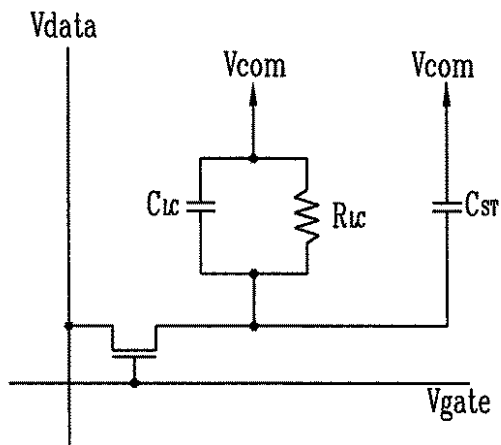
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

審査官 吉田 英一

- (56)参考文献 特開平09 - 033943 (JP, A)
特開平06 - 148596 (JP, A)
特開2002 - 296608 (JP, A)
特開2000 - 338462 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343
G02F 1/1368