

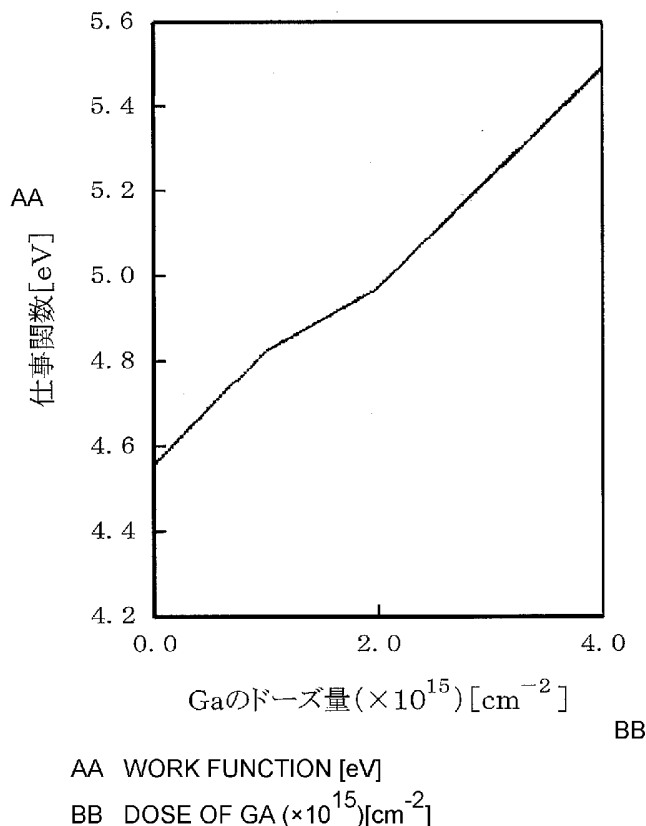


- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/417* (2006.01)
H01L 21/28 (2006.01) *H01L 29/423* (2006.01)
H01L 21/8238 (2006.01) *H01L 29/49* (2006.01)
H01L 27/092 (2006.01) *H01L 29/78* (2006.01)
- (21) 国際出願番号: PCT/JP2006/305133
- (22) 国際出願日: 2006年3月15日 (15.03.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
 特願2005-073234 2005年3月15日 (15.03.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 田中 聖康 (TANAKA, Masayasu) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 若林 整 (WAKABAYASHI, Hitoshi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 山本 豊二 (YAMAMOTO, Toyoji) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 山川 政樹, 外(YAMAKAWA, Masaki et al.); 〒1000014 東京都千代田区永田町2丁目4番2号 秀和溜池ビル8階 山川国際特許事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

[続葉有]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法及び半導体装置



(57) Abstract: A silicon film is formed on a gate insulating film (2) which is formed on the surface of a semiconductor substrate (1). A gallium-doped silicon film (10) is formed by doping the silicon film with gallium. The gallium-doped silicon film is subjected to a heat treatment, and a nickel film (12) is formed on the thus heat-treated gallium-doped silicon film. By performing sintering in a nitrogen atmosphere or a high vacuum, the gallium-doped silicon film provided with the nickel film is subjected to a nickel silicide formation reaction, thereby forming a gate electrode. When an MISFET comprising a silicide gate electrode is manufactured by the above-described method, the work function of the silicide gate electrode can be changed by a greater amount than the conventional ones. Consequently, an MISFET having high driving capability with low power consumption can be manufactured at low cost.

(57) 要約: 半導体基板(1)の表面に成膜されたゲート絶縁膜(2)上にシリコン膜を成膜する。このシリコン膜にガリウムをドーピングしてガリウムドーブシリコン膜(10)を形成する。このガリウムドーブシリコン膜の熱処理を行う。熱処理されたガリウムドーブシリコン膜上にニッケル膜(12)を成膜する。窒素雰囲気中又は高真空中でシンターを行うことにより、ニッケル膜が成膜されたガリウムドーブシリコン膜をニッケルシリサイド反応させてゲート電極を形成する。シリサイドゲート電極を備えたMISFETをこのような方法で製造することにより、シリサイドゲート電極の仕事関数を従来よりも大幅に変動できるようになる。その結果、低消費

ト電極を形成する。シリサイドゲート電極を備えたMISFETをこのような方法で製造することにより、シリサイドゲート電極の仕事関数を従来よりも大幅に変動できるようになる。その結果、低消費

[続葉有]



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置の製造方法及び半導体装置

技術分野

- [0001] 本発明は、半導体装置の製造方法及び半導体装置に関し、特に、金属絶縁物半導体電界効果トランジスタ(MISFET: Metal Insulator Semiconductor Field Effect Transistor)のゲート電極をシリサイド材料により形成する半導体装置の製造方法及び半導体装置に関する。

背景技術

- [0002] 近年、半導体装置の集積密度を高めて性能を向上させるために、半導体装置の構成要素であるMISFETの微細化が進んでいる。これに伴って、トランジスタのチャネル長も短くなってきている。しかし、チャネル長が短くなると、トランジスタのしきい値が低下してリーク電流が増大する短チャネル効果が顕著になってくる。この短チャネル効果を抑制するために、比例縮小の考え方に基づくスケーリング則に従ったいくつかの方法が提案されている。ゲート絶縁膜の薄膜化は、その提案の1つに挙げられる。
- [0003] これまで、スケーリング則に則ったデバイス性能の向上方針に従っていれば、良好な短チャネル特性を維持でき、かつ、チャネル長の縮小と低電圧でのチャネル電荷量増加を実現できたため、低消費電力で高駆動能力を達成することが可能であった。しかし、ゲート長が100nmより短いMISFETでは、不純物がドーピングされた多結晶シリコン(Si)ゲート電極が空乏化するため、ゲート絶縁膜を薄膜化しても、高いチャネルキャリア濃度が得られ難くなっている。これにより、ゲート絶縁膜が電氣的に厚くなることから、ゲート絶縁膜の薄膜化によるMISFETの駆動能力向上が達成され難くなっている。
- [0004] このようなゲート電極の空乏化の問題を解決するために、ゲート電極を既存の不純物をドーピングした多結晶シリコンから、シリサイド材料又は金属材料に置き換えることが提案されている。シリサイド材料と金属材料のどちらを選択するかに関して、現状では、シリサイド材料が有力と考えられている。以下、その理由について説明する。
- 金属材料をCMOSプロセスに適用する金属ゲートプロセスの場合、金属ゲート電

極の微細加工性及び耐熱性の点で問題がある。これらの問題を回避するには、ソース・ドレイン拡散領域を形成した後にゲート電極を形成するゲートラストプロセスが必要と考えられるが、微細化が困難であることとコスト増が問題である。即ち、微細化に伴って、ゲート孔にゲート絶縁膜と金属膜を形成する場合の埋め込みが困難となり、さらにそれらの工程増加により製造コストが増加する。また、n型MISFETとp型MISFETの集積化には、ゲート電極に別々の金属を用いる必要があり、製造上の問題からゲート絶縁膜の信頼性低下を招くおそれがある。

[0005] 一方、シリサイドゲート材料をCMOSプロセスに適用するシリサイドゲートプロセスの場合、ゲート電極加工は、これまで培われてきた多結晶シリコンのノウハウが適用できるため、微細加工性は高い。また、耐熱性に関しても、ソース・ドレイン拡散領域の活性加熱処理前に金属ゲートを形成する金属ゲートプロセスに比べて、熱処理後に形成するシリサイドゲートプロセスの方が耐熱性に関する要求を緩めることができる。これらの理由により、シリサイドゲートプロセスは、次期CMOSプロセスの候補と考えられている。

[0006] シリサイドゲートプロセスにおいて、ゲート電極にどのシリサイド材料を選択するかは重要な事項である。シリサイド材料にもいろいろな種類があるが、そのうち、ニッケルシリサイド(NiSi)は、ゲート絶縁膜との還元性がないため、絶縁膜の信頼性を維持できることが確認されている。さらに、ニッケルシリサイドは、チタンシリサイド(TiSi_2)のように、細線になると抵抗値が高くなる細線効果が起きず、微細なCMOSのゲート電極に適用してもゲート抵抗を十分低く維持できるため、LSIの高速動作性能をさらに向上できる可能性が高い。これらの理由により、シリサイドゲートプロセスにおいて、NiSi材料が次期ゲート電極材料の候補と考えられている。

[0007] しかし、シリサイドゲートプロセスには、解決すべき課題として、シリサイドゲート電極の仕事関数を制御することがある。即ち、NiSiゲート電極をCMOSに適用する場合、NiSi材料の仕事関数をn型MISFET及びp型MISFETのために制御して集積化するプロセス技術が確立されていないのである。NiSi材料の仕事関数は、約4.65eVである。これに対し、これまでのゲート電極材料である、 n^+ 型多結晶シリコンの仕事関数は約4.17eV、 p^+ 型多結晶シリコンの仕事関数は約5.12eVであるから、既存

のLSI回路への適用には、既存の多結晶シリコンゲート電極並みの仕事関数値を目標にNiSiの仕事関数を大幅に変動させる技術が必要となる。

[0008] ここで、上記仕事関数の意味について説明する。一般的な物質の仕事関数は、自由電子が平坦で清浄な物質面から真空中に放出されるのに必要な最小エネルギーで定義される。

これに対し、MISFETの分野では、ゲート電極の材料の仕事関数とシリコン基板の仕事関数との差がMISFETのしきい値電圧を決定するのに大きく影響する。しかし、このしきい値電圧は、ゲート絶縁膜内や、ゲート電極とゲート絶縁膜との界面、さらには、ゲート絶縁膜とシリコン基板との界面のそれぞれにおける固定電荷や界面準位に影響される。このため、MISFETの分野における「ゲート電極の仕事関数」は、上記した一般的な物質の仕事関数に、上記固定電荷や界面準位の影響をも含めた意味を有している。

[0009] 以上説明した、既存の多結晶シリコンゲート電極並みの仕事関数値を目標にNiSiの仕事関数を大幅に変動させる技術について、いくつか提案されている。まず、文献1(J. Kedzierski, et al., "Metal-Gate FinFET and fully-depleted SOI devices using total gate silicidation", IEDM technical Digest, 2002, p.247-250)には、ボロン(B)をドーピングした多結晶シリコンをニッケルシリサイド反応させてNiSiゲート電極を形成する半導体装置の製造方法が記載されている。この製造方法によれば、NiSiゲート電極の仕事関数は、4.74eVになる。以下、この技術を第1の従来例と呼ぶ。

[0010] また、文献2(C. Cabral, Jr., et al., "Dual Workfunction Fully Silicided Metal Gates", 2004 Symposium on VLSI Technology Digest of Technical Papers, 2004, p.184-185)には、アルミニウム(Al)をドーピングした多結晶シリコンをニッケルシリサイド反応させてNiSiゲート電極を形成する半導体装置の製造方法が記載されている。この製造方法によれば、NiSiの仕事関数は、4.79eVになる。以下、この技術を第2の従来例と呼ぶ。

[0011] さらに、文献3(D. S. Yu, et al., "Fully Silicided NiSi and Germanided NiGe Dual Gates on SiO₂ n- and p-MOSFETs", IEEE Electron Device Letters, Vol.24, No.11, November 2003 p.739-741)には、多結晶シリコン膜の代わりにポリゲルマニウム膜を成

膜した後、ニッケルゲルマナイド反応させてNiGeゲート電極を形成する半導体装置の製造方法が記載されている。この製造方法によれば、NiGeゲート電極の仕事関数は、5.2eVまで変化する。以下、この技術を第3の従来例と呼ぶ。

[0012] なお、文献4(特開平1-138730号)には、nチャネルのMOSTランジスタのゲート材料として、電子親和力の大きな物質、即ち、B、Al、Ga等をドーピングしたp型多結晶シリコン又は、NiSi、NiSi₂等のシリサイドを用いる半導体装置が記載されている。以下、この技術を第4の従来例と呼ぶ。

[0013] また、文献5(特開2003-100770号)には、ゲート電極及びソース・ドレイン領域の表層にアンチモン(Sb)やGa等をイオン注入した後、シリコンと反応させて多結晶シリコン膜とニッケルシリサイドからなるゲート電極を形成する半導体装置の製造方法が記載されている。以下、この技術を第5の従来例と呼ぶ。

発明の開示

発明が解決しようとする課題

[0014] しかし、上記した第1及び第2の従来例では、p⁺型多結晶シリコンと比べて仕事関数制御が不十分であると思われる。また、仮に、上記した第1及び第2の従来例のように、NiSiに不純物をドーピングしてp型MISFETを形成した場合でも、NiSiゲート電極の仕事関数の違いから、既存の設計値より基板不純物濃度をさらに薄め、しきい値電圧を低める努力が必要となる。具体的な数値としては、p型MISFETに関しては、基板不純物濃度を薄めることにより、しきい値電圧を0.3V以上、下げなければならない。そのため、基板不純物濃度の極端な低濃度化が必要になり、短チャネル特性について大幅な劣化を招くであろうと予測することができる。

一方、上記した第3の従来例は、CMOSプロセスには適用しにくいという問題がある。

[0015] また、上記した第4の従来例では、専ら隣接するnチャネルのMOSTランジスタを分離するトレンチ部内面に設けられた補償物質層により、トレンチアイソレーションにおけるリーク電流減少や短チャネル効果の発生を防止している。従って、上記した第4の従来例では、上記した第1～第3の従来例が有するそれぞれの問題を解決できるものではない。

また、上記した第5の従来例では、ゲート電極の表面及びソース・ドレイン領域の表面にNi膜及びTiN膜を順次形成した後、これらを反応させてNiSi膜を形成している。従って、Ni膜及びTiN膜を順次形成する工程と、ゲート電極をシリサイド構造とした後に残存するNi膜及びTiN膜を除去する工程とが必要であり、工程数が増加するという課題があった。さらに、上記した第4及び第5の従来例には、NiSiの仕事関数を大幅に変動させる技術については、何ら開示も示唆もされていない。

- [0016] 本発明はこのような課題を解決するためになされたものであり、その目的は、シリサイドゲート電極を備えたMISFET等の半導体装置について、シリサイドゲート電極の仕事関数を従来よりも大幅に変動できるようにすることにある。

課題を解決するための手段

- [0017] このような目的を達成するために、本発明に係る半導体装置の製造方法は、半導体基板の表面に成膜されたゲート絶縁膜上にシリコン膜を成膜する工程と、前記シリコン膜にガリウムをドーピングしてガリウムドープシリコン膜を形成する工程と、前記ガリウムドープシリコン膜の熱処理を行う工程と、熱処理された前記ガリウムドープシリコン膜上にニッケル膜を成膜する工程と、窒素雰囲気中及び高真空中のいずれかでシンターを行うことにより、前記ニッケル膜が成膜された前記ガリウムドープシリコン膜をニッケルシリサイド反応させてゲート電極を形成する工程とを備えることを特徴とする。

- [0018] また、本発明の半導体装置は、半導体基板と、前記半導体基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたガリウムドープニッケルシリサイド膜からなるゲート電極とを備え、上述した半導体装置の製造方法により製造されたことを特徴とする。

- [0019] また、本発明の半導体装置は、半導体基板と、前記半導体基板上の一部に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたガリウムドープニッケルシリサイド膜からなるゲート電極と、前記半導体基板に形成されたソース・ドレイン領域と、前記ソース・ドレイン領域の表面に形成されたソース・ドレインシリサイド膜とを備え、ゲート電極は、ソース・ドレインシリサイド膜よりも膜厚が薄いことを特徴とする。

発明の効果

[0020] 本発明によれば、シリサイドゲート電極を備えたMISFET等の半導体装置について、シリサイドゲート電極の仕事関数を従来よりも大幅に変動できるようになる。その結果、低消費電力で高駆動能力を有する半導体装置を低コストで製造することが可能となる。

図面の簡単な説明

[0021] [図1A-F]図1A～図1Fは、本発明の実施例1に係る半導体装置の製造方法を示す工程図である。

[図2]図2は、Gaのドーズ量に対する仕事関数のシフトについての実験結果の一例を示す図である。

[図3A-D]図3A～図3Dは、本発明の実施例2に係る半導体装置の製造方法を示す工程図である。

[図4A-E]図4A～図4Eは、本発明の実施例3に係る半導体装置の製造方法を示す工程図である。

発明を実施するための最良の形態

[0022] 実施例1.

図1A～図1Fは、本発明の実施例1に係る半導体装置の製造方法を示す工程図である。本発明の実施例1では、図1Fに示すGaドープNiSiゲート電極11を有するp型MISFETの製造方法について説明する。以下、順を追ってその製造工程を説明する。

まず、n型の不純物がドーピングされたシリコン(Si)基板1を準備する。このSi基板1の表面から深さ方向に所定深さ、例えば、300nmの領域におけるn型不純物濃度は、例えば、 $5 \times 10^{16} \text{cm}^{-3} \sim 5 \times 10^{18} \text{cm}^{-3}$ である。Si基板1上に、公知のLOCOS(Local Oxidation of Silicon)法やSTI(Shallow Trench Isolation)法などにより図示せぬ素子分離領域を形成した後、熱酸化法又はラジカル酸窒化法によりゲート絶縁膜2を成膜する。このゲート絶縁膜2は、シリコン酸化膜又はシリコン酸窒化膜のどちらであっても良い。また、ゲート絶縁膜2の膜厚は、例えば、0.5nm～5nm程度である。

[0023] 次に、後にNiSiゲート電極となるべき多結晶シリコン膜3を化学気相成長(CVD:Chemical Vapor Deposition)法を用いてゲート絶縁膜2上に成膜する。その後、この多

結晶シリコン膜3上にイオン注入の保護マスクとなるマスクシリコン酸化膜(第1のマスク)4をCVD法を用いて成膜する。ここで、多結晶シリコン膜3の膜厚は、例えば、75 nmであり、マスクシリコン酸化膜4の膜厚は、例えば、50nmである。また、マスクシリコン酸化膜4は、材料としてシリコン酸化膜の代わりに同等の膜厚を有するシリコン窒化膜を用いても良い。以上説明した製造工程により、図1Aに示す中間製造物が製造される。

[0024] 次に、リソグラフィ技術を用いてゲート電極をパターニングし、ドライエッチング法を用いてマスクシリコン酸化膜4、多結晶シリコン膜3及びゲート絶縁膜2に対して垂直性の高いエッチングを行って、Si基板1の表面を部分的に露出させる。次に、Si基板1の露出部分にエクステンション領域5を形成するために、Bやフッ化ボロン(BF_2)などのp型不純物をイオン注入する。エクステンション領域5の深さは、例えば、20nmであり、また不純物濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。以上説明した製造工程により、図1Bに示す中間製造物が製造される。

[0025] 次に、サイドウォール6を形成する。サイドウォール6の構造としては、例えば、シリコン酸化膜の単層構造又はシリコン窒化膜の単層構造が考えられる。まず、シリコン酸化膜の単層構造によりサイドウォール6を形成した場合、Gaドープ多結晶シリコン膜10をニッケルシリサイド化する前に、Gaドープ多結晶シリコン膜10上に成膜されたマスクシリコン窒化膜をエッチングで取り除く必要がある。このとき、エッチング溶液として、サイドウォール6のシリコン酸化膜に対するエッチング選択性が高いリン酸溶液を用いれば、マスクシリコン窒化膜を完全に取り除くことができる一方、サイドウォール6を残すことができる。しかし、コバルトシリサイド(CoSi_2)からなるソース・ドレインシリサイド膜7を形成する前の処理において、フッ化水素酸(HF)溶液処理によりシリコン酸化膜がエッチングされるため、ソース・ドレインシリサイド膜7が接合深さの浅いエクステンション領域5の上に形成される。これにより、ソース又はドレインと基板電極が導通してしまい、接合リーク電流の増加が懸念される。一方、シリコン窒化膜の単層構造によりサイドウォール6を形成した場合、サイドウォール6とエクステンション領域5との接触面で界面荒れが発生する可能性があり、このことがエクステンション領域5の抵抗増加を招くおそれがある。

[0026] しかし、以上説明した2つの問題は、シリコン酸化膜とシリコン窒化膜の積層構造によりサイドウォール6を形成することで解決することができる。以下、サイドウォール6の形成手順について説明する。まず、シリコン酸化膜をCVD法を用いて均等に、かつ、等方的(コンフォーマル)に成膜する。成膜されたシリコン酸化膜の膜厚は、例えば、10nmである。次に、シリコン窒化膜をCVD法を用いてコンフォーマルに成膜する。成膜したシリコン窒化膜の膜厚は、例えば、70nmである。その後、ドライエッチング法を用いて、成膜したシリコン酸化膜及びシリコン窒化膜の厚さの分だけを垂直性の高いエッチングで取り除く。上記の例では、サイドウォール6の側壁膜厚は、80nmになる。

[0027] 次に、Si基板1の露出部分にソース・ドレイン拡散領域8を形成するために、例えば、Bや BF_2 など、周期表の第III族の元素からなるp型不純物のイオン注入を行う。ソース・ドレイン拡散領域8に注入されたp型不純物の不純物濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{22} \text{ cm}^{-3}$ である。ソース・ドレイン拡散領域8の接合深さは、例えば、100nmである。なお、多結晶シリコン膜3は、マスクシリコン酸化膜4に覆われている。従って、エクステンション領域5を形成する際と、このソース・ドレイン拡散領域8を形成する際にそれぞれ行われたイオン注入では、多結晶シリコン膜3には不純物はほとんど注入されていない。このため、多結晶シリコン膜3へのp型不純物の注入量は、後述する工程で多結晶シリコン膜3に注入されるガリウム(Ga)の注入量に比べて、2桁以上低い値にすることができる。

[0028] 次に、注入した不純物を電気的に活性化させるために、急速加熱(RTA: Rapid Thermal Annealing)処理法を用いて、所定の加熱温度(例えば、 $900^\circ\text{C} \sim 1100^\circ\text{C}$)及び所定の加熱時間(例えば、20秒以下)という条件の下において、上記したイオン注入が終了した中間製造物についてアニールを行う。次に、ソース・ドレイン拡散領域8の表面に、 NiSi 、 CoSi_2 、 TiSi_2 のいずれかからなるソース・ドレインシリサイド膜7を形成する。

[0029] 以下、ソース・ドレインシリサイド膜7の形成手順について、 CoSi_2 を例にとって、説明する。まず、アニールが終了した中間製造物の表面を、硫酸(H_2SO_4)と過酸化水素水(H_2O_2)とを3:1の割合で混合した混合液(SPM: sulfuric acid/hydrogen perox

ide/mix) (以下、「SPM溶液」と称する。)で洗浄した後、アンモニア(NH_4OH)と過酸化水素水(H_2O_2)と純水(H_2O)とを1:1:5の割合で混合したSC-1溶液で洗浄することにより、清浄する。

[0030] 次に、上記清浄後の中間製造物をHF溶液に浸漬させ、ソース・ドレイン拡散領域8の表面に形成された自然酸化膜を完全に除去した後、超純水で洗浄し、乾燥させる。次に、上記自然酸化膜が除去された状態の中間製造物の表面に、スパッタ法又は蒸着法を用いて、Co膜を、例えば、1nm～20nm程度だけ成膜する。その後、窒素雰囲気中又は例えば、1mTorr以下の真空中で、所定の加熱温度(例えば、650℃～800℃)及び所定の加熱時間(例えば、10秒～10分)という条件の下において、シンターを行う。このシンター工程は、必要であれば、例えば、700℃の低温シンターと、例えば、800℃の高温シンターとの2回の工程に分けて行っても良い。このシンター工程で発生した余剰な反応生成物等は、上記SPM溶液又は、塩酸(HCl)と過酸化水素水(H_2O_2)と純水(H_2O)とを1:1:6の割合で混合したSC-2溶液のいずれかで除去する。このとき、上記したように、多結晶シリコン膜3は、マスクシリコン酸化膜4に覆われているため、シリサイド化せず、ソース・ドレイン拡散領域8の表面にだけ、ソース・ドレインシリサイド膜7が形成される。以上説明した製造工程により、図1Cに示す中間製造物が製造される。

[0031] 次に、図1Cに示す中間製造物の表面に、プラズマCVD法を用いて、シリサイドマスク酸化膜(第2のマスク)9を、例えば、400℃以下の低温で成膜する。シリサイドマスク酸化膜9を低温で成膜する理由は、ソース・ドレインシリサイド膜7の熱安定性を維持するためである。シリサイドマスク酸化膜9の膜厚は、10000nm～50000nm程度あれば良い。シリサイドマスク酸化膜9の表面は、下地であるソース・ドレインシリサイド膜7の凹凸の影響を受けて平坦ではない。そこで、化学的機械的研磨(CMP:Chemical Mechanical Polishing)を行い、シリサイドマスク酸化膜9の表面を平坦化するとともに、マスクシリコン酸化膜4を除去して多結晶シリコン膜3の表面が現れるまで研磨を行う。

[0032] これにより、図1Dに示すように、ソース・ドレイン拡散領域8の表面は、シリサイドマスク酸化膜9で覆われている一方、多結晶シリコン膜3の表面が現れた状態になる。

次に、表面が現れた多結晶シリコン膜3にイオン注入法を用いてGaをドーピングすることにより、Gaドーブ多結晶シリコン膜10を形成する。この場合の注入エネルギーは、Gaイオンが多結晶シリコン膜3を突き抜けてSi基板1に到達しない程度であれば良く、例えば、5keVである。また、Gaのドーズ量は、Gaドーブ多結晶シリコン膜10をニッケルシリサイド化したときに所期の仕事関数が得られるように、例えば、 $5 \times 10^{12} \text{cm}^{-2} \sim 5 \times 10^{16} \text{cm}^{-2}$ の間で条件を設定すれば良い。

[0033] 次に、RTA処理法を用いて、所定の加熱温度(例えば、750℃～1100℃)及び所定の加熱時間(例えば、20秒以下)という条件の下において、上記したGaイオンの注入が終了した中間製造物、特に、Gaドーブ多結晶シリコン膜10について熱処理を行う。この熱処理は、ニッケルシリサイドの仕事関数シフトに必要な前処理である。図2は、Gaのドーズ量に対する仕事関数のシフトについての実験結果の一例を示している。この実験では、上記熱処理は、加熱温度を950℃とし、加熱時間を10秒とした。以上説明した製造工程により、図1Dに示す中間製造物が製造される。

[0034] 次に、GaドーブNiSiゲート電極11を形成する。以下、GaドーブNiSiゲート電極11の形成手順について説明する。まず、図1Dに示す中間製造物をHF溶液に浸漬させ、Gaドーブ多結晶シリコン膜10の表面に形成された自然酸化膜を完全に除去した後、超純水で洗浄し、乾燥させる。このとき、シリサイドマスク酸化膜9もHF溶液によりエッチングされるが、シリサイドマスク酸化膜9の膜厚は、Gaドーブ多結晶シリコン膜10上の自然酸化膜の膜厚に比べて十分に厚いため、シリサイドマスク酸化膜9は、このHF処理後も残存している。

[0035] 次に、上記自然酸化膜が除去された状態の中間製造物の表面に、スパッタ法、蒸着法あるいはCVD法を用いて、Ni膜12を、例えば、Gaドーブ多結晶シリコン膜10の膜厚の0.3倍～0.6倍の厚さだけ成膜する(図1E参照)。その後、窒素雰囲気中又は例えば、1mTorr以下の真空中で、所定の加熱温度(例えば、350℃～600℃)及び所定の加熱時間(例えば、10秒～10分)という条件の下において、シンターを行うことにより、GaドーブNiSiゲート電極11を形成する。このシンター工程で発生した余剰な反応生成物等は、上記SPM溶液等で除去する。以上説明した製造工程により、図1Fに示す半導体装置、即ち、GaドーブNiSiゲート電極11を有するp型MIS

FETが製造される。

[0036] 本発明の実施例1では、図1D及び図1Fに示すように、ソース・ドレインシリサイド膜7とGaドープNiSiゲート電極11とを別々にシリサイド化している。これにより、ソース・ドレイン拡散領域8では接合リーク電流が増加しないようにソース・ドレインシリサイド膜7を比較的薄く製造することができる一方、ゲート電極としては、厚いGaドープNiSiゲート電極11を形成することができる。また、ソース・ドレイン拡散領域8にNiSiに比べ高温まで熱安定性の高い CoSi_2 を用いた場合には、プラズマCVD法を用いてシリサイドマスク酸化膜9を成膜する際に加わる熱に対して、ソース・ドレインシリサイド膜7の安定性を維持することができる。

従って、本発明の実施例1によれば、製造工程の工程数は増加するが、シリサイドプロセスを用いることなく、後にゲート電極となるべき多結晶シリコン膜3だけを選択的にニッケルシリサイド化することにより、ゲート長によるNiSi組成比依存性を改善することができ、安定なNiSiゲート電極を形成することができる。また、ゲート絶縁膜の薄膜化によるMISFETの駆動能力向上を達成することができる。

[0037] また、本発明の実施例1によれば、ゲート絶縁膜2とGaドープNiSiゲート電極11との少なくとも界面部分にGaがドーピングされている。そして、この界面部分におけるGaの濃度は、 $1 \times 10^{17} \text{cm}^{-3}$ 以上であって、Si結晶中のGa固溶限界濃度以下である。また、この界面部分におけるGaは、ゲート絶縁膜2中に存在して、固定電荷又はトラップ準位となるものである。従って、本発明の実施例1によれば、GaドープNiSiゲート電極11の仕事関数を、Gaのドーピング量に応じて、通常のニッケルシリサイドの仕事関数である4.66eVから p^+ 型多結晶シリコンの仕事関数である5.17eV並みにまで大幅に変動させることができる。

[0038] 実施例2.

図3A～図3Dは、本発明の実施例2に係る半導体装置の製造方法を示す工程図である。本発明の実施例2では、リソグラフィ技術を用いて、図3Dに示す、上記実施例1で説明したGaドープNiSiゲート電極を有する p 型MISFET21と、上記文献2に開示されているアンチモン(Sb)等をドーピングしたNiSiゲート電極を有する n 型MISFET22とからなるCMOSを集積化する製造方法について、説明する。

[0039] 以下では、n型MISFET22のNiSiゲート電極を製造する際に、Sbをドーピングする例について説明するが、ヒ素(As)又はリン(P)をドーピングしても良い。

なお、図3Aに示す製造工程より前の製造工程については、上記実施例1で説明した、図1A～図1Cに示す製造工程と同様である。従って、図3A～図3Dにおいて、図1A～図1Fの各部に対応する部分には同一の符号を付け、その説明を省略する。ただし、図3A～図3Dには、上記実施例1で説明及び図示をともに省略した素子分離領域23を図示している。また、n型MISFET領域22のSi基板24の表面から深さ方向の、例えば、300nmの領域には、p型不純物が、例えば、 $5 \times 10^{16} \text{cm}^{-3} \sim 5 \times 10^{18} \text{cm}^{-3}$ 程度の不純物濃度で存在する。

[0040] 以下、順を追って上記CMOSの製造工程を説明する。図1Dに示すイオン注入法を用いたGaのイオン注入前に、図3Aに示すように、リソグラフィー技術を用いて、n型MISFET領域22をレジストマスク25で覆った後、Gaをドーピングする。これにより、p型MISFET領域21の表面が現れた多結晶シリコン膜3にGaがドーピングされ、Gaドープ多結晶シリコン膜10が形成される。この場合の注入エネルギーは、Gaイオンが多結晶シリコン膜3を突き抜けてSi基板24に到達しない程度であれば良く、例えば、5keVである。また、Gaのドーズ量は、Gaドープ多結晶シリコン膜10をニッケルシリサイド化したときに所期の仕事関数が得られるように、例えば、 $5 \times 10^{12} \text{cm}^{-2} \sim 5 \times 10^{16} \text{cm}^{-2}$ の間で条件を設定すれば良い。以上説明した製造工程により、図3Aに示す中間製造物が製造される。

[0041] 次に、レジストマスク25を剥離した後、同様にリソグラフィー技術を用いて、p型MISFET領域21をレジストマスク26で覆い、Sbをドーピングする。これにより、n型MISFET領域22の表面が現れた多結晶シリコン膜3にSbがドーピングされ、Sbドープ多結晶シリコン膜27が形成される。この場合の注入エネルギーは、Sbイオンが多結晶シリコン膜3を突き抜けてSi基板24に到達しない程度であれば良く、例えば、10keVである。以上説明した製造工程により、図3Bに示す中間製造物が製造される。

[0042] 次に、RTA処理法を用いて、所定の加熱温度(例えば、750℃～1100℃)及び所定の加熱時間(例えば、20秒以下)という条件の下において、上記したGaイオン及びSbイオンの注入が終了した中間製造物、特に、Gaドープ多結晶シリコン膜10及

びSbドープ多結晶シリコン膜27について熱処理を行う。この熱処理は、ニッケルシリサイドの仕事関数シフトに必要な前処理である。

[0043] 次に、GaドープNiSiゲート電極11及びSbドープNiSiゲート電極28を同時に形成する。以下、GaドープNiSiゲート電極11及びSbドープNiSiゲート電極28の形成手順について説明する。まず、図3Bに示す中間製造物をHF溶液に浸漬させ、レジストマスク26と、Gaドープ多結晶シリコン膜10及びSbドープ多結晶シリコン膜27の表面にそれぞれ形成された自然酸化膜とを完全に除去した後、超純水で洗浄し、乾燥させる。このとき、シリサイドマスク酸化膜9もHF溶液によりエッチングされるが、シリサイドマスク酸化膜9の膜厚は、Gaドープ多結晶シリコン膜10及びSbドープ多結晶シリコン膜27上の自然酸化膜の膜厚に比べて十分に厚いため、シリサイドマスク酸化膜9は、このHF処理後も残存している。

[0044] 次に、上記自然酸化膜が除去された状態の中間製造物の表面に、スパッタ法、蒸着法あるいはCVD法を用いて、Ni膜29を、例えば、Gaドープ多結晶シリコン膜10及びSbドープ多結晶シリコン膜27の膜厚の0.3倍～0.6倍の厚さだけ成膜する(図3C参照)。その後、窒素雰囲気中又は例えば、1mTorr以下の真空中で、所定の加熱温度(例えば、350℃～600℃)及び所定の加熱時間(例えば、10秒～10分)という条件の下において、シンターを行うことにより、GaドープNiSiゲート電極11及びSbドープNiSiゲート電極28を形成する。このシンター工程で発生した余剰な反応生成物等は、上記SPM溶液等で除去する。以上説明した製造工程により、図3Dに示す半導体装置、即ち、GaドープNiSiゲート電極11を有するp型MISFETと、SbドープNiSiゲート電極28を有するn型MISFETとからなるCMOSが製造される。

[0045] このように、本発明の実施例2によれば、上述した実施例1に係る半導体装置の製造方法で得られる効果を損なうことなく、CMOSを集積化することができる。また、本発明の実施例2によれば、リソグラフィ技術を用いるだけでシリサイドゲートCMOSを集積化することができるので、他のゲートラストプロセスによる金属ゲートCMOSと比較して、コストメリットと絶縁膜信頼性が高いと言える。

[0046] 実施例3.

図4A～図4Eは、本発明の実施例3に係る半導体装置の製造方法を示す工程図

である。本発明の実施例3では、図4Eに示すGaドープNiSiゲート電極11を有するp型MISFETの製造方法について説明する。本発明の実施例3では、ソース・ドレイン拡散領域の表面及びゲート電極の表面を同時にシリサイド化するサリサイド(Salicide: Self-Aligned Silicide)プロセスを適用している。このサリサイドプロセスをMISFETの製造方法に適用した場合、ゲート電極上に成膜されるNi膜の膜厚とソース・ドレイン拡散領域上に成膜されるNi膜の膜厚とが等しくなるため、Niシンター工程を経てそれぞれ形成されるゲート電極上のNiSi膜の膜厚と、ソース・ドレイン拡散領域上のNiSi膜の膜厚とが等しくなる。

[0047] しかし、ゲート長が150nm以下になると、サリサイドプロセスをMISFETの製造方法に適用した場合、ゲート電極上のNiSi膜の膜厚の方がソース・ドレイン拡散領域上のNiSi膜の膜厚より厚くなる傾向にある。そこで、本発明の実施例3では、この現象を積極的に利用している。即ち、上記したように、サリサイドプロセスをMISFETの製造方法に適用することにより、ソース・ドレイン拡散領域上のNiSi膜の膜厚がゲート電極上のNiSi膜の膜厚より薄くなる。このため、ソース・ドレイン拡散領域では、ソース又はドレインと基板電極とが導通することに起因する接合リーク電流の増加を抑制することができるとともに、ゲート電極となるべき多結晶シリコン膜のすべてをニッケルシリサイド化することができる。

[0048] 以下、順を追ってサリサイドプロセスをMISFETの製造方法に適用した製造工程を説明する。まず、n型の不純物がドーピングされたSi基板31を準備する。このSi基板31の表面から深さ方向に所定深さ、例えば、300nmの領域におけるn型不純物濃度は、例えば、 $5 \times 10^{16} \text{cm}^{-3} \sim 5 \times 10^{18} \text{cm}^{-3}$ である。Si基板31上に、公知のLOCO S法やSTI法などにより図示せぬ素子分離領域を形成した後、熱酸化法又はラジカル酸窒化法によりゲート絶縁膜32を成膜する。このゲート絶縁膜32は、シリコン酸化膜又はシリコン酸窒化膜のどちらであっても良い。また、ゲート絶縁膜32の膜厚は、例えば、0.5nm～5nm程度である。

[0049] 次に、後にNiSiゲート電極となるべき多結晶シリコン膜33をCVD法を用いてゲート絶縁膜32上に成膜する。ここで、多結晶シリコン膜33の膜厚は、例えば、10nm～100nm(好ましくは、50nm)である。次に、多結晶シリコン膜33にイオン注入法を用

いてGaをドーピングすることにより、Gaドーブ多結晶シリコン膜34を形成する。この場合の注入エネルギーは、Gaイオンが多結晶シリコン膜33を突き抜けてSi基板31に到達しない程度であれば良く、例えば、5keVである。また、Gaのドーズ量は、Gaドーブ多結晶シリコン膜34をニッケルシリサイド化したときに所期の仕事関数が得られるように、例えば、 $5 \times 10^{12} \text{cm}^{-2} \sim 5 \times 10^{16} \text{cm}^{-2}$ の間で条件を設定すれば良い。以上説明した製造工程により、図3Aに示す中間製造物が製造される。

[0050] 次に、Gaドーブ多結晶シリコン膜34上にイオン注入の保護マスクとなるマスクシリコン酸化膜35をCVD法を用いて成膜する。ここで、マスクシリコン酸化膜35の膜厚は、例えば、70nmである。次に、リソグラフィ技術を用いてゲート電極をパターンニングし、ドライエッチング法を用いてマスクシリコン酸化膜35、Gaドーブ多結晶シリコン膜34及びゲート絶縁膜32に対して垂直性の高いエッチングを行って、Si基板31の表面を部分的に露出させる。

[0051] ここで、マスクシリコン酸化膜35は、材料としてシリコン酸化膜のかわりに同等の膜厚を有するシリコン窒化膜を用いても良い。ただし、イオン注入の保護マスクとしてシリコン窒化膜(以下、「マスクシリコン窒化膜」と称する。)を用いた場合、図4Cに示すサイドウォール37の材料は、シリコン酸化膜を用いなければならない。以下、その理由を説明する。即ち、サイドウォール37の材料としてシリコン酸化膜を用いた場合、Gaドーブ多結晶シリコン膜34をニッケルシリサイド化する前に、Gaドーブ多結晶シリコン膜34上に成膜されたマスクシリコン窒化膜をエッチングで取り除く必要がある。このとき、エッチング溶液として、サイドウォール37のシリコン酸化膜に対するエッチング選択性が高いリン酸溶液を用いれば、マスクシリコン窒化膜を完全に取り除くことができる一方、サイドウォール37を残すことができる。しかし、 CoSi_2 からなるソース・ドレインシリサイド膜7を形成する前の処理において、HF溶液処理によりシリコン酸化膜がエッチングされるため、ソース・ドレインシリサイド膜41が接合深さの浅いエクステンション領域36の上に形成される。これにより、ソース又はドレインと基板電極が導通してしまい、接合リーク電流の増加が懸念される。そこで、この接合リーク電流の増加を招かないようにするために、サイドウォール37を残す必要がある。

[0052] 一方、マスクシリコン酸化膜35の材料としてシリコン酸化膜を用いた場合、マスクシ

リコン酸化膜35の材料としてシリコン窒化膜を用いた場合とは逆の理由により、サイドウォール37の材料は、シリコン窒化膜を用いなければならない。そして、Gaドープ多結晶シリコン膜34上に成膜されたマスクシリコン酸化膜35をエッチングで取り除く際のエッチング溶液として、HF溶液を用いると良い。ただし、サイドウォール37とエクステンション領域36との接触面で界面荒れが発生する可能性があり、このことがエクステンション領域36の抵抗増加を招くおそれがある。そのような場合には、シリコン酸化膜とシリコン窒化膜とを積層した積層サイドウォールを用いると良い。以下の説明では、マスクシリコン酸化膜35の材料としてシリコン酸化膜を用いた場合について説明する。

[0053] 次に、Si基板31の露出部分にエクステンション領域36を形成するために、Bや BF_2 などのp型不純物をイオン注入する。エクステンション領域36の深さは、例えば、20nmであり、また不純物濃度は、例えば、 $1 \times 10^{19} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ である。なお、エクステンション領域36は、上記p型不純物のイオン注入により結晶欠陥が発生している場合があるため、この結晶欠陥を除去するための熱処理工程を施しても良い。上記したように、Gaドープ多結晶シリコン膜34に熱処理を行うことにより、Gaドープ多結晶シリコン膜34をニッケルシリサイド化すると、仕事関数をGaのドープ量に応じて、通常のニッケルシリサイドの仕事関数である4.66eVからp⁺型多結晶シリコンの仕事関数である5.17eV並みにまで変化させることができる。従って、上記結晶欠陥を除去するための熱処理工程をGaドープ多結晶シリコン膜34に必要な熱処理として実施できるので、工程数の増加を抑えることができる。以上説明した製造工程により、図4Bに示す中間製造物が製造される。

[0054] 次に、サイドウォール37を形成する。サイドウォール37の構造としては、上記した理由により、シリコン酸化膜とシリコン窒化膜の積層構造を採用する。以下、サイドウォール37の形成手順について説明する。まず、シリコン酸化膜をCVD法を用いてコンフォーマルに成膜する。成膜されたシリコン酸化膜の膜厚は、例えば、10nmである。次に、シリコン窒化膜をCVD法を用いてコンフォーマルに成膜する。成膜したシリコン窒化膜の膜厚は、例えば、70nmである。その後、ドライエッチング法を用いて、成膜したシリコン酸化膜及びシリコン窒化膜の厚さの分だけを垂直性の高いエッチング

で取り除く。上記の例では、サイドウォール37の側壁膜厚は、80nmになる。

[0055] 次に、Si基板31の露出部分にソース・ドレイン拡散領域38を形成するために、例えば、BやBF₂など、周期表の第III族の元素からなるp型不純物のイオン注入を行う。ソース・ドレイン拡散領域38に注入されたp型不純物の不純物濃度は、例えば、 $1 \times 10^{19} \text{cm}^{-3} \sim 1 \times 10^{22} \text{cm}^{-3}$ である。ソース・ドレイン拡散領域38の接合深さは、例えば、100nmである。なお、Gaドープ多結晶シリコン膜34は、マスクシリコン酸化膜35に覆われている。従って、エクステンション領域36を形成する際と、このソース・ドレイン拡散領域38を形成する際にそれぞれ行われたイオン注入では、Gaドープ多結晶シリコン膜34には不純物はほとんど注入されていない。このため、Gaドープ多結晶シリコン膜34へのp型不純物の注入量は、Gaの注入量に比べて、2桁以上低い値にすることができる。以上説明した製造工程により、図4Cに示す中間製造物が製造される。

[0056] 次に、図4Cに示す中間製造物をHF溶液に浸漬させ、マスクシリコン酸化膜35を全て除去した後、不純物の活性化アニールを行う。上記したエクステンション領域36へのp型不純物のイオン注入によりエクステンション領域36に発生している結晶欠陥除去のための熱処理工程を行わなかった場合でも、この活性化アニール工程により、ニッケルシリサイド化前のGaドープ多結晶シリコン膜34の熱処理を実施することができる。

この熱処理は、上記したRTA処理法であり、所定の加熱温度(例えば、900℃～1100℃)及び所定の加熱時間(例えば、20秒以下)という条件の下において行う。

[0057] 次に、上記アニールが終了した中間製造物をHF溶液に浸漬させ、マスクシリコン酸化膜35、ソース・ドレイン拡散領域38の表面に形成された自然酸化膜及びGaドープ多結晶シリコン膜34の表面に形成された自然酸化膜を全て除去した後、超純水で洗浄し、乾燥させる。次に、上記自然酸化膜が除去された状態の中間製造物の表面に、スパッタ法、蒸着法あるいはCVD法を用いて、Ni膜39を、例えば、15nm～20nmの厚さだけ成膜する(図4D参照)。その後、窒素雰囲気中又は例えば、1mTorr以下の真空中で、所定の加熱温度(例えば、350℃～600℃)及び所定の加熱時間(例えば、10秒～10分)という条件の下において、シンターを行うことにより、GaドープNiSiゲート電極40及びソース・ドレインシリサイド膜41を形成する。このシンタ

一工程で発生した余剰な反応生成物等は、上記SPM溶液等で除去する。以上説明した製造工程により、図4Eに示す半導体装置、即ち、GaドープNiSiゲート電極40を有するp型MISFETが製造される。

[0058] このように、本発明の実施例3によれば、通常MISFET製造プロセスに対して、多結晶シリコン膜33へのGaのイオン注入工程、マスクシリコン酸化膜35の成膜工程、マスクシリコン酸化膜35の除去工程を追加するだけで、GaドープNiSiゲート電極40を有するp型MISFETを製造することができる。また、本発明の実施例3によれば、ゲート電極のニッケルシリサイド化の前に必要なGaドープ多結晶シリコン膜34の熱処理と、エクステンション領域36にp型不純物のイオン注入したことによりエクステンション領域36に発生している結晶欠陥を除去するための熱処理とを同時に行うことができるため、スループロセスの熱履歴もこれまでのCMOSプロセスと換わることはない。何故なら、一般的に、熱処理工程が増加すると、それに伴って短チャネルMISFET素子の性能が劣化したり、オフ特性が劣化することが懸念されるが、本発明の実施例3によれば、熱処理工程が増えることがないからである。

[0059] 以上、この実施例を図面を参照して詳述してきたが、具体的な構成はこの実施例に限られるものではなく、本発明の要旨を逸脱しない範囲の設計の変更等があっても本発明に含まれる。

例えば、上述の各実施例では、いずれもn型Si基板を用いる例を示したが、これに限定されず、p型Si基板を用いるとともに、各ソース・ドレイン拡散領域等の導電型を上述の各実施例とは逆にしても、上述の各実施例で述べたと略同様の作用効果を得ることができる。さらに、Si以外の半導体基板を用いても良い。

また、上述の各実施例は、その目的及び構成等に特に矛盾や問題がない限り、互いの技術を流用することができる。

請求の範囲

- [1] 半導体基板の表面に成膜されたゲート絶縁膜上にシリコン膜を成膜する工程と、
前記シリコン膜にガリウムをドーピングしてガリウムドープシリコン膜を形成する工程と、
前記ガリウムドープシリコン膜の熱処理を行う工程と、
熱処理された前記ガリウムドープシリコン膜上にニッケル膜を成膜する工程と、
窒素雰囲気中及び高真空中のいずれかでシンターを行うことにより、前記ニッケル膜が成膜された前記ガリウムドープシリコン膜をニッケルシリサイド反応させてゲート電極を形成する工程と
を備えることを特徴とする半導体装置の製造方法。
- [2] 前記シリコン膜を成膜する工程の後に、前記シリコン膜上に第1のマスクを成膜する工程と、
前記第1のマスク、前記シリコン膜及び前記ゲート絶縁膜をパターニングして前記半導体基板の表面を部分的に露出させる工程と、
前記半導体基板の露出部分にソース・ドレイン拡散領域を形成する工程と、
前記ソース・ドレイン拡散領域の表面にシリサイド膜を形成する工程と、
前記シリサイド膜上に第2のマスクを成膜する工程と、
前記第1のマスクを除去して前記シリコン膜の表面を露出させる工程と
をさらに備え、
前記ガリウムドープシリコン膜を形成する工程は、露出させる工程の後に行なうことを特徴とする請求項1記載の半導体装置の製造方法。
- [3] 前記シリコン膜のn型半導体素子領域にアンチモン、ヒ素及びリンのいずれかをドーピングしてアンチモン等ドープシリコン膜を形成する工程をさらに備え、
前記ガリウムドープシリコン膜を形成する工程は、前記シリコン膜のp型半導体素子領域にガリウムをドーピングし、
前記熱処理を行う工程は、前記ガリウムドープシリコン膜及び前記アンチモン等ドープシリコン膜の熱処理を行い、
前記ニッケル膜を成膜する工程は、熱処理された、前記ガリウムドープシリコン膜及

- び前記アンチモン等ドーパシロン膜上に前記ニッケル膜を成膜し、
前記ゲート電極を形成する工程は、前記ニッケル膜が成膜された、前記ガリウムドーパシロン膜及び前記アンチモン等ドーパシロン膜をニッケルシリサイド反応させることを特徴とする請求項1記載の半導体装置の製造方法。
- [4] 熱処理を行う工程の後に、前記シリコン膜及び前記ゲート絶縁膜をパターニングして前記半導体基板の表面を部分的に露出させる工程と、
前記半導体基板の露出部分にソース・ドレイン拡散領域を形成する工程とをさらに備え、
前記ニッケル膜を成膜する工程は、前記ガリウムドーパシロン膜及び前記ソース・ドレイン拡散領域上に前記ニッケル膜を成膜し、
前記ゲート電極を形成する工程は、前記ニッケル膜が成膜された、前記ガリウムドーパシロン膜及び前記アンチモン等ドーパシロン膜をニッケルシリサイド反応させることを特徴とする請求項1記載の半導体装置の製造方法。
- [5] 熱処理する工程では、加熱温度が750℃～1100℃、加熱時間が20秒以下であることを特徴とする請求項1記載の半導体装置の製造方法。
- [6] 熱処理する工程は、前記半導体基板のソース・ドレイン領域に形成されたエクステンション領域に発生している結晶欠陥を除去するための熱処理を兼ねていることを特徴とする請求項1記載の半導体装置の製造方法。
- [7] 前記ガリウムドーパシロン膜を形成する工程では、前記ガリウムのドーズ量が $5 \times 10^{12} \text{cm}^{-2} \sim 5 \times 10^{16} \text{cm}^{-2}$ であることを特徴とする請求項1記載の半導体装置の製造方法。
- [8] 前記ニッケル膜を成膜する工程は、前記ガリウムドーパシロン膜の膜厚の0.3倍～0.6倍の厚さだけ前記ニッケル膜を成膜することを特徴とする請求項1記載の半導体装置の製造方法。
- [9] 前記ニッケル膜を成膜する工程は、前記ガリウムドーパシロン膜及び前記アンチモン等ドーパシロン膜のいずれかの膜厚の0.3倍～0.6倍の厚さだけ前記ニッケル膜を成膜することを特徴とする請求項3記載の半導体装置の製造方法。
- [10] 前記ゲート電極を形成する工程では、加熱温度が350℃～600℃であり、加熱時

間が10秒～10分であることを特徴とする請求項1記載の半導体装置の製造方法。

[11] 前記半導体基板は、シリコンからなることを特徴とする請求項1記載の半導体装置の製造方法。

[12] 半導体基板と、
前記半導体基板上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたガリウムドープニッケルシリサイド膜からなるゲート電極とを備え、
請求項1記載の半導体装置の製造方法により製造されたことを特徴とする半導体装置。

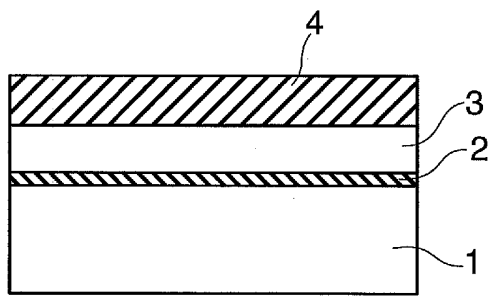
[13] 前記ゲート絶縁膜と前記ガリウムドープシリコン膜との少なくとも界面部分にガリウムがドーピングされていることを特徴とする請求項12記載の半導体装置。

[14] 前記ゲート絶縁膜と前記ガリウムドープシリコン膜との少なくとも界面部分のガリウムの濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上であって、シリコン結晶中のガリウム固溶限界濃度以下であることを特徴とする請求項13記載の半導体装置。

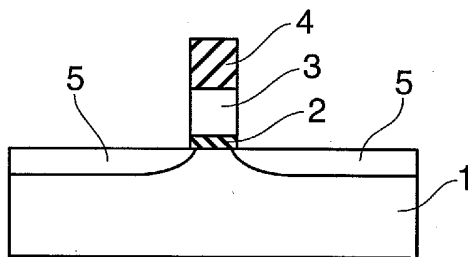
[15] 前記ゲート絶縁膜と前記ガリウムドープシリコン膜との少なくとも界面部分にドーピングされているガリウムは、前記ゲート絶縁膜中に存在して固定電荷及びトラップ準位のいずれかとなることを特徴とする請求項13記載の半導体装置。

[16] 半導体基板と、
前記半導体基板上の一部に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたガリウムドープニッケルシリサイド膜からなるゲート電極と、
前記半導体基板に形成されたソース・ドレイン領域と、
前記ソース・ドレイン領域の表面に形成されたソース・ドレインシリサイド膜とを備え、
ゲート電極は、ソース・ドレインシリサイド膜よりも膜厚が薄いことを特徴とする半導体装置。

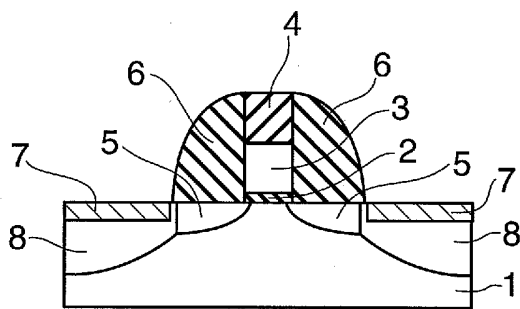
[図1A]



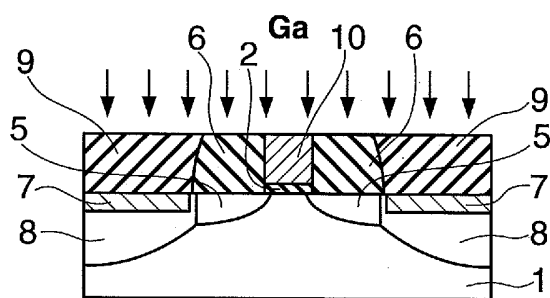
[図1B]



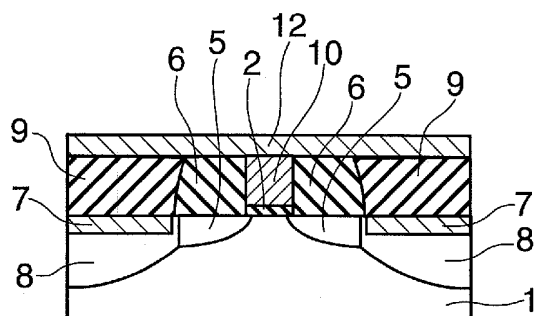
[図1C]



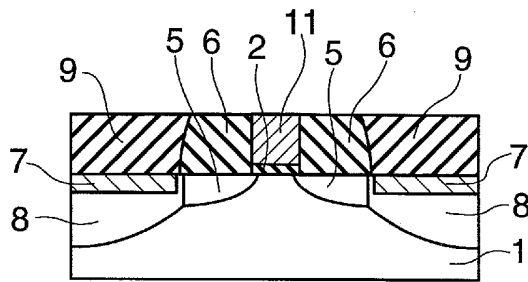
[図1D]



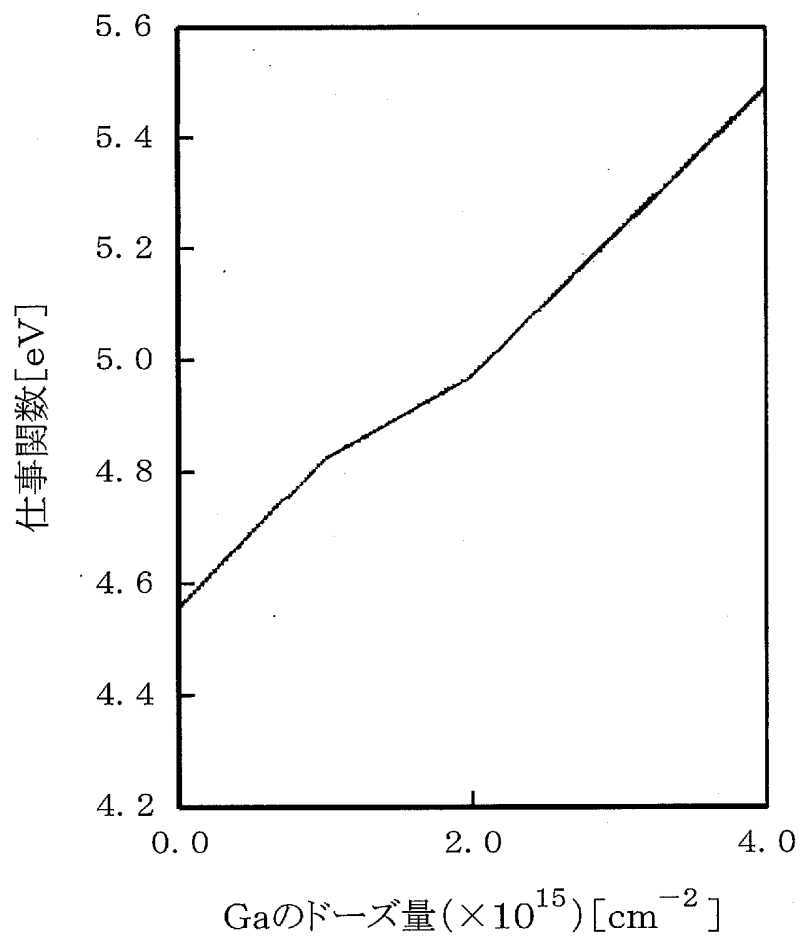
[図1E]



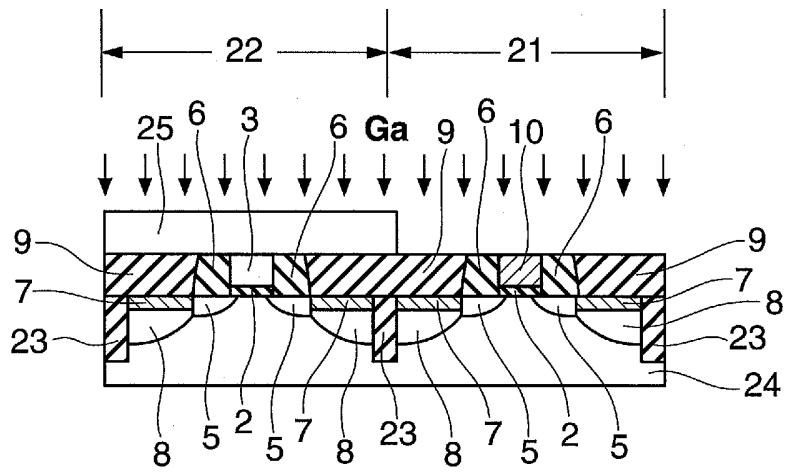
[図1F]



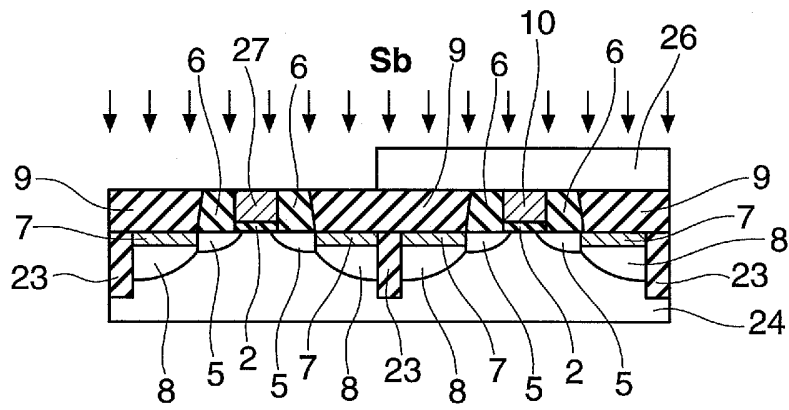
[図2]



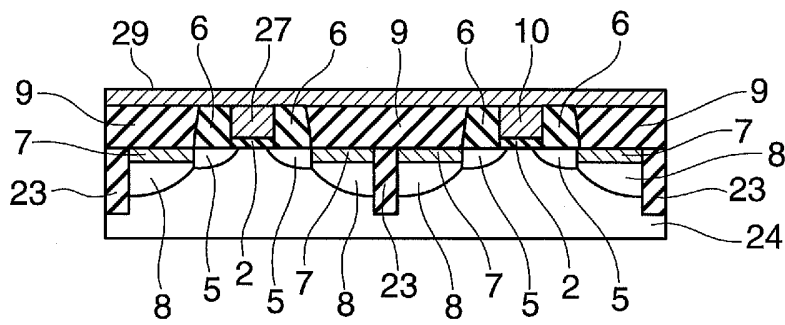
[図3A]



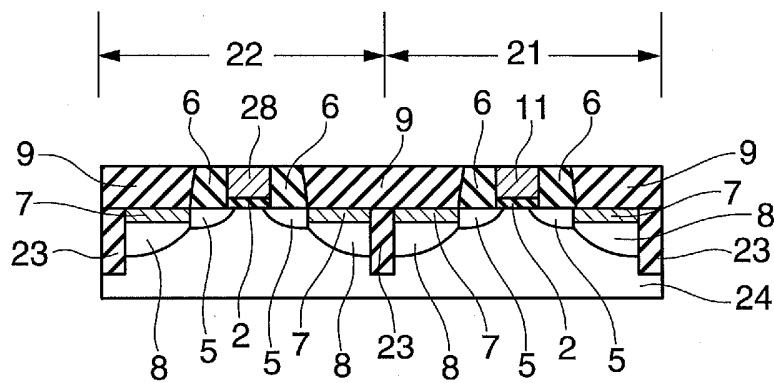
[図3B]



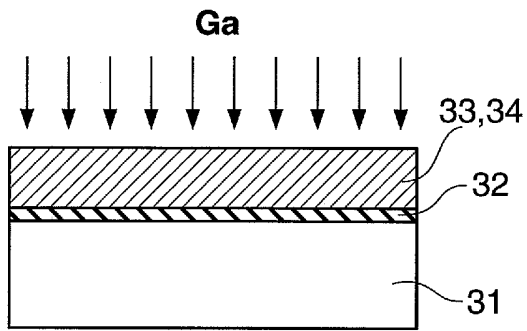
[図3C]



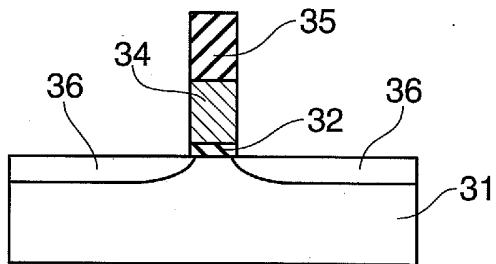
[図3D]



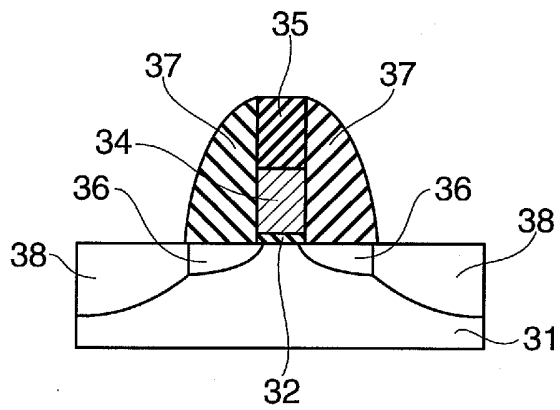
[図4A]



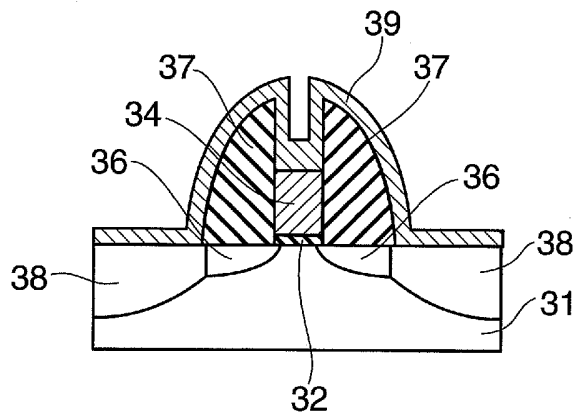
[図4B]



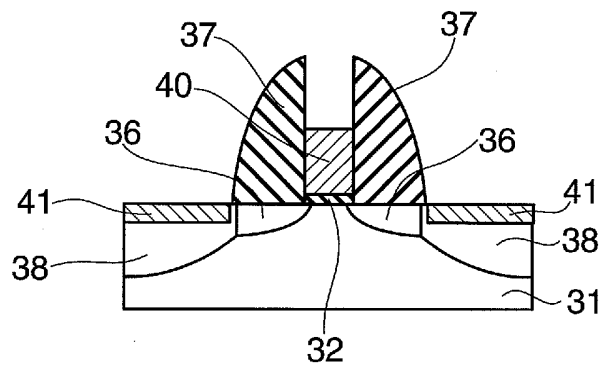
[図4C]



[図4D]



[図4E]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/305133

A. CLASSIFICATION OF SUBJECT MATTER H01L21/336 (2006.01), H01L21/28 (2006.01), H01L21/8238 (2006.01), H01L27/092 (2006.01), H01L29/417 (2006.01), H01L29/423 (2006.01), H01L29/49 (2006.01), H01L29/78 (2006.01) According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L21/336 (2006.01), H01L21/28 (2006.01), H01L21/8238 (2006.01), H01L27/092 (2006.01), H01L29/417 (2006.01), H01L29/423 (2006.01), H01L29/49 (2006.01), H01L29/78 (2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) IEEE Xplore		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2003/094243 A1 (ADVANCED MICRO DEVICES, INC.), 13 November, 2003 (13.11.03), Full text; all drawings & US 6599831 B1 & AU 2003231119 A1 & EP 1502305 A1 & KR 2004102187 A & JP 2005-524243 A & TW 200403729 A	1, 3-16 2
Y	A.Veloso et al., Work function engineering by FUSI and its impact on the performance and reliability of oxynitride and Hf-silicate based MOSFETs, IEDM Tech. Dig. 2004, pages 855 to 858	2
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 09 June, 2006 (09.06.06)		Date of mailing of the international search report 20 June, 2006 (20.06.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/305133

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	JP 2005-353832 A (Toshiba Corp.), 22 December, 2005 (22.12.05), Full text; all drawings & US 2005/0275039 A1	1-16
P, X	JP 2005-167251 A (International Business Machines Corp.), 23 June, 2005 (23.06.05), Full text; all drawings & US 2005/0118757 A1 & CN 1624902 A	1-16
A	Jun Yuan et al., Tunable Work Function in Fully Nickel-Silicided Polysilicon Gates for Metal Gate MOSFET Applications, IEEE ELECTRON DEVICE LETTERS, Vol.26, No.2, February 2005, pages 87 to 89	1-16
A	C.Cabral, Jr. et al., Dual Workfunction Fully Silicided Metal Gates, 2004 Symposium on VLSI Technology Digest of Technical Papers, pages 184 to 185	1-16

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H01L21/336(2006.01), H01L21/28(2006.01), H01L21/8238(2006.01), H01L27/092(2006.01), H01L29/417(2006.01), H01L29/423(2006.01), H01L29/49(2006.01), H01L29/78(2006.01)											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H01L21/336(2006.01), H01L21/28(2006.01), H01L21/8238(2006.01), H01L27/092(2006.01), H01L29/417(2006.01), H01L29/423(2006.01), H01L29/49(2006.01), H01L29/78(2006.01)											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2006年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2006年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2006年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2006年	日本国実用新案登録公報	1996-2006年	日本国登録実用新案公報	1994-2006年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2006年										
日本国実用新案登録公報	1996-2006年										
日本国登録実用新案公報	1994-2006年										
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語） IEEE Xplore											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
X Y	WO 2003/094243 A1 (ADVANCED MICRO DEVICES, INC) 2003.11.13 全文, 全図 &US 6599831 B1 &AU 2003231119 A1 &EP 1502305 A1 &KR 2004102187 A &JP 2005-524243 A &TW 200403729 A	1, 3-16 2									
Y	A. Veloso et al., Work function engineering by FUSI and its impact on the performance and reliability of oxynitride and Hf-silicate based MOSFETs, IEDM Tech. Dig. 2004, pp.855-858	2									
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献											
国際調査を完了した日 09.06.2006		国際調査報告の発送日 20.06.2006									
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 松嶋 秀忠	4M 9836								
		電話番号 03-3581-1101	内線 3462								

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P X	JP 2005-353832 A(株式会社東芝) 2005. 12. 22 全文, 全図 &US 2005/0275039 A1	1-16
P X	JP 2005-167251 A(インターナショナル・ビジネス・マシーンス・コーポレーション) 2005. 06. 23 全文, 全図 &US 2005/0118757 A1 &CN 1624902 A	1-16
A	Jun Yuan et al., Tunable Work Function in Fully Nickel-Silicided Polysilicon Gates for Metal Gate MOSFET Applications, IEEE ELECTRON DEVICE LETTERS, VOL. 26, NO. 2, FEBRUARY 2005, PP. 87-89	1-16
A	C.Cabral, Jr. et al., Dual Workfunction Fully Silicided Metal Gates, 2004 Symposium on VLSI Technology Digest of Technical Papers, pp. 184-185	1-16