

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4697242号
(P4697242)

(45) 発行日 平成23年6月8日(2011.6.8)

(24) 登録日 平成23年3月11日(2011.3.11)

(51) Int.Cl.	F I	
HO 1 L 27/06 (2006.01)	HO 1 L 27/06	3 1 1 B
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08	1 0 2 F
HO 1 L 27/088 (2006.01)	HO 1 L 27/06	3 1 1 C
HO 1 L 21/8249 (2006.01)	HO 1 L 27/06	3 2 1 C
HO 1 L 21/8248 (2006.01)	HO 1 L 27/06	1 0 1 P
請求項の数 8 (全 12 頁) 最終頁に続く		

(21) 出願番号	特願2008-39763 (P2008-39763)	(73) 特許権者	000002369
(22) 出願日	平成20年2月21日(2008.2.21)		セイコーエプソン株式会社
(65) 公開番号	特開2009-200215 (P2009-200215A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成21年9月3日(2009.9.3)	(74) 代理人	100095728
審査請求日	平成20年8月20日(2008.8.20)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	山田 敦史
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	池淵 立
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

P型基板と、
前記P型基板の上方に設けられたエピタキシャル層と、
前記エピタキシャル層の上面に形成された第1のP型拡散領域と、
前記エピタキシャル層の上面に形成され、前記エピタキシャル層を介して前記第1のP型拡散領域と隣接している第2のP型拡散領域と、
前記第1のP型拡散領域に形成された第1のN型拡散領域と、
前記第2のP型拡散領域に形成された第2のN型拡散領域と、を含み、
前記第1のP型拡散領域及び前記第1のN型拡散領域は、
D M O S トランジスタのソース電極と電氣的に接続され、
前記第2のN型拡散領域は、
前記D M O S トランジスタのゲート電極と電氣的に接続され、
前記第2のP型拡散領域及び前記第2のN型拡散領域は、
前記D M O S トランジスタのゲート電極を過電圧から保護する保護素子を構成することを特徴とする半導体装置。

【請求項2】

前記P型基板と前記エピタキシャル層との間に形成された第1のN型埋め込み領域と、
前記第1のN型埋め込み領域の上に形成され、平面視で前記第1のP型拡散領域及び前記第2のP型拡散領域が形成された領域を取り囲むように配置されている第2のN型埋め

込み領域と、

前記第2のN型埋め込み領域の上に形成され、前記エピタキシャル層から表面が露呈するように形成され、前記第1のP型拡散領域及び前記第2のP型拡散領域と分離され、前記第1のP型拡散領域及び前記第2のP型拡散領域が形成された領域を取り囲むように配置されている第3のN型拡散領域と、を含み、

前記第3のN型拡散領域は、

DMOSトランジスタのドレイン領域を構成することを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記P型基板と前記エピタキシャル層との間に形成され、前記第1のN型埋め込み領域を取り囲むように、前記第1のN型埋め込み領域と所定の間隔を有して配置された第1のP型埋め込み領域と、

前記第1のP型埋め込み領域の上に形成され、前記第2のN型埋め込み領域と所定の間隔を有して配置された第2のP型埋め込み領域と、

前記第2のP型埋め込み領域の上に形成され、前記エピタキシャル層から表面が露呈するように形成され、前記第3のN型拡散領域と所定の間隔を有して配置された第3のP型拡散領域と、を含み、

前記第3のN型拡散領域は、

前記第1のP型埋め込み領域、前記第2のP型埋め込み領域及び前記第3のP型拡散領域により素子分離されていることを特徴とする請求項2記載の半導体装置。

【請求項4】

前記第1のN型埋め込み領域、前記エピタキシャル層及び前記第1のP型拡散領域又は前記第2のP型拡散領域によって、トリプルウエル構造が形成されていることを特徴とする請求項2又は3記載の半導体装置。

【請求項5】

前記DMOSトランジスタは、N型DMOSトランジスタであり、

前記保護素子は、

前記N型DMOSトランジスタにおけるソース電極側にアノード電極側が接続され、

且つゲート電極側にカソード電極側が接続されたツェナダイオードであることを特徴とする請求項1～4の何れか一つに記載の半導体装置。

【請求項6】

前記DMOSトランジスタは、N型DMOSトランジスタであり、

前記保護素子は、

前記N型DMOSトランジスタにおけるソース電極側にベース電極側が接続され、

且つゲート電極側にエミッタ電極側が接続されたNPN接合型トランジスタであることを特徴とする請求項1～4の何れか一つに記載の半導体装置。

【請求項7】

前記N型DMOSトランジスタのドレイン電極領域内でゲート電極側とソース電極側とに接続された前記ツェナダイオード又は前記NPN接合型トランジスタに対して前記素子分離した素子一体化構造を、当該N型DMOSトランジスタにおける隣り合うもの同士のドレイン電極及びソース電極を接続するようにして所定数並設して成ることを特徴とする請求項5又は6記載の半導体装置。

【請求項8】

P型基板と、

前記P型基板の上方に設けられたエピタキシャル層と、

前記エピタキシャル層の上面に形成された第1のP型拡散領域と、

前記エピタキシャル層の上面に形成され、前記第1のP型拡散領域と分離している第2のP型拡散領域と、

前記第1のP型拡散領域に形成された第1のN型拡散領域と、

前記第2のP型拡散領域に形成された第2のN型拡散領域と、

10

20

30

40

50

前記 P 型基板と前記エピタキシャル層との間に形成された第 1 の N 型埋め込み領域と、前記第 1 の N 型埋め込み領域の上に形成され、平面視で前記第 1 の P 型拡散領域及び前記第 2 の P 型拡散領域が形成された領域を取り囲むように配置されている第 2 の N 型埋め込み領域と、

前記第 2 の N 型埋め込み領域の上に形成され、前記エピタキシャル層から表面が露呈するように形成され、前記第 1 の P 型拡散領域及び前記第 2 の P 型拡散領域と分離され、前記第 1 の P 型拡散領域及び前記第 2 の P 型拡散領域が形成された領域を取り囲むように配置されている第 3 の N 型拡散領域と、を含み、

前記第 1 の P 型拡散領域及び前記第 1 の N 型拡散領域は、
D M O S トランジスタのソース電極と電氣的に接続され、

10

前記第 3 の N 型拡散領域は、
D M O S トランジスタのドレイン領域を構成し、

前記第 2 の N 型拡散領域は、
前記 D M O S トランジスタのゲート電極と電氣的に接続され、

前記第 2 の P 型拡散領域及び前記第 2 の N 型拡散領域は、

前記 D M O S トランジスタのゲート電極を過電圧から保護する保護素子を構成することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、過電圧（サージ電圧）に対するゲート電極保護のための保護素子が一半導体基板構造上で D M O S トランジスタ（パワー M O S トランジスタとも呼ばれる）に接続された構成の半導体デバイス（1チップ構成を示す）としての半導体装置に関する。

【背景技術】

【0002】

従来、この種の高耐圧大電流用 M O S デバイスとして知られる D M O S トランジスタの場合、一般にスイッチング動作上でドレイン電極の耐圧を高くし、且つ低抵抗でオン動作させるのが望ましく、このためにゲート電極の膜厚を可能な限り薄くして電流増幅率を向上させられれば良いと考えられる。

しかしながら、実際にはゲート電極の膜厚を薄くすると、膜に印加される電界強度が強くなり、ゲート電極の絶縁耐圧が低下し、過電圧が印加されたときにデバイス（D M O S トランジスタ自体）が破壊されてしまう。特にモータを駆動するための H ブリッジ型回路等のスイッチング素子として適用した場合、D M O S トランジスタのオンからオフへの移行時に発生する高電圧なサージ電圧がドレイン電極からドレイン電極とゲート電極間に存在する寄生容量 C_{gd} を介してゲート電極に印加されたとき、デバイスが破壊され易くなる。

30

【0003】

そこで、こうした過電圧の印加に対するゲート電極保護のためにツェナダイオードや N P N 型トランジスタに代表される保護素子が用いられている。例えば一半導体基板構造上で D M O S トランジスタのゲート電極保護のために保護素子としてツェナダイオードを併

40

設した半導体装置（特許文献 1 参照）が挙げられる。

【特許文献 1】特開平 9 - 129762 号公報（要約、図 1）

【発明の開示】

【発明が解決しようとする課題】

【0004】

上述した特許文献 1 に係る半導体装置の場合、一半導体基板構造上で D M O S トランジスタのゲート電極保護のための保護素子を D M O S トランジスタに接続する構造とするとき、デバイスである D M O S トランジスタと保護素子とが形成される素子領域をそれぞれ素子分離領域で素子分離することにより、D M O S トランジスタと保護素子とを別々に形成しているため、素子領域と素子分離領域とを確保するための占有面積が 1 チップ上で大

50

きくなってしまうことにより、チップ面積を小さくできないという問題がある。

【 0 0 0 5 】

図 4 は、従来の半導体装置の基本構造を半導体基板構造の側面断面により例示したものである。ここでは半導体基板を表面側にエピタキシャル層 1 1 を有する一般的な P 型半導体基板 1 0 (所謂 P 型基板) とした場合、DMOS トランジスタ 1 が形成される第 1 の P 型拡散領域については、エピタキシャル層 1 1 及び P 型半導体基板 1 0 の境界部分に埋め込まれた第 1 の N 型埋め込み領域 $B N (N +)$ と、第 1 の N 型埋め込み領域 $B N (N +)$ 端部上で所定の間隔を有して境界部分に埋め込まれた第 1 の N 型埋め込み領域 $N (P L G)$ 及びその第 1 の N 型埋め込み領域 $N (P L G)$ 上にエピタキシャル層 1 1 から表面が露呈されるように設けられた電極形成用の第 1 の N 型拡散領域 $N + (D M O S トランジスタ 1 のドレイン電極 D 側に接続される)$ とにより囲まれたエピタキシャル層 1 1 の第 1 の N 型領域 $N -$ に配設している。

10

【 0 0 0 6 】

更に、素子分離用にエピタキシャル層 1 1 及び P 型半導体基板 1 0 の境界部分に第 1 の N 型埋め込み領域 $B N (N +)$ を挟むように隔てられて埋め込まれた P 型埋め込み領域 $B P$ 上に P 型埋め込み領域 $P (P L G)$ を埋め込み、その P 型埋め込み領域 $P (P L G)$ 上にエピタキシャル層 1 1 から表面が露呈されるように電極形成用の P 型拡散領域 $P + (接地接続されて接地電圧が印加される)$ を配設している。

この結果、第 1 の N 型埋め込み領域 $B N (N +)$ 、第 1 の N 型埋め込み領域 $N (P L G)$ 、及び第 1 の N 型拡散領域 $N +$ により囲まれた範囲が DMOS トランジスタ 1 用の素子領域 $E 2$ となり、それに隣接する P 型埋め込み領域 $B P$ 、P 型埋め込み領域 $P (P L G)$ 、及び P 型拡散領域 $P +$ を含む範囲が素子分離領域 $E 1$ となる。

20

【 0 0 0 7 】

又、保護素子としてのダイオード 2 が形成される第 2 の P 型拡散領域については、エピタキシャル層 1 1 及び P 型半導体基板 1 0 の境界部分に埋め込まれた第 2 の N 型埋め込み領域 $B N (N +)$ と、第 2 の N 型埋め込み領域 $B N (N +)$ 端部上で所定の間隔を有して境界部分に埋め込まれた第 2 の N 型埋め込み領域 $N (P L G)$ 及びその第 2 の N 型埋め込み領域 $N (P L G)$ 上にエピタキシャル層 1 1 から表面が露呈されるように設けられた電極形成用の第 2 の N 型拡散領域 $N + (D M O S トランジスタ 1 のソース電極 S 側に接続される)$ とにより囲まれたエピタキシャル層 1 1 の第 2 の N 型領域 $N -$ に配設している。

30

【 0 0 0 8 】

更に、素子分離用にエピタキシャル層 1 1 及び P 型半導体基板 1 0 の境界部分に第 2 の N 型埋め込み領域 $B N (N +)$ を挟むように隔てられて埋め込まれた P 型埋め込み領域 $B P$ 上に P 型埋め込み領域 $P (P L G)$ を埋め込み、その P 型埋め込み領域 $P (P L G)$ 上にエピタキシャル層 1 1 から表面が露呈されるように電極形成用の P 型拡散領域 $P + (接地接続されて接地電圧が印加される)$ を配設している。

この結果、第 2 の N 型埋め込み領域 $B N (N +)$ 、第 2 の N 型埋め込み領域 $N (P L G)$ 、及び第 2 の N 型拡散領域 $N +$ により囲まれた範囲がダイオード 2 用の素子領域 $E 2$ となり、それに隣接する P 型埋め込み領域 $B P$ 、P 型埋め込み領域 $P (P L G)$ 、及び P 型拡散領域 $P +$ を含む範囲が素子分離領域 $E 1$ となる。

40

【 0 0 0 9 】

総括すれば、半導体基板構造上では、二つの素子領域 $E 2$ を確保するために 2 箇所の N 型埋め込み領域 $B N (N +)$ が必要となる他、それらの上に形成される 4 箇所の N 型埋め込み領域 $N (P L G)$ 及び N 型拡散領域 $N (+)$ が必要であると共に、二つの素子領域 $E 2$ を挟む素子分離領域 $E 1$ を確保するために 3 箇所の P 型埋め込み領域 $B P$ 、P 型埋め込み領域 $P (P L G)$ 、及び P 型拡散領域 $P +$ が必要であるため、1 チップ上では占有面積が大きくなってしまふ。

そこで、本発明の技術的課題は、半導体基板構造上で DMOS トランジスタに保護素子が接続された構成の半導体デバイスであって、1 チップサイズが小さく、しかも安価に具現できる高性能な半導体装置を提供することにある。

50

【課題を解決するための手段】

【0010】

上記技術的課題を解決するための第1の発明は、

過電圧に対するゲート電極保護のための保護素子（例えば図1中のツェナダイオード2）が半導体基板構造上でDMOSトランジスタ（例えば図1中のDMOSトランジスタ1）に接続された構成の半導体デバイスとしての半導体装置であって、

前記保護素子は、前記DMOSトランジスタのドレイン電極領域〔例えば図1中の素子領域E2におけるドレイン電極D用の端子に接続されるエピタキシャル層11及びP型半導体基板10の境界部分に埋め込まれたN型埋め込み領域BN(N+)と、N型埋め込み領域BN(N+)端部上で所定の間隔を有して境界部分に埋め込まれたN型埋め込み領域N(PLG)及びそのN型埋め込み領域N(PLG)上にエピタキシャル層11から表面が露呈されるように設けられた電極形成用のN型拡散領域N+(ドレイン電極D側に接続される)とにより囲まれたエピタキシャル層11のN型領域N-を示す〕内の当該DMOSトランジスタとは分離された拡散領域（例えば図1中のツェナダイオード2形成用のP型拡散領域）上に形成されて成ることを特徴としている。

10

【0011】

このような構成により、一つの素子領域（例えば図1中の素子領域E2）でDMOSトランジスタ及び保護素子を一体化した素子一体化構造としているので、この半導体装置の場合には、可能な限り素子領域の個数が少なく、且つ占有面積（単体面積でなく、広がり全体の面積を示す）が小さな構造となる。

20

即ち、本発明によれば、1チップサイズが小さく、且つ安価に具現できる高性能な半導体装置を提供できる。

【0012】

又、第2の発明は、

前記半導体基板は、表面側にエピタキシャル層（例えば図1中のエピタキシャル層11）を有するP型基板（例えば図1中のP型半導体基板10）であり、

前記分離された拡散領域は、前記エピタキシャル層及び前記P型基板の境界部分に埋め込まれたN型埋め込み領域〔例えば図1中のN型埋め込み領域BN(N+)〕と、前記N型埋め込み領域端部上で所定の間隔を有して境界部分に埋め込まれた別のN型埋め込み領域〔例えば図1中のN型埋め込み領域N(PLG)〕及び当該別のN型埋め込み領域上に前記エピタキシャル層から表面が露呈されるように設けられたN型拡散領域とにより囲まれた当該エピタキシャル層のN型領域に配設されたP型拡散領域であって、

30

前記DMOSトランジスタが形成される第1のP型拡散領域（例えば図1中のDMOSトランジスタ1形成用のP型拡散領域）と、前記第1のP型拡散領域と隔てられて前記保護素子が形成される第2のP型拡散領域（例えば図1中のツェナダイオード2形成用のP型拡散領域）と、から成る半導体装置を特徴としている。

このような構成により、通常のエピタキシャル層を有するP型半導体基板に対する素子形成技術を用いるだけで、異なる濃度（或いは同濃度でも良い）のP型拡散領域へそれぞれDMOSトランジスタ、保護素子を容易に形成することができる。

【0013】

40

更に、第3の発明は、

前記N型DMOSトランジスタのドレイン電極領域は、前記エピタキシャル層及び前記P型基板の境界部分に前記N型埋め込み領域を挟むように隔てられて埋め込まれたP型埋め込み領域（例えば図1中のP型埋め込み領域BP）と、前記P型埋め込み領域上に埋め込まれた別のP型埋め込み領域〔例えば図1中のP型埋め込み領域P(PLG)〕及び当該別のP型埋め込み領域上に前記エピタキシャル層から表面が露呈されるように設けられたP型拡散領域とにより素子分離されて成る半導体装置を特徴としている。

【0014】

このような構成により、一つの素子領域（例えば図1中の素子領域E2）の周囲にだけ素子分離領域（例えば図1中の素子領域E2両側の素子分離領域E1）を設ければ良いの

50

で、この半導体装置の場合には、素子領域及び素子分離領域の両方が可能な限り少ない個数で占有面積の小さな構造を持つものとなり、確実に1チップサイズが小さく、且つ安価に具現できる高性能な半導体装置を提供できる。

【0015】

加えて、第4の発明は、

前記半導体基板は、Nウエル領域中にPウエル領域を形成したトリプルウエル構造のP型基板であり、

前記分離された拡散領域は、前記Pウエル領域としての前記DMOSトランジスタ形成用の第1のP型ウエル領域と、前記保護素子形成用の第2のP型ウエル領域と、から成る半導体装置を特徴としている。

10

【0016】

このような構成によっても、トリプルウエル構造のP型半導体基板に対する素子形成技術を用いるだけで、異なる濃度（或いは同濃度でも良い）のPウエル領域へそれぞれDMOSトランジスタ、保護素子を容易に形成することができる。この場合、N型埋め込み領域BN（N+）、及びN型埋め込み領域N（PLG）が無く、P型埋め込み領域BP、及びP型埋め込み領域P（PLG）も持たない構造であるため、1チップサイズを更に小さくできる。

【0017】

一方、第5の発明は、

前記DMOSトランジスタは、N型DMOSトランジスタ（例えば図2中のDMOSトランジスタ1）であり、

20

前記保護素子は、前記N型DMOSトランジスタにおけるソース電極側にアノード電極側が接続され、且つゲート電極側にカソード電極側が接続されたツェナダイオード（例えば図2中のツェナダイオード2）である半導体装置を特徴としている。

このような構成により、通常のエピタキシャル層を有するP型半導体基板やトリプルウエル構造のP型半導体基板を対象とし、簡素な構成で一つの素子領域（例えば図1中の素子領域E2）内でゲート電極膜保護機能を有するN型DMOSトランジスタを持つ形態の半導体装置を安価に提供できる。

【0018】

他方、第6の発明は、

前記DMOSトランジスタは、N型DMOSトランジスタ（例えば図3中のDMOSトランジスタ1）であり、

30

前記保護素子は、前記N型DMOSトランジスタにおけるソース電極側にベース電極側が接続され、且つゲート電極側にエミッタ電極側が接続されたNPN接合型トランジスタ（例えば図3中のNPN接合型トランジスタ3）である半導体装置を特徴としている。

このような構成により、通常のエピタキシャル層を有するP型半導体基板やトリプルウエル構造のP型半導体基板を対象とし、簡素な構成で一つの素子領域（例えば図1中の素子領域E2）内でゲート電極膜保護機能を有するN型DMOSトランジスタを持つ他形態の半導体装置を安価に提供できる。

【0019】

その他、第7の発明は、

前記N型DMOSトランジスタのドレイン電極領域内でゲート電極側とソース電極側とに接続された前記ツェナダイオード（例えば図2中のツェナダイオード2）又は前記NPN接合型トランジスタ（例えば図3中のNPN接合型トランジスタ3）に対して前記素子分離した素子一体化構造を、当該N型DMOSトランジスタにおける隣り合うもの同士のドレイン電極及びソース電極を接続するようにして所定数並設して成る半導体装置を特徴としている。

40

【0020】

このような構成により、一つの素子領域（例えば図1中の素子領域E2）を挟むように素子分離領域（例えば図1中の素子分離領域E1）が配備されたゲート電極保護機能付き

50

N型のDMOSトランジスタ1を並設させて多段構造の半導体装置とすれば、従来の素子分離構造で構成した場合よりもデバイス全体を顕著に小さくでき、しかも高性能なゲート電極保護機能が得られる。このため、特にモータを駆動するためのHブリッジ型回路等のスイッチング素子として適用した場合には、従来と比べて極めて小型の1チップ構成として設置スペースを要すること無く、しかもサージ電圧がゲート電極に印加されずにデバイスが的確に保護されるため、極めて有効となる。

【発明を実施するための最良の形態】

【0021】

以下、図を参照して本発明に係る半導体装置の実施の形態を説明する。

(実施形態)

10

(構成)

先ず、構成及び各部の機能を説明する。

図1は、本実施形態に係る半導体装置の基本構造を半導体基板構造の側面断面により例示したものである。

この半導体装置は、一半導体基板構造上でサージ電圧等の過電圧に対するゲート電極保護のための保護素子としてのツェナダイオード2が一つの素子領域E2においてDMOSトランジスタ1に接続されて構成された素子一体化構造となっている。即ち、ここでのツェナダイオード2は、DMOSトランジスタ1のドレイン電極領域内のDMOSトランジスタ1とは分離された拡散領域(ツェナダイオード2形成用のP型拡散領域)上に形成されて成る。

20

【0022】

本実施形態では一半導体基板として、表面側にエピタキシャル層11を有するP型半導体基板10(所謂P型基板)を用いている。分離された拡散領域は、エピタキシャル層11及びP型半導体基板10の境界部分に埋め込まれた幅広いN型埋め込み領域BN(N+)と、N型埋め込み領域BN(N+)端部上で所定の間隔を有して境界部分に埋め込まれた別のN型埋め込み領域N(PLG)及びそのN型埋め込み領域N(PLG)上にエピタキシャル層11から表面が露呈されるように設けられた電極形成用のN型拡散領域N+(ドレイン電極と接続される)とにより囲まれたエピタキシャル層11のN型領域N-の表面側に互いに隔てられるように配設されており、具体的には濃度が異なるDMOSトランジスタ1形成用の第1のP型拡散領域と、ツェナダイオード2形成用の第2のP型拡散領域(或いは同濃度であっても良い)とから成る。

30

【0023】

DMOSトランジスタ1のドレイン電極領域は、素子領域E2におけるドレイン電極D用の端子に接続されるエピタキシャル層11及びP型半導体基板10の境界部分に埋め込まれたN型埋め込み領域BN(N+)と、N型埋め込み領域BN(N+)端部上で所定の間隔を有して境界部分に埋め込まれたN型埋め込み領域N(PLG)及びそのN型埋め込み領域N(PLG)上にエピタキシャル層11から表面が露呈されるように設けられた電極形成用のN型拡散領域N+(ドレイン電極D側に接続される)とにより囲まれたエピタキシャル層11のN型領域N-を示す。又、このドレイン電極領域は、エピタキシャル層11及びP型半導体基板10の境界部分にN型埋め込み領域BN(N+)を挟むように隔てられて埋め込まれたP型埋め込み領域BPと、P型埋め込み領域BP上に埋め込まれた別のP型埋め込み領域P(PLG)及びこのP型埋め込み領域P(PLG)上にエピタキシャル層11から表面が露呈されるように設けられたP型拡散領域とにより素子分離されて成る。

40

【0024】

即ち、この半導体装置の場合、半導体基板構造上では、一つの素子領域E2を確保するために1箇所のN型埋め込み領域BN(N+)が必要とされる他、その上に形成される2箇所のN型埋め込み領域N(PLG)及びN型拡散領域N(+)が必要であると共に、一つの素子領域E2を挟む素子分離領域E1を確保するために2箇所のP型埋め込み領域BP、P型埋め込み領域P(PLG)、及びP型拡散領域P+が必要なだけであるため、1

50

チップ上では占有面積が非常に小さくなっている。

【0025】

DMOSトランジスタ1は、第1のP型拡散領域の表面側にソース電極を接続するための電極が形成される高濃度の拡散領域N⁺と、DMOSトランジスタ1のサブストレート電位を接続するための電極が形成される高濃度の拡散領域P⁺を隣接させた構造となっている。ソース電極は、第2のP型拡散領域の表面側にツェナダイオード2のアノード電極を接続するための電極が形成される高濃度の拡散領域P⁺に接続され、ゲート電極は、第2のP型拡散領域の表面側にツェナダイオード2のカソード電極を接続するための電極が形成される高濃度の拡散領域N⁺に接続される。

図2は、この半導体装置のデバイス部分に係る等価回路を例示したものである。図2を参照すれば、この半導体装置のデバイス部分は、N型のDMOSトランジスタ1におけるソース電極側にツェナダイオード2のアノード電極側が接続され、且つゲート電極側にツェナダイオード2のカソード電極側が接続された回路構成であることを示している。

【0026】

(動作)

次に、動作を説明する。

本実施形態の半導体装置の場合、半導体基板構造上において、一つの素子領域E2でDMOSトランジスタ1及びツェナダイオード2を一体化した素子一体化構造を持つ点を特徴とするものであり、等価回路上は従来通りのゲート電極保護機能付きN型DMOSトランジスタであって、高耐圧大電流用MOSデバイスとしてスイッチング動作を行うものである。

【0027】

例えば高電圧電源を使用してモータ駆動を実施した場合、ゲート電極側から所定のゲートバイアス電圧を印加するものとして、ソース電極側をほぼ基準電圧(接地電圧)とすると共に、ドレイン電極側からソース電極側へ電流を流すようにスイッチング動作を行うとき、DMOSトランジスタ1のオンからオフへの移行時にモータのインダクタ成分による過電圧が発生しても、保護素子としてのツェナダイオード2がゲート電極に対する過電圧の印加を阻止する。このため、予めゲート電極の膜厚を薄くして電流増幅率を向上させた上、スイッチング動作上でドレイン電極の耐圧を高くして低抵抗でオン動作させることができる。

【0028】

因みに、一般的な他種トランジスタに保護素子を併設する場合、スイッチング動作への悪影響を配慮して従来通りの素子別に分離を行うのが望ましいが、DMOSトランジスタ1の場合には高耐圧大電流用であるため、ここでの構造の場合のように保護素子としてのツェナダイオード2を接近させるように設けても、他種トランジスタの場合のようにスイッチング動作上への影響は殆ど無く、無視できると考えられる。

【0029】

このように、本実施形態の半導体装置は、一つの素子領域E2でDMOSトランジスタ1及び保護素子としてのツェナダイオード2を一体化した素子一体化構造としているので、可能な限り素子領域E2の個数が少なく、且つ占有面積(単体面積でなく、広がり全体の面積を示す)が小さな構造となる。この結果、1チップサイズが小さく、且つ安価に具現できる高性能な半導体装置を提供できる。

又、本実施形態の半導体装置の場合、一つの素子領域E2の周囲(両側)にだけ素子分離領域E1を設ければ良いので、素子領域E2及び素子分離領域E1の両方が可能な限り少ない個数で占有面積の小さな構造を持つものとなり、確実に1チップサイズが小さく、且つ安価に具現できる高性能な半導体装置を提供できる。

【0030】

更に、本実施形態の半導体装置の場合、通常のエピタキシャル層11を有するP型半導体基板10に対する素子形成技術を用いるだけで、異なる濃度のP型拡散領域(第1のP型拡散領域、第2のP型拡散領域)へそれぞれDMOSトランジスタ1、ツェナダイオー

10

20

30

40

50

ド2を容易に形成する(或いは同濃度であっても良い)ことができ、簡素な構成で一つの素子領域E2内でゲート電極膜保護機能を有するN型DMOSトランジスタ1を持つ形態の半導体装置を安価に提供できる。

【0031】

ところで、本実施形態の半導体装置では、一半導体基板として、表面側にエピタキシャル層11を有するP型半導体基板10を用いた場合を説明したが、その他にエピタキシャル層11を持たずにNウエル領域中にPウエル領域を形成したトリプルウエル構造のP型半導体基板を用いると共に、分離された拡散領域をPウエル領域としてのDMOSトランジスタ1形成用の第1のP型ウエル領域と、保護素子であるツェナダイオード2形成用の第2のP型ウエル領域とから成る構造とすることもできる。この場合、DMOSトランジスタ1のオン抵抗値が幾分高くなるものの、N型埋め込み領域BN(N+)、及びN型埋め込み領域N(PLG)が無く、P型埋め込み領域BP、及びP型埋め込み領域P(PLG)も持たない構造であるため、1チップサイズを更に小さくできる。

10

【0032】

(応用例1)

上記実施形態において、第2のP型拡散領域への電極形成のパターンを変更し、保護素子としてのツェナダイオード2の代わりにNPN接合型トランジスタを形成するものである。

図3は、この場合の半導体装置のデバイス部分の等価回路を例示したものである。図3を参照すれば、この半導体装置のデバイス部分は、N型のDMOSトランジスタ1におけるソース電極側にNPN接合型トランジスタ3のベース電極側が接続され、且つゲート電極側にNPN接合型トランジスタ3のエミッタ電極側が接続された回路構成であることを示している。尚、NPN接合型トランジスタ3のコレクタ電極側は、DMOSトランジスタ1におけるドレイン電極側に接続されて短絡されているため、ここでのNPN接合型トランジスタ3は、上記実施形態のツェナダイオード2の場合と同様な働きをする。

20

【0033】

このような構成により、上記実施形態の場合と同様に通常のエピタキシャル層11を有するP型半導体基板10を対象として素子形成技術を用いるだけで、異なる濃度のP型拡散領域(第1のP型拡散領域、第2のP型拡散領域)へそれぞれDMOSトランジスタ1、NPN接合型トランジスタ3を容易に形成することができ、簡素な構成で一つの素子領域E2内でゲート電極膜保護機能を有するN型DMOSトランジスタを持つ他形態の半導体装置を安価に提供できる。

30

因みに、ここでもNウエル領域中にPウエル領域を形成したトリプルウエル構造のP型半導体基板を用いると共に、分離された拡散領域をPウエル領域としてのDMOSトランジスタ1形成用の第1のP型ウエル領域と、保護素子であるNPN接合型トランジスタ3形成用の第2のP型ウエル領域とから成る構造としても良い。

【0034】

(応用例2)

上記実施形態又は応用例1において、N型のDMOSトランジスタ1のドレイン電極領域内でゲート電極側とソース電極側とに接続されたツェナダイオード2又はNPN接合型トランジスタ3に対して素子分離した素子一体化構造を、N型DMOSトランジスタ1における隣り合うもの同士のドレイン電極及びソース電極を接続するようにして所定数並設して成るものである。但し、こうした多段構造の場合、一方側の終端となるDMOSトランジスタ1のドレイン電極側は互いに接続し、他方側の終端となるDMOSトランジスタ1のソース電極側も互いに接続する。

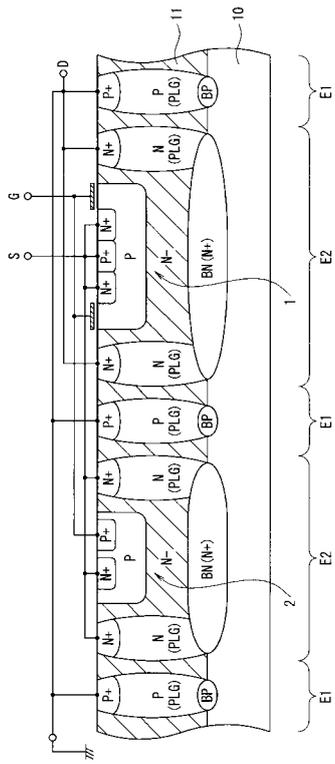
40

【0035】

このような構成により、一つの素子領域E2を挟むように素子分離領域E1が配備されたゲート電極保護機能付きN型のDMOSトランジスタ1を並設させて多段構造の半導体装置とすれば、従来の素子分離構造で構成した場合よりもデバイス全体を顕著に小さくでき、しかも高性能なゲート電極保護機能が得られる。このため、特にモータを駆動するた

50

【 図 4 】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/8222	(2006.01)	H 0 1 L	27/06 1 0 1 U
H 0 1 L	29/78	(2006.01)	H 0 1 L	29/78 3 0 1 D
H 0 1 L	27/04	(2006.01)	H 0 1 L	29/78 3 0 1 K
H 0 1 L	21/822	(2006.01)	H 0 1 L	27/04 H

(56)参考文献 特開平02 - 030187 (JP, A)
特開2003 - 282822 (JP, A)
特開平08 - 241995 (JP, A)
特開2004 - 200359 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 7 / 0 6
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 1 / 8 2 4 9
H 0 1 L 2 7 / 0 9 2
H 0 1 L 2 1 / 8 2 3 8