

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 11 月 3 日(03.11.2011)

PCT

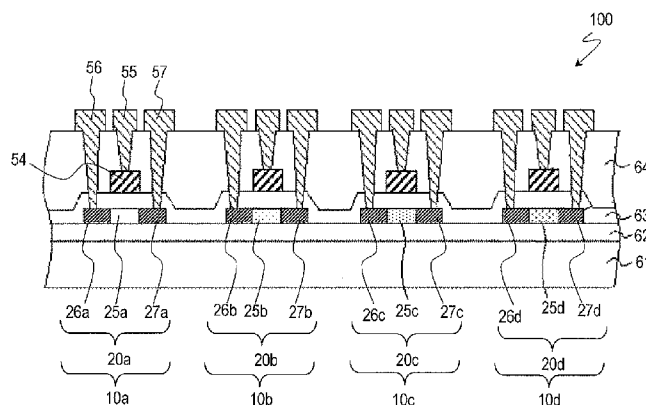
(10) 国際公開番号
WO 2011/135945 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 27/08 (2006.01)
H01L 21/8238 (2006.01) H01L 27/092 (2006.01)
- (21) 国際出願番号: PCT/JP2011/056421
- (22) 国際出願日: 2011 年 3 月 17 日(17.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-104459 2010 年 4 月 28 日(28.04.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 堀田 和重
(HOTTA Kazushige).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大
阪府大阪市中央区北浜一丁目 8 番 1 6 号 大
阪証券取引所ビル 10 階 奥田国際特許事務
所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE, DISPLAY DEVICE, AND PRODUCTION METHOD FOR SEMICONDUCTOR
DEVICE AND DISPLAY DEVICE

(54) 発明の名称: 半導体装置、表示装置、並びに半導体装置及び表示装置の製造方法

[図1]



(57) Abstract: In order to efficiently produce a semiconductor device in which a plurality of TFTs that can be applied to a variety of uses have been formed, a semiconductor device (100) is disclosed that is equipped with a first P-type TFT (10a), a second P-type TFT (10b), a first N-type TFT (10c), and a second N-type TFT (10d), which each comprise polycrystalline silicon. When d1, d2, d3, and d4 represent the concentration of p-type impurities in the respective channel regions of the TFTs (10a to 10d), at least three of the values from among d1, d2, d3, and d4 are mutually different, and d1, d2, d3, and d4 satisfy the relationships d1 < d2 and d3 < d4.

(57) 要約:

[続葉有]



本発明は、多種の用途に対応可能な複数のTFTが形成された半導体装置を製造効率よく提供することを目的とし、本発明による半導体装置(100)は、それぞれが多結晶シリコンからなるチャネル領域を有する第1P型TFT(10a)、第2P型TFT(10b)、第1N型TFT(10c)、及び第2N型TFT(10d)を備え、TFT(10a~10d)のチャネル領域におけるp型不純物の濃度をそれぞれd1、d2、d3、及びd4とした場合、d1、d2、d3、及びd4のうちの少なくとも3つの値が互いに異なり、d1、d2、d3、及びd4が、 $d1 < d2$ 、且つ $d3 < d4$ の関係を満たす。

明 細 書

発明の名称：

半導体装置、表示装置、並びに半導体装置及び表示装置の製造方法

技術分野

[0001] 本発明は、複数の薄膜トランジスタ（ＴＦＴ）を備えた半導体装置に関する。また、本発明は、液晶表示装置、有機ＥＬ表示装置等の表示装置に用いる半導体装置、及びそのような半導体装置を備えた表示装置に関する。

背景技術

[0002] 近年、携帯端末機器、ノートパソコン、ＴＶ等の表示機器として、液晶表示装置や有機ＥＬ表示装置等が用いられている。これらの表示装置は、半導体装置としてのアクティブマトリクス基板を備えている。アクティブマトリクス基板には、マトリクス状に配置された複数の画素のそれぞれにおいて画素電極への電圧印加をスイッチングするＴＦＴが形成されている。さらに、アクティブマトリクス基板には複数の画素への表示電圧、ゲート電圧等の制御を行なう駆動回路のＴＦＴが、表示領域の周辺に配置されている。これらのＴＦＴには、非結晶（アモルファス）シリコンＴＦＴ、微結晶シリコンＴＦＴ、多結晶シリコン（ポリシリコン）ＴＦＴなどが用いられている。

[0003] 複数のＴＦＴを備えた半導体装置の例が特許文献１に記載されている。この文献に記載された半導体装置は、２種類のｎチャネル型ＴＦＴ及び２種類のｐチャネル型ＴＦＴを備えている。これらのｎチャネル型ＴＦＴ及びｐチャネル型ＴＦＴはいずれも多結晶シリコンからなる活性層を有している。２種類のｎチャネル型ＴＦＴは、互いに閾値電圧（ V_t ）の異なる２種類のＴＦＴを含み、２種類のｐチャネル型ＴＦＴも、互いに閾値電圧の異なる２種類のＴＦＴを含んでいる。また、２種類のｎチャネル型ＴＦＴの一方のチャネル領域と２種類のｐチャネル型ＴＦＴの一方のチャネル領域には、ドーパントが同じ濃度でドーピングされており、２種類のｎチャネル型ＴＦＴの他方のチャネル領域と２種類のｐチャネル型ＴＦＴの他方のチャネル領域はドーパ

ントがドープされないノンドープ領域であるとされている。

先行技術文献

特許文献

[0004] 特許文献1：特開2004-128487号公報

発明の概要

発明が解決しようとする課題

[0005] 液晶表示装置などの表示装置の基板には、マトリクス状に配列された画素からなる表示部や、表示部の外に形成されたゲートドライバやデータドライバ等の駆動回路が形成されるが、近年の薄膜形成技術の向上に伴い、表示部におけるTFTと駆動回路等に用いられるTFTとを、同じ基板上に多結晶シリコンを用いて一括して形成することが可能となっている。

[0006] このような表示装置のTFT基板、または高機能を要求される装置におけるTFT基板には、例えば、ローレベルとハイレベルの2値レベルを用いたデジタル処理を行うロジック回路や、画素電極等の印加電圧の制御などアナログ電圧の処理を行う回路が形成され、これらの回路に応じた特性の異なる複数種のTFTがTFT基板上に同時に形成される。

[0007] ロジック回路やスイッチに用いられるTFTでは、オン状態においてスイッチングに必要とされる電流駆動能力があればよく、オフ状態では電流を極力流さないようにしてリーク電流を抑えることが求められる。一方、アナログ電圧を制御するTFTは、オン状態とされる時間が長く、オン状態におけるソース・ドレイン電圧を広い電圧幅にわたって精度よく制御できることが重要である。

[0008] 例えば、液晶表示装置の表示領域において液晶を駆動するためには、画素電極にはほぼ0Vから10Vを超えるような高い印加電圧加えることが要求されるが、このような広い幅のソース・ドレイン電圧を高精度で制御するためには、TFTの閾値電圧は低く抑えられることが望ましい。また、これと同時に、比較的低い電圧による精密かつ高速動作が要求される周辺回路にお

いては、その消費電力を不必要に増加させないことが要求される。特に、近年、携帯機器の長時間駆動や環境問題等への対応のため、各機器に対する消費電力低減化の要求はますます高まっており、1つの機器の中に複数のTFTを多種用途に用いつつ、それらリーク電流を極力抑えることが重要となっている。

[0009] しかし、チャネル領域における不純物濃度が同じであるTFTを駆動電圧の異なる回路に用いた場合、高電圧動作が必要なTFTよりも低電圧動作のTFTのほうが、閾値電圧が高くなり、リーク電流が大きくなるという問題が生じ得る。上記の特許文献1の半導体装置では、複数のTFTにおけるチャネル領域の不純物濃度が2種類であるため、このような問題に十分に対処することができないという問題がある。また、2種類のp型TFTの一方と2種類のn型TFTの一方の不純物濃度が同じであるため、p型TFTとn型TFT両方の閾値電圧をほぼ同じ値に下げることが容易ではない。

[0010] この問題を解決するためには、低電圧動作のTFTにおいてはチャネル長を短くするなどの対応が考えられるが、それでも閾値電圧を必要な値まで低減させるには十分ではなかった。また、上記問題を解決するために、TFT形成工程においてTFT毎に異なるドーピング処理を行って、チャネル領域の不純物濃度をTFT毎に変えることが考えられるが、これでは製造工程が複雑化し、製造コスト及び製造時間が増大するという問題が発生する。

[0011] 本発明は、このような問題を解決するためになされたものであり、多種の用途に適切に応じることが可能な複数種のTFTを備えた半導体装置または表示装置を、製造効率よく提供することを目的の一つとする。また、本発明は、消費電力が低減された多機能な半導体装置または表示装置を、製造効率よく提供することを目的の一つとする。

課題を解決するための手段

[0012] 本発明による半導体装置は、それぞれが多結晶シリコンからなるチャネル領域を有する第1P型TFT、第2P型TFT、第1N型TFT、及び第2N型TFTを備え、前記第1P型TFT、前記第2P型TFT、前記第1N

型 T F T、及び前記第 2 N 型 T F T のチャネル領域における p 型不純物の濃度をそれぞれ d_1 、 d_2 、 d_3 、及び d_4 とした場合、前記 d_1 、 d_2 、 d_3 、及び d_4 のうちの少なくとも 3 つの値が互いに異なり、前記 d_1 、 d_2 、 d_3 、及び d_4 が、 $d_1 < d_2$ 、且つ $d_3 < d_4$ の関係を満たす。

[0013] ある実施形態では、前記第 1 P 型 T F T 及び前記第 2 N 型 T F T が高電圧駆動用の T F T であり、前記第 2 P 型 T F T 及び前記第 1 N 型 T F T が、前記高電圧駆動用の T F T よりも低いソースドレイン電圧を制御するための低電圧駆動用 T F T である。

[0014] ある実施形態では、前記 d_1 、 d_2 、 d_3 、及び d_4 の 4 つの値が互いに異なっている。

[0015] ある実施形態では、前記 d_1 、 d_2 、 d_3 、及び d_4 が、 $d_1 < d_2 < d_3 < d_4$ の関係、又は $d_1 < d_3 < d_2 < d_4$ の関係を満たす。

[0016] ある実施形態では、前記 d_1 、 d_2 、 d_3 、及び d_4 のうちの 3 つの値が互いに異なっており、前記 d_1 、 d_2 、 d_3 、及び d_4 のうちの 2 つの値が互いに等しい。

[0017] ある実施形態では、前記 d_1 、 d_2 、 d_3 、及び d_4 が、 $d_1 < d_2 = d_3 < d_4$ の関係、又は $d_1 = d_3 < d_2 < d_4$ の関係を満たす。

[0018] ある実施形態では、前記 d_1 、 d_2 、 d_3 、及び d_4 が、それぞれ、前記第 1 P 型 T F T、前記第 2 P 型 T F T、前記第 1 N 型 T F T、及び前記第 2 N 型 T F T のチャネル領域における p 型不純物の濃度（濃度 0 の場合を含む）から n 型不純物（濃度 0 の場合を含む）の濃度を引いた値を意味する。

[0019] 本発明による表示装置は、上記の半導体装置を含む表示装置である。

[0020] 本発明による他の半導体装置は、それぞれが多結晶シリコンからなるチャネル領域を有する第 1 P 型 T F T、第 2 P 型 T F T、第 1 N 型 T F T、及び第 2 N 型 T F T を備え、前記第 1 P 型 T F T 及び前記第 2 N 型 T F T が高電圧駆動用の T F T であり、前記第 2 P 型 T F T 及び前記第 1 N 型 T F T が、前記高電圧駆動用の T F T よりも低いソースドレイン電圧を制御するための低電圧駆動用 T F T であり、前記第 1 P 型 T F T、前記第 2 P 型 T F T、

前記第1 N型TFT、及び前記第2 N型TFTのチャネル領域におけるp型不純物の濃度をそれぞれ d_1 、 d_2 、 d_3 、及び d_4 とした場合、前記 d_1 、 d_2 、 d_3 、及び d_4 が、 $d_1 = d_3 < d_2$ 、 $d_1 = d_3 < d_4$ 、 $d_1 < d_2 = d_4$ 、又は $d_3 < d_2 = d_4$ の関係を満たす。

[0021] ある実施形態では、前記 d_1 、 d_2 、 d_3 、及び d_4 が、 $d_1 = d_3 < d_2 = d_4$ の関係を満たす。

[0022] ある実施形態では、前記 d_1 、 d_2 、 d_3 、及び d_4 が、それぞれ、前記第1 P型TFT、前記第2 P型TFT、前記第1 N型TFT、及び前記第2 N型TFTのチャネル領域におけるp型不純物の濃度（濃度0の場合を含む）からn型不純物（濃度0の場合を含む）の濃度を引いた値を意味する。

[0023] 本発明による他の表示装置は、上記半導体装置を含む表示装置である。

[0024] 本発明による半導体装置の製造方法は、それぞれが多結晶シリコンからなるチャネル領域を有する第1 P型TFT、第2 P型TFT、第1 N型TFT、及び第2 N型TFTを備えた半導体装置の製造方法であって、前記第1 P型TFT、前記第2 P型TFT、前記第1 N型TFT、及び前記第2 N型TFTのそれぞれのチャネル領域となる第1領域、第2領域、第3領域、及び第4領域のうちの少なくとも1つの領域に対して、第1の量の不純物を同時にドーピングする第1工程と、前記第1工程の前または後に、前記第1領域、前記第2領域、前記第3領域、及び前記第4領域のうち、前記第1工程において不純物がドーピングされる領域の少なくとも1つを含む複数の領域に対して、前記第1の量とは異なる第2の量の不純物を同時にドーピングする第2工程と、を含み、前記第1領域、前記第2領域、前記第3領域、及び前記第4領域にドーピングされるp型不純物の濃度をそれぞれ d_1 、 d_2 、 d_3 、及び d_4 とした場合、前記 d_1 、 d_2 、 d_3 、及び d_4 が、 $d_1 < d_2$ 、且つ $d_3 < d_4$ の関係を満たす。

[0025] ある実施形態では、前記第1 P型TFT及び前記第2 N型TFTが高電圧駆動用のTFTであり、前記第2 P型TFT及び前記第1 N型TFTが、前記高電圧駆動用のTFTよりも低いソースドレイン電圧を制御するための

低電圧駆動用 T F T である。

- [0026] ある実施形態では、前記第 1 工程において、前記第 1 領域、前記第 2 領域、前記第 3 領域、及び前記第 4 領域の 2 つの領域に対して、前記第 1 の量の不純物が同時にドーピングされ、前記第 1 工程の後に前記第 2 工程が実施され、前記第 2 工程では、前記第 1 領域、前記第 2 領域、前記第 3 領域、及び前記第 4 領域のうち、前記第 1 工程において不純物がドーピングされた領域の 1 つと、前記第 1 工程において不純物がドーピングされなかった領域の 1 つの領域に対して、前記第 1 の量とは異なる第 2 の量の不純物が同時にドーピングされる。
- [0027] ある実施形態では、前記 d 1、d 2、d 3、及び d 4 の 4 つの値が互いに異なっている。
- [0028] ある実施形態では、前記 d 1、d 2、d 3、及び d 4 が、 $d 1 < d 2 < d 3 < d 4$ の関係、又は $d 1 < d 3 < d 2 < d 4$ の関係を満たす。
- [0029] ある実施形態では、前記第 1 工程において、前記第 2 領域及び前記第 4 領域に対して、前記第 1 の量の不純物が同時にドーピングされ、前記第 2 工程では、前記第 3 領域及び前記第 4 領域に対して、前記第 1 の量よりも多い前記第 2 の量の不純物が同時にドーピングされる。
- [0030] ある実施形態では、前記第 1 工程において、前記第 3 領域及び前記第 4 領域に対して、前記第 1 の量の不純物が同時にドーピングされ、前記第 2 工程では、前記第 2 領域及び前記第 4 領域に対して、前記第 1 の量よりも多い前記第 2 の量の不純物が同時にドーピングされる。
- [0031] ある実施形態は、前記第 1 領域、前記第 2 領域、前記第 3 領域、及び前記第 4 領域に対して、第 3 の量の不純物をドーピングする第 3 の工程を含む。
- [0032] ある実施形態では、前記 d 1、d 2、d 3、及び d 4 のうちの 3 つの値が互いに異なっており、前記 d 1、d 2、d 3、及び d 4 のうちの 2 つの値が互いに等しい。
- [0033] ある実施形態では、前記 d 1、d 2、d 3、及び d 4 が、 $d 1 < d 2 = d 3 < d 4$ の関係、又は $d 1 = d 3 < d 2 < d 4$ の関係を満たす。
- [0034] ある実施形態では、前記第 1 工程において、前記第 2 領域、前記第 3 領域

、及び前記第 4 領域に対して、前記第 1 の量の不純物が同時にドーピングされ、前記第 2 工程では、前記第 4 領域に対して、前記第 1 の量よりも多い前記第 2 の量の不純物がドーピングされる。

[0035] ある実施形態では、前記第 1 工程において、前記第 4 領域に対して、前記第 1 の量の不純物がドーピングされ、前記第 2 工程では、前記第 2 領域、前記第 3 領域、及び前記第 4 領域に対して、前記第 1 の量よりも多い前記第 2 の量の不純物が同時にドーピングされる。

[0036] ある実施形態では、前記第 1 工程において、前記第 1 領域、前記第 3 領域、及び前記第 4 領域に対して、前記第 1 の量の不純物が同時にドーピングされ、前記第 2 工程では、前記第 2 領域及び前記第 4 領域に対して、前記第 1 の量よりも多い前記第 2 の量の不純物が同時にドーピングされる。

[0037] ある実施形態では、前記第 1 工程において、前記第 1 領域及び前記第 4 領域に対して、前記第 1 の量の不純物が同時にドーピングされ、前記第 2 工程では、前記第 2 領域、前記第 3 領域、及び前記第 4 領域に対して、前記第 1 の量よりも多い前記第 2 の量の不純物が同時にドーピングされる。

[0038] ある実施形態は、さらに、前記第 1 領域、前記第 2 領域、前記第 3 領域、及び前記第 4 領域に対して、第 3 の量の不純物が同時にドーピングされる工程を含む。

[0039] ある実施形態では、前記 d 1、d 2、d 3、及び d 4 が、それぞれ、前記第 1 P 型 T F T、前記第 2 P 型 T F T、前記第 1 N 型 T F T、及び前記第 2 N 型 T F T のチャンネル領域における p 型不純物の濃度（濃度 0 の場合を含む）から n 型不純物（濃度 0 の場合を含む）の濃度を引いた値を意味する。

[0040] 本発明による表示装置の製造方法は、上記製造方法を含む表示装置の製造方法である。

[0041] 本発明による他の半導体装置の製造方法は、それぞれが多結晶シリコンからなるチャンネル領域を有する第 1 P 型 T F T、第 2 P 型 T F T、第 1 N 型 T F T、及び第 2 N 型 T F T を備えた半導体装置の製造方法であって、前記第 1 P 型 T F T 及び前記第 2 N 型 T F T が高電圧駆動用の T F T であり、前記

第2 P型TF T及び前記第1 N型TF Tが、前記高電圧駆動用のTF Tよりも低いソースドレイン電圧を制御するための低電圧駆動用TF Tであり、前記第1 P型TF Tのチャネル領域となる第1領域、及び前記第1 N型TF Tのチャネル領域となる第3領域に対して、同時に第1の量の不純物をドーピングする第1工程と、前記第2 P型TF Tのチャネル領域となる第2領域、及び前記第2 N型TF Tのチャネル領域となる第4領域に対して、同時に前記第1の量とは異なる第2の量の不純物をドーピングする第2工程と、を含み、前記第1領域、前記第2領域、前記第3領域、及び前記第4領域にドーピングされるp型不純物の濃度をそれぞれ d_1 、 d_2 、 d_3 、及び d_4 とした場合、前記 d_1 、 d_2 、 d_3 、及び d_4 が、 $d_1 = d_3 < d_2$ 、 $d_1 = d_3 < d_4$ 、 $d_1 < d_2 = d_4$ 、又は $d_3 < d_2 = d_4$ の関係を満たす。

[0042] ある実施形態では、前記 d_1 、 d_2 、 d_3 、及び d_4 が、 $d_1 = d_3 < d_2 = d_4$ の関係を満たす。

[0043] ある実施形態では、前記第1工程において、前記第1領域、前記第2領域、前記第3領域、及び前記第4領域に対して、前記第1の量の不純物が同時にドーピングされる。

[0044] ある実施形態では、前記 d_1 、 d_2 、 d_3 、及び d_4 が、それぞれ、前記第1 P型TF T、前記第2 P型TF T、前記第1 N型TF T、及び前記第2 N型TF Tのチャネル領域におけるp型不純物の濃度（濃度0の場合を含む）からn型不純物（濃度0の場合を含む）の濃度を引いた値を意味する。

[0045] 本発明による他の表示装置の製造方法は、上記製造方法を含む表示装置の製造方法である。

発明の効果

[0046] 本発明によれば、1つのTF T基板上に多種の用途に応じた特性を有する複数のTF Tが形成された半導体装置または表示装置を、製造効率よく提供することが可能となる。また、複数種類のTF Tが形成されたTF T基板を有する、消費電力の低減された半導体装置または表示装置を、製造効率よく提供することが可能となる。

図面の簡単な説明

[0047] [図1]本発明の第1の実施形態による半導体装置100の構成を模式的に表した断面図である。

[図2]半導体装置100の半導体層20a～20d付近の構成を模式的に表した断面図である。

[図3](a)～(e)は、半導体装置100の製造方法を模式的に表した断面図である。

[図4](a)及び(b)は、半導体装置100の製造方法を模式的に表した断面図である。

[図5](a)～(c)は、半導体層20a～20dの3種類の処理方法を説明するための表である。

[図6](a)及び(b)は、半導体装置100による効果を説明するためのグラフである。

[図7]本発明の実施形態による表示装置200の構成を模式的に表した斜視図である。

[図8]表示装置200の表示領域260におけるTFT基板210の構成を模式的に表した平面図である。

[図9]表示装置200におけるTFT基板210の全体構成を模式的に表した平面図である。

[図10]本発明の第2の実施形態による半導体装置101の半導体層20a～20d付近の構成を模式的に表した断面図である。

[図11](a)～(e)は、半導体装置101の製造方法を模式的に表した断面図である。

[図12](a)～(e)は、半導体装置101における半導体層20a～20dの5種類の処理方法を説明するための表である。

[図13]本発明の第3の実施形態による半導体装置102の半導体層20a～20d付近の構成を模式的に表した断面図である。

[図14](a)～(e)は、半導体装置102の製造方法を模式的に表した断

面図である。

[図15] (a) 及び (b) は、半導体装置 102 における半導体層 20a ~ 20d の 2 種類の処理方法を説明するための表である。

発明を実施するための形態

[0048] (実施形態 1)

以下、図面を参照しながら本発明の第 1 の実施形態による半導体装置 100 を説明する。ただし、本発明の範囲は以下の実施形態に限られるものではない。

[0049] 図 1 は、本発明の第 1 の実施形態による半導体装置 100 の構成を模式的に表した断面図であり、図 2 は、半導体装置 100 の半導体層 20a ~ 20d 付近の構成を模式的に表した断面図である。

[0050] 図 1 及び図 2 に示すように、半導体装置 100 は、トップゲート構造を有するスタガー型の TFT 10a、10b、10c、及び 10d を有している。TFT 10a 及び 10b は P 型 TFT (p チャネル型 TFT) であり、TFT 10c 及び 10d は N 型 TFT (n チャネル型 TFT) である。TFT 10a 及び TFT 10d は、ソースとドレインとの間に比較的高い電圧が印加される高電圧動作の TFT として用いられ、TFT 10b 及び TFT 10c は、ソースとドレインとの間に高電圧動作 TFT よりも低い電圧が印加される低電圧動作の TFT として用いられる。

[0051] TFT 10a、10b、10c、及び 10d (以下、10a ~ 10d と略すことがある。また、他の参照番号についても同様に略すことがある。) を、それぞれ、第 1 P 型 TFT、第 2 P 型 TFT、第 1 N 型 TFT、及び第 2 N 型 TFT と呼ぶこともある。なお、図 1 及び図 2 には半導体装置 100 が備える 4 つの TFT のみを図示しているが、半導体装置 100 は、少なくとも 4 種類の TFT 10a ~ 10d を備えるものであり、他に同種または他種の TFT を備えるものであってもよい。

[0052] 半導体装置 100 は、ガラス、絶縁性樹脂等からなる基板 (透明基板、絶縁性基板等) 61 と、基板 61 の上に成膜されたアンダーコート層 62 を備

えており、TFT10a～10dは、それぞれ、アンダーコート層62の上に形成された多結晶シリコン（ポリシリコン）からなる半導体層20a、20b、20c、及び20dを有している。半導体層20a～20dは、微結晶シリコンなどの非単結晶かつ非アモルファスのシリコンからなるものであってもよい。なお、アンダーコート層62を含まない半導体装置100の構成もあり得る。

[0053] 半導体層20a～20dの上には、ゲート絶縁層（ゲート絶縁膜）63及び絶縁層（層間絶縁膜）64が積層されており、ゲート絶縁層63の上にはTFT10a～10dのそれぞれに対応する複数のゲート54が、絶縁層64の上にはゲート電極55、ソース電極56、及びドレイン電極57がそれぞれ形成されている。

[0054] 半導体層20a～20dは、それぞれ、ソースコンタクト領域（第1コンタクト領域）26a、26b、26c、及び26d、ドレインコンタクト領域（第2コンタクト領域）27a、27b、27c、及び27d、並びに、両コンタクト領域の間に位置するチャネル領域25a、25b、25c、及び25dからなる。ソースコンタクト領域26a～26dは、ゲート絶縁層63及び絶縁層64のコンタクトホールを介して、それぞれ対応するソース電極56に接続されており、ドレインコンタクト領域27a～27dは、ゲート絶縁層63及び絶縁層64のコンタクトホールを介して、それぞれ対応するドレイン電極57に接続されている。各ゲート54は、絶縁層64のコンタクトホールを介して、対応するゲート電極55に接続されている。

[0055] チャネル領域25b、25c、及び25dには、B（ホウ素）等のp型不純物がドーピングされている。チャネル領域25aには不純物はドーピングされていない。チャネル領域25a～25dにドーピングされた不純物の濃度は互いに異なっており、チャネル領域25a～25dにおけるp型不純物の濃度（濃度0の場合を含む）をそれぞれd1、d2、d3、及びd4とすると、d1、d2、d3、及びd4は $d1 < d2 < d3 < d4$ の関係を満たす。

[0056] 次に、図3、図4、及び図5を参照して、半導体装置100の製造方法を

説明する。

- [0057] まず、基板61の上に、シリコン酸化膜（ SiO_x ）、シリコン窒化膜（ SiN_x ）等の層をPCVD（プラズマCVD）法、LPCVD（減圧CVD）法、スパッタ法等によって300nm程度に積層し、アンダーコート層62を得る。アンダーコート層62は、基板61から半導体層20a~20dに不純物が拡散することを防止するために設けられるものであるが、不純物の拡散が問題とならない場合は、アンダーコート層62を形成しないこともあり得る。次に、アンダーコート層62の上に、アモルファスシリコン（a-Si）を、PCVD法、LPCVD法、スパッタ法等によって20~100nm程度に積層してアモルファスシリコン層（a-Si層）22を形成し、図3（a）に示す積層構造が得られる。なお、PCVD法を用いてa-Si層22を積層した場合には、積層後に脱水素処理がなされる。
- [0058] 次に、図3（b）に示すように、a-Si層22の上にレジスト30を積層し、フォトリソグラフィ法によってa-Si層22の領域22b及び22dの上にレジスト30の開口を設ける。なお、a-Si層22の領域22a（第1領域）、22b（第2領域）、22c（第3領域）、及び22d（第4領域）は、それぞれ、図1及び図2に示した半導体層20a、20b、20d、及び20dが形成される領域である。その後、領域22b及び22dに対して選択的に、イオン注入法等によってドーパント31であるp型不純物（本実施形態ではB）がドーピングされる（第1回目のドーピング工程（第1工程））。
- [0059] 次に、レジスト30を取り除いた後、図3（c）に示すように、a-Si層22の上に再度レジスト30を積層し、フォトリソグラフィ法によってa-Si層22の領域22c及び22dの上にレジスト30の開口を設ける。その後、領域22c及び22dに対して選択的にイオン注入法等によってドーパント31であるBがドーピングされる（第2回目のドーピング工程（第2工程））。
- [0060] 次に、レジスト30を取り除いた後、図3（d）に示すように、半導体層

22の領域22a～22dの全てをエキシマレーザ等のレーザ光32によってアニールして、半導体層22をポリシリコン層23にする。レーザ光32には、パルスレーザ、CW（Continuous Wave）レーザ等を用いることができる。その後、フォトリソグラフィ法によりポリシリコン層23を部分的に除去して、ポリシリコン領域23a～23dを得る。

[0061] その後、ポリシリコン領域23a～23dを覆うように、PCVD法、LPVD法、スパッタ法等によってシリコン酸化膜を30～200nm程度に積層してゲート絶縁層63を形成する。次に、ゲート絶縁層63の上にスパッタ法によってアルミニウム（Al）を100～500nm程度に積層する。その後、フォトリソグラフィ法及びウェットエッチング法を用いてアルミニウムをパターニングし、フォトレジストの剥離及び基板洗浄を行なって、図4（a）に示すように複数のゲート54が形成される。

[0062] ゲート54を構成する金属はアルミニウムに限定されることはなく、例えば、タンタル（Ta）、チタン（Ti）、インジウム錫酸化物（ITO）、タングステン（W）、銅（Cu）、クロム（Cr）、モリブデン（Mo）等の単体金属、またはこれらの金属に窒素、酸素、あるいは他の金属を含有させた材料を用いてもよい。ゲート54の形成には、スパッタ法の代わりにPCVD法等を用いることもできる。また、ウェットエッチング法の代わりにドライエッチング法を用いてもよい。

[0063] その後、図4（a）に示すように、ポリシリコン領域23a及び23bの上部（TF10a及び10bに対応する領域）を選択的にレジストで覆い、ポリシリコン領域23c及び23dに対して、それぞれの上部のゲート54をマスクとしてドーパント31であるP（リン）をドーピングする。これにより、ゲート54の下部を除くポリシリコン領域23c及び23dにPがドーパされ、N型TFであるTF10c及び10dのソースコンタクト領域26c及び26d、並びにドレインコンタクト領域27c及び27dが形成される。また、このときゲート54によって覆われたポリシリコン領域23c及び23dにはPがドーパされることがなく、これらの部分がTF

10c及び10dのチャネル領域25c及び25dとなる。このようにして、TF T 10c及び10dの半導体層20c及び20dが完成する。

[0064] 次に、図4(b)に示すように、半導体層20c及び20dの上部(TF T 10c及び10dに対応する領域)を選択的にレジストで覆い、ポリシリコン領域23a及び23bに対して、それぞれの上部のゲート54をマスクとしてドーパント31であるBをドーピングする。これにより、ゲート54の下部を除くポリシリコン領域23a及び23bにBがドーピングされ、P型TF TであるTF T 10a及び10bのソースコンタクト領域26a及び26b、並びにドレインコンタクト領域27a及び27bが形成される。また、このときゲート54によって覆われたポリシリコン領域23a及び23bにはBがドーピングされることがなく、これらの部分がTF T 10a及び10bのチャネル領域25a及び25bとなる。このようにして、TF T 10a及び10bの半導体層20a及び20bが完成する。なお、上記半導体層20c及び20dの形成工程の前に半導体層20a及び20bの形成工程を実施してもよい。

[0065] 次に、レジスト30を除去し、シリコン酸化物、シリコン窒化物等を積層して絶縁層64を形成した後、ソースコンタクト層26a～26d及びドレインコンタクト層27a～27dの上部のゲート絶縁層63及び絶縁層64、並びに各ゲート54の上の絶縁層64にコンタクトホールを形成する。その後、コンタクトホールを埋めるように絶縁層64上にアルミニウム等の金属材料を積層し、フォトリソグラフィ法による整形を行なって、TF T毎に電極ゲート電極55、ソース電極56、及びドレイン電極57が形成される。以上の工程を経て、図1に示す半導体装置100が完成する。

[0066] ここで、図5を用いて、図3の(b)及び(c)を用いて説明した2回のドーピング工程におけるBのドーピング量、及びそれに対応する他のドーピング工程例について説明する。

[0067] 図5の(a)は、上記2回のドーピング工程(第1のドーピング例)において、領域22a～22dにドーピングされるBの量(D)の関係を表している

。この図に示すように、第1回目のドーピングでは、領域22b及び22dに量aのBがドーピングされ、第2回目のドーピングでは領域22c及び22dに量aよりも多い量bのBがドーピングされる。その結果、領域22a～22dに対する最終的なドーピング量は、それぞれ、0、a、b ($> a$)、及びa+bとなる。このドーピング量は図1及び図2に示したTF T10a～10dのチャネル領域25a～25dにおけるBの不純物濃度に反映される。チャネル領域25a～25dの不純物濃度d1、d2、d3、及びd4は、 $d1 < d2 < d3 < d4$ の関係を満たしている。

[0068] 図5の(b)は、本実施形態の第2のドーピング例による、領域22a～22dのドーピング量(D)の関係を表している。この図に示すように、第2のドーピング例においても2回のドーピング工程が実施される。

[0069] 第1回目のドーピングでは、領域22c及び22dに量aのBがドーピングされ、第2回目のドーピングでは領域22b及び22dに量b ($> a$) のBがドーピングされる。その結果、領域22a～22dに対する最終的なドーピング量は、それぞれ、0、b ($> a$)、a、及びa+bとなる。これにより、チャネル領域25a～25dの不純物濃度d1、d2、d3、及びd4は、 $d1 < d3 < d2 < d4$ の関係を満たす。

[0070] 図5の(c)は、本実施形態の第3のドーピング例による、領域22a～22dのドーピング量(D)の関係を表している。この図に示すように、第3のドーピング例においては3回のドーピング工程が実施される。第3回目のドーピング工程は、図3(c)に示す第2回目のドーピング工程、更なるレジスト30の形成、及びレジスト30の開口形成を行なった後、図3(d)に示すアニール工程の前に実施される。

[0071] 第1回目のドーピングでは、領域22a～22dの全てに量cのBがドーピングされ、第2回目のドーピングによって領域22b及び22dに量a ($> c$) のBがドーピングされ、第3回目のドーピングによって領域22c及び22dに量b ($> a$) のBがドーピングされる。その結果、領域22a～22dに対する最終的なドーピング量は、それぞれ、c、a+c、b+c ($> a+c$)、及び

$a + b + c$ となる。これにより、チャネル領域 25 a ~ 25 d の不純物濃度 d_1 、 d_2 、 d_3 、及び d_4 は、 $d_1 < d_2 < d_3 < d_4$ の関係を満たす。

[0072] 上記第 1 ~ 第 3 のドーピング例は、あくまで例示であり、実施形態 1 のドーピング例が上記の例に限定されるわけではない。また、上記第 1 ~ 第 3 のドーピング例のそれぞれにおける a の値は互いに異なっていてよく、 b の値も互いに異なっていてよい。ただし、本実施形態において d_1 、 d_2 、 d_3 、及び d_4 は、 $d_1 < d_2$ 且つ $d_3 < d_4$ の関係を満たしている。

[0073] なお、本実施形態及び後述する他の実施形態においては、ポリシリコン領域 23 a ~ 23 d に対する不純物の導入は、ゲート絶縁層 63 の形成前に行われたが、この不純物の導入をゲート絶縁層 63 を形成した後に行なうこともできる。その場合、チャネル領域 25 a ~ 25 d へのドーズ量は、例えば、加速エネルギー（注入エネルギー）を 25 keV として、 $5 \times 10^{11} \sim 2 \times 10^{12}$ (atoms/cm²)、 $1 \times 10^{12} \sim 2.5 \times 10^{12}$ (atoms/cm²)、 $1.5 \times 10^{12} \sim 3 \times 10^{12}$ (atoms/cm²)、及び $2 \times 10^{12} \sim 4 \times 10^{12}$ (atoms/cm²) である。これに対し、従来の半導体装置においては、基板全面に対して 1×10^{12} (atoms/cm²)、CD ドープが 2×10^{12} (atoms/cm²)、トータルで 3×10^{12} (atoms/cm²) のドーズ量が採用されている。

[0074] また、ドーパントには B 等の p 型不純物のみならず P（リン）等の n 型不純物を用いてもよい。例えば、第 1 のドーピング例における第 2 回目のドーピングのドーパントに P を用いてもよい。この場合、 d_1 、 d_2 、 d_3 、及び d_4 は、チャネル領域 25 a ~ 25 d における p 型不純物の濃度（濃度 0 の場合を含む）から n 型不純物（濃度 0 の場合を含む）の濃度を引いた値を表すものとする。また、TFT 10 a のチャネル領域 25 a には不純物がドープされていないとしたが、チャネル領域 25 a は、同量の p 型不純物及び n 型不純物をドープして d_1 を 0 としたものであってもよい。いずれにせよ、本実施形態では、 $d_1 < d_2$ 且つ $d_3 < d_4$ の関係が満たされる。

[0075] 図 6 は、半導体装置 100 による効果を説明するためのグラフである。図

6の(a)は、チャネル領域の不純物濃度が互いに同じである高電圧用TFTと低電圧用TFTの各移動度の電圧依存性(I_d-V_g 特性)を表しており、この図におけるa1は高電圧用TFTの特性を、b1は低電圧用TFTの特性をそれぞれ表している。図6の(b)は、チャネル領域の不純物濃度が高い高電圧用TFT、及びチャネル領域の不純物濃度が高電圧用TFTよりも低い低電圧用TFTそれぞれの I_d-V_g 特性を表しており、a2は高電圧用TFTの特性を、b2は低電圧用TFTの特性を表している。

[0076] 図6の(a)及び(b)を比較してわかるように、不純物濃度が同じである場合、高電圧用TFTの閾値電圧よりも低電圧用TFTの閾値電圧が高くなってしまう。しかし、本実施形態の高電圧用TFT10d及び低電圧用TFT10cのように、高電圧用TFTの不純物濃度が低電圧用TFTの不純物濃度よりも高い場合には、高電圧用TFTの閾値電圧よりも低電圧用TFTの閾値電圧を低く抑えることが可能となる。したがって、TFT10cを、例えば表示装置における周辺回路のスイッチング用のTFTとして用いた場合に、リーク電流を減少させて装置の消費電力を抑えることが可能となる。

[0077] 図6を用いて示した例は、本実施形態による半導体装置の利点の1つであり、TFT10a~10dのチャネル領域における不純物濃度をそれぞれの回路に応じて適切に変えることにより、高性能且つ低消費電力の半導体装置を製造効率よく提供することができる。

[0078] 本実施形態によれば、同一の基板上に形成される少なくとも4種類のTFTのチャネル領域における不純物濃度をそれぞれ異ならせることが可能であるため、それぞれのTFTの閾値電圧を、例えば低電圧用TFTの閾値電圧を高電圧用TFTの閾値電圧以下に抑えるなど、それが用いられる回路毎に適切に設定することができるので、半導体装置または半導体装置を含む機器における多種多様な制御を、不必要に消費電力を増加させることなく実行することが可能となる。

[0079] また、4種類のTFTの不純物濃度をそれぞれ異ならせるために、イオン

ドーピング装置によるドーピング工程をＴＦＴ毎に別々の工程で実施した場合、少なくとも３回のフォトリソグラフィ工程と４回のドーピング工程が必要とされる。しかし、本実施形態によれば、２回のフォトリソグラフィ工程及び２回または３回のドーピング工程しか必要とされないため、多種のＴＦＴを備えた半導体装置の製造効率を向上させることができる。

[0080] 次に、図７～図９を用いて、本発明の実施形態による表示装置２００を説明する。ここでは表示装置２００を液晶表示装置として説明するが、本発明の表示装置２００は液晶表示装置に限られることなく、複数のＴＦＴを有するアクティブマトリクス基板を備えた有機エレクトロルミネッセンス（ＥＬ）表示装置、無機エレクトロルミネッセンス表示装置など、他の種類の表示装置であってもよい。

[0081] 図７は表示装置２００の構成を模式的に表した斜視図、図８は表示装置２００の表示領域２６０におけるＴＦＴ基板２１０の構成を模式的に表した平面図、図９は表示装置２００におけるＴＦＴ基板２１０の全体構成を模式的に表した平面図である。

[0082] 表示装置２００は、図７に示すように、液晶層２３０を挟んで対向するＴＦＴ基板２１０及び対向基板（ＣＦ基板）２２０と、ＴＦＴ基板２１０及び対向基板２２０のそれぞれの外側に配置された偏光板２１５及び２１６と、表示用の光を偏光板２１５に向けて出射するバックライトユニット２４０とを備えている。

[0083] 図８に示すように、表示装置２００の表示領域２６０は、マトリクス状に配置された複数の画素２５０を有する。ＴＦＴ基板２１０には、複数の走査線（ゲートバスライン）２５４と複数の信号線（データバスライン）２５６とが、互いに直交するように延びている。複数の走査線２５４と複数の信号線２５６との交点それぞれの付近には、能動素子として本発明によるＴＦＴ１０が画素２５０毎に配置されている。ここで１つの画素は、隣り合う２つの走査線２５４と隣り合う２つの信号線２５６とによって区切られた領域として定義される。各画素２５０には、ＴＦＴ１０のドレイン電極５７に電気

的に接続された、例えばITO (Indium Tin Oxide) となる画素電極252が配置されている。隣り合う2つの走査線254の間に、走査線254と平行に補助容量線（蓄積容量線、Csラインとも呼ぶ）258が延びていてもよい。

[0084] 複数の走査線254及び複数の信号線256は、それぞれ図7に示したゲートドライバ（走査線駆動回路）212及びデータドライバ（信号線駆動回路）213に接続されている。ゲートドライバ212及びデータドライバ213の信号は、表示コントローラ214によって制御され、その制御に応じて、ゲートドライバ212から複数の走査線254にTFT10のオンオフを切り替える走査信号が供給される。また、表示コントローラ214による制御に応じて、データドライバ213から複数の信号線256に表示信号（画素電極252への印加電圧）が供給される。

[0085] 図7に示した対向基板220は、カラーフィルタ及び共通電極を備えており、カラーフィルタは、3原色表示の場合、それぞれが画素に対応して配置されたR（赤）フィルタ、G（緑）フィルタ、及びB（青）フィルタを含む。共通電極は、複数の画素電極252を覆うように形成されている。共通電極と各画素電極252との間に与えられる電位差に応じて両電極の間の液晶分子が画素250毎に配向し、表示がなされる。

[0086] TFT基板210には、図9に示すように、上記の表示領域260、ゲートドライバ212、データドライバ213、表示コントローラ214の他、電源回路261、メモリ262、コモンドライバ264等が形成されている。本実施形態のTFT10a～10dは、表示領域260、ゲートドライバ212、データドライバ213、表示コントローラ214、電源回路261、メモリ262、コモンドライバ264等のTFTとして用いられる。

[0087] 例えば、低電圧用のTFT10cをゲートドライバ212、データドライバ213、表示コントローラ214等の周辺回路に適用した場合、その閾値電圧を低く抑えることができるため、周辺回路の動作を高速化すると共にリーク電流または消費電力を低減させることが可能となる。したがって、高解

像度を有する高品質且つ低消費電力の表示装置を、製造効率よく提供することが可能となる。

[0088] (実施形態2)

次に、図10～12を用いて、本発明の第2の実施形態による半導体装置101を説明する。

[0089] 半導体装置101は、実施形態1と同様に4種類のTFT10a～10dを備えており、その全体構成は図1に示したものとほぼ同じであるので、ここでは図示することを省略する。以下、実施形態1と異なる部分を中心に説明を行なうが、特に説明するものを除き、構成、機能、効果等は実施形態1と同じである。本実施形態の半導体装置101及び4種類のTFT10a～10dも、実施形態1で説明した表示装置200に適用され得るものである。

[0090] 図10は、半導体装置101の半導体層20a～20d付近の構成を模式的に表した断面図である。

[0091] 図10に示すように、半導体装置101における4種類のTFT10a～10dの半導体層20a～20dは、それぞれソースコンタクト領域26a～26d、ドレインコンタクト領域27a～27d、及びチャネル領域25a～25dからなる。チャネル領域25b、25c、及び25dには、B等のp型不純物がドーピングされており、チャネル領域25aには不純物はドーピングされていない。チャネル領域25a～25dにおけるp型不純物の濃度（濃度0の場合を含む）をそれぞれd1、d2、d3、及びd4とすると、d1、d2、d3、及びd4は $d1 < d2 = d3 < d4$ の関係を満たしている。

[0092] 次に、図11及び図12を参照して、半導体装置101の製造方法を説明する。なお、半導体装置101の製造方法における後半部分は、図4を用いて説明した実施形態1における半導体装置100の後半の製造工程と同じであるので、その説明を省略する。

[0093] まず、基板61の上に、図3(a)を用いて説明したように、アンダーコート層62を形成した後、アンダーコート層62の上にアモルファスシリコ

ン層 2 2 を積層して、図 1 1 (a) に示す積層構造を得る。

[0094] 次に、図 1 1 (b) に示すように、a-Si 層 2 2 の上にレジスト 3 0 を積層し、フォトリソグラフィ法によって領域 2 2 b ~ 2 2 d (第 2 ~ 第 4 領域) の上にレジスト 3 0 の開口を設け、領域 2 2 b ~ 2 2 d に B をドーピングする (第 1 回目のドーピング工程 (第 1 工程)) 。

[0095] 次に、レジスト 3 0 を取り除いた後、図 1 1 (c) に示すように、a-Si 層 2 2 の上に再度レジスト 3 0 を積層し、領域 2 2 d の上に開口を設け、領域 2 2 d に B をドーピングする (第 2 回目のドーピング工程 (第 2 工程)) 。

[0096] 次に、レジスト 3 0 を除去した後、領域 2 2 a ~ 2 2 d にレーザアニールを施して、図 1 1 (d) に示すように、ポリシリコン層 2 3 を得る。その後、フォトリソグラフィ法によりポリシリコン層 2 3 を部分的に除去して、図 1 1 (e) に示すように、ポリシリコン領域 2 3 a ~ 2 3 d を得、図 4 (a) 及び (b) を用いて説明した工程を経て、半導体装置 1 0 1 が完成する。

[0097] 図 1 2 は、半導体装置 1 0 1 の半導体層 2 0 a ~ 2 0 d の形成における 5 種類のドーピング処理方法を説明するための表である。

[0098] 図 1 2 の (a) は、上記半導体装置 1 0 1 の製造方法における 2 回のドーピング工程 (第 1 のドーピング例) において、領域 2 2 a ~ 2 2 d にドーピングされる B の量 (D) の関係を表している。この図に示すように、第 1 回目のドーピングでは、領域 2 2 b ~ 2 2 d に量 a の B がドーピングされ、第 2 回目のドーピングでは領域 2 2 d に量 a よりも多い量 b の B がドーピングされる。その結果、領域 2 2 a ~ 2 2 d に対する最終的なドーピング量は、それぞれ、0、a、a、及び a + b となる。チャネル領域 2 5 a ~ 2 5 d の不純物濃度 d 1、d 2、d 3、及び d 4 は、 $d 1 < d 2 = d 3 < d 4$ の関係を満たしている。

[0099] 図 1 2 の (b) は、本実施形態の第 2 のドーピング例によるドーピング量 (D) の関係を表している。この図に示すように、第 1 回目のドーピングでは、領域 2 2 d に量 a の B がドーピングされ、第 2 回目のドーピングでは領域 2 2 b ~ 2 2 d に量 b ($> a$) の B がドーピングされる。その結果、領域 2 2 a ~ 2 2 d に対する最終的なドーピング量は、それぞれ、0、b、b、及び a + b となる。

、不純物濃度 d_1 、 d_2 、 d_3 、及び d_4 は、 $d_1 < d_2 = d_3 < d_4$ の関係を満たす。

[0100] 図 12 の (c) は、本実施形態の第 3 のドーピング例によるドーズ量 (D) の関係を表している。この図に示すように、第 1 回目のドーピングでは、領域 22a、22c、及び 22d に量 a の B がドーピングされ、第 2 回目のドーピングによって領域 22b 及び 22d に量 b ($> a$) の B がドーピングされる。その結果、領域 22a ~ 22d のドーズ量は、それぞれ、 a 、 b 、 a 、及び $a + b$ となり不純物濃度 d_1 、 d_2 、 d_3 、及び d_4 は、 $d_1 < d_2$ 且つ $d_3 < d_4$ の関係を満たす。

[0101] 図 12 の (d) は、本実施形態の第 4 のドーピング例によるドーズ量 (D) の関係を表している。この図に示すように、第 1 回目のドーピングでは、領域 22a 及び 22d に量 a の B がドーピングされ、第 2 回目のドーピングでは領域 22b ~ 22d に量 b ($> a$) の B がドーピングされる。その結果、領域 22a ~ 22d に対する最終的なドーズ量は、それぞれ、 a 、 b 、 b 、及び $a + b$ となり、不純物濃度 d_1 、 d_2 、 d_3 、及び d_4 は、 $d_1 < d_2 = d_3 < d_4$ の関係を満たす。

[0102] 図 12 の (e) は、本実施形態の第 5 のドーピング例によるドーズ量 (D) の関係を表している。この図に示すように、第 5 のドーピング例においては 3 回のドーピングが実施される (第 3 工程)。

[0103] 第 1 回目のドーピングでは、領域 22a ~ 22d の全てに量 c の B がドーピングされ、第 2 回目のドーピングでは領域 22b ~ 22d に量 a の B がドーピングされ、第 3 回目のドーピングでは領域 22d に量 b ($> a$) の B がドーピングされる。その結果、領域 22a ~ 22d のドーズ量は、それぞれ、 c 、 $a + c$ 、 $a + c$ 、及び $a + b + c$ となる。これにより、チャネル領域 25a ~ 25d の不純物濃度 d_1 、 d_2 、 d_3 、及び d_4 は、 $d_1 < d_2 = d_3 < d_4$ の関係を満たす。

[0104] なお、第 3 回目のドーピング工程は、図 11 (c) に示す第 2 回目のドーピング工程、更なるレジスト 30 の形成、及びレジスト 30 の開口形成を行

なった後、アニール工程の前に実施される。なお、第3回目の工程を、第1回目の工程の前、または第1回目の工程と第2回目の工程との間に実施してもよい。また、第3回目の工程と同様の工程を、上記第1～第4のドーピング例に追加してもよい。

[0105] 上記第1～第5のドーピング例は、あくまで例示であり、実施形態2のドーピング例が上記の例に限定されるわけではない。また、上記第1～第5のドーピング例のそれぞれにおけるaの値は互いに異なっていてよく、bの値も互いに異なっていてよい。ただし、本実施形態においてd1、d2、d3、及びd4は、 $d1 < d2$ 且つ $d3 < d4$ の関係を満たしている。

[0106] 実施形態1と同様、ドーパントにはp型不純物のみならずn型不純物を用いてもよく、d1、d2、d3、及びd4は、チャネル領域25a～25dにおけるp型不純物の濃度（濃度0の場合を含む）からn型不純物（濃度0の場合を含む）の濃度を引いた値を表すものとする。

[0107] 本実施形態によれば、同一の基板上に形成される少なくとも4種類のTFETのチャネル領域のうちの少なくとも3つにおける不純物濃度をそれぞれ異ならせることが可能であるため、例えば低電圧用TFETの閾値電圧を高電圧用TFETの閾値電圧以下に抑えるなど、TFETの特性をそれが用いられる回路毎に適切に設定することができるので、半導体装置または半導体装置を含む機器における多種多様な制御を、不必要に消費電力を増加させることなく実行することが可能となる。また、本実施形態によれば、2回のフォトリソグラフィ工程及び2回または3回のドーピング工程しか必要とされないため、多種のTFETを備えた半導体装置の製造効率を向上させることができる。

[0108] （実施形態3）

次に、図13～15を用いて、本発明の第3の実施形態による半導体装置102を説明する。

[0109] 半導体装置102も、実施形態1と同様、4種類のTFET10a～10dを備えている。その全体構成は図1に示したものとほぼ同じであるので、ここでは図示することを省略する。以下、実施形態1と異なる部分を中心に説

明を行なうが、特に説明するものを除き、構成、機能、効果等は実施形態 1 と同じである。本実施形態の半導体装置 102 及び 4 種類の TFT 10a ~ 10d も、実施形態 1 で説明した表示装置 200 に適用され得るものである。

[0110] 図 13 は、半導体装置 102 の半導体層 20a ~ 20d 付近の構成を模式的に表した断面図である。

[0111] 図 13 に示すように、半導体装置 101 における 4 種類の TFT 10a ~ 10d の半導体層 20a ~ 20d は、それぞれソースコンタクト領域 26a ~ 26d、ドレインコンタクト領域 27a ~ 27d、及びチャネル領域 25a ~ 25d からなる。チャネル領域 25a ~ 25d には B 等の p 型不純物がドーピングされており、チャネル領域 25a と 25c のドーピング量は等しく、チャネル領域 25b と 25d のドーピング量は等しい。チャネル領域 25a ~ 25d における p 型不純物の濃度（濃度 0 の場合を含む）をそれぞれ d_1 、 d_2 、 d_3 、及び d_4 とすると、 d_1 、 d_2 、 d_3 、及び d_4 は $d_1 < d_2$ 且つ $d_3 < d_4$ の関係を満たしている。より詳しくは、 d_1 、 d_2 、 d_3 、及び d_4 は、 $d_1 = d_3 < d_2 = d_4$ の関係を満たしている。なお、 d_1 、 d_2 、 d_3 、及び d_4 は、 $d_1 = d_3 < d_2$ 、 $d_1 = d_3 < d_4$ 、 $d_1 < d_2 = d_4$ 、又は $d_3 < d_2 = d_4$ を満たしていてもよい。

[0112] 次に、図 14 及び図 15 を参照して、半導体装置 102 の製造方法を説明する。なお、半導体装置 102 の製造方法における後半部分は、図 4 を用いて説明した実施形態 1 における半導体装置 100 の後半の製造工程と同じであるので、その説明を省略する。

[0113] まず、基板 61 の上に、図 3 (a) を用いて説明したように、アンダーコート層 62 を形成した後、アンダーコート層 62 の上にアモルファスシリコン層 22 を積層して、図 14 (a) に示す積層構造を得る。

[0114] 次に、図 14 (b) に示すように、a-Si 層 22 の上にレジスト 30 を積層し、フォトリソグラフィ法によって領域 22a（第 1 領域）及び 22c（第 3 領域）の上にレジスト 30 の開口を設け、領域 22a 及び 22c に B

をドーピングする（第1回目のドーピング工程（第1工程））。

[0115] 次に、レジスト30を取り除いた後、図14（c）に示すように、a-Si層22の上に再度レジスト30を積層し、領域22b（第2領域）及び22d（第4領域）の上に開口を設け、領域22b及び22dにBをドーピングする（第2回目のドーピング工程（第2工程））。

[0116] 次に、レジスト30を除去した後、領域22a～22dにレーザアニールを施して、図14（d）に示すように、ポリシリコン層23を得る。その後、フォトリソグラフィ法によりポリシリコン層23を部分的に除去して、図14（e）に示すように、ポリシリコン領域23a～23dを得、図4（a）及び（b）を用いて説明した工程を経て、半導体装置102が完成する。

[0117] 図15は、半導体装置102の半導体層20a～20dの形成における2種類のドーピング処理方法を説明するための表である。

[0118] 図15の（a）は、上記半導体装置102の製造方法における2回のドーピング工程（第1のドーピング例）において、領域22a～22dにドーピングされるBの量（D）の関係を表している。この図に示すように、第1回目のドーピングでは、領域22a及び22cに量aのBがドーピングされ、第2回目のドーピングでは領域22b及び22dに量aよりも多い量bのBがドーピングされる。その結果、領域22a～22dに対する最終的なドーピング量は、それぞれ、a、b、a、及びbとなる。チャネル領域25a～25dの不純物濃度d1、d2、d3、及びd4は、 $d1 < d2$ 且つ $d3 < d4$ の関係を満たしている。

[0119] 図15の（b）は、本実施形態の第2のドーピング例によるドーピング量（D）の関係を表している。この図に示すように、第1回目のドーピングでは、領域22a～22dに量cのBがドーピングされ、第2回目のドーピングでは領域22b及び22dに量aのBがドーピングされる。その結果、領域22a～22dに対する最終的なドーピング量は、それぞれ、c、c+a、c、及びc+aとなり、不純物濃度d1、d2、d3、及びd4は、 $d1 < d2$ 且つ $d3 < d4$ の関係を満たす。

[0120] 上記第 1 及び第 2 のドーピング例は、あくまで例示であり、実施形態 3 のドーピング例が上記の例に限定されるわけではない。また、上記第 1 及び第 2 のドーピング例のそれぞれにおける a の値は互いに異なっていてよい。ただし、本実施形態において d_1 、 d_2 、 d_3 、及び d_4 は、 $d_1 = d_3 < d_2 = d_4$ の関係を満たしている。

[0121] 実施形態 1 と同様、ドーパントには p 型不純物のみならず n 型不純物を用いてもよく、 d_1 、 d_2 、 d_3 、及び d_4 は、チャネル領域 25a ~ 25d における p 型不純物の濃度（濃度 0 の場合を含む）から n 型不純物（濃度 0 の場合を含む）の濃度を引いた値を表すものとする。

[0122] いずれの方法にせよ、チャネル領域 25a ~ 25d（及び製造工程における領域 22a ~ 22d）にドーパされる p 型不純物の濃度（濃度 0 の場合を含む）から n 型不純物（濃度 0 の場合を含む）の濃度を引いた値をそれぞれ d_1 、 d_2 、 d_3 、及び d_4 とすると、 d_1 、 d_2 、 d_3 、及び d_4 は、 $d_1 = d_3 < d_2 = d_4$ を満たす。製造方法によっては、 d_1 、 d_2 、 d_3 、及び d_4 が、 $d_1 = d_3 < d_2$ 、 $d_1 = d_3 < d_4$ 、 $d_1 < d_2 = d_4$ 、又は $d_3 < d_2 = d_4$ の関係を満たすものであってもよい。また、本発明による表示装置 200 の製造方法は、上記の半導体装置の製造方法を含んでいる。

[0123] 本実施形態によれば、同一の基板上に形成される低電圧用 TFT の閾値電圧を高電圧用 TFT の閾値電圧以下に抑えるなど、それが用いられる回路毎に適切に設定することができるので、半導体装置または半導体装置を含む機器における多種多様な制御を、不必要に消費電力を増加させることなく実行することが可能となる。

産業上の利用可能性

[0124] 本発明は、薄膜トランジスタを有するアクティブマトリクス基板を備えた液晶表示装置、有機エレクトロルミネッセンス（EL）表示装置、無機エレクトロルミネッセンス表示装置等の表示装置、あるいは様々な種類の半導体装置に好適に用いられる。

符号の説明

- [0125] 10、10a～10d TFT
- 20a～20d 半導体層
- 22 アモルファスシリコン層（a-Si層）
- 22a～22d 領域（シリコン層の領域）
- 23 ポリシリコン層
- 23a～23d ポリシリコン領域
- 25a～25d チャネル領域
- 26a～26d ソースコンタクト領域（第1コンタクト領域）
- 27a～27d ドレインコンタクト領域（第2コンタクト領域）
- 54 ゲート（ゲート電極）
- 30 レジスト
- 31 ドーパント
- 32 レーザ光
- 55 ゲート電極
- 56 ソース電極
- 57 ドレイン電極
- 61 基板（透明基板、絶縁性基板）
- 62 アンダーコート層
- 63 ゲート絶縁層（ゲート絶縁膜）
- 64 絶縁層（層間絶縁膜）
- 100、101、102 半導体装置
- 200 表示装置
- 210 TFT基板
- 212 ゲートドライバ（走査線駆動回路）
- 213 データドライバ（信号線駆動回路）
- 214 表示コントローラ
- 215、216 偏光板

2 2 0	対向基板（C F 基板）
2 3 0	液晶層
2 4 0	バックライトユニット
2 5 0	画素
2 5 2	画素電極
2 5 4	走査線（ゲートバスライン）
2 5 6	信号線（データバスライン）
2 5 8	補助容量線
2 6 0	表示領域
2 6 1	電源回路
2 6 2	メモリ
2 6 4	コモンドライバ

請求の範囲

- [請求項1] それぞれが多結晶シリコンからなるチャネル領域を有する第1 P型 T F T、第2 P型 T F T、第1 N型 T F T、及び第2 N型 T F Tを備え、
- 前記第1 P型 T F T、前記第2 P型 T F T、前記第1 N型 T F T、及び前記第2 N型 T F Tのチャネル領域におけるp型不純物の濃度をそれぞれd 1、d 2、d 3、及びd 4とした場合、前記d 1、d 2、d 3、及びd 4のうちの少なくとも3つの値が互いに異なり、前記d 1、d 2、d 3、及びd 4が、
- $d 1 < d 2$ 、且つ $d 3 < d 4$
- の関係を満たす半導体装置。
- [請求項2] 前記第1 P型 T F T及び前記第2 N型 T F Tが高電圧駆動用のT F Tであり、前記第2 P型 T F T及び前記第1 N型 T F Tが、前記高電圧駆動用のT F Tよりも低いソースドレイン電圧を制御するための低電圧駆動用T F Tである、請求項1に記載の半導体装置。
- [請求項3] 前記d 1、d 2、d 3、及びd 4の4つの値が互いに異なっている、請求項2に記載の半導体装置。
- [請求項4] 前記d 1、d 2、d 3、及びd 4が、 $d 1 < d 2 < d 3 < d 4$ の関係、又は $d 1 < d 3 < d 2 < d 4$ の関係を満たす、請求項3に記載の半導体装置。
- [請求項5] 前記d 1、d 2、d 3、及びd 4のうちの3つの値が互いに異なり、前記d 1、d 2、d 3、及びd 4のうちの2つの値が互いに等しい、請求項2に記載の半導体装置。
- [請求項6] 前記d 1、d 2、d 3、及びd 4が、 $d 1 < d 2 = d 3 < d 4$ の関係、又は $d 1 = d 3 < d 2 < d 4$ の関係を満たす、請求項5に記載の半導体装置。
- [請求項7] 前記d 1、d 2、d 3、及びd 4が、それぞれ、前記第1 P型 T F T、前記第2 P型 T F T、前記第1 N型 T F T、及び前記第2 N型 T

F Tのチャネル領域におけるp型不純物の濃度（濃度0の場合を含む）からn型不純物（濃度0の場合を含む）の濃度を引いた値を意味する、請求項1から6のいずれか1項に記載の半導体装置。

[請求項8] 請求項1から7のいずれか1項に記載の半導体装置を含む表示装置。

[請求項9] それぞれが多結晶シリコンからなるチャネル領域を有する第1 P型T F T、第2 P型T F T、第1 N型T F T、及び第2 N型T F Tを備え、

前記第1 P型T F T及び前記第2 N型T F Tが高電圧駆動用のT F Tであり、前記第2 P型T F T及び前記第1 N型T F Tが、前記高電圧駆動用のT F Tよりも低いソースドレイン電圧を制御するための低電圧駆動用T F Tであり、

前記第1 P型T F T、前記第2 P型T F T、前記第1 N型T F T、及び前記第2 N型T F Tのチャネル領域におけるp型不純物の濃度をそれぞれd 1、d 2、d 3、及びd 4とした場合、前記d 1、d 2、d 3、及びd 4が、

$d 1 = d 3 < d 2$ 、 $d 1 = d 3 < d 4$ 、 $d 1 < d 2 = d 4$ 、又は $d 3 < d 2 = d 4$

の関係を満たす半導体装置。

[請求項10] 前記d 1、d 2、d 3、及びd 4が、

$d 1 = d 3 < d 2 = d 4$

の関係を満たす、請求項9に記載の半導体装置。

[請求項11] 前記d 1、d 2、d 3、及びd 4が、それぞれ、前記第1 P型T F T、前記第2 P型T F T、前記第1 N型T F T、及び前記第2 N型T F Tのチャネル領域におけるp型不純物の濃度（濃度0の場合を含む）からn型不純物（濃度0の場合を含む）の濃度を引いた値を意味する、請求項9または10に記載の半導体装置。

[請求項12] 請求項9から11のいずれか1項に記載の半導体装置を含む表示装

置。

[請求項13]

それぞれが多結晶シリコンからなるチャネル領域を有する第1 P型 T F T、第2 P型 T F T、第1 N型 T F T、及び第2 N型 T F Tを備えた半導体装置の製造方法であって、

前記第1 P型 T F T、前記第2 P型 T F T、前記第1 N型 T F T、及び前記第2 N型 T F Tのそれぞれのチャネル領域となる第1領域、第2領域、第3領域、及び第4領域のうちの少なくとも1つの領域に対して、第1の量の不純物を同時にドーピングする第1工程と、

前記第1工程の前または後に、前記第1領域、前記第2領域、前記第3領域、及び前記第4領域のうち、前記第1工程において不純物がドーピングされる領域の少なくとも1つを含む複数の領域に対して、前記第1の量とは異なる第2の量の不純物を同時にドーピングする第2工程と、を含み、

前記第1領域、前記第2領域、前記第3領域、及び前記第4領域にドーピングされるp型不純物の濃度をそれぞれ d_1 、 d_2 、 d_3 、及び d_4 とした場合、前記 d_1 、 d_2 、 d_3 、及び d_4 が、

$$d_1 < d_2、\text{且つ } d_3 < d_4$$

の関係を満たす製造方法。

[請求項14]

前記第1 P型 T F T及び前記第2 N型 T F Tが高電圧駆動用の T F Tであり、前記第2 P型 T F T及び前記第1 N型 T F Tが、前記高電圧駆動用の T F Tよりも低いソースドレイン電圧を制御するための低電圧駆動用 T F Tである、請求項13に記載の製造方法。

[請求項15]

前記第1工程において、前記第1領域、前記第2領域、前記第3領域、及び前記第4領域の2つの領域に対して、前記第1の量の不純物が同時にドーピングされ、

前記第1工程の後に前記第2工程が実施され、

前記第2工程では、前記第1領域、前記第2領域、前記第3領域、及び前記第4領域のうち、前記第1工程において不純物がドーピングされ

た領域の１つと、前記第１工程において不純物がドーピングされなかった領域の１つの領域に対して、前記第１の量とは異なる第２の量の不純物が同時にドーピングされる、請求項１４に記載の製造方法。

[請求項16] 前記 d_1 、 d_2 、 d_3 、及び d_4 の４つの値が互いに異なっている、請求項１５に記載の製造方法。

[請求項17] 前記 d_1 、 d_2 、 d_3 、及び d_4 が、 $d_1 < d_2 < d_3 < d_4$ の関係、又は $d_1 < d_3 < d_2 < d_4$ の関係を満たす、請求項１６に記載の製造方法。

[請求項18] 前記第１工程において、前記第２領域及び前記第４領域に対して、前記第１の量の不純物が同時にドーピングされ、
前記第２工程では、前記第３領域及び前記第４領域に対して、前記第１の量よりも多い前記第２の量の不純物が同時にドーピングされる、請求項１７に記載の製造方法。

[請求項19] 前記第１工程において、前記第３領域及び前記第４領域に対して、前記第１の量の不純物が同時にドーピングされ、
前記第２工程では、前記第２領域及び前記第４領域に対して、前記第１の量よりも多い前記第２の量の不純物が同時にドーピングされる、請求項１７に記載の製造方法。

[請求項20] 前記第１領域、前記第２領域、前記第３領域、及び前記第４領域に対して、第３の量の不純物をドーピングする第３の工程を含む、請求項１８または１９に記載の製造方法。

[請求項21] 前記 d_1 、 d_2 、 d_3 、及び d_4 のうちの３つの値が互いに異なっており、前記 d_1 、 d_2 、 d_3 、及び d_4 のうちの２つの値が互いに等しい、請求項１４に記載の製造方法。

[請求項22] 前記 d_1 、 d_2 、 d_3 、及び d_4 が、 $d_1 < d_2 = d_3 < d_4$ の関係、又は $d_1 = d_3 < d_2 < d_4$ の関係を満たす、請求項２１に記載の製造方法。

[請求項23] 前記第１工程において、前記第２領域、前記第３領域、及び前記第

4 領域に対して、前記第 1 の量の不純物が同時にドーピングされ、

前記第 2 工程では、前記第 4 領域に対して、前記第 1 の量よりも多い前記第 2 の量の不純物がドーピングされる、請求項 22 に記載の製造方法。

[請求項 24] 前記第 1 工程において、前記第 4 領域に対して、前記第 1 の量の不純物がドーピングされ、

前記第 2 工程では、前記第 2 領域、前記第 3 領域、及び前記第 4 領域に対して、前記第 1 の量よりも多い前記第 2 の量の不純物が同時にドーピングされる、請求項 22 に記載の製造方法。

[請求項 25] 前記第 1 工程において、前記第 1 領域、前記第 3 領域、及び前記第 4 領域に対して、前記第 1 の量の不純物が同時にドーピングされ、

前記第 2 工程では、前記第 2 領域及び前記第 4 領域に対して、前記第 1 の量よりも多い前記第 2 の量の不純物が同時にドーピングされる、請求項 22 に記載の製造方法。

[請求項 26] 前記第 1 工程において、前記第 1 領域及び前記第 4 領域に対して、前記第 1 の量の不純物が同時にドーピングされ、

前記第 2 工程では、前記第 2 領域、前記第 3 領域、及び前記第 4 領域に対して、前記第 1 の量よりも多い前記第 2 の量の不純物が同時にドーピングされる、請求項 22 に記載の製造方法。

[請求項 27] さらに、前記第 1 領域、前記第 2 領域、前記第 3 領域、及び前記第 4 領域に対して、第 3 の量の不純物が同時にドーピングされる工程を含む、請求項 23 から 26 のいずれか 1 項に記載の製造方法。

[請求項 28] 前記 d 1、d 2、d 3、及び d 4 が、それぞれ、前記第 1 P 型 TFT、前記第 2 P 型 TFT、前記第 1 N 型 TFT、及び前記第 2 N 型 TFT のチャネル領域における p 型不純物の濃度（濃度 0 の場合を含む）から n 型不純物（濃度 0 の場合を含む）の濃度を引いた値を意味する、請求項 13 から 27 のいずれか 1 項に記載の製造方法。

[請求項 29] 請求項 13 から 28 のいずれか 1 項に記載の製造方法を含む表示装

置の製造方法。

[請求項30] それぞれが多結晶シリコンからなるチャネル領域を有する第1 P型 T F T、第2 P型 T F T、第1 N型 T F T、及び第2 N型 T F Tを備えた半導体装置の製造方法であって、

前記第1 P型 T F T及び前記第2 N型 T F Tが高電圧駆動用の T F Tであり、前記第2 P型 T F T及び前記第1 N型 T F Tが、前記高電圧駆動用の T F Tよりも低いソースドレイン電圧を制御するための低電圧駆動用 T F Tであり、

前記第1 P型 T F Tのチャネル領域となる第1領域、及び前記第1 N型 T F Tのチャネル領域となる第3領域に対して、同時に第1の量の不純物をドーピングする第1工程と、

前記第2 P型 T F Tのチャネル領域となる第2領域、及び前記第2 N型 T F Tのチャネル領域となる第4領域に対して、同時に前記第1の量とは異なる第2の量の不純物をドーピングする第2工程と、を含み、

前記第1領域、前記第2領域、前記第3領域、及び前記第4領域にドーピングされる p 型不純物の濃度をそれぞれ d_1 、 d_2 、 d_3 、及び d_4 とした場合、前記 d_1 、 d_2 、 d_3 、及び d_4 が、

$d_1 = d_3 < d_2$ 、 $d_1 = d_3 < d_4$ 、 $d_1 < d_2 = d_4$ 、又は $d_3 < d_2 = d_4$

の関係を満たす製造方法。

[請求項31] 前記 d_1 、 d_2 、 d_3 、及び d_4 が、 $d_1 = d_3 < d_2 = d_4$ の関係を満たす、請求項30に記載の製造方法。

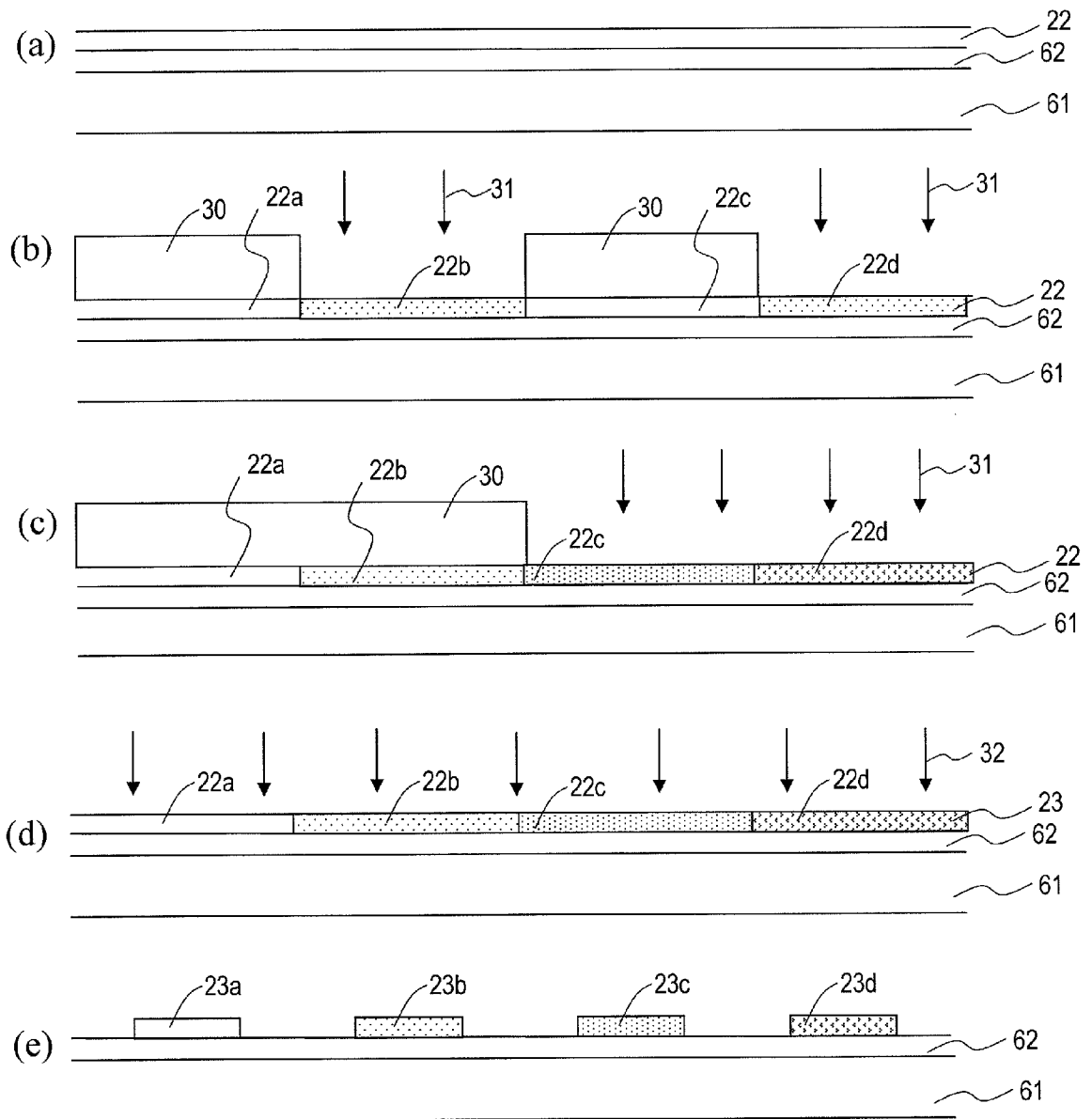
[請求項32] 前記第1工程において、前記第1領域、前記第2領域、前記第3領域、及び前記第4領域に対して、前記第1の量の不純物が同時にドーピングされる、請求項31に記載の製造方法。

[請求項33] 前記 d_1 、 d_2 、 d_3 、及び d_4 が、それぞれ、前記第1 P型 T F T、前記第2 P型 T F T、前記第1 N型 T F T、及び前記第2 N型 T F Tのチャネル領域における p 型不純物の濃度（濃度0の場合を含む

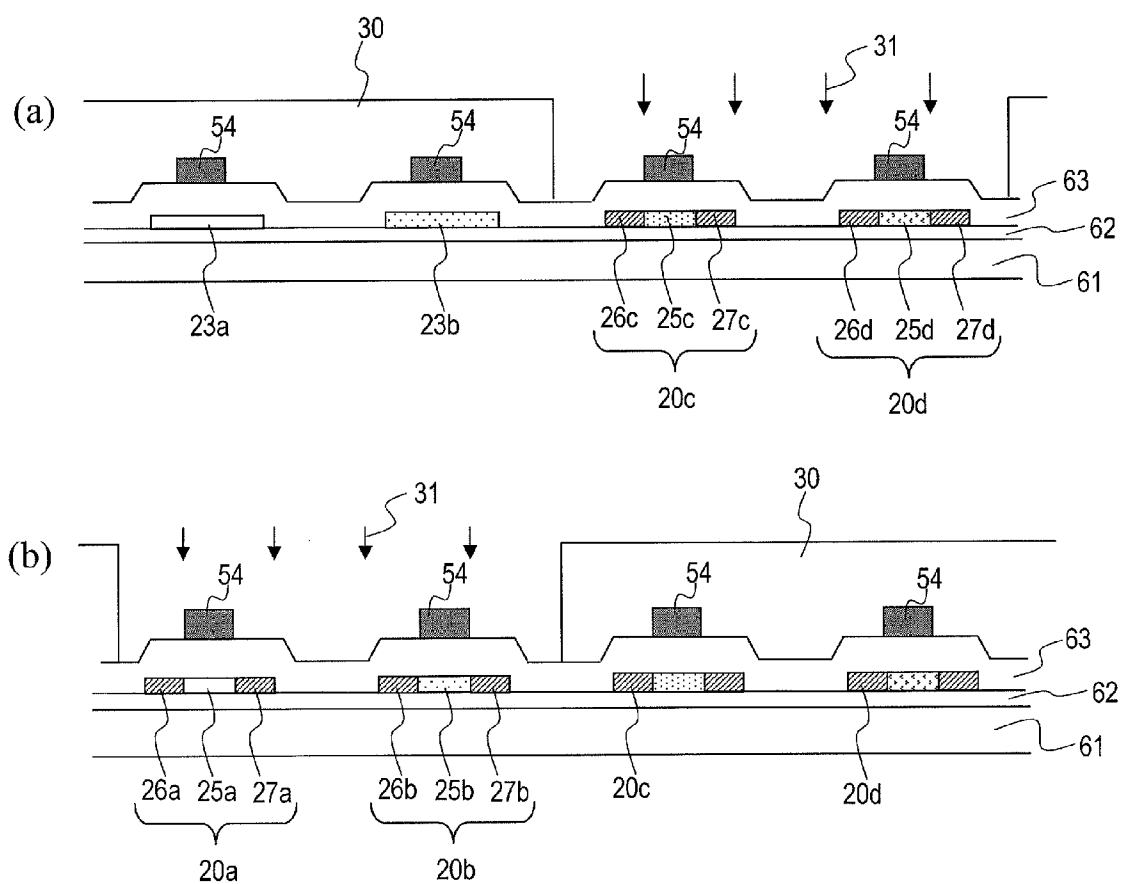
）から n 型不純物（濃度 0 の場合を含む）の濃度を引いた値を意味する、請求項 30 から 32 のいずれか 1 項に記載の製造方法。

[請求項34] 請求項 30 から 33 のいずれか 1 項に記載の製造方法を含む表示装置の製造方法。

[図3]



[図4]



[図5]

(a)

D		22a	22b	22c	22d
1	a	-	○	-	○
2	b(>a)	-	-	○	○
Total		-	a	b	a+b

(b)

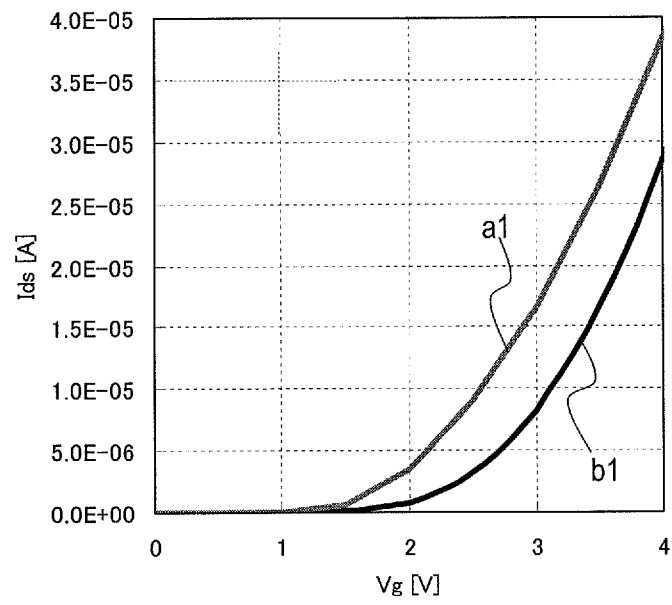
D		22a	22b	22c	22d
1	a	-	-	○	○
2	b(>a)	-	○	-	○
Total		-	b	a	a+b

(c)

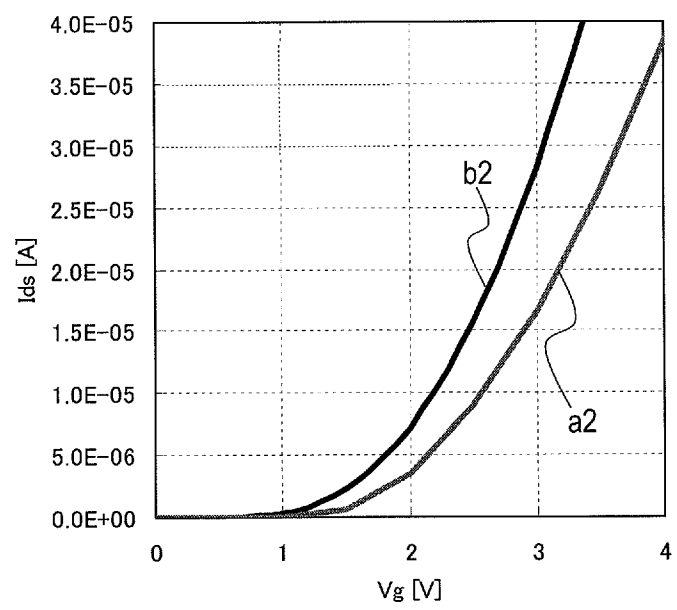
D		22a	22b	22c	22d
1	c	○	○	○	○
2	a(>c)	-	○	-	○
3	b(>a)	-	-	○	○
Total		c	a+c	b+c	a+b+c

[図6]

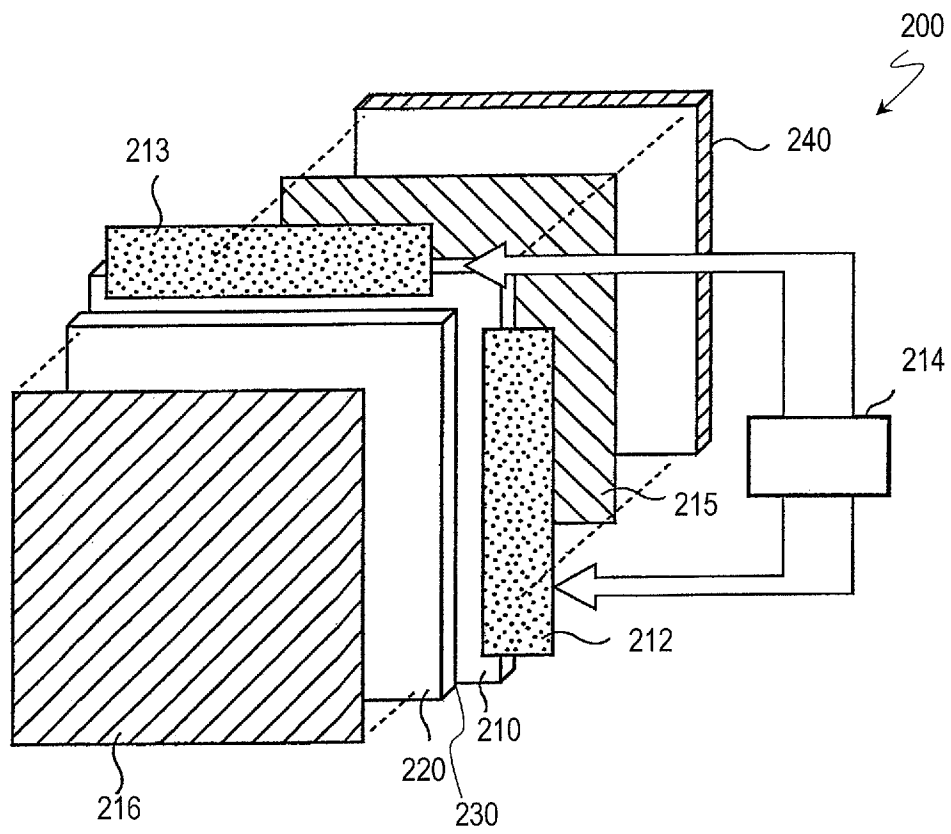
(a)



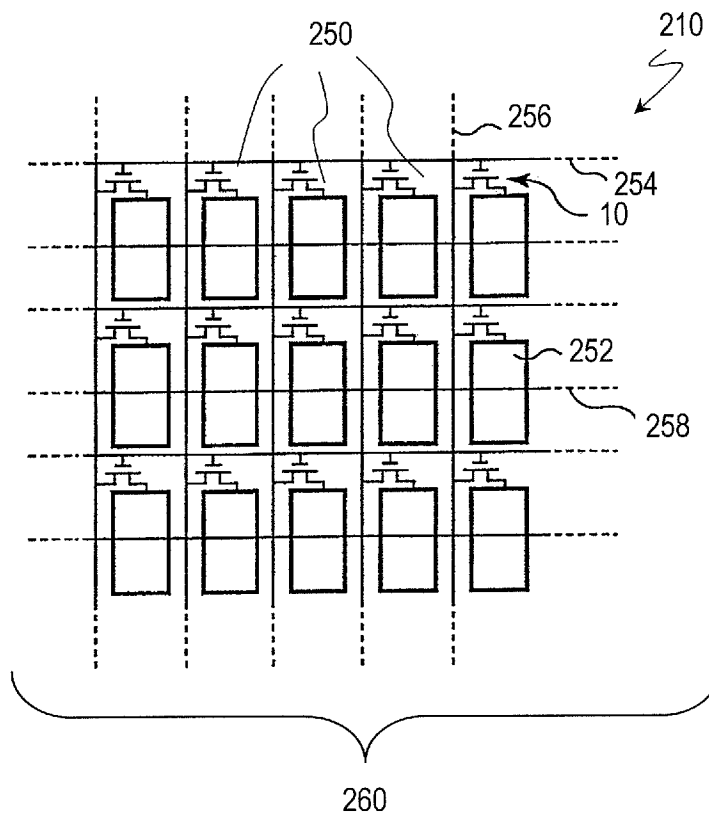
(b)



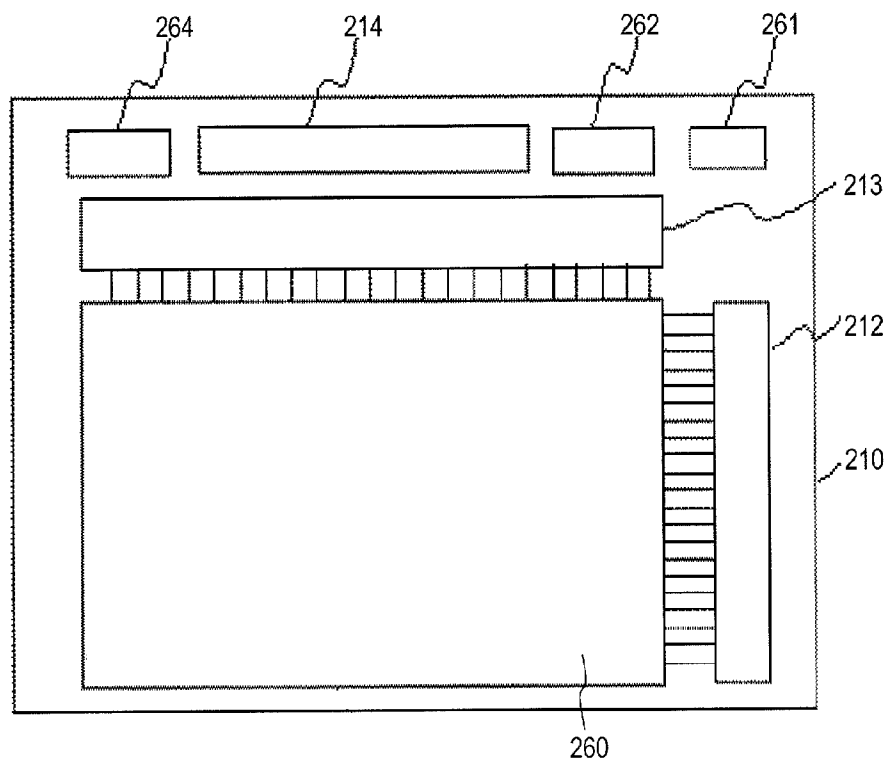
[図7]



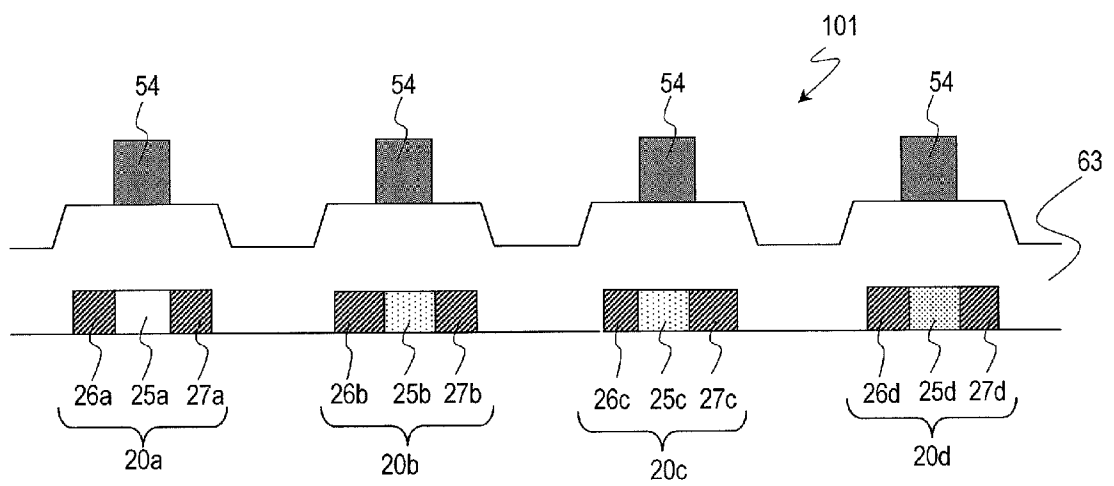
[図8]



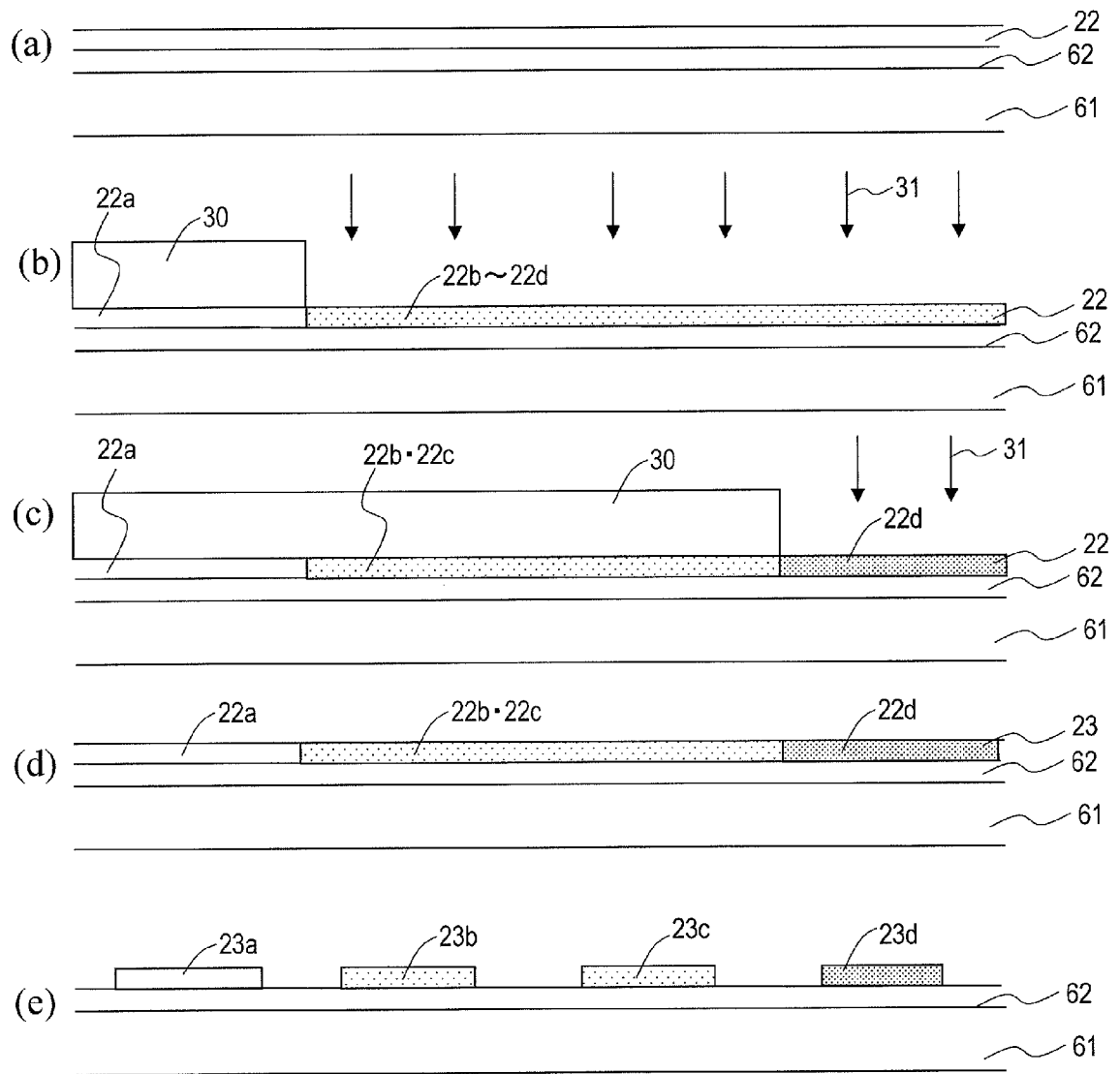
[図9]



[図10]



[図11]



[図12]

(a)

D		22a	22b	22c	22d
1	a	-	○	○	○
2	b(>a)	-	-	-	○
Total		-	a	a	a+b

(b)

D		22a	22b	22c	22d
1	a	-	-	-	○
2	b(>a)	-	○	○	○
Total		-	b	b	a+b

(c)

D		22a	22b	22c	22d
1	a	○	-	○	○
2	b(>a)	-	○	-	○
Total		a	b	a	a+b

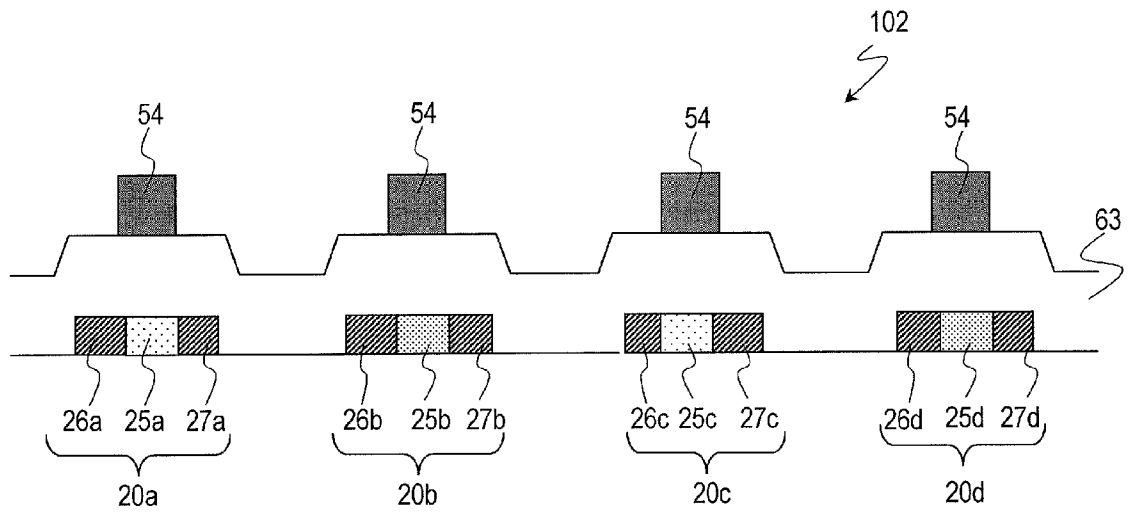
(d)

D		22a	22b	22c	22d
1	a	○	-	-	○
2	b(>a)	-	○	○	○
Total		a	b	b	a+b

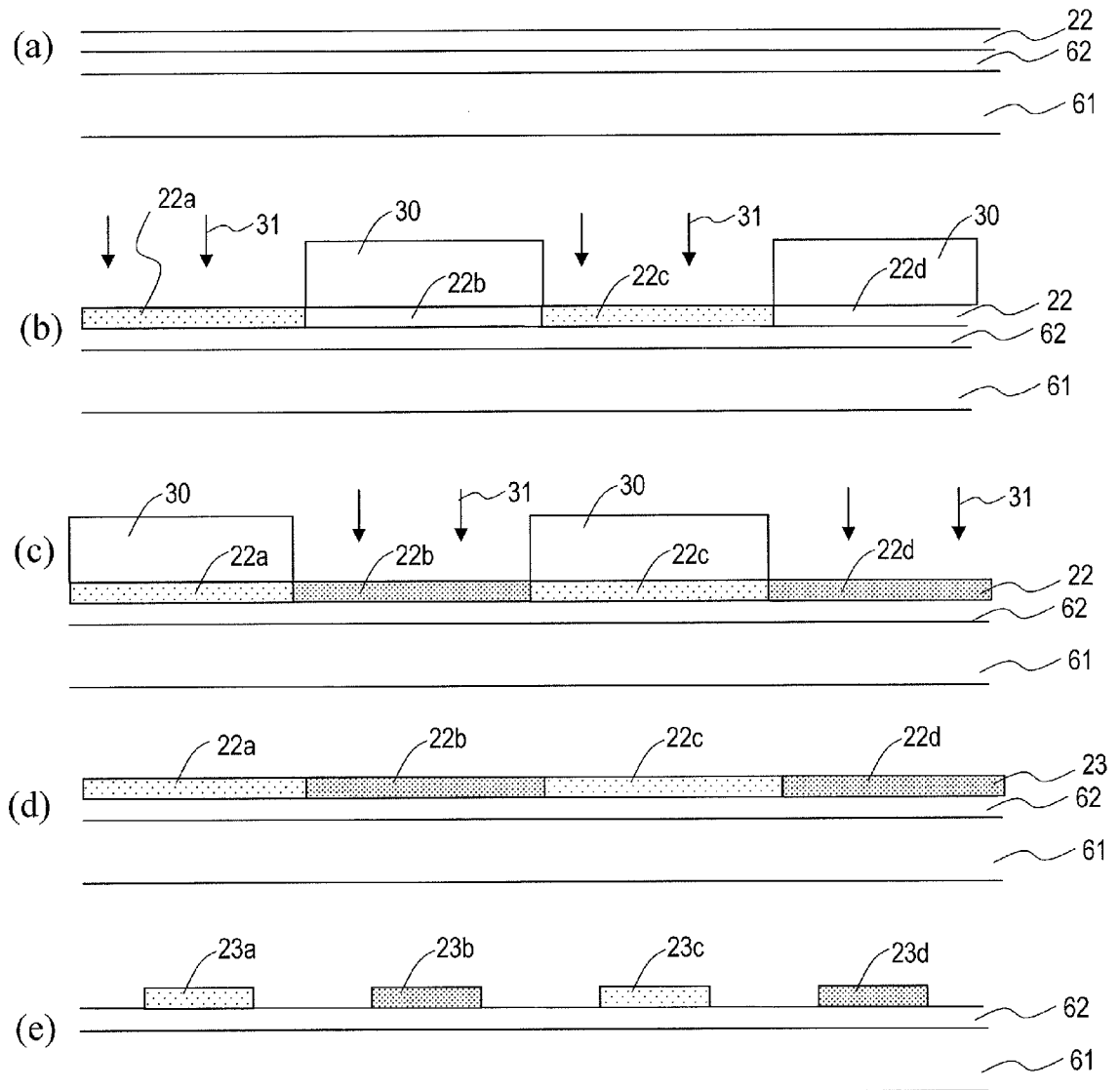
(e)

D		22a	22b	22c	22d
1	c	○	○	○	○
2	a	-	○	○	○
3	b(>a)	-	-	-	○
Total		c	c+a	c+a	c+a+b

[図13]



[図14]



[図15]

(a)

D		22a	22b	22c	22d
1	a	○	-	○	-
2	b(>a)	-	○	-	○
Total		a	b	a	b

(b)

D		22a	22b	22c	22d
1	c	○	○	○	○
2	a	-	○	-	○
Total		c	c+a	c	c+a

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/056421

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01) i, H01L21/8238(2006.01) i, H01L27/08(2006.01) i,
H01L27/092(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/8238, H01L27/08, H01L27/092

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-128487 A (NEC Corp.), 22 April 2004 (22.04.2004),	1, 2, 7-14, 28-34
Y	entire text; all drawings	3-6, 15-18, 21-24
A	& US 2004/0046209 A1 & EP 1398836 A2 & CN 1490883 A	19, 20, 25-27
Y	JP 9-027553 A (Matsushita Electronics Corp.), 28 January 1997 (28.01.1997),	3-6, 15-18, 21-24
A	paragraphs [0012] to [0016]; fig. 2 (Family: none)	19, 20, 25-27
X	JP 2001-284596 A (Toshiba Corp.), 12 October 2001 (12.10.2001),	1-4, 8, 13-17, 29
	paragraphs [0082] to [0118]; fig. 7 to 14 (Family: none)	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

09 June, 2011 (09.06.11)

Date of mailing of the international search report

21 June, 2011 (21.06.11)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/056421

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-004004 A (Hyundai Electronics Industries Co., Ltd.), 06 January 1999 (06.01.1999), paragraphs [0017] to [0024]; fig. 7 to 12 & US 6090652 A & KR 10-0220252 B1	1-34
A	JP 2005-340695 A (Hitachi Displays, Ltd.), 08 December 2005 (08.12.2005), paragraphs [0001] to [0058]; fig. 1 & US 2005/0266594 A1 fig. 1	1-34

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/056421

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/056421

Continuation of Box No.III of continuation of first sheet (2)

In order that a group of inventions set forth in claims comply with the requirement of unity, it is required that a special technical feature for so linking the group of inventions as to form a single general inventive concept is present, but, the inventions set forth in claims 1 - 11 are considered to be linked with one another by the matter set forth in claim 1.

However, the above-said matter cannot be a special technical feature, since said matter is described in the prior art documents: JP 2004-128487 A (NEC Corp.), 22 April 2004 (22.04.2004), entire text and all drawings, and JP 9-027553 A (Matsushita Electronics Corp.), 28 January 1997 (28.01.1997), [0012] - [0016], fig. 2.

Consequently, there is no special technical feature, among a group of inventions set forth in claims 1 - 34, for linking the group of inventions as to form a single general inventive concept. Therefore, it is obvious that the group of inventions set forth in claims 1 - 34 does not comply with the requirement of unity of invention.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L29/786(2006.01)i, H01L21/8238(2006.01)i, H01L27/08(2006.01)i, H01L27/092(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L29/786, H01L21/8238, H01L27/08, H01L27/092		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 1 9 2 2 - 1 9 9 6 年 1 9 7 1 - 2 0 1 1 年 1 9 9 6 - 2 0 1 1 年 1 9 9 4 - 2 0 1 1 年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-128487 A（日本電気株式会社）2004.04.22, 全文及び全図 & US 2004/0046209 A1 & EP 1398836 A2 & CN 1490883 A	1, 2, 7-14, 28-34
Y		3-6, 15-18, 21-24
A		19, 20, 25-27
Y	JP 9-027553 A（松下電子工業株式会社）1997.01.28, 【0012】 - 【0016】 , 図 2（ファミリーなし）	3-6, 15-18, 21-24
A		19, 20, 25-27
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 0 9 . 0 6 . 2 0 1 1	国際調査報告の発送日 2 1 . 0 6 . 2 0 1 1	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官（権限のある職員） 松本 陶子 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8	4 L 4 4 2 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2001-284596 A (株式会社東芝) 2001. 10. 12, 【0082】 - 【0118】 , 図 7-14 (ファミリーなし)	1-4, 8, 13-17, 29
A	JP 11-004004 A (現代電子産業株式会社) 1999. 01. 06, 【0017】 - 【0024】 , 図 7-12 & US 6090652 A & KR 10-0220252 B1	1-34
A	JP 2005-340695 A (株式会社 日立ディスプレイズ) 2005. 12. 08, 【0001】 - 【0058】 , 図 1 & US 2005/0266594 A1 FIG. 1	1-34

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。
（特別ページ）参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求項に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求項 1-11 に記載されている一群の発明は、請求項 1 に記載された点で連関していると認められる。

しかしながら、この事項は先行技術文献 JP 2004-128487 A (日本電気株式会社) 2004. 04. 22, 全文及び全図、JP 9-027553 A (松下電子工業株式会社) 1997. 01. 28, 【0012】 - 【0016】, 図 2 に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求項 1-34 に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求項 1-34 に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。