

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年6月29日(29.06.2017)



(10) 国際公開番号
WO 2017/110878 A1

- (51) 国際特許分類:
H02J 1/00 (2006.01) H03K 17/16 (2006.01)
H02H 9/02 (2006.01)
- (21) 国際出願番号: PCT/JP2016/088112
- (22) 国際出願日: 2016年12月21日(21.12.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-254883 2015年12月25日(25.12.2015) JP
- (71) 出願人: 株式会社オートネットワーク技術研究所 (AUTONETWORKS TECHNOLOGIES, LTD.) [JP/JP]; 〒5108503 三重県四日市市西末広町1番14号 Mie (JP). 住友電装株式会社 (SUMITOMO WIRING SYSTEMS, LTD.) [JP/JP]; 〒5108503 三重県四日市市西末広町1番14号 Mie (JP). 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 Osaka (JP).
- (72) 発明者: 眞瀬 佳祐 (MASE, Keisuke); 〒5108503 三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内 Mie (JP). 杉沢 佑樹 (SUGISAWA, Yuuki); 〒5108503 三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内 Mie (JP). 小田 康太 (ODA, Kota); 〒5108503 三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内 Mie (JP). 澤野 峻一 (SAWANO, Shunichi); 〒5108503 三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内 Mie (JP).
- (74) 代理人: 河野 英仁, 外 (KOHNO, Hideto et al.); 〒5400035 大阪府大阪市中央区釣鐘町二丁目4番3号 河野特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL,

[続葉有]

(54) Title: POWER FEED CONTROL DEVICE

(54) 発明の名称: 給電制御装置

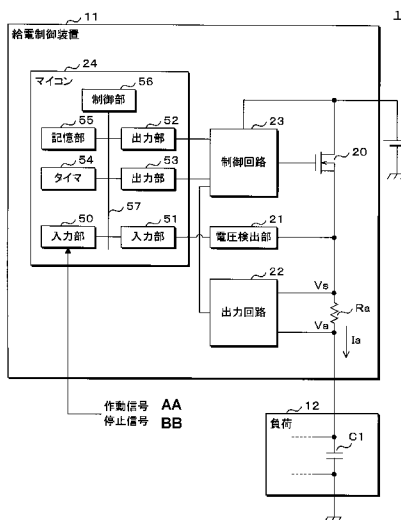


FIG. 1:
11 Power feed control device
12 Load
21 Voltage detection unit
22 Output circuit
23 Control circuit
24 Microcomputer
50, 51 Input unit
52, 53 Output unit
54 Timer
55 Storage unit
56 Control unit
AA Operation signal
BB Stop signal

(57) Abstract: In a power feed control device (11), a control circuit (23) adjusts a resistance value between the drain and the source of a semiconductor transistor (20) by adjusting a gate voltage of the semiconductor transistor (20). After the control circuit (23) reduced the resistance value between the drain and the source, a control unit (56) determines whether a source voltage detected by a voltage detection unit (21) is equal to or higher than a reference voltage. In the cases where it is determined that the source voltage is equal to or higher than the reference voltage by the control unit (56), the control circuit (23) reduces the resistance value between the drain and the source again. In the cases where it is determined that the source voltage is lower than the predetermined voltage by the control unit (56), the control circuit (23) adjusts the resistance value between the drain and the source to a resistance value equal to or higher than the resistance value obtained at a time when the determination was performed.

(57) 要約: 給電制御装置 (11) においては、制御回路 (23) は、半導体トランジスタ (20) におけるゲートの電圧を調整することによって、半導体トランジスタ (20) のドレイン及びソース間の抵抗値を調整する。制御部 (56) は、制御回路 (23) がドレイン及びソース間の抵抗値を低下させた後、電圧検出部 (21) が検出したソースの電圧が基準電圧以上であるか否かを判定する。制御部 (56) によってソースの電圧が基準電圧以上であると判定された場合、制御回路 (23) はドレイン及びソース間の抵抗値を再び低下させる。制御部 (56) によってソースの電圧が所定電圧未満であると判定された場合、制御回路 (23) は、ドレイン及びソース間の抵抗値を、判定が行われた時点の抵抗値以上に調整する。



IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー

ロシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：給電制御装置

技術分野

[0001] 本発明は、バッテリーから負荷への給電を制御する給電制御装置に関する。

背景技術

[0002] 車両には、バッテリーから容量性の負荷への電流経路に設けられたスイッチをオン又はオフに切替えることによって、負荷への給電を制御する給電制御装置が搭載されている。この給電制御装置において、負荷が有するキャパシタに蓄えられている電力が低い状態でスイッチをオフからオンに切替えた場合、バッテリーと負荷との電圧差が大きく、かつ、スイッチの両端間の抵抗値が小さいため、バッテリーから負荷へ一時的に大きな電流が流れる。この電流は、所謂、突入電流である。突入電流が流れた場合、例えば、負荷を構成する部品が焼損する虞がある。

[0003] 特許文献1には、突入電流の発生を防止する給電制御装置が開示されている。この給電制御装置では、スイッチの一端に、抵抗及び第2スイッチの直列回路の一端が接続され、スイッチの他端にこの直列回路の他端が接続され、バッテリーから負荷にスイッチ又は直列回路を介して流れる。スイッチをオフからオンに切替える前に、第2のスイッチをオフからオンに切替える。これにより、電流が、バッテリーから抵抗及び第2のスイッチを介して負荷に流れる。

[0004] ここで、電流が抵抗を介して負荷に流れるため、負荷のキャパシタに蓄えられている電力が小さい場合であっても、突入電流が流れることはない。キャパシタに一定の電力が蓄えられた後、第2のスイッチをオフに切替え、スイッチをオンに切替える。これにより、直列回路の抵抗で電力が消費されることなく、スイッチを介して電力をバッテリーから負荷に供給することができる。

先行技術文献

特許文献

[0005] 特許文献1：特開2004-135389号公報

発明の概要

発明が解決しようとする課題

[0006] 特許文献1に記載の給電制御装置のように、突入電流が負荷に流れることを防止する給電制御装置として、半導体トランジスタ、例えばFET(Field Effect Transistor)を備える給電制御装置が考えられる。この給電制御装置では、バッテリーの正極と負荷の一端との間に半導体トランジスタが接続され、バッテリーの負極及び負荷の他端は接地されている。半導体トランジスタでは、バッテリーから入力端に電流が入力され、入力された電流は出力端から負荷に出力される。半導体トランジスタの入力端及び出力端間の抵抗値は、半導体トランジスタの制御端、例えばFETのゲートの電圧を調整することによって調整される。このような給電制御装置では、半導体トランジスタの入力端及び出力端間の抵抗値を徐々に低下させる。これにより、負荷に突入電流が流れることが防止される。

[0007] 半導体トランジスタを介した負荷への給電を制御する給電制御装置には、通常、過電流が半導体トランジスタに流れることを防止する構成が設けられている。例えば、負荷に流れる電流が大きい程、高い電圧を出力する出力回路が設けられている。出力回路が出力した電圧が所定の電圧以上である場合、半導体トランジスタの入力端及び出力端間の抵抗値を上昇させる。これにより、所定の電流以上の電流が半導体トランジスタに流れることはなく、過電流が半導体トランジスタを流れることが防止される。

[0008] しかしながら、出力回路が半導体トランジスタの出力端の電圧を分圧することによって、出力すべき電圧を生成するように構成されている場合において、半導体トランジスタの出力端の電圧が所定の電圧未満であるとき、出力回路は、所定の電圧を超える電圧を出力することはできない。

[0009] 従って、負荷に給電すべく、半導体トランジスタの入力端及び出力端間の抵抗値を低下させている場合において、半導体トランジスタの出力端の電圧

が所定の電圧未満である間に所定の電流以上の電流が流れても、半導体トランジスタの入力端及び出力端間の抵抗値を上昇させることはない。このような出力回路を備える給電制御装置には、過電流の通流を確実に防止することができないという問題がある。

[0010] 本発明は斯かる事情に鑑みてなされたものであり、その目的とするところは、突入電流及び過電流の通流を確実に防止することができる給電制御装置を提供することにある。

課題を解決するための手段

[0011] 本発明に係る給電制御装置は、入力端に入力された電流を出力端から容量性の負荷に出力する半導体トランジスタと、該半導体トランジスタの前記入力端及び出力端間の抵抗値を調整する調整部とを備え、該調整部が前記抵抗値を調整することによって前記負荷への給電を制御する給電制御装置において、前記出力端の電圧を検出する検出部と、前記調整部が前記抵抗値を低下させた後、前記検出部が検出した前記出力端の電圧が所定電圧以上である否かを判定する判定部とを備え、前記調整部は、該判定部によって、前記出力端の電圧が前記所定電圧以上であると判定された場合に前記抵抗値を再び低下させ、前記判定部によって、前記出力端の電圧が前記所定電圧未満であると判定された場合、前記抵抗値を、該判定部が判定を行った時点の前記抵抗値以上に調整することを特徴とする。

[0012] 本発明にあつては、半導体トランジスタの入力端には、電流が例えば、バッテリーから入力され、入力された電流は、半導体トランジスタの出力端から容量性の負荷に出力される。半導体トランジスタの入力端及び出力端間の抵抗値を徐々に上昇させることによって、半導体トランジスタに突入電流が通流することを確実に防止することが可能である。

[0013] 負荷に給電すべく、半導体トランジスタの入力端及び出力端間の抵抗値を低下させる。これにより、負荷が有するキャパシタに電力が蓄えられる。抵抗値を低下させた後、検出した出力端の電圧が所定電圧以上であるか否かを判定する。負荷の両端が短絡しており、半導体トランジスタに過電流が流れ

る可能性がある場合、出力端の電圧は、略ゼロVであるので所定電圧未満となる。負荷の両端が短絡していない場合、出力端の電圧は所定電圧以上となる。

[0014] 出力端の電圧が所定電圧以上であると判定した場合、半導体トランジスタの入力端及び出力端間の抵抗値を再び低下させ、負荷への給電を行う。出力端の電圧が所定電圧未満であると判定した場合、半導体トランジスタの入力端及び出力端間の抵抗値を、判定を行った時点の抵抗値以上に調整し、半導体トランジスタに過電流が通流することを確実に防止する。

[0015] 本発明に係る給電制御装置は、前記調整部は、前記判定部が判定を行う前に、前記抵抗値を低下させてから該抵抗値を上昇させ、前記判定部は、前記調整部が前記抵抗値を上昇させた後に判定を行うことを特徴とする。

[0016] 本発明にあつては、半導体トランジスタの入力端及び出力端間の抵抗値を低下させて、負荷のキャパシタに電力を供給した後、抵抗値を上昇させ、電力の供給を停止する。その後、半導体トランジスタの出力端の電圧が所定電圧以上であるか否かを判定する。電力の供給を一旦、停止するため、負荷の両端が短絡している場合に電力が無駄に消費されることはない。

[0017] 本発明に係る給電制御装置は、前記負荷に流れる電流が大きい程、高い電圧を出力する出力回路を備え、前記調整部は、該出力回路が出力した電圧が閾値以上である場合に前記抵抗値を上昇させ、前記出力回路が出力する電圧の最大値は、前記出力端の電圧以下であり、該出力端の電圧の上昇と共に上昇することを特徴とする。

[0018] 本発明にあつては、出力回路が出力した電圧が閾値以上である場合、半導体トランジスタの入力端及び出力端間の抵抗値を上昇させる。半導体トランジスタの出力端の電圧が高い場合、出力回路が出力する電圧の最大値が大きいため、出力回路が出力した電圧に基づいて、抵抗値を上昇させる構成が適正に作用する。このため、過電流の通流が防止される。半導体トランジスタの出力端の電圧が低い場合、出力回路が出力する電圧の最大値が小さいため、出力回路が出力した電圧に基づいて、抵抗値を上昇させる構成が適正に作

用しない。検出した出力端の電圧に基づいて行う抵抗値の調整によって、過電流の通流が防止される。

発明の効果

[0019] 本発明によれば、突入電流及び過電流の通流を確実に防止することができる。

図面の簡単な説明

[0020] [図1]実施の形態1における電源システムの要部構成を示すブロック図である。

[図2]出力回路の回路図である。

[図3]制御回路の回路図である。

[図4]制御部が実行する開始処理の手順を示すフローチャートである。

[図5]給電制御装置の動作の一例を示すタイミングチャートである。

[図6]給電制御装置の動作の他例を示すタイミングチャートである。

[図7]実施の形態2における制御部が実行する開始処理の手順を示すフローチャートである。

[図8]給電制御装置の動作の一例を示すタイミングチャートである。

[図9]給電制御装置の動作の他例を示すタイミングチャートである。

発明を実施するための形態

[0021] 以下、本発明をその実施の形態を示す図面に基づいて詳述する。

(実施の形態1)

図1は実施の形態1における電源システム1の要部構成を示すブロック図である。電源システム1は、好適に車両に搭載されており、バッテリー10、給電制御装置11及び容量性の負荷12を備える。負荷12はキャパシタC1を有する。バッテリー10の正極と、負荷12が有するキャパシタC1の一端とは給電制御装置11に接続されている。バッテリー10の負極と、負荷12が有するキャパシタC1の他端とは接地されている。

[0022] 給電制御装置11には、負荷12の作動を指示する作動信号と、負荷12の動作の停止を指示する停止信号とが入力される。給電制御装置11は、入

力された信号に基づいて、バッテリー 10 から負荷 12 への給電を制御する。

[0023] 負荷 12 は車両に搭載された電気機器である。負荷 12 は、バッテリー 10 から負荷 12 に給電されている場合に作動する。バッテリー 10 から負荷 12 への給電が停止されている場合、負荷 12 は動作を停止する。

[0024] 給電制御装置 11 は、半導体トランジスタ 20、電圧検出部 21、出力回路 22、制御回路 23、マイクロコンピュータ（以下、マイコンという）24 及び抵抗 R_a を有する。半導体トランジスタ 20 において、ドレインはバッテリー 10 の正極に接続され、ソースは抵抗 R_a の一端に接続されている。抵抗 R_a の他端は、負荷 12 のキャパシタ C_1 の一端に接続されている。半導体トランジスタ 20 のゲートは制御回路 23 に接続されている。制御回路 23 は、更に、バッテリー 10 の正極と、出力回路 22 と、マイコン 24 とに各別に接続されている。電圧検出部 21 は、半導体トランジスタ 20 のソースと、マイコン 24 とに各別に接続されている。出力回路 22 は、制御回路 23 の他に、抵抗 R_a の一端及び他端に各別に接続されている。

[0025] バッテリー 10 の正極から、電流が半導体トランジスタ 20 のドレインに入力され、ドレインに入力された電流は、半導体トランジスタ 20 のソースから抵抗 R_a を介して負荷 12 に出力される。ドレイン及びソース夫々は入力端及び出力端として機能する。

[0026] 半導体トランジスタ 20 において、ドレイン及びソース間の抵抗値は、接地電位を基準としたゲートの電圧（以下、ゲート電圧という）に依存する。半導体トランジスタ 20 において、ゲート電圧が上昇した場合、ドレイン及びソース間の抵抗値は低下する。半導体トランジスタ 20 のゲートには、制御回路 23 によって電圧が印加される。制御回路 23 は、半導体トランジスタ 20 のゲート電圧を調整することによって、半導体トランジスタ 20 のドレイン及びソース間の抵抗値を調整する。制御回路 23 は調整部として機能する。

[0027] 制御回路 23 は、半導体トランジスタ 20 のゲート電圧を上昇させることによって、半導体トランジスタ 20 のドレイン及びソース間の抵抗値を低下

させる。これにより、バッテリー 10 から半導体トランジスタ 20 及び抵抗 R_a を介して負荷 12 に給電される。

また、制御回路 23 は、半導体トランジスタ 20 のゲート電圧を低下させることによって、半導体トランジスタ 20 のドレイン及びソース間の抵抗値を上昇させる。これにより、バッテリー 10 から負荷 12 への給電が停止される。

以上のように、制御回路 23 は、半導体トランジスタ 20 のドレイン及びソース間の抵抗値を調整することによって、負荷 12 への給電を制御する。

[0028] 電圧検出部 21 は、接地電位を基準とした半導体トランジスタ 20 のソースの電圧（以下、ソース電圧という）を検出する。電圧検出部 21 は、検出したソース電圧を示す電圧情報をマイコン 24 に出力する。

出力回路 22 は電圧を制御回路 23 に出力する。出力回路 22 が制御回路 23 に出力する電圧は、抵抗 R_a を介して負荷 12 に流れる負荷電流 I_a が上昇すると共に上昇するので、負荷電流 I_a が大きい程高い。

[0029] 図 2 は出力回路 22 の回路図である。出力回路 22 は、PNP 型のバイポーラトランジスタ 30、差動増幅器 31 及び抵抗 R_d 、 R_e を有する。抵抗 R_e の一端は、半導体トランジスタ 20 のソースに接続されている。抵抗 R_e の他端は、バイポーラトランジスタ 30 のエミッタと、差動増幅器 31 のマイナス端子とに接続されている。差動増幅器 31 のプラス端子は抵抗 R_a の負荷 12 側の一端に接続されている。差動増幅器 31 の出力端はバイポーラトランジスタ 30 のベースに接続されている。バイポーラトランジスタ 30 のコレクタは、制御回路 23 と、抵抗 R_d の一端とに接続されている。抵抗 R_d の他端は接地されている。

[0030] 半導体トランジスタ 20 のソースから出力された電流の大部分は、抵抗 R_a を介して負荷 12 に流れる。半導体トランジスタ 20 のソースから出力された電流の残りは、抵抗 R_e 、バイポーラトランジスタ 30 及び抵抗 R_d の順に流れる。バイポーラトランジスタ 30 において、電流はエミッタに入力され、エミッタに入力された電流はコレクタから抵抗 R_d に出力される。

[0031] バイポーラトランジスタ 30 において、エミッタ及びコレクタ間の抵抗値は、接地電位を基準としたベースの電圧に依存する。バイポーラトランジスタ 30 のベースの電圧が上昇した場合、バイポーラトランジスタ 30 のエミッタ及びコレクタ間の抵抗値は上昇する。バイポーラトランジスタ 30 のベースには、差動増幅器 31 によって電圧が印加される。

[0032] 半導体トランジスタ 20 のソース電圧を V_s と記載し、バイポーラトランジスタ 30 のエミッタ及びコレクタ間の抵抗値を r_b と記載し、抵抗 R_d 、 R_e 夫々の抵抗値を r_d 、 r_e と記載する。バイポーラトランジスタ 30 のエミッタに入力されるエミッタ電流 I_e は $V_s / (r_b + r_d + r_e)$ で算出される。抵抗値 r_b が低下した場合、エミッタ電流 I_e は上昇し、抵抗値 r_b が上昇した場合、エミッタ電流 I_e は低下する。

[0033] 差動増幅器 31 において、出力端からバイポーラトランジスタ 30 のベースに印加される電圧は、マイナス端子に印加されているエミッタ電圧 V_e と、プラス端子に印加されている負荷電圧 V_a とに依存する。

差動増幅器 31 は、エミッタ電圧 V_e が負荷電圧 V_a よりも高い場合、バイポーラトランジスタ 30 のベースに印加する電圧を低下させる。電圧の低下幅は、エミッタ電圧 V_e と負荷電圧 V_a との差が大きい程大きい。バイポーラトランジスタ 30 におけるベースの電圧の低下により、バイポーラトランジスタ 30 のエミッタ及びコレクタ間の抵抗値 r_b が低下する。結果、エミッタ電流 I_e は上昇し、抵抗 R_e で生じる電圧降下の幅は上昇し、エミッタ電圧 V_e は低下する。エミッタ電圧 V_e は負荷電圧 V_a に接近する。

[0034] また、差動増幅器 31 は、エミッタ電圧 V_e が負荷電圧 V_a よりも低い場合、バイポーラトランジスタ 30 のベースに印加する電圧を上昇させる。電圧の上昇幅は、エミッタ電圧 V_e と負荷電圧 V_a との差が大きい程大きい。バイポーラトランジスタ 30 におけるベースの電圧の上昇により、バイポーラトランジスタ 30 のエミッタ及びコレクタ間の抵抗値 r_b が上昇する。結果、エミッタ電流 I_e は低下し、抵抗 R_e で生じる電圧降下の幅は低下し、エミッタ電圧 V_e は上昇する。エミッタ電圧 V_e は負荷電圧 V_a に接近する。

。

[0035] 以上のように、差動増幅器 31 は、エミッタ電圧 V_e が負荷電圧 V_a と一致するように、半導体トランジスタ 20 のエミッタ及びコレクタ間の抵抗値 r_b を調整する。エミッタ電圧 V_e と負荷電圧 V_a とが一致するので、下記の (1) 式が成り立つ。

$$V_s - r_e \times I_e = V_s - r_a \times I_a \cdots (1)$$

ここで、 r_a は、抵抗 R_a の抵抗値である。

(1) 式を展開すると、下記の (2) 式が成り立つ。

$$I_e = I_a \times r_a / r_e \cdots (2)$$

[0036] 例えば、抵抗値 r_e が抵抗値 r_a の 1000 倍である場合、エミッタ電流 I_e は、負荷電流 I_a の 1000 分の 1 である。このように、エミッタ電流 I_e は、負荷電流 I_a の所定数分の 1 であり、所定数は抵抗値 r_a , r_e によって決まる。

[0037] バイポーラトランジスタ 30 及び抵抗 R_d , R_e はソース電圧 V_s を分圧し、分圧した電圧は制御回路 23 に出力される。出力回路 22 から制御回路 23 に出力される電圧は、 $r_d \times I_e$ である。エミッタ電流 I_e は、前述したように $I_a \times r_a / r_e$ で表されるので、出力回路 22 から制御回路 23 に出力される電圧は、 $I_a \times r_a \times r_d / r_e$ である。抵抗値 r_a , r_d , r_e は定数であるため、出力回路 22 から制御回路 23 に出力される電圧は、負荷電流 I_a に比例する。

[0038] ただし、出力回路 22 から制御回路 23 に出力される電圧が負荷電流 I_a に比例する負荷電流 I_a の範囲は制限されている。

エミッタ電流 I_e は、バイポーラトランジスタ 30 のエミッタ及びコレクタ間の抵抗値 r_b が略ゼロ Ω となった場合に最大となる。エミッタ電流 I_e の最大値は $V_s / (r_d + r_e)$ である。 $V_s / (r_d + r_e)$ で表されるエミッタ電流 I_e に対応する負荷電流 I_a は $V_s \times r_e / (r_a \times (r_d + r_e))$ である。

[0039] 従って、負荷電流 I_a が $V_s \times r_e / (r_a \times (r_d + r_e))$ を超えて

いる場合、(2)式は成り立たない。この場合、負荷電流 I_a に無関係に抵抗値 r_b は略ゼロ Ω であるため、出力回路22から制御回路23に出力される電圧は、一定であり、 $V_s \times r_d / (r_d + r_e)$ で表される。従って、ソース電圧 V_s が低い場合、出力回路22が適切な電圧を制御回路23に出力していない可能性がある。

[0040] 図1に示す制御回路23には、出力回路22から電圧が入力されると共に、マイコン24からローレベル電圧又はハイレベル電圧が入力される。制御回路23は、半導体トランジスタ20のゲートに電圧を印加する。制御回路23は、出力回路22及びマイコン24夫々から入力された電圧に基づいて半導体トランジスタ20のゲート電圧を調整する。

[0041] 図3は制御回路23の回路図である。制御回路23は、コンパレータ40、ラッチ部41、反転器42、AND回路43、OR回路44、充電回路45、放電回路46、コンデンサC2及びダイオードD1、D2を有する。AND回路43及びOR回路44夫々は、2つの入力端子と、1つの出力端子とを有する。

[0042] コンパレータ40のプラス端子には、出力回路22、具体的には、バイポーラトランジスタ30のコレクタが接続されている。コンパレータ40のマイナス端子には参照電圧 V_r が印加されている。参照電圧 V_r は、一定であり、例えば、レギュレータを用いてバッテリー10の出力電圧から生成される。コンパレータ40の出力端子はラッチ部41の入力端子に接続されている。ラッチ部41の出力端子は、更に、反転器42の入力端子と、OR回路44の一方の入力端子とに接続されている。反転器42の出力端子はAND回路43の一方の入力端子に接続されている。AND回路43及びOR回路44夫々の他方の入力端子は、マイコン24に各別に接続されている。

[0043] AND回路43の出力端子は、充電回路45に接続されている。充電回路45は、更に、バッテリー10の正極と、ダイオードD1のアノードとに接続されている。充電回路45は接地されている。OR回路44の出力端子は、放電回路46に接続されている。放電回路46は、更に、ダイオードD2の

カソードに接続されている。放電回路46は接地されている。

- [0044] ダイオードD1のカソードと、ダイオードD2のアノードとは、半導体トランジスタ20のゲートと、キャパシタC2の一端とに接続されている。キャパシタC2の他端は接地されている。
- [0045] コンパレータ40は、出力回路22から制御回路23に出力された電圧が参照電圧 V_r 未満である場合、ローレベル電圧をラッチ部41に出力する。コンパレータ40は、出力回路22から制御回路23に出力された電圧が参照電圧 V_r 以上である場合、ハイレベル電圧をラッチ部41に出力する。
- [0046] ラッチ部41は、コンパレータ40からローレベル電圧が入力されている間、ローレベル電圧を、反転器42の入力端子と、OR回路44の一方の入力端子とに出力する。ラッチ部41は、コンパレータ40から入力されている電圧がローレベル電圧からハイレベル電圧に切替わった場合、ハイレベル電圧を、反転器42の入力端子と、OR回路44の一方の入力端子とに出力する。コンパレータ40から入力されている電圧がローレベル電圧からハイレベル電圧に切替わった後においては、ラッチ部41は、コンパレータ40から入力される電圧に無関係にハイレベル電圧を出力し続ける。
- [0047] 反転器42は、ラッチ部41からローレベル電圧が入力された場合、ハイレベル電圧をAND回路43の一方の入力端子に出力し、ラッチ部41からハイレベル電圧が入力された場合、ローレベル電圧をAND回路43の他方の入力端子に出力する。従って、出力回路22から制御回路23に出力される電圧が参照電圧 V_r 未満である間、AND回路43及びOR回路44夫々の一方の入力端子には、ハイレベル電圧及びローレベル電圧が入力される。出力回路22から制御回路23に出力される電圧が参照電圧 V_r 以上となった後においては、AND回路43及びOR回路44夫々の一方の入力端子には、ローレベル電圧及びハイレベル電圧が入力され続ける。
- [0048] AND回路43の他方の入力端子には、マイコン24からハイレベル電圧又はローレベル電圧が入力される。AND回路43は、反転器42から一方の端子にハイレベル電圧が入力されている場合、マイコン24から他方の入

力端子に入力された電圧をそのまま充電回路４５に出力する。ＡＮＤ回路４３は、反転器４２から一方の入力端子にローレベル電圧が入力されている場合、マイコン２４から他方の入力端子に入力される電圧に無関係に、ローレベル電圧を充電回路４５に出力する。

[0049] 従って、出力回路２２から制御回路２３に出力される電圧が参照電圧 V_r 未満である間、マイコン２４からＡＮＤ回路４３の他方の入力端子に入力された電圧がそのまま充電回路４５に出力される。出力回路２２から制御回路２３に出力される電圧が参照電圧 V_r 以上となった後においては、マイコン２４からＡＮＤ回路４３の他方の入力端子に入力される電圧に無関係にローレベル電圧を充電回路４５に出力する。

[0050] 充電回路４５は、ＡＮＤ回路４３からハイレベル電圧が入力された場合、バッテリー１０を用いて一定の電圧を生成し、生成した電圧を、ダイオードＤ１を介してキャパシタＣ２の両端間に印加する。これにより、キャパシタＣ２は充電される。キャパシタＣ２の両端間の電圧が半導体トランジスタ２０のゲートに印加される。キャパシタＣ２が充電されるにつれて、キャパシタＣ２の両端間の電圧が徐々に上昇し、半導体トランジスタ２０のゲート電圧が徐々に上昇する。これにより、半導体トランジスタ２０のドレイン及びソース間の抵抗値は徐々に低下する。

充電回路４５は、ＡＮＤ回路４３からローレベル電圧が入力された場合、動作を停止する。このとき、キャパシタＣ２は充電されることはない。

[0051] マイコン２４は、ハイレベル電圧をＡＮＤ回路４３の他方の入力端子に出力することによって、充電回路４５にキャパシタＣ２を充電させ、ローレベル電圧をＡＮＤ回路４３の他方の入力端子に出力することによって、充電回路４５にキャパシタＣ２の充電を停止させる。

[0052] ＯＲ回路４４の他方の入力端子には、マイコン２４からハイレベル電圧又はローレベル電圧が入力される。ＯＲ回路４４は、ラッチ部４１から一方の入力端子にローレベル電圧が入力されている場合、マイコン２４から他方の入力端子に入力された電圧をそのまま放電回路４６に出力する。ＯＲ回路４

4 は、ラッチ部 4 1 から一方の入力端子にハイレベル電圧が入力されている場合、マイコン 2 4 から他方の入力端子に入力される電圧に関係なく、ハイレベル電圧を放電回路 4 6 に出力する。

[0053] 従って、出力回路 2 2 から制御回路 2 3 に出力される電圧が参照電圧 V_r 未満である間、マイコン 2 4 から OR 回路 4 4 の他方の入力端子に入力された電圧がそのまま放電回路 4 6 に出力される。出力回路 2 2 から制御回路 2 3 に出力される電圧が参照電圧 V_r 以上となった後においては、マイコン 2 4 から OR 回路 4 4 の他方の入力端子に入力される電圧に関係なくハイレベル電圧を放電回路 4 6 に出力する。

[0054] 放電回路 4 6 は、OR 回路 4 4 からハイレベル電圧が入力された場合、キャパシタ C 2 に放電させる。このとき、ダイオード D 2 のカソードは、放電回路 4 6 内の図示しない抵抗を介して接地されており、電流は、コンデンサ C 2 からダイオード D 2、放電回路 4 6 内の抵抗及び接地電位の順に流れる。キャパシタ C 2 の放電により、キャパシタ C 2 の両端間の電圧が低下し、半導体トランジスタ 2 0 のゲート電圧が低下する。これにより、半導体トランジスタ 2 0 のドレイン及びソース間の抵抗値は上昇する。

放電回路 4 6 は、OR 回路 4 4 からローレベル電圧が入力された場合、動作を停止する。このとき、ダイオード D 2 のカソードは開放され、キャパシタ C 2 は放電することはない。

[0055] マイコン 2 4 は、ハイレベル電圧を OR 回路 4 4 の他方の入力端子に出力することによって、放電回路 4 6 にキャパシタ C 2 の放電を行わせ、ローレベル電圧を OR 回路 4 4 の他方の入力端子に出力することによって、放電回路 4 6 にキャパシタ C 2 の放電を停止させる。

[0056] 以上のように構成された制御回路 2 3 において、出力回路 2 2 から制御回路 2 3 に出力されている電圧が参照電圧 V_r 未満である間、充電回路 4 5 及び放電回路 4 6 夫々はマイコン 2 4 から入力される電圧に従って、充電及び放電を行う。更に、出力回路 2 2 から制御回路 2 3 に出力されている電圧が参照電圧 V_r 以上である場合、充電回路 4 5 は動作を停止し、放電回路 4 6

が作動する。これにより、半導体トランジスタ 20 のゲート電圧は低下し、半導体トランジスタ 20 のドレイン及びソース間の抵抗値は上昇する。結果、バッテリー 10 から負荷 12 への給電が遮断される。これにより、出力回路 22 から制御回路 23 に出力される電圧は参照電圧 V_r を超えることはない。参照電圧 V_r は閾値に相当する。

[0057] 前述したように、出力回路 22 から制御回路 23 に出力される電圧は、負荷電流 I_a 、及び、抵抗 R_a , R_d , R_e の抵抗値 r_a , r_d , r_e を用いて、 $I_a \times r_a \times r_d / r_e$ で表される。このため、出力回路 22 から制御回路 23 に出力される電圧が参照電圧 V_r 以上であることは、負荷電流 I_a が電流閾値 I_{th} ($= V_r \times r_e / (r_a \times r_d)$) 以上であることを意味する。従って、給電制御装置 11 では、負荷電流 I_a が電流閾値 I_{th} 以上である場合、マイコン 24 から制御回路 23 に入力される電圧に無関係にバッテリー 10 から負荷 12 への給電が遮断される。結果、負荷電流 I_a が電流閾値 I_{th} を超えることはなく、過電流が半導体トランジスタ 20 を流れることはない。

[0058] 前述したように、出力回路 22 から制御回路 23 に出力される電圧は、 $r_d \times I_e$ であり、エミッタ電流 I_e の最大値は $V_s / (r_d + r_e)$ である。従って、出力回路 22 から制御回路 23 に出力される電圧の最大値は、 $V_s \times r_d / (r_d + r_e)$ である。このため、この最大値 $V_s \times r_d / (r_d + r_e)$ が参照電圧 V_r 以上である場合にのみ、給電が適正に遮断される。

[0059] 出力回路 22 から制御回路 23 に出力される電圧の最大値 $V_s \times r_d / (r_d + r_e)$ が参照電圧 V_r 未満である場合、負荷電流 I_a の大きさに無関係に、コンパレータ 40 はローレベル電圧をラッチ部 41 に出力し続ける。

[0060] 出力回路 22 から制御回路 23 に出力される電圧の最大値 $V_s \times r_d / (r_d + r_e)$ は、ソース電圧 V_s の上昇と共に上昇する。更に、 $r_d / (r_d + r_e) < 1$ が成り立つため、 $V_s \times r_d / (r_d + r_e) < V_s$ が成り立つ。このため、出力回路 22 から制御回路 23 に出力される電圧の最大値

$V_s \times r_d / (r_d + r_e)$ はソース電圧 V_s 未満である。

[0061] キャパシタ C_2 の両端間の電圧がゼロ V である場合、半導体トランジスタ 20 のゲート電圧はゼロ V であり、半導体トランジスタ 20 のドレイン及びソースは開放状態である。このとき、抵抗 R_a に電流が流れないため、ソース電圧 V_s は、負荷 12 のキャパシタ C_1 の両端間の電圧と略一致しており、低い。放電回路 46 の動作が停止している状態で充電回路 45 がキャパシタ C_2 を充電した場合、前述したように、半導体トランジスタ 20 のドレイン及びソース間の抵抗値は徐々に低下する。半導体トランジスタ 20 のドレイン及びソース間の抵抗値が徐々に低下するにつれて、ソース電圧 V_s は徐々に上昇する。

[0062] ここで、出力回路 22 が制御回路 23 に出力する電圧の最大値 $V_s \times r_d / (r_d + r_e)$ が参照電圧 V_r 未満である間、即ち、ソース電圧 V_s が $V_r \times (r_d + r_e) / r_d$ 未満である間、負荷電流 I_a が電流閾値 I_{th} ($= V_r \times r_e / (r_a \times r_d)$) 以上である場合であっても、バッテリー 10 から負荷 12 への給電は遮断されない。

そこで、給電制御装置 11 では、マイコン 24 は、電圧検出部 21 から入力される電圧情報に基づいて、制御回路 23 の充電回路 45 及び放電回路 46 の動作を制御することによって、ソース電圧 V_s が $V_r \times (r_d + r_e) / r_d$ 未満である間に負荷電流 I_a が過電流となることを防止する。

[0063] 図 1 に示すマイコン 24 は、入力部 50 、 51 、出力部 52 、 53 、タイマ 54 、記憶部 55 及び制御部 56 を有する。これらはバス 57 に接続されている。入力部 51 は、更に、電圧検出部 21 に接続されている。出力部 52 は、更に、制御回路 23 の AND 回路 43 の他方の入力端子に接続されている。出力部 53 は、更に、制御回路 23 の OR 回路 44 の他方の入力端子に接続されている。

[0064] 入力部 50 には、作動信号又は停止信号が入力される。入力部 50 は、作動信号又は停止信号が入力された場合、その旨を制御部 56 に通知する。

入力部 51 には、電圧検出部 21 から入力部 51 に電圧情報が入力される

。電圧情報は、制御部 5 6 によって入力部 5 1 から取得される。制御部 5 6 が入力部 5 1 から取得した電圧情報が示すソース電圧は、制御部 5 6 が電圧情報を取得した時点に電圧検出部 2 1 が検出したソース電圧と略一致している。

[0065] 出力部 5 2 は、制御回路 2 3 の A N D 回路 4 3 の他方の端子にハイレベル電圧又はローレベル電圧を出力している。出力部 5 2 は、制御部 5 6 の指示に従って、制御回路 2 3 の A N D 回路 4 3 の他方の端子に出力している電圧をハイレベル電圧又はローレベル電圧に切替える。

出力部 5 3 は、制御回路 2 3 の O R 回路 4 4 の他方の端子にハイレベル電圧又はローレベル電圧を出力している。出力部 5 3 は、制御部 5 6 の指示に従って、制御回路 2 3 の O R 回路 4 4 の他方の端子に出力している電圧をハイレベル電圧又はローレベル電圧に切替える。

タイマ 5 4 は、制御部 5 6 の指示に従って、計時の開始及び終了を行う。タイマ 5 4 が計時している計時時間は、制御部 5 6 によって、タイマ 5 4 から読み出される。タイマ 5 4 が計時している計時時間は、制御部 5 6 によってゼロにリセットされる。

[0066] 記憶部 5 5 は不揮発性のメモリである。記憶部 5 5 には制御プログラムが記憶されている。制御部 5 6 は、図示しない C P U (Central Processing Unit) を有し、記憶部 5 5 に記憶されている制御プログラムを実行することによって、バッテリー 1 0 から負荷 1 2 への給電を開始する給電開始処理と、バッテリー 1 0 から負荷 1 2 への給電を終了する給電終了処理とを実行する。

[0067] 図 4 は制御部 5 6 が実行する給電開始処理の手順を示すフローチャートである。制御部 5 6 は、入力部 5 0 に作動信号が入力された場合に給電開始処理を実行する。給電開始処理は、出力部 5 2, 5 3 夫々が制御回路 2 3 の A N D 回路 4 3 及び O R 回路 4 4 夫々の他方の端子にローレベル電圧を出力している状態、即ち、充電回路 4 5 及び放電回路 4 6 が動作を停止している状態で開始される。

[0068] まず、制御部 5 6 は、出力部 5 2 に指示して、出力部 5 2 が制御回路 2 3

に出力している電圧をハイレベル電圧に切替えさせることによって、充電回路45に制御回路23のキャパシタC2の充電を開始させる（ステップS1）。ステップS1が実行される時点では、負荷電流 I_a はゼロAであるので、出力回路22から制御回路23に出力している電圧は参照電圧 V_r 未満である。このため、出力部52がAND回路43の他方の入力端子に出力した電圧がAND回路43の出力端子からそのまま充電回路45に入力される。

[0069] 次に、制御部56は、タイマ54に指示して計時を開始させ（ステップS2）、タイマ54が計時している計時時間が充電時間以上であるか否かを判定する（ステップS3）。充電時間は、一定であり、予め記憶部55に記憶されている。制御部56は、計時時間が充電時間未満であると判定した場合（S3：NO）、ステップS3を再び実行し、計時時間が充電時間以上となるまで待機する。

[0070] 制御部56は、計時時間が充電時間以上であると判定した場合（S3：YES）、出力部52に指示して、出力部52が制御回路23に出力している電圧をローレベル電圧に切替えさせることによって、充電回路45にキャパシタC2の充電を終了させる（ステップS4）。計時時間が充電時間以上となった時点において、出力回路22が出力している電圧の最大値は参照電圧 V_r 未満であるため、コンパレータ40はローレベル電圧を出力し続けている。このため、ステップS4では、出力部52がAND回路43の他方の入力端子に出力した電圧がそのまま制御回路23の充電回路45に入力される。

[0071] 次に、制御部56は、出力部53に指示して、出力部53が制御回路23に出力している電圧をハイレベル電圧に切替えさせることによって、放電回路46にキャパシタC2の放電を開始させる（ステップS5）。これにより、半導体トランジスタ20のゲート電圧が低下し、半導体トランジスタ20のドレイン及びソース間の抵抗値が上昇する。

[0072] 次に、制御部56は、タイマ54が計時している計時時間をゼロにリセットし（ステップS6）、タイマ54が計時している計時時間が放電時間以上

であるか否かを判定する（ステップS 7）。放電時間は、一定であり、予め記憶部5 5に記憶されている。

[0073] 制御部5 6は、計時時間が放電時間未満であると判定した場合（S 7：N O）、ステップS 7を再び実行し、計時時間が放電時間以上となるまで待機する。制御部5 6は、計時時間が放電時間以上であると判定した場合（S 7：Y E S）、出力部5 3に指示して、出力部5 3が制御回路2 3に出力している電圧をローレベル電圧に切替えさせることによって、放電回路4 6にキャパシタC 2の放電を終了させる（ステップS 8）。制御部5 6は、ステップS 8を実行した後、タイマ5 4に指示して計時を終了させる（ステップS 9）。

[0074] 次に、制御部5 6は、電圧検出部2 1から入力部5 1に入力された電圧情報を入力部5 1から取得し（ステップS 1 0）、取得した電圧情報が示すソース電圧が基準電圧以上であるか否かを判定する（ステップS 1 1）。基準電圧は、一定であり、予め記憶部5 5に記憶されている。後述するように、ステップS 1 1において、ソース電圧が基準電圧以上であることは負荷1 2のキャパシタC 1の両端が短絡していないことを示し、ソース電圧が基準電圧未満であることは負荷1 2のキャパシタC 1の両端が短絡していることを示す。

[0075] 制御部5 6は、ソース電圧が基準電圧未満であると判定した場合（S 1 1：N O）、負荷1 2のキャパシタC 1の両端が短絡しているとして、給電開始処理を終了し、キャパシタC 1の充電を再開することはない。

なお、制御部5 6は、ソース電圧が基準電圧未満であると判定した場合において、図示しない出力部にキャパシタC 1の短絡を示す短絡信号を出力させ、その後、給電開始処理を終了してもよい。

[0076] 制御部5 6は、ソース電圧が基準電圧以上であると判定した場合（S 1 1：Y E S）、ステップS 1と同様に、充電回路4 5にキャパシタC 2の充電を開始させる（ステップS 1 2）。

制御部5 6は、ステップS 1 1を実行した後、キャパシタC 1の充電が継

続している状態で給電開始処理を終了する。

[0077] 制御部 56 は、入力部 50 に停止信号が入力された場合に、給電終了処理を実行する。給電終了処理では、制御部 56 は、出力部 52, 53 に指示して、出力部 52, 53 夫々が出力している電圧をローレベル電圧及びハイレベル電圧に切替える。これにより、充電回路 45 がキャパシタ C1 の充電を終了し、放電回路 46 がキャパシタ C1 の放電を開始する。制御部 56 は、放電回路 46 にキャパシタ C1 の放電を一定時間だけ行わせて、半導体トランジスタ 20 のゲート電圧がゼロ V となった後、出力部 53 に指示して、出力部 53 が制御部 56 に出力している電圧をローレベル電圧に切替えさせる。これにより、放電回路 46 が行っているキャパシタ C1 の放電が終了する。制御部 56 は、出力部 53 に指示して、出力部 53 が制御部 56 に出力している電圧をローレベル電圧に切替えさせ後、給電終了処理を終了する。

[0078] 図 5 は、給電制御装置 11 の動作の一例を示すタイミングチャートである。図 5 には、充電回路 45 及び放電回路 46 夫々に入力されている電圧の推移と、ゲート電圧、負荷電流 I_a 及びソース電圧 V_s 夫々の推移とが示されている。これらの推移は、負荷 12 の両端が短絡していない場合における推移である。横軸は時間を示す。図 5 では、ハイレベル電圧を「H」で示し、ローレベル電圧を「L」で示している。

[0079] 前述したように、マイコン 24 の入力部 50 に作動信号が入力された場合、マイコン 24 の制御部 56 は給電開始処理を実行する。給電開始処理では、マイコン 24 は、まず、放電回路 46 に入力されている電圧をローレベル電圧に維持している状態で、充電回路 45 に入力されている電圧をハイレベル電圧に切替え、制御回路 23 の充電回路 45 にキャパシタ C2 の充電を開始させる。これにより、キャパシタ C2 の両端間の電圧、即ち、ゲート電圧が徐々に上昇し、半導体トランジスタ 20 のドレイン及びソース間の抵抗値が徐々に低下する。

[0080] 半導体トランジスタ 20 のドレイン及びソース間の抵抗値が低下した場合、バッテリー 10 から半導体トランジスタ 20 を介して負荷 12 に負荷電流 I

aが流れる。半導体トランジスタ20のドレイン及びソース間の抵抗値が徐々に低下するにつれて、負荷電流I_aも徐々に上昇する。

以上のように、半導体トランジスタ20のドレイン及びソース間の抵抗値が徐々に低下するので、突入電流が半導体トランジスタ20を介して負荷12に流れることを確実に防止することができる。

[0081] 負荷12の両端が短絡していない限り、半導体トランジスタ20のドレイン及びソース間の抵抗値が徐々に低下するにつれて、半導体トランジスタ20のソース電圧V_sは徐々に上昇する。また、バッテリー10から負荷12への給電によって、負荷12のキャパシタC1が充電され、キャパシタC1の両端間の電圧も上昇する。

[0082] 充電回路45がキャパシタC2の充電を開始してから充電時間が経過した場合、マイコン24は、充電回路45に入力されている電圧をローレベル電圧に切替え、充電回路45にキャパシタC2の充電を終了させる。これにより、ゲート電圧、負荷電流I_a、ソース電圧、及び、キャパシタC1の両端間の電圧夫々の上昇は停止する。

[0083] 次に、マイコン24は、放電回路46に入力されている電圧をローレベル電圧からハイレベル電圧に切替え、放電回路46にキャパシタC2の放電を開始させる。これにより、キャパシタC2の両端間の電圧が低下し、半導体トランジスタ20のゲート電圧は低下する。ゲート電圧の低下により、半導体トランジスタ20のドレイン及びソース間の抵抗値が上昇し、負荷電流I_aが低下する。負荷電流I_aの低下と共に、ソース電圧V_sもキャパシタC1の両端間の電圧まで低下する。

[0084] 放電時間は、放電回路46が行う放電によって、キャパシタC2の両端間の電圧がゼロVとなるために必要な時間よりも十分に長い。このため、放電回路46に入力されている電圧がローレベル電圧からハイレベル電圧に切替わってから放電時間が経過した時点では、ゲート電圧はゼロVであり、半導体トランジスタ20のドレイン及びソースは開放状態である。放電時間が経過した時点において、抵抗R_aに電流が流れていないため、ソース電圧V_s

はキャパシタC 1の両端間の電圧と一致している。

[0085] 負荷12の両端が短絡されていない限り、作動信号が入力部50に入力されてから充電時間が経過するまでに、キャパシタC 1の両端間の電圧は基準電圧V b以上となっている。このため、負荷12の両端が短絡されていない限り、放電時間が経過した時点において、ソース電圧V sは基準電圧V b以上である。

[0086] 放電回路46が制御回路23のキャパシタC 2の放電を終了した後、マイコン24の制御部56は、電圧検出部21から入力された電圧情報が示すソース電圧V sが基準電圧V b以上であるか否かを判定する。マイコン24は、制御部56によってソース電圧V sが基準電圧V b以上であると判定された場合、負荷12の両端が短絡していないとして、充電回路45に入力されている電圧をローレベル電圧からハイレベル電圧に切替え、マイコン24の制御部56は給電開始処理が終了する。制御部56は判定部として機能し、基準電圧V bは所定電圧に相当する。

[0087] この電圧の切替えにより、充電回路45は、制御回路23のキャパシタC 2を再び充電し、半導体トランジスタ20のゲート電圧を上昇させ、半導体トランジスタ20のドレイン及びソース間の抵抗値を低下させる。これにより、バッテリー10から負荷12に給電され、負荷電流I a及びソース電圧V sは再び上昇する。

このとき、負荷12の両端は短絡していないため、出力回路22から制御回路23に出力している電圧の最大値が参照電圧V r未満である間に、負荷電流I aが電流閾値I t h ($=V r \times r e / (r a \times r d)$) 以上となることはない。

[0088] 制御回路23において、充電回路45がコンデンサC 2に出力している電圧と、コンデンサC 2の両端間の電圧とが一致した場合、ゲート電圧の上昇は停止し、ゲート電圧は安定する。これにより、負荷電流I a及びソース電圧V sの上昇も停止し、負荷電流I a及びソース電圧V sは安定する。

[0089] 図6は、給電制御装置11の動作の他例を示すタイミングチャートである

。図6には、図5と同様に、充電回路45及び放電回路46夫々に入力されている電圧の推移と、ゲート電圧、負荷電流 I_a 及びソース電圧 V_s 夫々の推移とが示されている。これらの推移は、負荷12の両端が短絡している場合における推移である。横軸は時間を示す。図6でも、ハイレベル電圧を「H」で示し、ローレベル電圧を「L」で示している。

[0090] 前述したように、マイコン24の入力部50に作動信号が入力された場合、マイコン24の制御部56は給電開始処理を実行する。マイコン24は、放電回路46に入力されている電圧をローレベル電圧に維持している状態で、制御回路23の充電回路45に入力されている電圧をハイレベル電圧に切替え、充電回路45にキャパシタC2の充電を開始させる。これにより、キャパシタC2の両端間の電圧が徐々に上昇し、半導体トランジスタ20のドレイン及びソース間の抵抗値が徐々に低下する。

[0091] 半導体トランジスタ20のドレイン及びソース間の抵抗値が低下した場合、バッテリー10から半導体トランジスタ20を介して負荷12に電流が流れる。ここで、負荷12の両端が短絡しているので、半導体トランジスタ20のドレイン及びソース間の抵抗値が低下するにつれて、抵抗 R_a を流れる負荷電流 I_a は急速に上昇する。また、負荷12の両端が短絡しているので、ソース電圧 V_s は略ゼロVである。

[0092] 充電回路45がキャパシタC2の充電を開始してから充電時間が経過した場合、マイコン24は、充電回路45に入力されている電圧をローレベル電圧に切替え、充電回路45にキャパシタC2の充電を終了させる。これにより、ゲート電圧及び負荷電流 I_a 夫々の上昇は停止する。

[0093] 次に、マイコン24は、放電回路46に入力されている電圧をローレベル電圧からハイレベル電圧に切替え、放電回路46にキャパシタC2の放電を開始させる。これにより、キャパシタC2の両端間の電圧が低下し、半導体トランジスタ20のゲート電圧は低下する。ゲート電圧の低下により、半導体トランジスタ20のドレイン及びソース間の抵抗値が上昇し、負荷電流 I_a が低下する。放電回路46に入力されている電圧がローレベル電圧からハ

イレベル電圧に切替わってから放電時間が経過した場合、マイコン24は放電回路46に入力されている電圧をローレベル電圧に戻し、放電回路46はキャパシタC2の放電を終了する。キャパシタC2の放電を終了した時点では、ゲート電圧はゼロVであり、半導体トランジスタ20のドレイン及びソースは開放状態である。

[0094] 充電回路45及び放電回路46が充電及び放電を行っている間、ソース電圧 V_s は、略ゼロVであり、基準電圧 V_b 未満である。

[0095] 放電回路46が制御回路23のキャパシタC2の放電を終了した後、マイコン24の制御部56は、電圧検出部21から入力された電圧情報が示すソース電圧 V_s が基準電圧 V_b 以上であるか否かを判定する。制御部56によってソース電圧 V_s が基準電圧 V_b 未満であると判定された場合、充電回路45及び放電回路46に入力されている電圧がローレベル電圧に維持されたまま、給電開始処理が終了する。

[0096] このように、制御部56は、ソース電圧 V_s が基準電圧 V_b 未満であると判定した場合、半導体トランジスタ20のドレイン及びソース間の抵抗値を、判定を行った時点の抵抗値に維持し、半導体トランジスタ20に過電流が通流することを確実に防止する。

また、充電回路45がキャパシタC1を充電した後、放電回路46がキャパシタC1の放電を行い、バッテリー10から負荷12への給電を一旦、停止するため、負荷12の両端が短絡している場合に電力が無駄に消費されることはない。

[0097] 給電制御装置11では、ソース電圧 V_s が $V_r \times (r_d + r_e) / r_d$ 以上である場合、出力回路22から制御回路23に出力される電圧の最大値は参照電圧 V_r 以上である。このため、出力回路22から制御回路23に出力した電圧に基づいて行う半導体トランジスタ20のドレイン及びソース間の抵抗値の調整によって、半導体トランジスタ20に過電流が流れることを防止する。ソース電圧 V_s が $V_r \times (r_d + r_e) / r_d$ 未満である場合、出力回路22から制御回路23に出力される電圧の最大値は参照電圧 V_r 未満

である。このため、電圧検出部 21 から入力された電圧情報が示すソース電圧 V_s に基づいて行う半導体トランジスタ 20 のドレイン及びソース間の抵抗値の調整によって過電流の通流を防止する。

[0098] (実施の形態 2)

実施の形態 2 において、電源システム 1 は実施の形態 1 と同様に構成されており、マイコン 24 の制御部 56 が実行する給電開始処理の内容が実施の形態 1 と異なる。

以下では、実施の形態 2 における制御部 56 が実行する給電開始処理の内容を説明する。実施の形態 1 と共通する構成部には実施の形態 1 と同一の参照符号を付してその説明を省略する。

[0099] 図 7 は、実施の形態 2 における制御部 56 が実行する給電開始処理の手順を示すフローチャートである。制御部 56 は、入力部 50 に作動信号が入力された場合に給電開始処理を実行する。給電開始処理は、出力部 52, 53 夫々が制御回路 23 の AND 回路 43 及び OR 回路 44 夫々の他方の端子にローレベル電圧を出力している状態、即ち、充電回路 45 及び放電回路 46 が動作を停止している状態で開始される。

[0100] まず、制御部 56 は、実施の形態 1 における給電開始処理のステップ S1 と同様に、充電回路 45 に制御回路 23 のキャパシタ C2 の充電を開始させ（ステップ S21）、タイマ 54 に指示して計時を開始させる（ステップ S22）。次に、制御部 56 は、タイマ 54 が計時している計時時間が充電時間以上であるか否かを判定する（ステップ S23）。制御部 56 は、計時時間が充電時間未満であると判定した場合（S23: NO）、ステップ S23 を再び実行し、計時時間が充電時間以上となるまで待機する。

[0101] 制御部 56 は、計時時間が充電時間以上であると判定した場合（S23: YES）、タイマ 54 に指示して計時を終了させ（ステップ S24）、電圧検出部 21 から入力部 51 に入力された電圧情報を入力部 51 から取得する（ステップ S25）。この時点において、制御回路 23 のキャパシタ C2 の充電は継続されている。

[0102] 次に、制御部56は、ステップS25で取得した電圧情報が示すソース電圧が基準電圧以上であるか否かを判定する（ステップS26）。実施の形態2と同様に、負荷12のキャパシタC2の両端が短絡していない限り、キャパシタC1の両端間の電圧は基準電圧以上である。負荷12のキャパシタC2の両端が短絡している場合、キャパシタC1に電力は殆ど蓄えられておらず、キャパシタC1の両端間の電圧は略ゼロVであり、基準電圧未満である。

[0103] 制御部56は、ソース電圧が基準電圧未満であると判定した場合（S26：NO）、実施の形態1における給電開始処理のステップS4と同様に、充電回路45にキャパシタC2の充電を終了させる（ステップS27）。制御部56は、ステップS27を実行した後、実施の形態1における給電開始処理のステップS5と同様に、放電回路46にキャパシタC2の放電を開始させる（ステップS28）。

[0104] 次に、制御部56は、タイマ54に指示して計時を開始させ（ステップS29）、タイマ54が計時している計時時間が放電時間以上であるか否かを判定する（ステップS30）。制御部56は、計時時間が放電時間未満であると判定した場合（S30：NO）、ステップS30を再び実行し、計時時間が放電時間以上となるまで待機する。

[0105] 制御部56は、計時時間が放電時間以上であると判定した場合（S30：YES）、実施の形態1における給電開始処理のステップS8と同様に、放電回路46にキャパシタC2の放電を終了させ（ステップS31）、タイマ54に指示して計時を終了させる（ステップS32）。制御部56は、ソース電圧が基準電圧以上であると判定した場合（S26：YES）、又は、ステップS32を実行した後、給電開始処理を終了する。

[0106] 制御部56は、ステップS32を実行して給電開始処理を終了した場合、負荷12のキャパシタC1の両端が短絡しているため、キャパシタC1の充電を再開することはない。

制御部56は、ソース電圧が基準電圧以上であると判定して給電開始処理

を終了した場合、負荷 12 のキャパシタ C 1 の両端は短絡していないため、充電回路 45 がキャパシタ C 1 の充電を継続している状態で給電開始処理を終了する。

[0107] 図 8 は、給電制御装置 11 の動作の一例を示すタイミングチャートである。図 8 には、図 5 と同様に、充電回路 45 及び放電回路 46 夫々に入力されている電圧の推移と、ゲート電圧、負荷電流 I_a 及びソース電圧 V_s 夫々の推移とが示されている。これらの推移は、負荷 12 の両端が短絡していない場合における推移である。横軸は時間を示す。図 8 でも、ハイレベル電圧を「H」で示し、ローレベル電圧を「L」で示している。

[0108] 前述したように、マイコン 24 の入力部 50 に作動信号が入力された場合、マイコン 24 の制御部 56 は給電開始処理を実行する。給電開始処理では、マイコン 24 は、まず、実施の形態 1 と同様に、放電回路 46 に入力されている電圧をローレベル電圧に維持している状態で、充電回路 45 に入力されている電圧をハイレベル電圧に切替え、制御回路 23 の充電回路 45 はキャパシタ C 2 の充電を開始する。

[0109] これにより、半導体トランジスタ 20 のゲート電圧が徐々に上昇し、半導体トランジスタ 20 のドレイン及びソース間の抵抗値が徐々に低下する。この抵抗値の低下に伴って、負荷電流 I_a も徐々に上昇する。また、負荷 12 の両端が短絡していない限り、半導体トランジスタ 20 のソース電圧 V_s も徐々に上昇する。また、バッテリー 10 から負荷 12 へ負荷電流 I_a が流れることによって、負荷 12 のキャパシタ C 1 が充電され、キャパシタ C 1 の両端間の電圧も上昇する。

実施の形態 1 と同様に、半導体トランジスタ 20 のドレイン及びソース間の抵抗値が徐々に低下するので、突入電流が半導体トランジスタ 20 を介して負荷 12 に流れることを確実に防止することができる。

[0110] 充電回路 45 がキャパシタ C 2 の充電を開始してから充電時間が経過した後、マイコン 24 の制御部 56 は、電圧検出部 21 から入力された電圧情報が示すソース電圧 V_s が基準電圧 V_b 以上であるか否かを判定する。このと

き、充電回路４５にはハイレベル電圧が入力されており、充電回路４５はキャパシタＣ２の充電を継続している。

また、負荷１２の両端が短絡されていない限り、作動信号が入力部５０に入力されてから充電時間が経過するまでに、キャパシタＣ１の両端間の電圧は基準電圧 V_b 以上となっている。

[0111] 制御部５６によってソース電圧 V_s が基準電圧 V_b 以上であると判定された場合、マイコン２４は、負荷１２の両端が短絡していないとして、充電回路４５に入力されている電圧をハイレベル電圧に維持し、継続して半導体トランジスタ２０のドレイン及びソース間の抵抗値を低下させる。制御部５６は、充電回路４５に入力されている電圧をハイレベル電圧に維持した状態で給電開始処理を終了する。

[0112] 充電回路４５が制御回路２３のコンデンサＣ２に出力している電圧と、コンデンサＣ２の両端間の電圧とが一致した場合、ゲート電圧の上昇は停止し、ゲート電圧は安定する。これにより、負荷電流 I_a 及びソース電圧 V_s の上昇も停止し、負荷電流 I_a 及びソース電圧 V_s は安定する。

[0113] 図９は、給電制御装置１１の動作の他例を示すタイミングチャートである。図９には、図８と同様に、充電回路４５及び放電回路４６夫々に入力されている電圧の推移と、ゲート電圧、負荷電流 I_a 及びソース電圧 V_s 夫々の推移とが示されている。これらの推移は、負荷１２の両端が短絡している場合における推移である。横軸は時間を示す。図９でも、ハイレベル電圧を「 H 」で示し、ローレベル電圧を「 L 」で示している。

[0114] 前述したように、マイコン２４の入力部５０に作動信号が入力された場合、マイコン２４の制御部５６は給電開始処理を実行する。マイコン２４は、まず、実施の形態１と同様に、放電回路４６に入力されている電圧をローレベル電圧に維持している状態で、制御回路２３の充電回路４５に入力されている電圧をハイレベル電圧に切替え、充電回路４５はキャパシタＣ２の充電を開始する。

[0115] これにより、半導体トランジスタ２０のゲート電圧が徐々に上昇し、半導

体トランジスタ 20 のドレイン及びソース間の抵抗値が徐々に低下する。この抵抗値の低下により、バッテリー 10 から半導体トランジスタ 20 を介して負荷 12 に電流が流れる。ここで、負荷 12 の両端が短絡しているので、半導体トランジスタ 20 のドレイン及びソース間の抵抗値が低下するにつれて、抵抗 R_a を流れる負荷電流 I_a は急速に上昇する。また、負荷 12 の両端が短絡しているので、ソース電圧 V_s は略ゼロ V である。

[0116] 充電回路 45 がキャパシタ C2 の充電を開始してから充電時間が経過した後、マイコン 24 の制御部 56 は、電圧検出部 21 から入力された電圧情報が示すソース電圧 V_s が基準電圧 V_b 以上であるか否かを判定する。このとき、充電回路 45 にはハイレベル電圧が入力されており、充電回路 45 はキャパシタ C2 の充電を継続している。

[0117] マイコン 24 は、制御部 56 によって、ソース電圧 V_s が基準電圧 V_b 未満であると判定された場合、負荷 12 の両端が短絡しているとして、充電回路 45 及び放電回路 46 夫々に入力されている電圧をローレベル電圧及びハイレベル電圧に切替える。これにより、充電回路 45 はキャパシタ C2 の充電を終了し、放電回路 46 はキャパシタ C2 の放電を開始する。これにより、キャパシタ C2 の両端間の電圧が低下し、半導体トランジスタ 20 のゲート電圧は低下する。ゲート電圧の低下により、半導体トランジスタ 20 のドレイン及びソース間の抵抗値が上昇し、負荷電流 I_a が低下する。ソース電圧 V_s は略ゼロ V のままである。

[0118] マイコン 24 は、放電回路 46 に入力されている電圧をローレベル電圧からハイレベル電圧に切替えてから放電時間が経過した場合、放電回路 46 に入力されている電圧をハイレベル電圧からローレベル電圧に戻し、放電回路 46 はキャパシタ C2 の放電を終了する。

[0119] このように、制御部 56 は、ソース電圧 V_s が基準電圧 V_b 未満であると判定した場合、半導体トランジスタ 20 のドレイン及びソース間の抵抗値を、判定を行った時点の抵抗値よりも高い抵抗値に上昇させ、半導体トランジスタ 20 に過電流が通流することを確実に防止する。

[0120] また、実施の形態 2 における給電制御装置 11 では、実施の形態 1 と同様に、ソース電圧 V_s が $V_r \times (r_d + r_e) / r_d$ 以上である場合、出力回路 22 から制御回路 23 に出力した電圧に基づいて行う半導体トランジスタ 20 のドレイン及びソース間の抵抗値の調整によって、半導体トランジスタ 20 に過電流が流れることを防止する。また、ソース電圧 V_s が $V_r \times (r_d + r_e) / r_d$ 未満である場合、電圧検出部 21 から入力された電圧情報が示すソース電圧 V_s に基づいて行う半導体トランジスタ 20 のドレイン及びソース間の抵抗値の調整によって過電流の通流を防止する。

[0121] なお、実施の形態 1, 2 において、制御回路 23 のキャパシタ C2 は、一端が半導体トランジスタ 20 のゲートに接続されているキャパシタであればよい。このため、キャパシタ C2 の他端は、半導体トランジスタ 20 のドレイン又はソースに接続されていてもよい。この場合、キャパシタ C2 は、半導体トランジスタ 20 の製造と共に形成される入力容量であってもよい。

[0122] また、半導体トランジスタ 20 は、Nチャネル型の FET に限定されず、例えば、NPN 型のバイポーラトランジスタであってもよい。更に、半導体トランジスタ 20 は、Pチャネル型の FET 又は PNP 型のバイポーラトランジスタ等であってもよい。例えば、半導体トランジスタ 20 が Pチャネル型の FET である場合、ドレインを負荷 12 のキャパシタ C1 の一端に接続し、ソースをバッテリー 10 の正極に接続する。制御回路 23 は、ゲートの電圧を徐々に低下させることによって、半導体トランジスタ 20 のソース及びドレイン間の抵抗値を徐々に上昇させ、ゲートの電圧を徐々に上昇させることによって、半導体トランジスタ 20 のソース及びドレイン間の抵抗値を徐々に低下させる。

更に、出力回路 22 は、PNP 型のバイポーラトランジスタ 30、差動増幅器 31 及び抵抗 R_d , R_e によって構成される回路に限定されない。出力回路 22 は、負荷電流 I_a に比例し、最大値がソース電圧 V_s 以下である電圧を出力する回路であればよい。

[0123] 開示された実施の形態 1, 2 は全ての点で例示であって、制限的なもので

はないと考えられるべきである。本発明の範囲は、上記した意味ではなく、請求の範囲によって示され、請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。

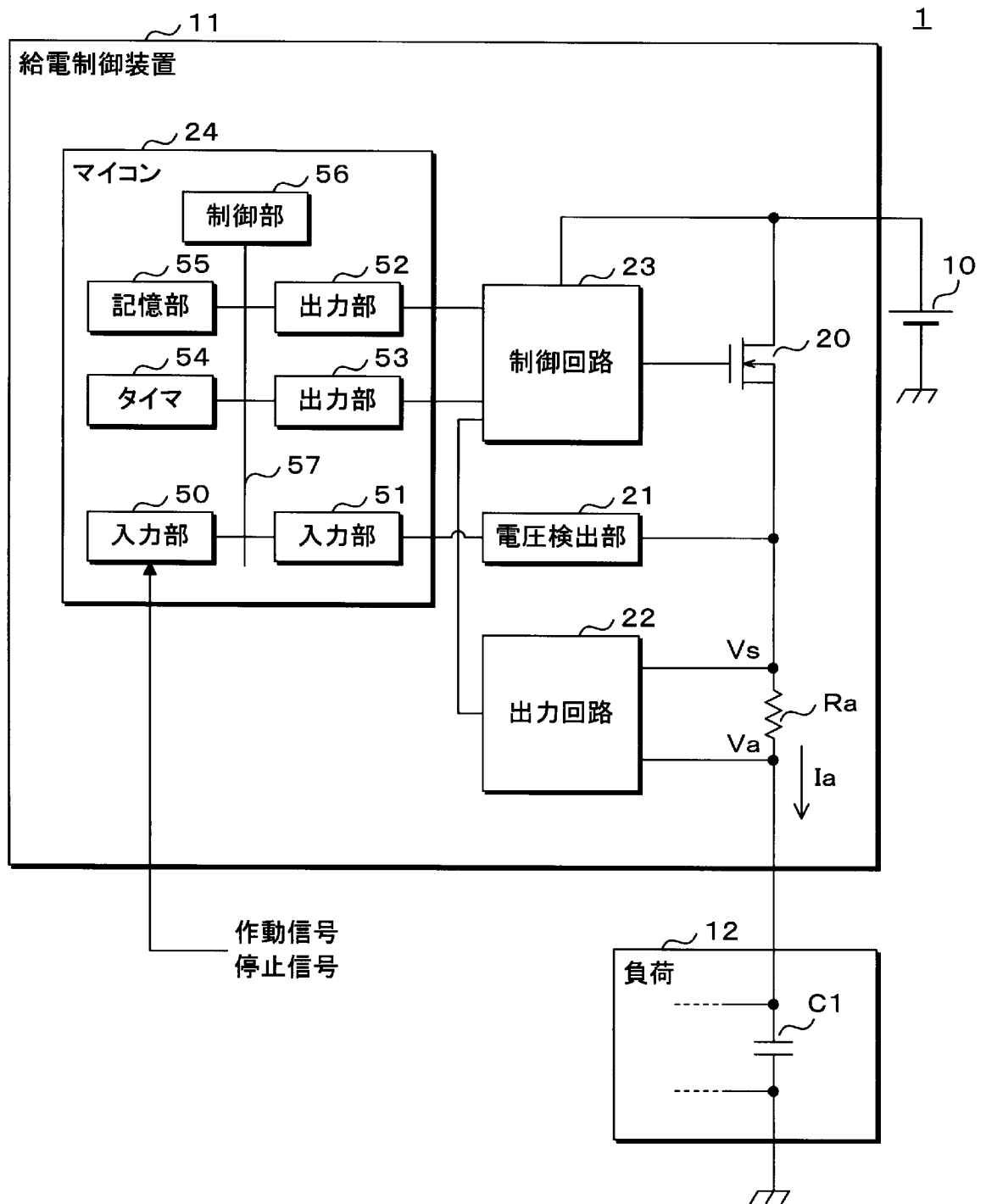
符号の説明

- [0124] 1 2 負荷
- 2 0 半導体トランジスタ
- 2 3 制御回路（調整部）
- 1 1 給電制御装置
- 2 1 電圧検出部
- 5 6 制御部（判定部）
- 2 2 出力回路

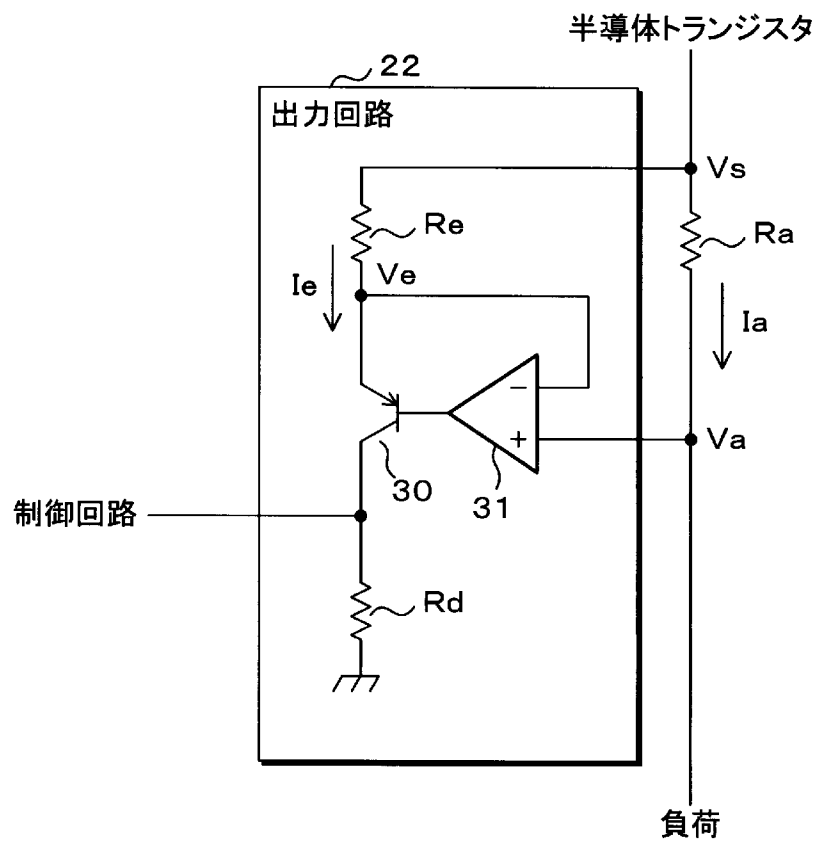
請求の範囲

- [請求項1] 入力端に入力された電流を出力端から容量性の負荷に出力する半導体トランジスタと、該半導体トランジスタの前記入力端及び出力端間の抵抗値を調整する調整部とを備え、該調整部が前記抵抗値を調整することによって前記負荷への給電を制御する給電制御装置において、
- 前記出力端の電圧を検出する検出部と、
- 前記調整部が前記抵抗値を低下させた後、前記検出部が検出した前記出力端の電圧が所定電圧以上である否かを判定する判定部と
- を備え、
- 前記調整部は、
- 該判定部によって、前記出力端の電圧が前記所定電圧以上であると判定された場合に前記抵抗値を再び低下させ、
- 前記判定部によって、前記出力端の電圧が前記所定電圧未満であると判定された場合、前記抵抗値を、該判定部が判定を行った時点の前記抵抗値以上に調整すること
- を特徴とする給電制御装置。
- [請求項2] 前記調整部は、前記判定部が判定を行う前に、前記抵抗値を低下させてから該抵抗値を上昇させ、
- 前記判定部は、前記調整部が前記抵抗値を上昇させた後に判定を行うこと
- を特徴とする請求項1に記載の給電制御装置。
- [請求項3] 前記負荷に流れる電流が大きい程、高い電圧を出力する出力回路を備え、
- 前記調整部は、該出力回路が出力した電圧が閾値以上である場合に前記抵抗値を上昇させ、
- 前記出力回路が出力する電圧の最大値は、前記出力端の電圧以下であり、該出力端の電圧の上昇と共に上昇すること
- を特徴とする請求項1又は請求項2に記載の給電制御装置。

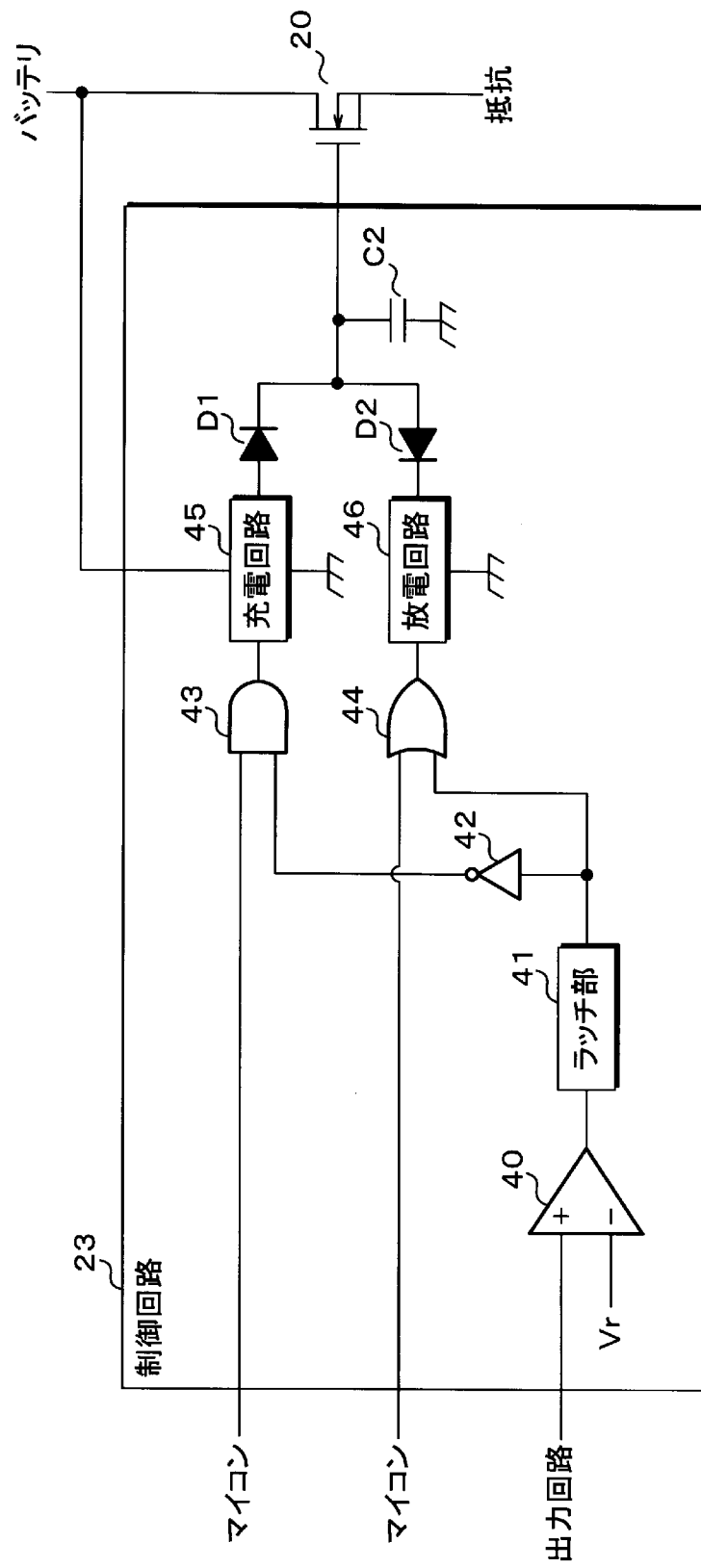
[図1]



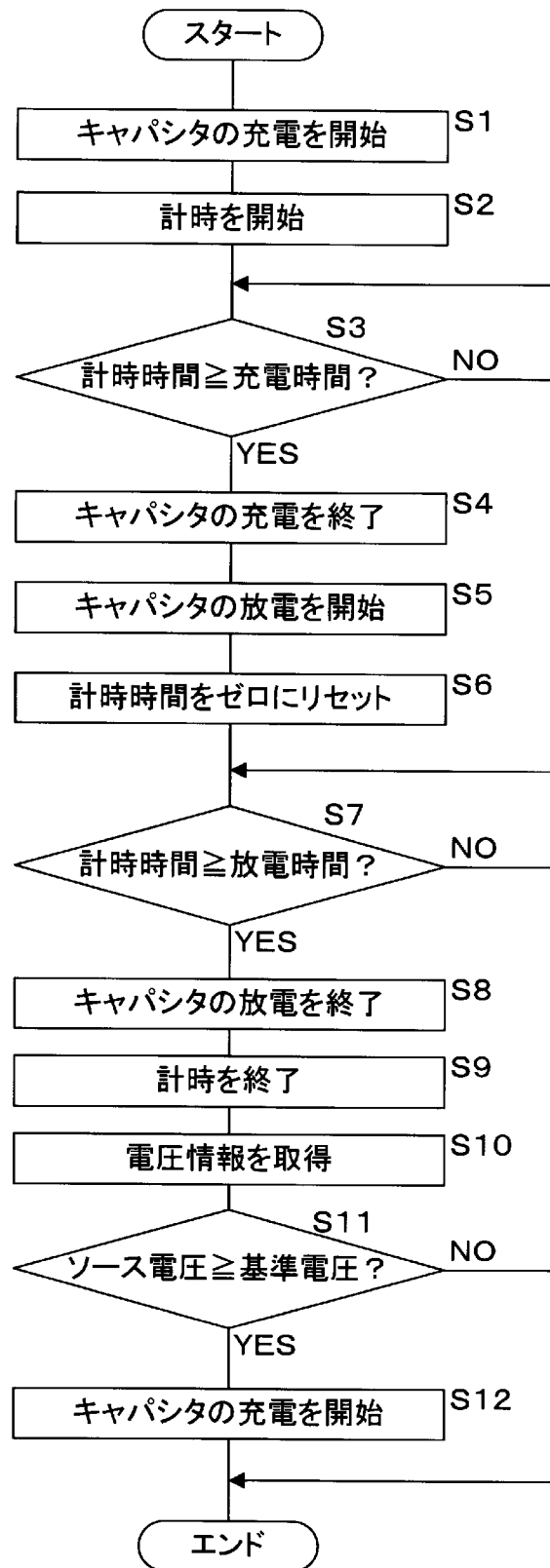
[図2]



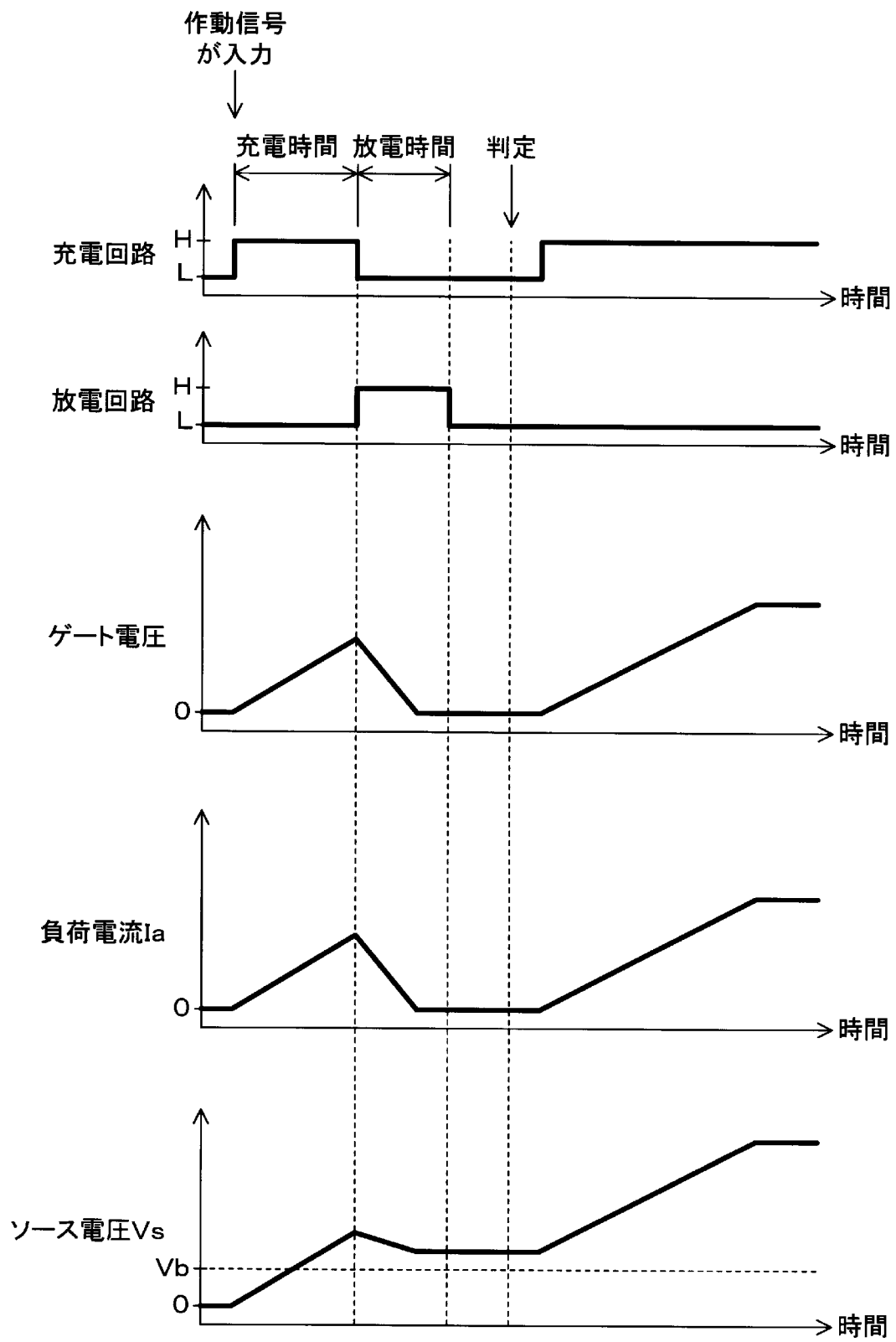
[図3]



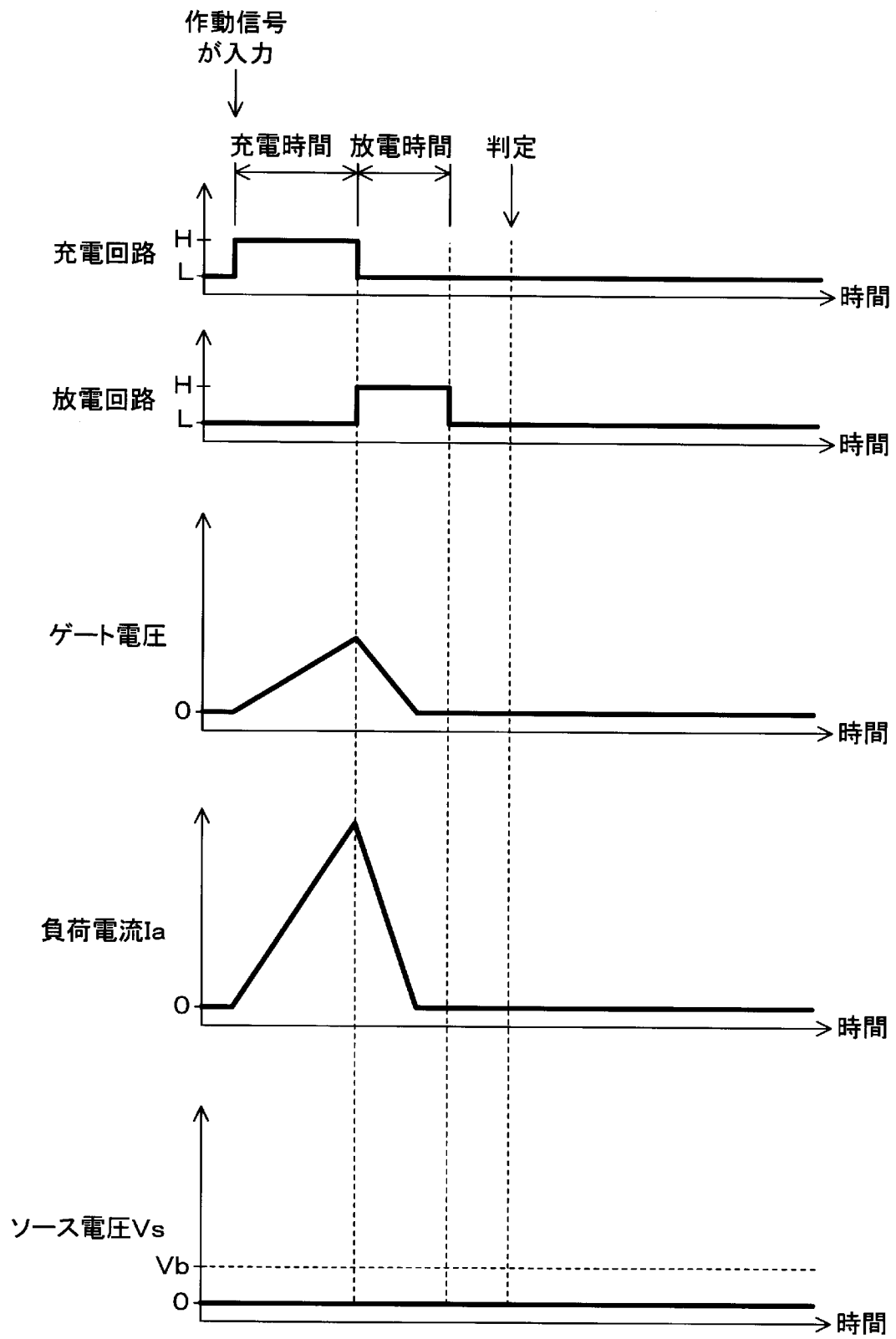
[図4]



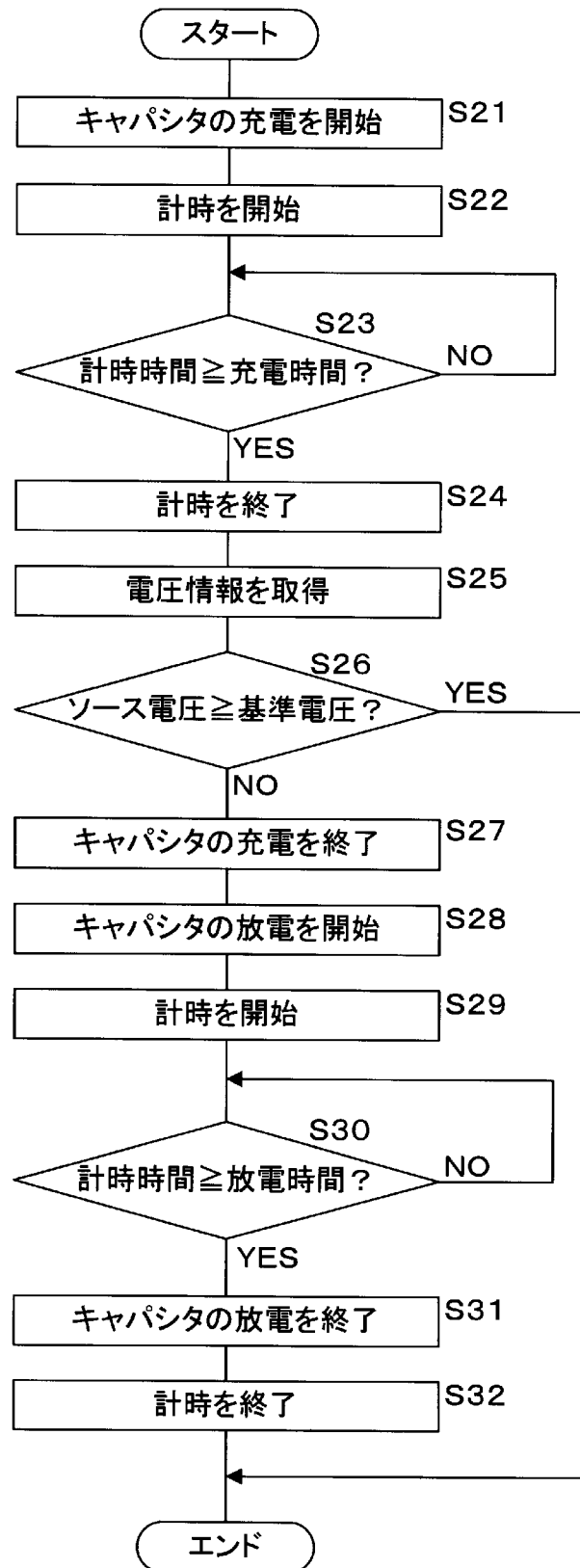
[図5]



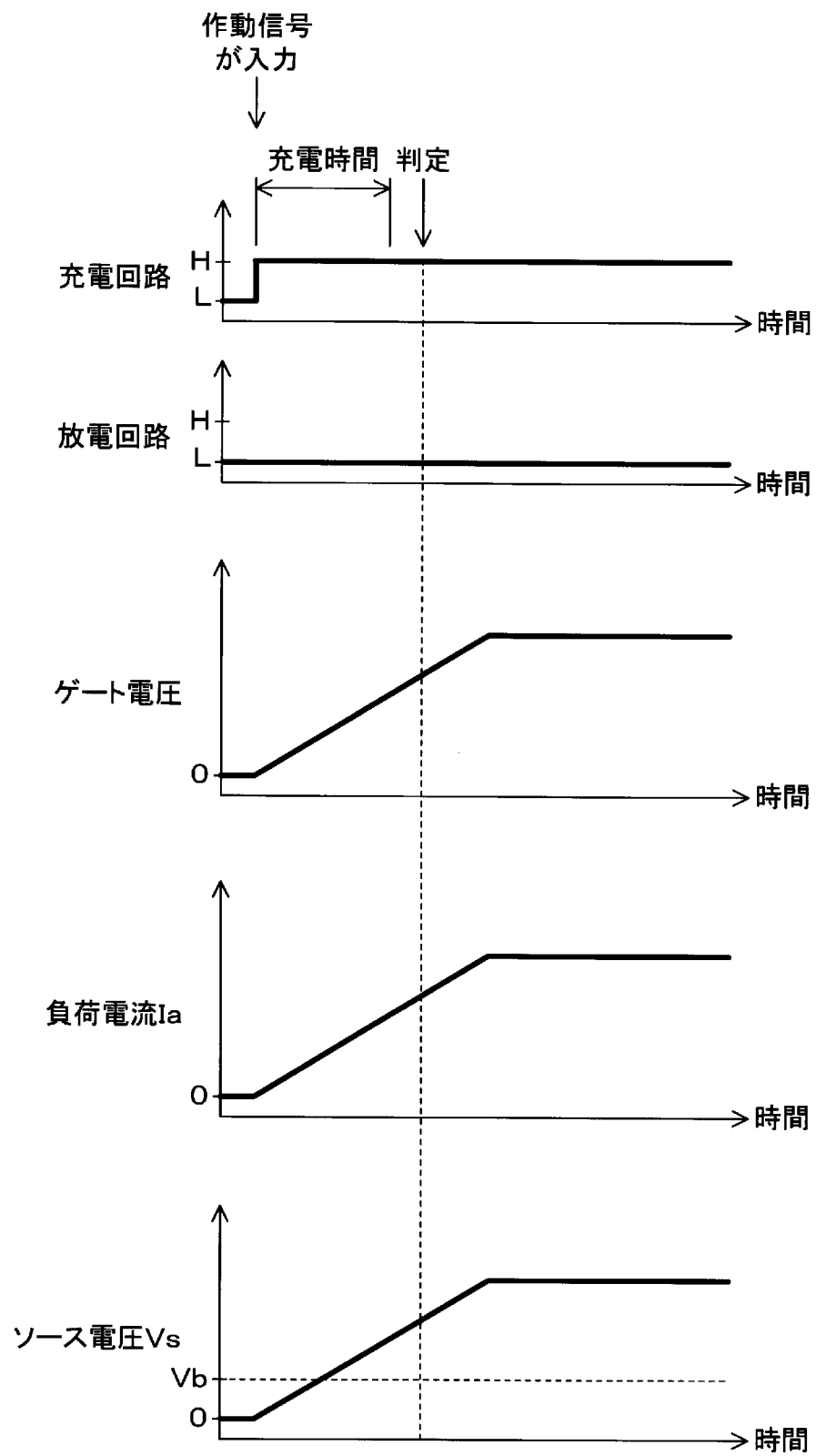
[図6]



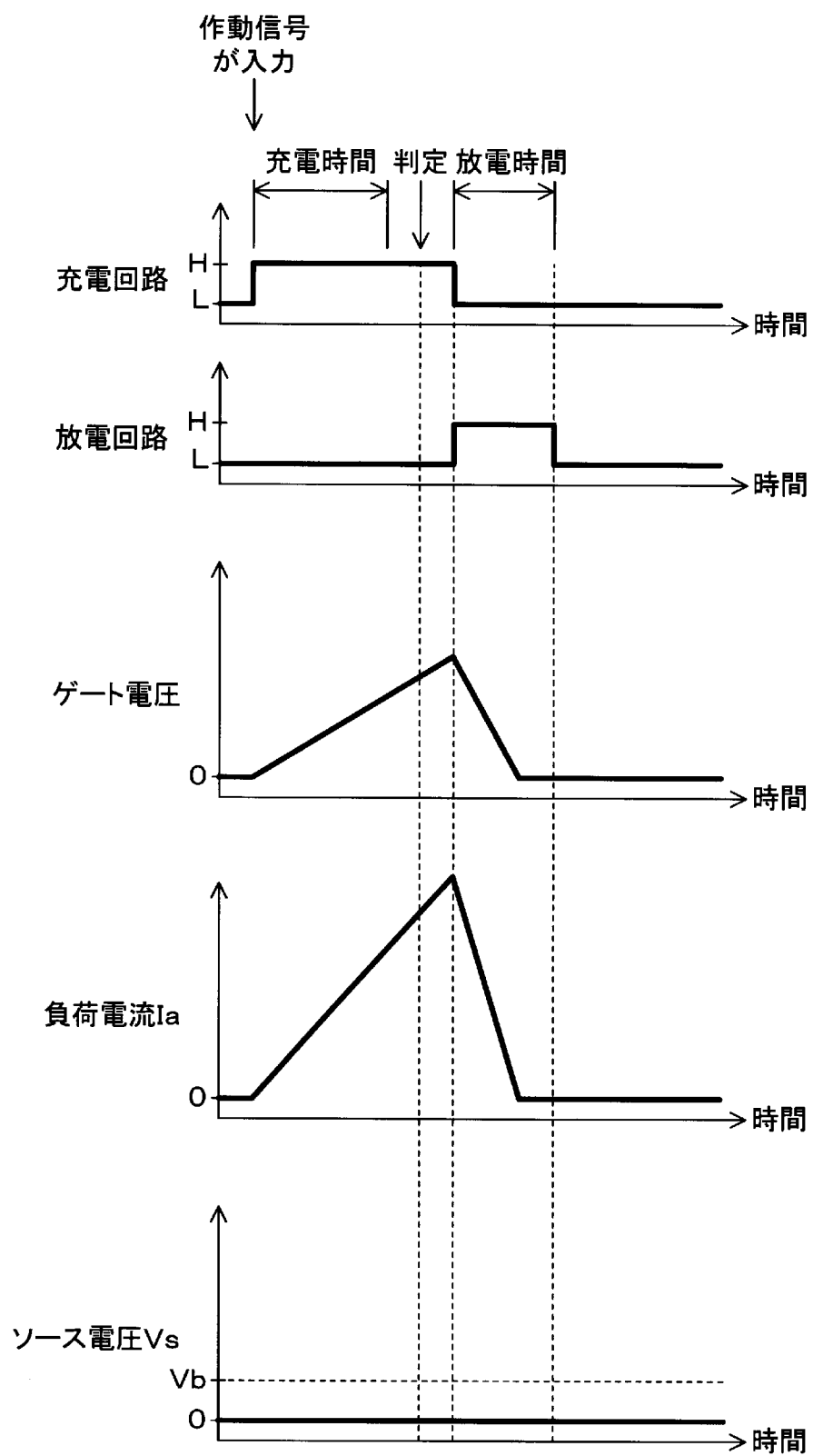
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/088112

A. CLASSIFICATION OF SUBJECT MATTER

H02J1/00(2006.01)i, H02H9/02(2006.01)i, H03K17/16(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02J1/00, H02H9/02, H03K17/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-215300 A (Toshiba Tec Corp.), 23 August 2007 (23.08.2007), entire text; all drawings (Family: none)	1-3
A	JP 2005-323489 A (Yazaki Corp.), 17 November 2005 (17.11.2005), entire text; all drawings (Family: none)	1-3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
01 February 2017 (01.02.17)

Date of mailing of the international search report
14 February 2017 (14.02.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02J1/00(2006.01)i, H02H9/02(2006.01)i, H03K17/16(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02J1/00, H02H9/02, H03K17/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-215300 A（東芝テック株式会社）2007.08.23, 全文, 全図（ファミリーなし）	1-3
A	JP 2005-323489 A（矢崎総業株式会社）2005.11.17, 全文, 全図（ファミリーなし）	1-3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

01.02.2017

国際調査報告の発送日

14.02.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

桑江 晃

5 T

4239

電話番号 03-3581-1101 内線 3568