



등록특허 10-2468793



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년11월18일
(11) 등록번호 10-2468793
(24) 등록일자 2022년11월15일

- (51) 국제특허분류(Int. Cl.)
H01L 23/544 (2006.01) *H01L 21/324* (2017.01)
H01L 21/66 (2006.01) *H01L 21/68* (2006.01)
- (52) CPC특허분류
H01L 23/544 (2013.01)
H01L 21/324 (2013.01)
- (21) 출원번호 10-2016-0002779
- (22) 출원일자 2016년01월08일
심사청구일자 2020년11월20일
- (65) 공개번호 10-2017-0083384
- (43) 공개일자 2017년07월18일
- (56) 선행기술조사문헌
JP08316112 A*
JP2002001636 A*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
- (72) 발명자
김종수
인천광역시 연수구 송도과학로27번길 70, 104동
102호 (송도동, 롯데캐슬)
최삼종
경기도 수원시 영통구 봉영로1517번길 73, 923동
1803호 (영통동, 삼성.태영 아파트)
(뒷면에 계속)
- (74) 대리인
리엔목특허법인

전체 청구항 수 : 총 8 항

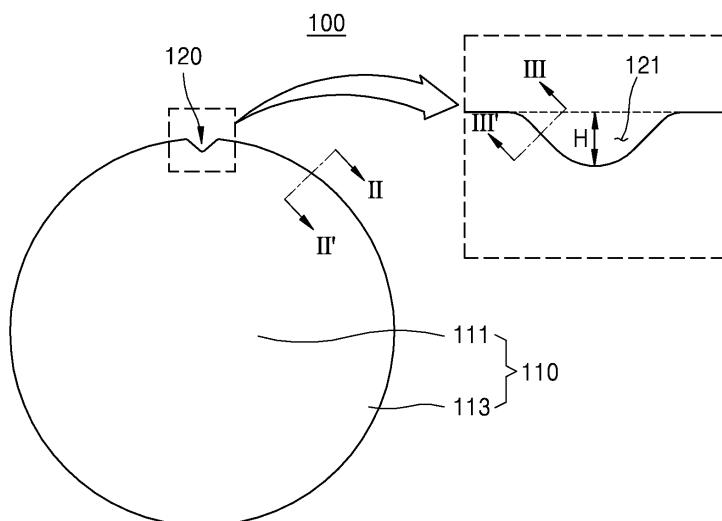
심사관 : 이석주

(54) 발명의 명칭 반도체 웨이퍼, 반도체 구조체 및 이를 제조하는 방법

(57) 요 약

본 발명의 기술적 사상의 일 실시예에 의한 반도체 웨이퍼는 서로 반대되는 제1 면과 제2 면을 가지는 웨이퍼 몸체, 상기 웨이퍼 몸체의 외주로부터 상기 웨이퍼 몸체의 중심부를 향하여 형성된 개구를 구비한 노치부, 상기 웨이퍼 몸체의 외주를 따라 형성되며, 상기 제1 면과 제2 면을 연결하는 제1 경사면을 포함하고, 상기 제1 면과 상기 제1 경사면이 만나는 제1 지점으로부터 상기 제2 면과 상기 제1 경사면이 만나는 제2 지점까지 연장된 직선에 대하여 제1 높이를 가지는 제1 베벨부, 및 상기 개구와 접하도록 배치되고, 상기 제1 면과 제2 면을 연결하는 제2 경사면을 포함하고, 상기 제1 면과 상기 제2 경사면이 만나는 제3 지점으로부터 상기 제2 면과 상기 제2 경사면이 만나는 제4 지점까지 연장된 직선에 대하여 상기 제1 높이와 상이한 제2 높이를 가지는 제2 베벨부를 포함한다.

대 표 도 - 도1



(52) CPC특허분류

H01L 21/682 (2013.01)

H01L 22/12 (2013.01)

H01L 2223/54493 (2013.01)

(72) 발명자

구태형

경기도 화성시 영통로27번길 35, 303동 1003호 (반월동, 신영통현대아파트)

김수련

경기도 화성시 동탄순환대로21길 53, 1308동 902호
(청계동, 롯데캐슬 알바트로스)

김청준

경기도 화성시 동탄대로시범길 20, 1411동 2801호
(청계동, 동탄역 시범한화 꿈에그린 레스터지)

유지원

서울특별시 송파구 올림픽로 399, 11동 403호 (신천동, 진주아파트)

주현희

경기도 화성시 동탄반석로 71, 454동 404호 (반송동, 솔빛마을쌍용예가아파트)

명세서

청구범위

청구항 1

서로 반대되는 제1 면과 제2 면을 가지고, 그 외주로부터 중심부를 향하여 형성된 개구를 구비한 노치부를 포함하는 반도체 웨이퍼를 준비하는 단계;

상기 반도체 웨이퍼의 외주를 가공하여, 상기 제1 면과 제2 면을 연결하는 제1 경사면을 포함하고, 상기 제1 면과 상기 제1 경사면이 만나는 제1 지점으로부터 상기 제2 면과 상기 제1 경사면이 만나는 제2 지점까지 연장된 직선에 대하여 제1 높이를 가지는 제1 베벨부를 형성하는 단계; 및

상기 노치부를 가공하여, 상기 개구와 접하도록 배치되고, 상기 제1 면과 제2 면을 연결하는 제2 경사면을 포함하고, 상기 제1 면과 상기 제2 경사면이 만나는 제3 지점으로부터 상기 제2 면과 상기 제2 경사면이 만나는 제4 지점까지 연장된 직선에 대하여 상기 제1 높이와 상이한 제2 높이를 가지는 제2 베벨부를 형성하는 단계;를 포함하고,

상기 반도체 웨이퍼의 몸체의 두께는 상기 제2 높이보다 3배 이상 큰 것을 특징으로 하는 반도체 웨이퍼의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 제2 높이는 상기 제1 높이보다 작은 것을 특징으로 하는 반도체 웨이퍼의 제조 방법.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 제2 베벨부를 형성하는 단계 후에,

상기 반도체 웨이퍼를 열처리하여 상기 반도체 웨이퍼의 결함을 검사하는 단계를 더 포함하며,

상기 검사하는 단계는,

제1 온도로 상기 반도체 웨이퍼를 열처리하는 단계; 및

상기 제1 온도보다 높은 제2 온도로 상기 반도체 웨이퍼를 열처리하는 단계;를 포함하는 것을 특징으로 하는 반도체 웨이퍼의 제조 방법.

청구항 5

제 4 항에 있어서,

상기 제1 온도는 1000°C 이상 1150°C 미만인 것을 특징으로 하는 반도체 웨이퍼의 제조 방법.

청구항 6

서로 반대되는 제1 면과 제2 면을 가지는 웨이퍼 몸체;

상기 웨이퍼 몸체의 외주로부터 상기 웨이퍼 몸체의 중심부를 향하여 형성된 개구를 구비한 노치부;

상기 웨이퍼 몸체의 외주를 따라 형성되며, 상기 제1 면과 제2 면을 연결하는 제1 경사면을 포함하고, 상기 제1 면과 상기 제1 경사면이 만나는 제1 지점으로부터 상기 제2 면과 상기 제1 경사면이 만나는 제2 지점까지 연장된 직선에 대하여 제1 높이를 가지는 제1 베벨부; 및

상기 개구와 접하도록 배치되고, 상기 제1 면과 제2 면을 연결하는 제2 경사면을 포함하고, 상기 제1 면과 상기 제2 경사면이 만나는 제3 지점으로부터 상기 제2 면과 상기 제2 경사면이 만나는 제4 지점까지 연장된 직선에 대하여 상기 제1 높이와 상이한 제2 높이를 가지는 제2 베벨부;를 포함하고,

상기 웨이퍼 몸체의 두께는 상기 제2 높이보다 3배 이상 큰 것을 특징으로 하는 반도체 웨이퍼.

청구항 7

제 6 항에 있어서,

상기 제2 높이는 상기 제1 높이보다 작은 것을 특징으로 하는 반도체 웨이퍼.

청구항 8

삭제

청구항 9

제 6 항에 있어서,

상기 개구는 0.4mm 내지 1.0mm 사이의 깊이로 형성되는 것을 특징으로 하는 반도체 웨이퍼.

청구항 10

제 6 항에 있어서,

상기 노치부는, 상기 웨이퍼 몸체의 제1 면에 대하여 수직한 방향에서 보았을 때, 곡선 형태의 단부를 가지는 것을 특징으로 하는 반도체 웨이퍼.

발명의 설명

기술 분야

[0001]

본 발명의 기술적 사상은 반도체 웨이퍼, 반도체 웨이퍼를 포함하는 반도체 구조체 및 반도체 웨이퍼의 제조 방법에 관한 것이다.

배경 기술

[0002]

반도체 회로의 미세화, 복잡화에 따라 디자인 룰이 점점 줄어들고 있으며, 반도체 소자의 제조 공정은 보다 높은 온도 조건에서 수행될 것이 요구되고 있다. 공정 온도가 증가함에 따라 반도체 웨이퍼에는 보다 많은 열이 가해지고, 이로 인하여 반도체 웨이퍼가 손상될 염려가 있다.

[0003]

한편, 직경이 300mm 이상의 반도체 웨이퍼의 결정 방향을 표시하기 위하여 주로 노치가 사용되고 있고, 상기 노치는 반도체 제조 공정을 수행하는 동안 반도체 웨이퍼를 열라인시키는데 이용될 수 있다.

발명의 내용

해결하려는 과제

[0004]

본 발명의 기술적 사상이 해결하고자 하는 과제는 고온의 공정에서 노치부에 발생할 수 있는 데미지를 줄일 수 있는 반도체 웨이퍼, 상기 반도체 웨이퍼를 포함하는 반도체 구조체, 그리고 반도체 웨이퍼의 제조 방법을 제공하는데 있다.

과제의 해결 수단

[0005]

상술한 과제를 해결하기 위하여 본 발명의 기술적 사상의 일 실시예에 의한 반도체 웨이퍼의 제조 방법은 서로 반대되는 제1 면과 제2 면을 가지고, 그 외주로부터 중심부를 향하여 형성된 개구를 구비한 노치부를 포함하는 반도체 웨이퍼를 준비하는 단계, 상기 반도체 웨이퍼의 외주를 가공하여, 상기 제1 면과 제2 면을 연결하는 제1 경사면을 포함하고 상기 제1 면과 상기 제1 경사면이 만나는 제1 지점으로부터 상기 제2 면과 상기 제1 경사면이 만나는 제2 지점까지 연장된 직선에 대하여 제1 높이를 가지는 제1 베벨부를 형성하는 단계, 및 상기 노치부를 가공하여, 상기 개구와 접하도록 배치되고, 상기 제1 면과 제2 면을 연결하는 제2 경사면을 포함하고, 상기

제1 면과 상기 제2 경사면이 만나는 제3 지점으로부터 상기 제2 면과 상기 제2 경사면이 만나는 제4 지점까지 연장된 직선에 대하여 상기 제1 높이와 상이한 제2 높이를 가지는 제2 베벨부를 형성하는 단계를 포함한다.

[0006] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 제2 높이는 상기 제1 높이보다 작은 것을 특징으로 한다.

[0007] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 웨이퍼 몸체의 두께는 상기 제2 높이보다 3배 이상 큰 것을 특징으로 한다.

[0008] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 개구는 0.4mm 내지 1.0mm 사이의 깊이로 형성되는 것을 특징으로 한다.

[0009] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 제2 베벨부를 형성하는 단계는, 제1 메쉬(mesh)의 연마면을 가지는 노치 훈로 상기 노치부에 대하여 제1 그라인딩을 수행하는 단계, 및 상기 제1 메쉬보다 큰 제2 메쉬의 연마면을 가지는 노치 훈로 상기 노치부에 대하여 제2 그라인딩을 수행하는 단계를 포함한다.

[0010] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 제2 메쉬는 2000 메쉬 내지 10000 메쉬 사이인 것을 특징으로 한다.

[0011] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 제2 베벨부를 형성하는 단계 후에, 상기 반도체 웨이퍼를 열처리하여 상기 반도체 웨이퍼의 결함을 검사하는 단계를 더 포함하며, 상기 검사하는 단계는, 제1 온도로 상기 반도체 웨이퍼를 열처리하는 단계, 및 상기 제1 온도보다 높은 제2 온도로 상기 반도체 웨이퍼를 열처리하는 단계를 포함하는 것을 특징으로 한다.

[0012] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 제1 온도는 1000°C 이상 1150°C 미만인 것을 특징으로 한다.

[0013] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 검사하는 단계는, 상기 제1 온도로 상기 반도체 웨이퍼를 열처리하는 단계 전에, 상기 반도체 웨이퍼 상에 에피층을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

[0014] 한편, 상술한 과제를 해결하기 위하여 본 발명의 기술적 사상의 일 실시예에 의한 반도체 웨이퍼는 서로 반대되는 제1 면과 제2 면을 가지는 웨이퍼 몸체, 상기 웨이퍼 몸체의 외주로부터 상기 웨이퍼 몸체의 중심부를 향하여 형성된 개구를 구비한 노치부, 상기 웨이퍼 몸체의 외주를 따라 형성되며, 상기 제1 면과 제2 면을 연결하는 제1 경사면을 포함하고, 상기 제1 면과 상기 제1 경사면이 만나는 제1 지점으로부터 상기 제2 면과 상기 제1 경사면이 만나는 제2 지점까지 연장된 직선에 대하여 제1 높이를 가지는 제1 베벨부, 및 상기 개구와 접하도록 배치되고, 상기 제1 면과 제2 면을 연결하는 제2 경사면을 포함하고, 상기 제1 면과 상기 제2 경사면이 만나는 제3 지점으로부터 상기 제2 면과 상기 제2 경사면이 만나는 제4 지점까지 연장된 직선에 대하여 상기 제1 높이와 상이한 제2 높이를 가지는 제2 베벨부를 포함한다.

[0015] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 웨이퍼 몸체는 칩 형성 영역 및 상기 칩 형성 영역의 주변의 가장자리 영역을 가지며, 상기 노치부는 상기 가장자리 영역에 배치되는 것을 특징으로 한다.

[0016] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 제2 높이는 상기 제1 높이보다 작은 것을 특징으로 한다.

[0017] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 웨이퍼 몸체의 두께는 상기 제2 높이보다 3배 이상 큰 것을 특징으로 한다.

[0018] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 개구는 0.4mm 내지 1.0mm 사이의 깊이로 형성되는 것을 특징으로 한다.

[0019] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 노치부는, 상기 웨이퍼 몸체의 제1 면에 대하여 수직한 방향에서 보았을 때, 곡선 형태의 단부를 가지는 것을 특징으로 한다.

[0020] 한편, 상술한 과제를 해결하기 위하여 본 발명의 기술적 사상의 일 실시예에 의한 반도체 구조체는 서로 반대되는 제1 면과 제2 면을 가지고, 칩 형성 영역 및 상기 칩 형성 영역의 주변의 가장자리 영역을 가지는 반도체 웨이퍼, 상기 칩 형성 영역에 배치된 반도체 칩들, 상기 반도체 웨이퍼의 외주로부터 상기 반도체 웨이퍼의 중심부를 향하여 형성된 개구를 구비한 노치부, 상기 반도체 웨이퍼의 외주를 따라 형성되며, 상기 제1 면과 제2 면을 연결하는 제1 경사면을 포함하고, 상기 제1 면과 상기 제1 경사면이 만나는 제1 지점으로부터 상기 제2 면과 상기 제1 경사면이 만나는 제2 지점까지 연장된 직선에 대하여 제1 높이를 가지는 제1 베벨부, 및 상기 개구와 접하도록 배치되고, 상기 제1 면과 제2 면을 연결하는 제2 경사면을 포함하고, 상기 제1 면과 상기 제2 경사면이 만나는 제3 지점으로부터 상기 제2 면과 상기 제2 경사면이 만나는 제4 지점까지 연장된 직선에 대하여 상기 제1 높이와 상이한 제2 높이를 가지는 제2 베벨부를 포함한다.

이 만나는 제3 지점으로부터 상기 제2 면과 상기 제2 경사면이 만나는 제4 지점까지 연장된 직선에 대하여 상기 제1 높이와 상이한 제2 높이를 가지는 제2 베벨부를 포함한다.

[0021] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 제2 높이는 상기 제1 높이보다 작은 것을 특징으로 한다.

[0022] 본 발명의 기술적 사상의 일 실시예에 있어서, 상기 제1 베벨부와 상기 제2 베벨부는 서로 연결되는 것을 특징으로 한다.

발명의 효과

[0023] 본 발명의 기술적 사상에 의한 반도체 웨이퍼는 반도체 제조 공정 동안 노치부의 결합으로부터 기인하여 발생될 수 있는 문제를 개선할 수 있다. 또한, 본 발명의 기술적 사상에 의한 반도체 웨이퍼의 제조 방법은 노치부의 결합을 줄이면서, 반도체 웨이퍼를 반도체 제조 공정에 투입하기 전에 미리 검사하여 불량 반도체 웨이퍼가 공정에 투입되는 것을 차단함으로써 반도체 제조 공정의 신뢰성 및 수율을 향상시킬 수 있다.

도면의 간단한 설명

[0024] 도 1은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 웨이퍼를 나타내는 평면도이다.

도 2는 도 1의 II-II' 선에 따른 반도체 웨이퍼를 절단하여 나타내는 단면도이다.

도 3은 도 1의 III-III' 선에 따른 반도체 웨이퍼를 절단하여 나타내는 단면도이다.

도 4는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 구조체의 평면도이다.

도 5는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 웨이퍼의 제조 방법을 나타내는 흐름도이다.

도 6은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 웨이퍼의 제조 방법을 나타내는 흐름도이다.

도 7은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 웨이퍼의 제조 방법을 나타내는 흐름도이다.

도 8은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 제조하는 방법을 나타내는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 첨부된 도면을 참조하여 본 발명의 구체적인 실시예를 상세히 설명하기로 한다. 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려 이들 실시예들은 본 개시를 더욱 충실히하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이다.

[0026] 명세서 전체에 걸쳐서, 하나의 구성요소가 다른 구성요소 "상에", 또는 "연결되어" 위치한다고 언급할 때는, 상술한 하나의 구성요소가 직접적으로 다른 구성요소 "상에", "연결되어" 접촉하거나, 그 사이에 개재되는 또 다른 구성요소들이 존재할 수 있다고 해석될 수 있다. 반면에, 하나의 구성요소가 다른 구성요소 "직접적으로 상에", 또는 "직접 연결되어" 위치한다고 언급할 때는, 그 사이에 개재되는 다른 구성요소들이 존재하지 않는다고 해석된다. 동일한 부호는 동일한 요소를 지칭한다. 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.

[0027] 본 명세서에서 제1, 제2등의 용어가 다양한 부재, 부품, 영역, 층들 및/또는 부분들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 층들 및/또는 부분들은 이들 용어에 의해 한정되어서는 안됨은 자명하다. 이들 용어는 하나의 부재, 부품, 영역, 층 또는 부분을 다른 영역, 층 또는 부분과 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제1부재, 부품, 영역, 층 또는 부분은 본 발명의 가르침으로부터 벗어나지 않고서도 제2부재, 부품, 영역, 층 또는 부분을 지칭할 수 있다.

[0028] 또한, "상의" 또는 "위의" 및 "하의" 또는 "아래의"와 같은 상대적인 용어들은 도면들에서 도해되는 것처럼 다른 요소들에 대한 어떤 요소들의 관계를 기술하기 위해 여기에서 사용될 수 있다. 상대적 용어들은 도면들에서 묘사되는 방향에 추가하여 소자의 다른 방향들을 포함하는 것을 의도한다고 이해될 수 있다. 예를 들어, 도면들에서 하나의 구성요소가 뒤집어 진다면(turned over), 다른 요소들의 상부의 면 상에 존재하는 것으로 묘사되는 요소들은 상술한 다른 요소들의 하부의 면 상에 방향을 가지게 된다. 그러므로, 예로써 든 "상의"라는 용어는,

도면의 특정한 방향에 의존하여 "하의" 및 "상의" 방향 모두를 포함할 수 있다. 구성 요소가 다른 방향으로 향한다면(다른 방향에 대하여 90도 회전), 본 명세서에 사용되는 상대적인 설명들은 이에 따라 해석될 수 있다.

[0029] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용된 바와 같이, 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 "포함한다(comprise)" 및/또는 "포함하는 (comprising)"은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 단계, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.

[0030] 이하, 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 도면들을 참조하여 설명한다. 도면들에 있어서, 예를 들면, 제조 기술 및/또는 공차(tolerance)에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명 사상의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조상 초래되는 형상의 변화를 포함하여야 한다. 이하 실시예들은 하나 또는 복수개를 조합하여 구성할 수도 있다.

[0031] 이하에서 설명하는 반도체 웨이퍼 및 반도체 구조체는 다양한 구성을 가질 수 있고 여기서는 필요한 구성만을 예시적으로 제시하며, 본 발명 내용이 이에 한정되는 것은 아님을 밝혀둔다.

[0032] 도 1은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 웨이퍼(100)를 나타내는 평면도이다. 도 2는 도 1의 II-II' 선에 따른 반도체 웨이퍼(100)를 절단하여 나타내는 단면도이다. 도 3은 도 1의 III-III' 선에 따른 반도체 웨이퍼(100)를 절단하여 나타내는 단면도이다.

[0033] 도 1 내지 도 3을 참조하면, 반도체 웨이퍼(100)는 웨이퍼 몸체(110), 노치부(120), 제1 베벨부(130) 및 제2 베벨부(140)를 포함할 수 있다. 반도체 웨이퍼(100)는 실리콘 웨이퍼일 수 있으며, 또는 저머늄(Ge)과 같은 반도체 원소, 또는 SiC(silicon carbide), GaAs(gallium arsenide), InAs(indium arsenide), 및 InP(indium phosphide)와 같은 화합물 반도체를 포함할 수 있다. 또한 반도체 웨이퍼(100)는 실리콘-온-인슐레이터 (silicon-on-insulator) 일 수 있다.

[0034] 웨이퍼 몸체(110)는 반도체 웨이퍼(100)의 전체적인 형태를 결정할 수 있다. 웨이퍼 몸체(110)는 수동 소자, 능동 소자, 또는 집적 회로가 만들어지는 칩 형성 영역(111)과, 상기 칩 형성 영역(111)의 주변의 가장자리 영역(113)을 가질 수 있다. 웨이퍼 몸체(110)는 서로 반대되는 제1 면(110a) 및 제2 면(110b)을 가질 수 있으며, 상기 제1 면(110a)과 상기 제2 면(110b)은 실질적으로 평행할 수 있다. 웨이퍼 몸체(110)는 소정의 두께(즉, 웨이퍼 몸체(110)의 제1 면(110a)과 제2 면(110b) 사이의 거리)를 가질 수 있다.

[0035] 노치부(120)는 반도체 웨이퍼(100)의 결정 방위를 표시하기 위하여 이용될 수 있으며, 웨이퍼 몸체(110)의 가장자리 영역(113)에 배치될 수 있다. 노치부(120)는 웨이퍼 몸체(110)의 외주로부터 웨이퍼 몸체(110)의 중심부를 향하는 방향으로 소정의 깊이로 형성된 개구(121)를 가질 수 있다. 상기 개구(121)는 반도체 웨이퍼(100)의 두께 방향으로 연장할 수 있다.

[0036] 한편, 노치부(120)는 반도체 제조 공정 중에 반도체 웨이퍼(100)를 얼라인시키기 위하여 반도체 웨이퍼(100)에 구비될 수 있다. 예를 들어, 반도체 웨이퍼(100)를 회전 가능한 지지 수단에 안착시킨 후, 반도체 웨이퍼(100)를 회전시키면서 레이저 센서와 같은 검출 센서로 노치부(120)를 검출함으로써 반도체 웨이퍼(100)를 얼라인시킬 수 있다.

[0037] 한편, 도 1에 도시된 것과 같이, 노치부(120)는 웨이퍼 몸체(110)의 제1 면(110a)에 수직한 방향에서 보았을 때, 곡선 형태(예를 들어, "U" 형태)의 단부를 가질 수 있다. 바꿔 말해서, 웨이퍼 몸체(110)의 제1 면(110a)에 수직한 방향에서 보았을 때, 개구(121)와 웨이퍼 몸체(110)가 접하는 부분은 곡선 형태를 나타낼 수 있다.

[0038] 다만, 도 1에 도시된 것과 다르게, 노치부(120)는 웨이퍼 몸체(110)의 제1 면(110a)에 수직한 방향에서 보았을 때, 뾰족한 형상, 예를 들어 "V" 자 형태의 단부를 가질 수 있다. 바꿔 말해서, 웨이퍼 몸체(110)의 제1 면(110a)에 수직한 방향에서 보았을 때, 개구(121)와 웨이퍼 몸체(110)가 접하는 부분은 "V" 자 형태를 나타낼 수 있다.

[0039] 예시적인 실시예들에서, 웨이퍼 몸체(110)의 외주로부터 웨이퍼 몸체(110)의 중심부를 향하여 개구(121)가 형성된 깊이(H)는 0.4mm 내지 1.0mm 사이일 수 있다. 상기 개구(121)의 깊이(H)는, 제1 면(110a)에 수직한 방향에서 보았을 때, 상기 개구(121)가 웨이퍼 몸체(110)의 외주로부터 반도체 웨이퍼(100)의 중심을 향하여 가장 깊숙하게 연장된 거리를 의미할 수 있다. 여기서, 상기 개구(121)의 깊이(H)는 노치의 깊이일 수 있다. 개구(121)의

깊이(H)가 0.4mm 보다 작은 경우, 레이저 센서와 같은 검출 센서가 노치부(120)를 정확히 검출하지 못하여 반도체 웨이퍼(100)가 얼라인되지 않는 문제가 발생될 수 있다.

[0040] 또한, 노치부(120) 또는 노치부(120)의 인접 영역에서 발생하는 데미지를 감소시키기 위하여 개구(121)의 깊이(H)는 1.0mm 이하일 수 있다. 반도체 회로의 미세화, 복잡화에 따라 디자인 룰이 점점 줄어들고 있고, 공정에 대한 요구 사항이 증가함에 따라 반도체 제조 공정의 온도 조건 및 압력 조건은 점점 높아지고 있다. 이러한 고온, 고압의 공정 조건은 노치부(120) 및 그 인접 영역에 데미지를 발생시키며, 이는 반도체 제조 공정의 수율 저하로 이어지고 있다. 따라서, 노치부(120)에 발생되는 데미지를 줄이기 위하여 노치부(120)는 일정 수준 이하의 사이즈를 가지도록 관리되어야 할 필요가 있으며, 본 발명의 일부 실시예들에서 개구(121)의 깊이(H)를 1.0mm 이하로 형성함으로써 반도체 제조 공정 중에 노치부(120) 또는 노치부(120)의 인접 영역에서 결함이 발생하는 문제를 개선할 수 있다.

[0041] 제1 베벨부(130)는 웨이퍼 몸체(110)의 가장자리 영역(113)에서, 웨이퍼 몸체(110)의 외주를 따라 형성될 수 있다. 제1 베벨부(130)는 웨이퍼 몸체(110)의 제1 면(110a)과 제2 면(110b)을 연결하는 제1 경사면(131)을 포함할 수 있으며, 상기 제1 경사면(131)은 볼록한 형태를 가질 수 있다.

[0042] 제1 면(110a)과 제1 경사면(131)이 만나는 제1 지점(130a)으로부터 상기 제2 면(110b)과 상기 제1 경사면(131)이 만나는 제2 지점(130b)까지 연장된 직선을 기준으로 할 때, 제1 베벨부(130)는 반도체 웨이퍼(100)의 반경 방향으로 제1 높이(L1)를 가지도록 형성될 수 있다. 여기서 상기 제1 높이(L1)는 베벨 길이(bevel length)일 수 있다.

[0043] 바꿔 말해서, 상기 제1 지점(130a)과 상기 제2 지점(130b)은 반도체 웨이퍼(100)의 두께가 감소하기 시작하는 지점일 수 있으며, 상기 제1 지점(130a)과 상기 제2 지점(130b)을 연결하는 직선을 기준으로 상기 반도체 웨이퍼(100)의 반경 방향으로 반도체 웨이퍼(100)의 두께는 점점 작아질 수 있다. 즉, 제1 지점(130a)과 상기 제2 지점(130b)을 연결하는 직선을 기준으로 하는 제1 베벨부(130)의 높이가 증가할수록, 반도체 웨이퍼(100)의 두께는 감소하게 된다. 도 2에 도시된 바와 같이, 칩 형성 영역(111)과 가장자리 영역(113)의 경계는 제1 경사면(131)이 시작되는 제1 지점(130a) 또는 제2 지점(130b)으로부터 이격될 수 있다. 다만, 도 2에 도시된 것과 달리, 칩 형성 영역(111)과 가장자리 영역(113)의 경계는 제1 지점(130a) 또는 제2 지점(130b)과 거의 일치할 수 있다.

[0044] 한편, 반도체 웨이퍼(100)의 중심으로부터 제1 베벨부(130)의 높이가 제1 높이(L1)인 지점까지의 거리는 반도체 웨이퍼(100)의 반경 길이일 수 있다.

[0045] 예를 들어, 제1 베벨부(130)는, 단결정 봉에 대하여 슬라이싱 공정을 수행하여 소정의 두께를 가지는 반도체 웨이퍼(100)를 만든 후, 상기 반도체 웨이퍼(100)에 대하여 모서리 가공을 수행하여 형성될 수 있다. 모서리 가공을 통하여 반도체 웨이퍼(100)의 날카로운 가장자리를 라운딩시킴으로써, 이어지는 반도체 웨이퍼(100)의 제조 공정 또는 반도체 소자 제조 공정 동안 반도체 웨이퍼(100)가 깨지는 것을 방지할 수 있다.

[0046] 한편, 제2 베벨부(140)는 노치부(120)에 구비되며, 개구(121)가 제공하는 노치부(120)의 단부를 따라서 형성될 수 있다. 제2 베벨부(140)는 웨이퍼 몸체(110)의 제1 면(110a)과 제2 면(110b)을 연결하는 제2 경사면(141)을 포함할 수 있으며, 상기 제2 경사면(141)은 볼록한 형태를 가질 수 있다. 이때, 제2 경사면(141)은 제1 베벨부(130)에 구비된 제1 경사면(131)과 상이한 프로파일을 가질 수 있다.

[0047] 제1 면(110a)과 상기 제2 경사면(141)이 만나는 제3 지점(140a)으로부터 상기 제2 면(110b)과 상기 제2 경사면(141)이 만나는 제4 지점(140b)까지 연장된 직선을 기준으로 할 때, 제2 베벨부(140)는 상기 웨이퍼 몸체(110)로부터 상기 개구(121)를 향하는 방향으로 제2 높이(L2)를 가질 수 있다. 여기서 상기 제2 높이(L2)는 베벨 길이일 수 있다. 이때, 상기 제2 베벨부(140)의 제2 높이(L2)는 제1 베벨부(130)의 제1 높이(L1)와 상이할 수 있다.

[0048] 바꿔 말해서, 상기 제3 지점(140a)과 상기 제4 지점(140b)은 반도체 웨이퍼(100)의 두께가 감소하기 시작하는 지점일 수 있으며, 상기 제3 지점(140a)과 상기 제4 지점(140b)을 연결하는 직선을 기준으로 상기 웨이퍼 몸체(110)로부터 상기 개구(121)를 향하는 방향으로 반도체 웨이퍼(100)의 두께는 점점 작아질 수 있다. 즉, 제3 지점(140a)과 제4 지점(140b)을 연결하는 직선을 기준으로 하는 제2 베벨부(140)의 높이가 증가할수록, 노치부(120)에서 반도체 웨이퍼(100)의 두께는 감소하게 된다.

[0049] 도 3에 도시된 바와 같이, 칩 형성 영역(111)과 가장자리 영역(113)의 경계는 제2 경사면(132)이 시작되는 제3 지점(140a) 또는 제4 지점(140b)으로부터 이격될 수 있다. 다만, 도 3에 도시된 것과 달리, 칩 형성 영역(111)

과 가장자리 영역(113)의 경계는 제3 지점(140a) 또는 제4 지점(140b)과 거의 일치할 수 있다.

[0050] 제2 베벨부(140)는, 예를 들어, 노치부(120)에 대하여 그라인딩 및 폴리싱 공정을 수행함으로써 형성될 수 있다. 개구(121)가 제공하는 노치부(120)의 단부를 라운딩시킴으로써, 반도체 제조 공정 중에 노치부(120)가 손상되는 것을 방지할 수 있다.

[0051] 한편, 노치부(120)에 구비된 제2 베벨부(140)는 반도체 웨이퍼(100)의 외주를 따라 형성된 제1 베벨부(130)와 연결될 수 있으며, 제1 베벨부(130)와 제2 베벨부(140)가 인접하는 부분에서, 제1 베벨부(130)의 높이는 제1 높이(L1)로부터 제2 높이(L2)로 변해갈 수 있고, 제2 베벨부(140)의 높이는 제2 높이(L2)로부터 제1 높이(L1)로 변해갈 수 있다. 즉, 제1 베벨부(130)와 제2 베벨부(140)가 인접하는 부분에서 제1 베벨부(130) 또는 제2 베벨부(140)의 높이는 제1 높이(L1)와 제2 높이(L2) 사이의 값을 가질 수 있다.

[0052] 일부 실시예들에서, 제2 베벨부(140)의 제2 높이(L2)는 제1 베벨부(130)의 제1 높이(L1)보다 작을 수 있다. 예를 들어, 제2 베벨부(140)의 제2 높이(L2)는 제1 베벨부(130)의 제1 높이(L1)의 90%보다 작도록 구성될 수 있다. 도 2 및 도 3에 도시된 바와 같이, 웨이퍼 몸체(110)의 제1 면(110a)에 수직한 단면에 대하여 제1 베벨부(130)와 제2 베벨부(140)를 비교하면, 제2 베벨부(140)의 선단은 제1 베벨부(130) 선단에 비하여 수직에 가까운 프로파일을 가질 수 있으며, 그에 따라 반도체 웨이퍼(100)의 제조 공정 또는 반도체 제조 공정 동안 노치부(120)에서 치핑(chipping) 등이 발생하는 것을 개선할 수 있다.

[0053] 또한, 일부 실시예들에서, 웨이퍼 몸체(110)의 두께(T), 즉 제1 면(110a)과 제2 면(110b) 사이의 거리는 제2 베벨부(140)의 제2 높이(L2)와 비교하여 적어도 3배 이상일 수 있다. 예를 들어, 300mm 직경의 반도체 웨이퍼는 약 775 마이크로미터의 두께를 가질 수 있으며, 제2 베벨부(140)에 제2 높이(L2)는 250마이크로미터 이하로 구성될 수 있다.

[0054] 도 4는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 구조체(200)의 평면도이다.

[0055] 도 4를 참조하면, 반도체 구조체(200)는 반도체 웨이퍼(100), 반도체 웨이퍼(100)의 가장자리에 형성된 노치부(120), 제1 베벨부(도 2의 130), 제2 베벨부(도 3의 140) 및 반도체 웨이퍼(100)의 일면 상에 형성된 반도체 칩들(210)을 포함할 수 있다. 반도체 웨이퍼(100), 노치부(120), 제1 베벨부, 및 제2 베벨부는 도 1 내지 도 3을 참조하여 설명된 것과 실질적으로 동일하며, 설명의 편의를 위하여 도 1 내지 도 3의 설명 부분에서 기술한 내용은 생략하거나 간략히 한다.

[0056] 반도체 칩들(210)은 반도체 웨이퍼(100)의 외곽 일부분을 제외하고, 반도체 웨이퍼(100)의 일면의 전체에 걸쳐 배치될 수 있다. 예를 들어, 반도체 칩들(210)은 반도체 웨이퍼(100)의 칩 형성 영역(도 1의 111)에 형성될 수 있다. 복수의 반도체 칩들(210)은 내부에 집적 회로를 포함할 수 있다. 예를 들어, 상기 집적 회로는 메모리 회로 또는 로직 회로를 포함할 수 있다. 또한, 상기 복수의 반도체 칩들(210)은 다양한 종류의 복수의 개별 소자를 포함할 수 있다. 상기 복수의 개별 소자는 다양한 미세 전자 소자, 예를 들면, CMOS 트랜지스터 등과 같은 MOSFET, 시스템 LSI(large scale integration), CIS(CMOS imaging sensor) 등과 같은 이미지 센서, MEMS, 능동 소자, 수동 소자 등을 포함할 수 있다.

[0057] 도 5는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 웨이퍼(100)의 제조 방법을 나타내는 흐름도이다.

[0058] 도 5를 도 1 내지 도 3과 함께 참조하면, 반도체 웨이퍼(100)를 준비한다(S100). 상기 반도체 웨이퍼(100)는 서로 반대되는 제1 면(110a)과 제2 면(110b)을 가지며, 반도체 웨이퍼(100)의 외주에는 반도체 웨이퍼(100)의 외주로부터 반도체 웨이퍼(100)의 중심부를 향하여 형성된 개구(121)를 가지는 노치부(120)를 포함할 수 있다.

[0059] 예를 들어, 상기 준비된 반도체 웨이퍼(100)는 실리콘 웨이퍼일 수 있으며, 단결정 봉(ingot)을 형성하는 단계, 단결정 봉을 소정의 두께로 슬라이싱하는 단계를 거쳐 생성될 수 있다. 구체적으로, 고순도의 일정한 모양이 없는 다결정 실리콘을 녹이고, 액체 상태의 다결정 실리콘에 단결정 시드를 접촉시킨 후, 상기 시드를 천천히 들어올리는 과정을 통하여 단결정 봉을 만들 수 있다. 이후, 상기 단결정 봉의 양 끝단부를 절단하고, 단결정 봉의 측면에 대하여 표면 그라인딩을 실시하고, 단결정 봉의 길이방향을 따라 노치를 형성한다. 이어서, 상기 단결정 봉을 슬라이싱하여 소정의 두께로 절단하게 된다.

[0060] 다음으로, 반도체 웨이퍼(100)의 가장자리에 제1 베벨부(130)를 형성한다(S200). 상기 제1 베벨부(130)는 상기 반도체 웨이퍼(100)의 외주 중 노치부(120)를 제외한 부분을 따라 형성될 수 있다. 제1 베벨부(130)는 반도체 웨이퍼(100)의 외주에 대하여, 모서리 가공을 수행함으로써 형성될 수 있다. 제1 베벨부(130)는 반도체 웨이퍼(100)의 제1 면(110a)과 제2 면(110b)을 연결하는 볼록한 형태의 제1 경사면(131)을 가질 수 있으며, 이로써 반

도체 제조 공정 동안 반도체 웨이퍼(100)가 깨지는 것을 방지할 수 있다. 이때, 제1 베벨부(130)는 반도체 웨이퍼(100)의 제1 면(110a)과 상기 제1 경사면(131)이 만나는 제1 지점(130a)으로부터 반도체 웨이퍼(100)의 제2 면(110b)과 상기 제1 경사면(131)이 만나는 제2 지점(130b)까지 연장된 직선에 대하여, 상기 반도체 웨이퍼(100)의 반경 방향으로 제1 높이(L1)를 가지도록 형성될 수 있다.

[0061] 이어서, 노치부(120)의 개구(121)와 접하는 부분에, 제2 베벨부(140)를 형성한다(S300). 제2 베벨부(140)는 노치부(120)를 가공하여 형성되며, 구체적으로 노치 그라인딩 및 노치 폴리싱을 통하여 형성될 수 있다. 상기 노치 그라인딩 및 노치 폴리싱을 거쳐, 제2 베벨부(140)는 반도체 웨이퍼(100)의 제1 면(110a)과 제2 면(110b)을 연결하는 볼록한 형태의 제2 경사면(141)을 가지게 된다. 이때, 상기 제2 베벨부(140)는 반도체 웨이퍼(100)의 제1 면(110a)과 상기 제2 경사면(141)이 만나는 제3 지점(140a)으로부터 반도체 웨이퍼(100)의 제2 면(110b)과 상기 제2 경사면(141)이 만나는 제4 지점(140b)까지 연장된 직선에 대하여, 웨이퍼 몸체(110)로부터 상기 개구(121)를 향하는 방향으로 제2 높이(L2)를 가지도록 형성될 수 있다. 이때, 제2 베벨부(140)는 제1 베벨부(130)의 제1 높이(L1)와 상이한 높이를 가지도록 형성될 수 있다. 이어서, 반도체 웨이퍼(100)의 표면을 평탄화하고 결함을 제거하기 위한 래핑 공정 및 폴리싱 공정이 수행될 수 있다.

[0062] 이어서, 반도체 웨이퍼(100)의 결함 여부를 검사한다(S400). 반도체 웨이퍼(100)에 대한 검사는 하나의 단결정 봉으로부터 생성된 복수개의 반도체 웨이퍼(100)들 중 일부에 대하여만 수행될 수 있다. 상기 검사는, 반도체 웨이퍼(100)에 대한 후속 공정이 진행되기 이전에 이루어지며, 반도체 웨이퍼(100)가 후속 공정을 거치는 동안 결함이 발생할지 여부를 미리 판단하여 불량 반도체 웨이퍼(100)가 공정에 투입되는 것을 차단하게 되며, 이로써 반도체 제조 공정의 신뢰성 및 수율을 향상시킬 수 있다.

[0063] 도 6는 본 발명의 기술적 사상의 일 실시예에 따른 반도체 웨이퍼(100)의 제조 방법을 나타내는 흐름도이다.

[0064] 반도체 웨이퍼(100)를 준비하는 단계(S100), 제1 베벨부(130)를 형성하는 단계(S200) 및 반도체 웨이퍼(100)를 검사하는 단계(S400)은 도 5를 참조하여 설명된 것과 실질적으로 동일하며, 설명의 편의를 위하여 도 5의 설명 부분에서 기술한 내용은 생략하기로 한다. 이하에서는, 도 6을 도 1 내지 도 3과 함께 참조하여 제2 베벨부(140)를 형성하는 단계를 보다 상세하게 설명한다.

[0065] 먼저, 노치부(120)에 대하여 제1 그라인딩 및 제2 그라인딩을 수행한다(S310). 제1 그라인딩은 제1 메쉬(mesh)의 연마면을 가지는 노치 훈을 이용하여 수행될 수 있으며, 예를 들어 상기 노치 훈은 800 메쉬의 다이아몬드 연마용 입자를 이용하여 노치부(120)를 가공할 수 있다. 이어서 제2 그라인딩은, 제1 메쉬보다 큰 제2 메쉬의 연마면을 가지는 노치 훈을 이용하여 수행될 수 있다. 예를 들어, 제2 메쉬는 2000 메쉬 이상일 수 있으며, 보다 구체적으로 2000 메쉬에서 10000 메쉬 사이일 수 있다. 본 발명의 실시예들에서, 노치부(120)를 가공하는 제2 그라인딩에 미세한 입자율을 이용함으로써, 노치부(120)가 손상되는 것을 줄이게 되며, 이로써 고온의 반도체 제조 공정동안 노치부(120)가 깨지는 등의 문제를 개선할 수 있다.

[0066] 이어서, 노치부(120)에 대하여 폴리싱 공정을 수행하여, 제2 베벨부(140)를 형성한다(S320). 폴리싱 공정을 통하여, 노치부(120)의 표면이 평탄하게 되고, 그라인딩 공정 등으로 인하여 노치부(120)에 생긴 결함이 제거될 수 있다.

[0067] 도 7은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 웨이퍼(100)의 제조 방법을 나타내는 흐름도이다.

[0068] 반도체 웨이퍼(100)를 준비하는 단계(S100), 제1 베벨부(130)를 형성하는 단계(S200) 및 제2 베벨부(140)를 형성하는 단계(S300)는 도 5 및 도 6를 참조하여 설명된 것과 실질적으로 동일하며, 설명의 편의를 위하여 도 5 및 도 6의 설명 부분에서 기술한 내용은 생략하기로 한다. 이하에서는 도 7을 도 1 내지 도 3과 함께 참조하여 웨이퍼를 검사하는 단계를 보다 상세하게 설명한다.

[0069] 먼저, 반도체 웨이퍼(100) 상에 에피층을 형성한다(S410). 예를 들어, 에피층은 약 1150°C의 온도로 반응기 내에서 기상 증착하여 성장될 수 있으며, 4마이크로미터 정도의 두께를 가질 수 있다. 에피층은 반도체 웨이퍼(100)와 동일한 결정 구조를 가지는 단결정 층일 수 있다. 에피층은 반도체 웨이퍼(100)와 동일 물질일 수 있으며, 또는 다른 물질로 구성될 수 있다. 에피층은 반도체 웨이퍼(100)의 표면에 생긴 결정 결함을 보다 용이하게 검사하기 위하여 형성될 수 있다.

[0070] 이어서, 반도체 웨이퍼(100)에 대하여, 제1 온도로 진행되는 제1 열처리 공정을 수행한다(S420). 제1 열처리 공정이 진행되는 제1 온도는 제2 열처리 공정이 진행되는 제2 온도보다 작을 수 있으며, 예를 들어 약 2 시간 내지 3시간 정도 진행될 수 있다. 상기 제1 온도는 1000°C 이상 1150°C 미만일 수 있다. 제1 열처리 공정은 이어지는 제2 열처리 공정보다 낮은 온도로 진행되어, 급격한 온도 증가로 인하여 반도체 웨이퍼(100)가 손상되는

것을 방지한다.

[0071] 다음으로, 반도체 웨이퍼(100)에 대하여, 제2 온도로 진행되는 제2 열처리 공정을 수행한다(S430). 제2 열처리 공정이 진행되는 제2 온도는 1150°C 이상일 수 있으며, 또한 제2 열처리 공정은 약 1시간 내지 2시간 동안 진행될 수 있다. 제2 열처리 공정은 반도체 제조 공정과 가혹한 조건하에서 반도체 웨이퍼(100)를 처리하여, 반도체 웨이퍼(100)가 후속 공정을 견딜 수 있는지 미리 테스트하게 된다. 특히, 결정 결함이 발생하기 쉬운 노치부(120) 및 노치부(120)의 인접 부분을 미리 테스트할 수 있다.

[0072] 이어서, 반도체 웨이퍼(100)에 결정 결함이 발생하였는지 여부를 분석한다(S440). 이때, 반도체 웨이퍼(100)의 결정 결함을 분석하기 위하여 X선 촬영 장치가 이용될 수 있다. 반도체 웨이퍼(100)를 검사하는 단계는 한 단위의 반도체 웨이퍼들 중 선택된 일부에 대하여 진행될 수 있다. 상기의 과정으로 수행되는 반도체 웨이퍼(100)의 검사를 통하여 불량 반도체 웨이퍼(100)를 미리 스캐닝할 수 있으며, 양품의 반도체 웨이퍼(100)에 대하여만 공정을 수행함으로써 공정의 신뢰성을 향상시키게 된다.

[0073] 도 8은 본 발명의 기술적 사상의 일 실시예에 따른 반도체 소자를 제조하는 방법을 나타내는 흐름도이다.

[0074] 먼저, 반도체 웨이퍼를 준비한다(S500). 상기 반도체 웨이퍼는 도 5의 S100 내지 S300 단계를 거쳐 생성된 반도체 웨이퍼일 수 있으며, 또는 도 6의 S100 내지 S320 단계를 거쳐 생성된 반도체 웨이퍼일 수 있다. 이어서, 반도체 웨이퍼를 검사한다(S510). 상기 반도체 웨이퍼를 검사하는 단계는 도 7의 S410 내지 S440 단계와 동일할 수 있다. 반도체 웨이퍼에 대한 검사 결과, 검사된 반도체 웨이퍼가 양품인지 불량품인지 판별한다(S530). 상기 검사하는 단계는 하나의 단위로 둑인 복수개의 반도체 웨이퍼들 중 일부에 대하여 실시될 수 있다. 검사 결과, 반도체 웨이퍼가 양품인 경우, 반도체 제조 공정을 진행한다(S530). 반대로 반도체 웨이퍼가 불량품인 경우 웨이퍼의 결함을 제거하거나, 또는 반도체 웨이퍼를 폐기하게 된다(S540).

[0075] 구체적으로 반도체 제조 공정은 다음과 같이 진행될 수 있다. 상기 반도체 제조 공정은 박막을 형성하는 단계를 포함할 수 있다. 상기 박막은 도전 물질, 절연 물질 또는 반도체 물질일 수 있다. 상기 반도체 제조 공정은 상기 박막 상에 마스크 패턴을 형성하는 단계를 더 포함할 수 있다. 상기 마스크 패턴은 포토레지스트 패턴일 수 있다. 또한 상기 반도체 제조 공정은 상기 마스크 패턴을 식각 마스크로 하여, 상기 박막의 일부를 제거하여 패턴을 형성하는 단계를 더 포함할 수 있다. 또는 상기 반도체 제조 공정은 상기 마스크 패턴을 식각 마스크로 하여, 상기 박막의 일부를 제거하여 홀을 형성하는 단계를 더 포함할 수 있다. 상기 홀은 예를 들면, 콘택홀, 비어홀 등을 포함할 수 있다.

[0076] 상기 반도체 제조 공정은 상기 박막을 세정하는 단계를 더 포함할 수 있다. 또는 상기 반도체 제조 공정은 상기 박막을 평탄화하는 단계를 더 포함할 수 있다. 상기 박막을 평탄화하는 단계는 화학기계적연마(CMP, Chemical Mechanical Polishing) 공정 또는 에치백(etch-back) 공정을 포함할 수 있다. 또한 언급하지는 않았으나, 상기 반도체 제조 공정은 반도체 소자를 제조하는 과정 중에 발생할 수 있는 모든 단계를 포함할 수 있다. 따라서 상기 반도체 제조 공정은 상기 반도체 웨이퍼를 이송하는 단계, 보관하는 단계 등을 포함할 수도 있다.

[0077] 지금까지의 설명은 본 발명의 기술적 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다.

[0078] 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술적 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술적 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0079] 100: 반도체 웨이퍼

110: 웨이퍼 몸체

111: 칩 형성 영역

113: 가장자리 영역

120: 노치부

121: 개구

130: 제1 베벨부

131: 제1 경사면

140: 제2 베벨부

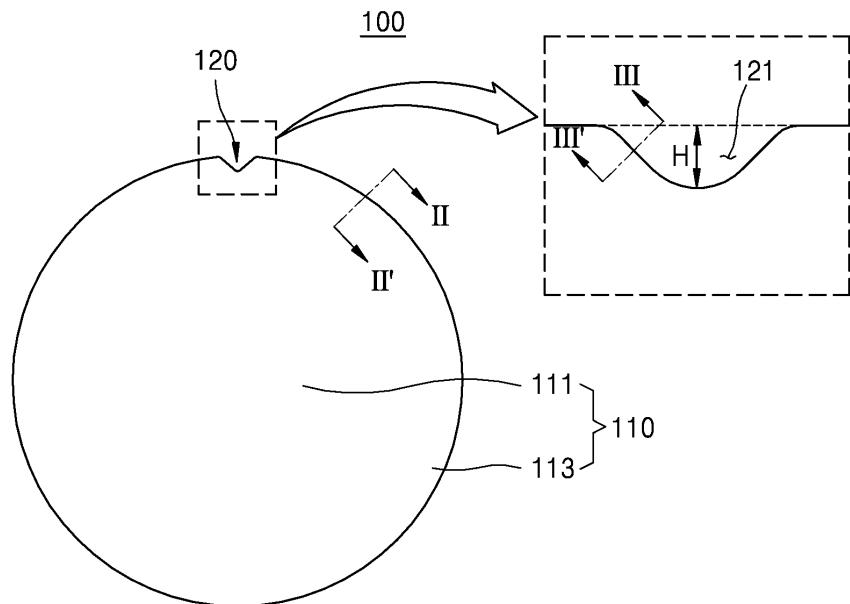
141: 제2 경사면

200: 반도체 구조체

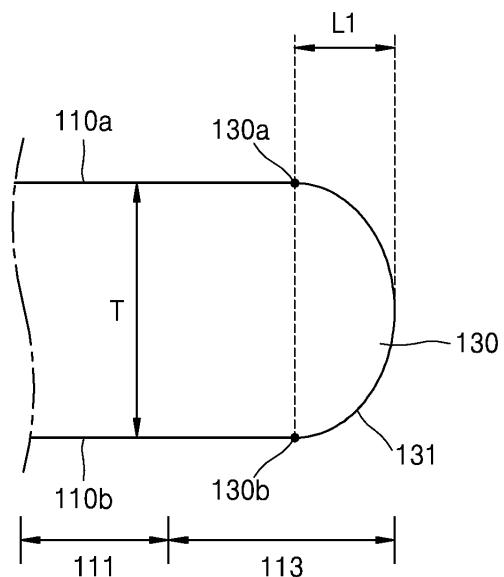
210: 반도체 칩들

도면

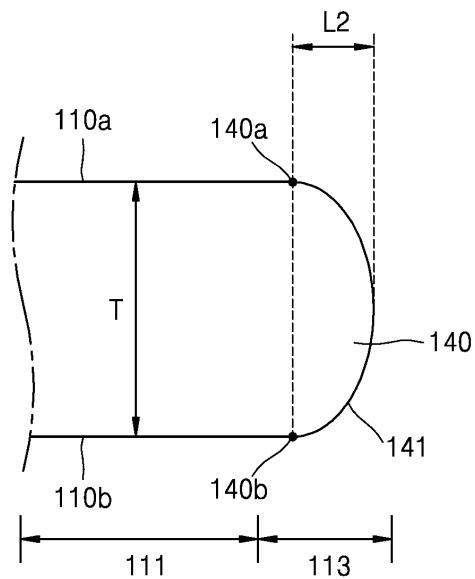
도면1



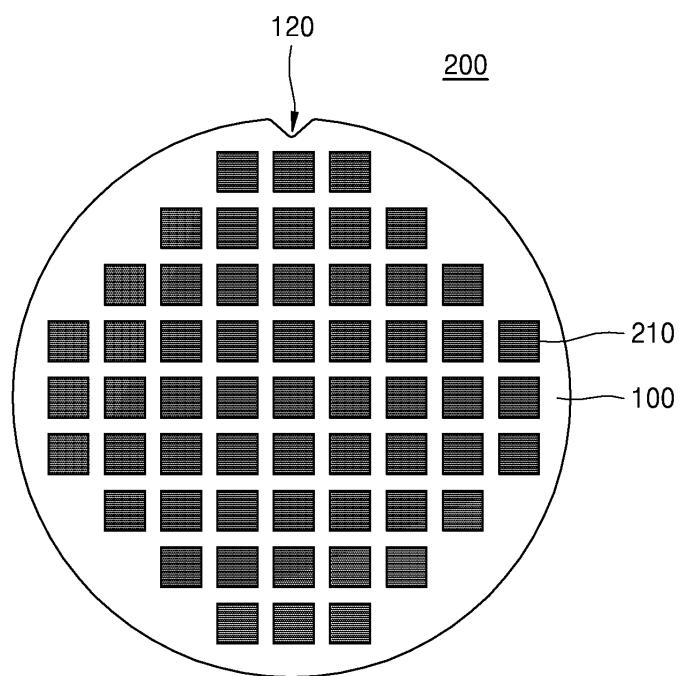
도면2



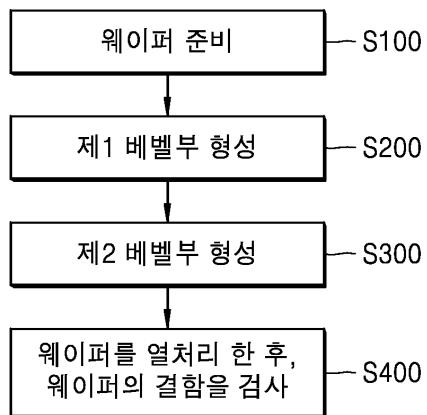
도면3



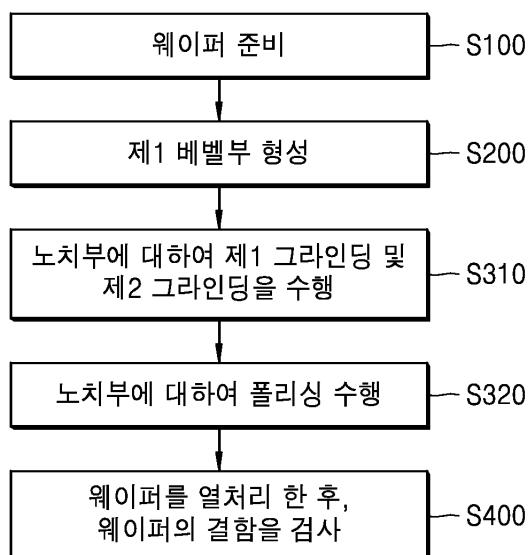
도면4



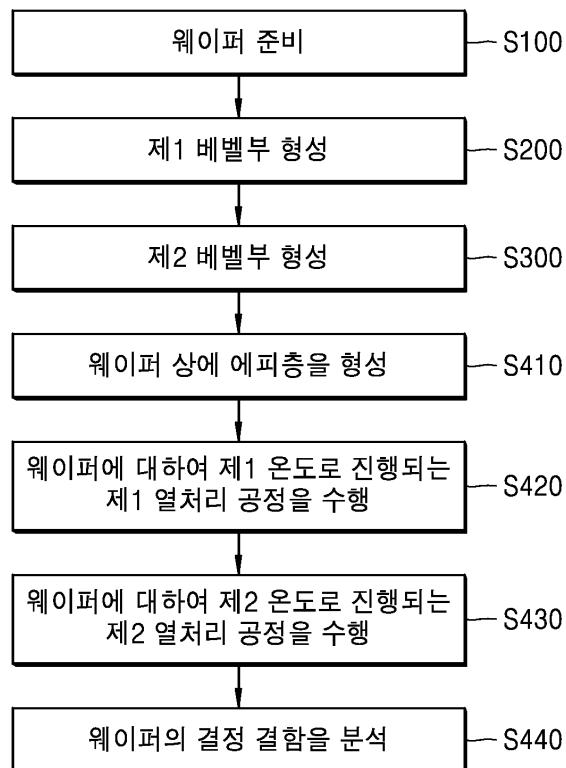
도면5



도면6



도면7



도면8

