

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6857351号  
(P6857351)

(45) 発行日 令和3年4月14日(2021.4.14)

(24) 登録日 令和3年3月24日(2021.3.24)

(51) Int.Cl.	F I
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 2 H
H O 1 L 29/12 (2006.01)	H O 1 L 29/78 6 5 2 T
H O 1 L 29/06 (2006.01)	H O 1 L 29/78 6 5 3 A
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 5 2 J
H O 1 L 21/265 (2006.01)	H O 1 L 29/06 3 0 1 D

請求項の数 7 (全 15 頁) 最終頁に続く

(21) 出願番号	特願2017-37763 (P2017-37763)	(73) 特許権者	301021533
(22) 出願日	平成29年2月28日(2017.2.28)		国立研究開発法人産業技術総合研究所
(65) 公開番号	特開2018-142682 (P2018-142682A)		東京都千代田区霞が関1-3-1
(43) 公開日	平成30年9月13日(2018.9.13)	(73) 特許権者	000005234
審査請求日	令和2年1月21日(2020.1.21)		富士電機株式会社
			神奈川県川崎市川崎区田辺新田1番1号
(出願人による申告)平成26年度、独立行政法人新エネルギー・産業技術総合開発機構「SIP(戦略的イノベーション創造プログラム)/次世代パワーエレクトロニクス/SiCに関する拠点型共通基盤技術開発/SiC次世代パワーエレクトロニクスの統合的研究開発」委託研究、産業技術力強化法第19条の適用を受ける特許出願		(73) 特許権者	000006013
			三菱電機株式会社
			東京都千代田区丸の内二丁目7番3号
		(74) 代理人	100104190
			弁理士 酒井 昭徳
		(72) 発明者	河田 泰之
			茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内

最終頁に続く

(54) 【発明の名称】炭化珪素半導体装置および炭化珪素半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型の炭化珪素半導体基板のおもて面に設けられた、第1導電型の第1半導体層と、

前記第1半導体層内に前記第1半導体層の表面から設けられたトレンチ内に埋め込まれた第2導電型の第1半導体領域と、

を有する並列pn層を備え、

前記トレンチの深さは、前記トレンチの幅の3倍以上であり、

前記第1半導体領域は、前記第1半導体領域の導電型を決定する第2導電型の第1ドーパントと前記第1ドーパントと取り込まれる原子位置が異なる第1導電型の第2ドーパントが注入され、前記第1半導体領域のキャリア濃度が一様であり、

前記第1半導体領域のキャリア濃度は  $1 \times 10^{15} / \text{cm}^3$  以上で  $5 \times 10^{17} / \text{cm}^3$  以下であり、

前記第1半導体領域のキャリア濃度は、第1導電型の不純物の濃度 ( $N_D$ ) と、第2導電型の不純物の濃度 ( $N_A$ ) とを加えた濃度 ( $N_A - N_D$ ) であることを特徴とする炭化珪素半導体装置。

【請求項2】

第1導電型の炭化珪素半導体基板のおもて面に、第1導電型の第1半導体層を形成する第1工程と、

前記第1半導体層内に前記第1半導体層の表面からトレンチを形成する第2工程と、

10

20

前記トレンチ内に第2導電型の第1半導体領域を埋め込む第3工程と、  
を含み、

前記第2工程では、前記トレンチの深さを、前記トレンチの幅の3倍以上に形成し、

前記第3工程では、第2導電型の第1ドーパントと、前記第1ドーパントと取り込まれる原子位置が異なる第1導電型の第2ドーパントとを含むガスを同時に導入することで前記第1半導体領域を形成し、

前記第3工程では、前記第2ドーパントの量を前記第1ドーパントの量より少なくして、前記第1半導体領域のキャリア濃度を一様な  $1 \times 10^{15} / \text{cm}^3$  以上で  $5 \times 10^{17} / \text{cm}^3$  以下に形成し、

前記第1半導体領域のキャリア濃度は、第1導電型の不純物の濃度 ( $N_D$ ) と、第2導電型の不純物の濃度 ( $N_A$ ) とを加えた濃度 ( $N_A - N_D$ ) であることを特徴とする炭化珪素半導体装置の製造方法。

10

【請求項3】

前記第3工程では、前記トレンチの側壁に堆積した前記第1半導体領域の膜厚が  $0.2 \mu\text{m}$  の厚さになるまで、前記第2ドーパントを供給せず、 $0.2 \mu\text{m}$  の厚さになった後、前記第2ドーパントを供給することを特徴とする請求項2に記載の炭化珪素半導体装置の製造方法。

【請求項4】

第1導電型の炭化珪素半導体基板のおもて面に、第1導電型の第1半導体層を形成する第1工程と、

20

前記第1半導体層内に前記第1半導体層の表面からトレンチを形成する第2工程と、

前記トレンチ内に第2導電型の第1半導体領域を埋め込む第3工程と、

を含み、

前記第2工程では、前記トレンチの深さを、前記トレンチの幅の3倍以上に形成し、

前記第3工程では、第2導電型の第1ドーパントと、前記第1ドーパントと取り込まれる原子位置が異なる第1導電型の第2ドーパントとを含むガスを同時に導入することで前記第1半導体領域を形成し、前記トレンチの側壁に堆積した前記第1半導体領域の膜厚が  $0.2 \mu\text{m}$  の厚さになるまで、前記第2ドーパントを供給せず、 $0.2 \mu\text{m}$  の厚さになった後、前記第2ドーパントを供給することを特徴とする炭化珪素半導体装置の製造方法。

【請求項5】

30

前記第3工程では、前記第2ドーパントの供給開始から前記第1半導体領域形成終了までの間、前記第2ドーパントを含むガスの流量を徐々に増加させることを特徴とする請求項3または4に記載の炭化珪素半導体装置の製造方法。

【請求項6】

前記第3工程では、前記第2ドーパントの量を前記第1ドーパントの量より少なくして、前記第1半導体領域のキャリア濃度を  $1 \times 10^{15} / \text{cm}^3$  以上で  $5 \times 10^{17} / \text{cm}^3$  以下に形成することを特徴とする請求項4または5に記載の炭化珪素半導体装置の製造方法。

【請求項7】

第1導電型の炭化珪素半導体基板のおもて面に設けられた、第1導電型の第1半導体層と、

40

前記第1半導体層内に前記第1半導体層の表面から設けられたトレンチ内に埋め込まれた第2導電型の第1半導体領域と、

を有する並列 p n 層を備え、

前記トレンチの深さは、前記トレンチの幅の3倍以上であり、

前記第1半導体領域は、前記第1半導体領域の導電型を決定する第2導電型の第1ドーパントと前記第1ドーパントと取り込まれる原子位置が異なる第1導電型の第2ドーパントが注入され、前記トレンチ内の側面付近よりも中央付近の方が前記第1及び第2ドーパントの不純物濃度が高いことを特徴とする炭化珪素半導体装置。

【発明の詳細な説明】

【技術分野】

50

## 【0001】

この発明は、炭化珪素半導体装置および炭化珪素半導体装置の製造方法に関する。

## 【背景技術】

## 【0002】

超接合構造 (Super Junction構造) を利用して従来の特性限界を破るような MOSFET (Metal Oxide Semiconductor Field Effect Transistor: 絶縁ゲート型電解効果トランジスタ) が開発されている。この超接合 MOSFET (SJ MOSFET) は、半導体基板上にエピタキシャル層を何回かに分けて成長させ、成長段階毎にパターニングおよびイオン注入によって、交互に並列する p 型領域および n 型領域を形成することを繰り返すことにより作製 (製造) される。この繰り返しエピタキシャル成長とパターニングおよびイオン注入の際に、p 型領域および n 型領域の同型領域同士をそれぞれ厚さ方向に連結させて基板の主面に垂直方向に延びる pn カラム構造を形成する方法が、いわゆる超接合半導体装置の製造方法として最も特徴とするところである。このような方法で前記 pn カラム構造を備える超接合 MOSFET を製造する方法は多段エピ方式と称される。しかし、この方式は工程が長く複雑であり、製造コストが高く、チップコストが高くなってしまうことが課題である。

10

## 【0003】

一方、近年になって製造コストを下げるのが可能であるトレンチ埋め込みエピ方式による超接合 MOSFET の製造方法が開発されている。図 16 は、従来の超接合 MOSFET の構造を示す断面図である。図 16 に示すように、超接合 MOSFET は、高不純物濃度の n<sup>++</sup> 型半導体基板 1 に n 型ドリフト層 2 を成長させたウエハを材料とする。このウエハ表面から n 型ドリフト層 2 を貫き n<sup>++</sup> 型半導体基板 1 に到達しない p 型ピラー領域 3 が設けられている。図 16 では、p 型ピラー領域 3 は n<sup>++</sup> 型半導体基板 1 に到達しないが、n<sup>++</sup> 型半導体基板 1 に到達してもよい。

20

## 【0004】

半導体として 4H-SiC (四層周期六方晶の炭化珪素) を用いて、p 型ピラー領域 3 を形成する際に、n 型ドリフト層 2 にトレンチを形成し、トレンチ内を p 型の不純物をエピタキシャル成長で埋め戻す方法がある。

## 【0005】

n 型ドリフト層 2 上には、n 型 CS 層 (Carrier Storage: キャリア蓄積) 5 が設けられ、n 型 CS 層 5 の表面に p 型ベース領域 6 が設けられる。p 型ベース領域 6 のおもて面側には、トレンチ 18 が設けられている。トレンチ 18 の側壁に沿ってゲート絶縁膜 9 が設けられ、ゲート絶縁膜 9 の内側にゲート電極 10 が設けられている。トレンチ 18 の底は、p 型ピラー領域 3 と接している。また、p 型ベース層 6 の内部に、n<sup>+</sup> 型ソース領域 7 および p<sup>+</sup> 型コンタクト領域 8 が設けられている。また、n<sup>+</sup> 型ソース領域 7 および p<sup>+</sup> 型コンタクト領域 8 上にソース電極 11 が設けられ、n<sup>++</sup> 型半導体基板 1 の裏面にドレイン電極 12 が設けられている。

30

## 【0006】

図 16 において、SJ 層 21 は、n 型ドリフト層 2 中に、基板主面に垂直な方向に延び、かつ基板主面に平行な方向に狭い幅を有する p 型領域 (p 型ピラー領域 3) と n 型領域 (p 型ピラー領域 3 に挟まれた n 型ドリフト層 2 の部分) とを基板主面に平行な方向に交互に繰り返し並べた並列構造 (以降、並列 pn 層) を有している。並列 pn 層を構成する p 型領域および n 型領域は、それぞれの領域を高不純物濃度からなる低抵抗領域とした場合であっても、オフ時に低耐圧で、並列 pn 層内のすべての p 型領域と n 型領域との pn 接合から拡がる空乏層が速やかに並列 pn 層全体を空乏化する程度の狭い幅に設定されている。例えば、p 型領域と n 型領域のチャージバランスとして、p 型ピラー領域 3 の幅と p 型ピラー領域 3 の不純物濃度との積が、n 型領域の幅と n 型領域の不純物濃度との積にほぼ等しくなっている。このため、SJ 層 21 は、低オン抵抗と高耐圧特性との両方の特性が同時に得られる構造として知られている。

40

## 【0007】

50

例えば、超接合半導体装置において、pリサーフ層の不純物濃度を深さ方向に小さくしていく分布（傾斜プロファイル）を持たせることにより、pリサーフ層の不純物量とn<sup>+</sup>ドリフト層の不純物量とのアンバランス量に対する耐压低下を従来よりも小さくする技術がある（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2004-119611号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0009】

ここで、高い耐压の超接合MOSFETを実現するにはトレンチの深さを深くすることが効果的である。しかしながら、この場合、高アスペクト比（トレンチ深さ/トレンチ幅）のトレンチをp型の不純物で埋め戻す必要があるが、埋め戻したp型のエピタキシャル膜の不純物濃度が一様でなくなり、トレンチ内で、不純物濃度が位置により大きく異なる濃度分布（以下、不均一な濃度分布と称する）を生じてしまう。

【0010】

図17は、従来の超接合MOSFETのp型エピタキシャル層の走査型マイクロ波顕微鏡写真の模式図である。走査型マイクロ波顕微鏡（SMM：Scanning Microwave Microscopy）は、固体金属探針を介して、照射したマイクロ波の反射波を測定し、試料表面のインピーダンスの変化を計測する顕微鏡である。なお、図17ではSMM分析用にn<sup>++</sup>型半導体基板に直接トレンチを形成したものに、p型の不純物をエピタキシャル成長で埋め戻しp型エピタキシャル層としたものであり、基板部分の濃度が18乗以上になっている。図17は、成膜ガスとしてトリメチルアルミニウム（TMA：Trimethylaluminum：（CH<sub>3</sub>）<sub>3</sub>Al）のみで形成したp型エピタキシャル層のキャリア濃度分布を示している。図17に示すように、トレンチ中央付近にキャリア濃度が高い部分があり、トレンチ内で不均一な濃度分布を生じている。

20

【0011】

図18は、トレンチの深さとAl濃度との関係を示すグラフである。図18は、p型エピタキシャル層をp型の不純物としてアルミニウム（Al）を用い、成膜ガスとしてTMAのみで常に一定に供給して成長させた場合の例である。p型エピタキシャル層をトレンチ内のキャリア濃度を走査型非線形誘電率顕微鏡（SNDM：Scanning Nonlinear Dielectric Microscopy）で評価し、Al濃度に換算した一般的な濃度分布の傾向を示す。走査型非線形誘電率顕微鏡とは、強誘電体材料表面の誘電率分布を高分解能に観察・測定するために開発された顕微鏡である。図18に示すように、トレンチ開口部（上部）になるほど、不純物濃度が高くなり、トレンチ内で不均一な濃度分布を生じている。

30

【0012】

このようにトレンチ内のp型エピタキシャル層に不均一な濃度分布を生じると、並列pn層の設計が難しくなり、デバイスとしての性能、歩留まりも悪化する。例えば、p型領域とn型領域のチャージバランスを実現するための設計が難しくなり、チャージバランスが実現されていないと、低オン抵抗と高耐压特性との両方の特性が同時に得られなくなる。

40

【0013】

この発明は、上述した従来技術による問題点を解消するため、トレンチ内のエピタキシャル層のキャリアの濃度分布が不均一になることを低減できる炭化珪素半導体装置および炭化珪素半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導

50

体装置は、次の特徴を有する。第1導電型の炭化珪素半導体基板のおもて面に設けられた、第1導電型の第1半導体層と、前記第1半導体層内に前記第1半導体層の表面から設けられたトレンチ内に埋め込まれた第2導電型の第1半導体領域と、を有する並列pn層を備える。前記トレンチの深さは、前記トレンチの幅の3倍以上である。また、前記第1半導体領域は、前記第1半導体領域の導電型を決定する第2導電型の第1ドーパントと前記第1ドーパントと取り込まれる原子位置が異なる第1導電型の第2ドーパントが注入され、前記第1半導体領域のキャリア濃度が一樣である。前記第1半導体領域のキャリア濃度は $1 \times 10^{15} / \text{cm}^3$ 以上で $5 \times 10^{17} / \text{cm}^3$ 以下であり、前記第1半導体領域のキャリア濃度は、第1導電型の不純物の濃度( $N_D$ )と、第2導電型の不純物の濃度( $N_A$ )とを加えた濃度( $N_A - N_D$ )である。

10

#### 【0016】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導体装置の製造方法は、次の特徴を有する。第1導電型の炭化珪素半導体基板のおもて面に、第1導電型の第1半導体層を形成する第1工程を行う。次に、前記第1半導体層内に前記第1半導体層の表面からトレンチを形成する第2工程を行う。次に、前記トレンチ内に第2導電型の第1半導体領域を埋め込む第3工程を行う。前記第2工程では、前記トレンチの深さを、前記トレンチの幅の3倍以上に形成する。また、前記第3工程では、第2導電型の第1ドーパントと、前記第1ドーパントと取り込まれる原子位置が異なる第1導電型の第2ドーパントとを含むガスを同時に導入することによって前記第1半導体領域を形成する。前記第3工程では、前記第2ドーパントの量を前記第1ドーパントの量より少なくして、前記第1半導体領域のキャリア濃度を一樣な $1 \times 10^{15} / \text{cm}^3$ 以上で $5 \times 10^{17} / \text{cm}^3$ 以下に形成する。前記第1半導体領域のキャリア濃度は、第1導電型の不純物の濃度( $N_D$ )と、第2導電型の不純物の濃度( $N_A$ )とを加えた濃度( $N_A - N_D$ )である。

20

#### 【0017】

また、この発明にかかる炭化珪素半導体装置の製造方法は、上述した発明において、前記第3工程では、前記トレンチの側壁に堆積した前記第1半導体領域の膜厚が $0.2 \mu\text{m}$ の厚さになるまで、前記第2ドーパントを供給せず、 $0.2 \mu\text{m}$ の厚さになった後、前記第2ドーパントを供給することを特徴とする。上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導体装置の製造方法は、次の特徴を有する。第1導電型の炭化珪素半導体基板のおもて面に、第1導電型の第1半導体層を形成する第1工程を行う。次に、前記第1半導体層内に前記第1半導体層の表面からトレンチを形成する第2工程を行う。次に、前記トレンチ内に第2導電型の第1半導体領域を埋め込む第3工程を行う。前記第2工程では、前記トレンチの深さを、前記トレンチの幅の3倍以上に形成する。また、前記第3工程では、第2導電型の第1ドーパントと、前記第1ドーパントと取り込まれる原子位置が異なる第1導電型の第2ドーパントとを含むガスを同時に導入することによって前記第1半導体領域を形成し、前記トレンチの側壁に堆積した前記第1半導体領域の膜厚が $0.2 \mu\text{m}$ の厚さになるまで、前記第2ドーパントを供給せず、 $0.2 \mu\text{m}$ の厚さになった後、前記第2ドーパントを供給する。

30

#### 【0018】

また、この発明にかかる炭化珪素半導体装置の製造方法は、上述した発明において、前記第3工程では、前記第2ドーパントの供給開始から前記第1半導体領域形成終了までの間、前記第2ドーパントを含むガスの流量を徐々に増加させることを特徴とする。

40

#### 【0019】

また、この発明にかかる炭化珪素半導体装置の製造方法は、上述した発明において、前記第3工程では、前記第2ドーパントの量を前記第1ドーパントの量より少なくして、前記第1半導体領域のキャリア濃度を $1 \times 10^{15} / \text{cm}^3$ 以上で $5 \times 10^{17} / \text{cm}^3$ 以下に形成することを特徴とする。上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導体装置は、次の特徴を有する。第1導電型の炭化珪素半導体基板のおもて面に設けられた、第1導電型の第1半導体層と、前記第1半導体層内に前記第1半導体層の表面から設けられたトレンチ内に埋め込まれた第2導電型の第1半導体領域と

50

、を有する並列 p n 層を備える。前記トレンチの深さは、前記トレンチの幅の 3 倍以上である。また、前記第 1 半導体領域は、前記第 1 半導体領域の導電型を決定する第 2 導電型の第 1 ドーパントと前記第 1 ドーパントと取り込まれる原子位置が異なる第 1 導電型の第 2 ドーパントが注入され、前記トレンチ内の側面付近よりも中央付近の方が前記第 1 及び第 2 ドーパントの不純物濃度が高い。

【 0 0 2 0 】

上述した発明によれば、トレンチに第 1 ドーパントを埋め込み、p 型エピタキシャル膜を形成する際に、第 2 ドーパントとして n 型になる窒素やリンの流量を任意に制御しながら導入する。これにより、p 型エピタキシャル膜が、トレンチ中央付近が高濃度になることを抑制できる。このため、半導体装置の設計が容易になり、さらに、半導体装置の性能や、歩留まりも向上する。

10

【 0 0 2 1 】

また、p 型エピタキシャル膜の埋め込み成長の初期に窒素を導入しない。これにより、トレンチ側壁付近にさらに窒素が取り込まれキャリア濃度分布が悪化することがない。

【発明の効果】

【 0 0 2 2 】

本発明にかかる炭化珪素半導体装置および炭化珪素半導体装置の製造方法によれば、トレンチ内のエピタキシャル層のキャリアの濃度分布が不均一になることを低減できるという効果を奏する。

【図面の簡単な説明】

20

【 0 0 2 3 】

【図 1】実施の形態にかかる炭化珪素半導体装置の S J 層を形成するフローチャートである。

【図 2】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その 1）。

【図 3】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その 2）。

【図 4】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その 3）。

【図 5】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その 4）。

30

【図 6】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その 5）。

【図 7】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その 6）。

【図 8】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その 7）。

【図 9】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その 8）。

【図 10】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その 9）。

40

【図 11】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その 10）。

【図 12】実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である（その 11）。

【図 13】実施の形態にかかる炭化珪素半導体装置の p 型エピタキシャル膜の走査型マイクロ波顕微鏡写真の模式図である。

【図 14】ドーパントとして導入するガス種のガス量とキャリア濃度との関係を示すグラフである。

【図 15】実施の形態にかかる炭化珪素半導体装置の抵抗顕微鏡写真の模式図である。

50

【図16】従来の超接合MOSFETの構造を示す断面図である。

【図17】従来の超接合MOSFETのp型エピタキシャル層の走査型マイクロ波顕微鏡写真の模式図である。

【図18】トレンチの深さとAl濃度との関係を示すグラフである。

【発明を実施するための形態】

【0024】

以下に添付図面を参照して、この発明にかかる炭化珪素半導体装置および炭化珪素半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

【0025】

(実施の形態)

本発明にかかる半導体装置は、シリコンよりもバンドギャップが広い半導体（以下、ワイドバンドギャップ半導体とする）を用いて構成される。ここでは、ワイドバンドギャップ半導体として例えば炭化珪素（SiC）を用いた半導体装置（炭化珪素半導体装置）の構造を例に説明する。

【0026】

実施の形態にかかる炭化珪素半導体装置の構造は、従来の超接合MOSFETの構造と同様である。実施の形態にかかる炭化珪素半導体装置では、後述する方法でp型ピラー領域3が形成されているため、p型ピラー領域3のキャリア濃度分布が低減されている。例えば、p型ピラー領域3には、p型ピラー領域3の導電型を決定するp型のドーパント、例えば、Alやホウ素（B）、とn型のドーパント、例えば、窒素（N<sub>2</sub>）やリン（P）が注入され、p型ピラー領域3のキャリア濃度が一様となっている。p型ピラー領域3のキャリア濃度は、 $1 \times 10^{15} / \text{cm}^3$ 以上で $5 \times 10^{17} / \text{cm}^3$ 以下である。

【0027】

また、実施の形態では、高い耐圧を実現するため、p型ピラー領域3のトレンチ19（図6等参照）の深さは深くなっている。例えば、アスペクト比（トレンチ深さ/トレンチ幅）は、3以上15以下である。ここで、キャリア濃度とは、p型ピラー領域3に含まれるn型の不純物（N<sub>D</sub>）と、p型の不純物の濃度（N<sub>A</sub>）とを加えた濃度（N<sub>A</sub> - N<sub>D</sub>）のことである。

【0028】

(実施の形態にかかる炭化珪素半導体装置の製造方法)

次に、実施の形態にかかる炭化珪素半導体装置の製造方法について説明する。図1は、実施の形態にかかる炭化珪素半導体装置のSJ層を形成するフローチャートである。図2～12は、実施の形態にかかる炭化珪素半導体装置の製造途中の状態を示す断面図である。以下、図1のフローチャートにしたがって説明する。

【0029】

最初に、n型エピタキシャル膜を形成する（ステップS1）。4H-SiCからなるn<sup>++</sup>型半導体基板（第1導電型の炭化珪素半導体基板）1を用意する。n<sup>++</sup>型半導体基板1を有機洗浄とRCA洗浄（強酸および高塩基溶液を用いたウェット洗浄）でよく洗浄して、Si面に窒素を所定の濃度でドーピングして、n<sup>++</sup>型半導体基板1より不純物濃度の低いn型ドリフト層（第1導電型の第1半導体層）2を厚さ30μmエピタキシャル成長させる。ここまでの状態が図2に記載される。

【0030】

次に、酸化膜を形成する（ステップS2）。n<sup>++</sup>型半導体基板1を洗浄後、プラズマCVD（Chemical Vapor Deposition）等で二酸化珪素（SiO<sub>2</sub>）の酸化膜22を成膜する。膜厚は、トレンチ19を形成するドライエッチングパター

10

20

30

40

50

ンのマスクにするために必要な厚さである。つまり、ドライエッチングでなくなる厚さである。ここまでの状態が図3に記載される。

【0031】

次に、フォトレジストを塗布し、フォトマスクで露光し、トレンチ部分のパターニングを行う(ステップS3)。酸化膜22にフォトレジスト23を塗布し、フォトマスク24で露光して、トレンチ19の部分をパターニングする。例えば、トレンチ19の幅Lと、トレンチ19の間隔Sは、例えば、それぞれ3 $\mu$ m、3 $\mu$ mとする。また、フォトレジスト23の膜厚は酸化膜22をエッチングするのに十分な厚さを確保する。ここまでの状態が図4に記載される。

【0032】

次に、酸化膜をドライエッチングする(ステップS4)。フォトレジスト23をマスクとし、酸化膜22をドライエッチングして、n型ドリフト層2が露出するまでドライエッチングする。ここまでの状態が図5に記載される。

【0033】

次に、フォトレジストを剥離し、トレンチを形成する(ステップS5)。フォトレジスト23を剥離し、パターニングされた酸化膜22をマスクとしてn型ドリフト層2を所望の深さ(例えば、20~25 $\mu$ m)ドライエッチングしてトレンチ19を形成する。トレンチエッチングは、例えば、六フッ化硫黄(SF<sub>6</sub>) / 酸素(O<sub>2</sub>) / アルゴン(Ar)系ガスで、サイドエッチングとサブトレンチの発生をできるだけ抑制する。ここまでの状態が図6に記載される。

【0034】

次に、酸化膜を剥離する(ステップS6)。マスクの酸化膜22をフッ化水素(HF)等で剥離して、さらによく洗浄する。ここまでの状態が図7に記載される。

【0035】

次に、第1ドーパントでp型エピタキシャル膜を約0.2 $\mu$ m形成する(ステップS7)。SiCのp型エピタキシャル膜25を成長することができるCVD装置に基板を入れて、キャリアガスに水素(H<sub>2</sub>)ガスを導入し、成膜ガスとしてシラン(SiH<sub>4</sub>)、プロパン(C<sub>3</sub>H<sub>8</sub>)、塩化水素(HCl)、TMAを導入する。各ガスの流量はSiH<sub>4</sub>流量36sccm(standard cubic centimeter per minute)、C<sub>3</sub>H<sub>8</sub>流量12sccm、HCl流量1.8slm(standard liter per minute)、TMA流量6sccmである。トレンチ19の側壁にTMAだけドーピングしたp型エピタキシャル膜25を約0.2 $\mu$ mの厚さまで1650で成長させる。ここでは、第1ドーパントとして、Alを用いたがBであってもよい。ここまでの状態が図8に記載される。

【0036】

次に、第2ドーパントを加えてp型エピタキシャル膜を形成する(ステップS8)。この後、第2ドーパントとして、第1ドーパントと取り込まれる原子位置が異なるn型のドーパント、例えば窒素ガスを0.1sccmから導入開始し、1650の温度で4時間後(成膜終了時間)に2sccmになるように徐々に流量を増加させる。窒素ガスの流量はトレンチ19内の濃度分布を低減できるように調整する。この際、窒素流量や時間は任意だが、Al濃度が部分的に高濃度にならないように調整して導入する。ここでは、第2ドーパントとして窒素を用いたが、第1ドーパントと取り込まれる原子位置が異なるn型のドーパントであれば、他のもの例えばリン(P)であってもよい。また、窒素を徐々に増加させるのは、TMAのみだとトレンチ19の中央になるほどp型の濃度が高くなるためである。このようにして、トレンチ19に第1ドーパント、第2ドーパントを空洞なく埋め込みp型エピタキシャル膜25を形成する。ここまでの状態が図9に記載される。

【0037】

次に、p型エピタキシャル膜を研磨する(ステップS9)。基板をCVD装置から取り出し、この後、表面がSJ層(並列pn層になる)になるまで不要なp型エピタキシャル膜25を研磨してデバイスの作製に支障がないように平坦化する。例えば、あら研磨(1

10

20

30

40

50



次研磨)とCMP研磨を行う。これにより、p型ピラー領域(第2導電型の第1半導体領域)3が形成される。ここまでの状態が図10に記載される。

【0038】

ここまでの、実施の形態にかかる炭化珪素半導体装置のSJ層が形成される。トレンチ19に第1ドーパントを埋め込み、p型エピタキシャル膜25を形成する際に、第2ドーパントとしてn型になる窒素やリン(P)の流量を任意に制御しながら導入する。このため、p型エピタキシャル膜25において、トレンチ19中央付近が高濃度になることを抑制できる。

【0039】

図13は、実施の形態にかかる炭化珪素半導体装置のp型エピタキシャル膜の走査型マイクロ波顕微鏡写真の模式図である。図13に示すように、p型エピタキシャル膜25の部分に特にキャリア濃度の高いところはなく、埋め込み部分全体が15乗の後半程度のキャリア濃度になっている。なお、図13では、図16と同様にSMM分析用にn<sup>++</sup>型半導体基板1に直接トレンチを形成したものにp型エピタキシャル層25を埋め戻したもので基板部分の濃度が18乗以上になっている。

【0040】

図14は、ドーパントとして導入するガス種のガス量とキャリア濃度との関係を示すグラフである。図14に示すように、p型のドーパントの流量が多いほどキャリア濃度が高くなり、n型のドーパントが多いほどキャリア濃度が低くなる。これにより、p型のドーパントとn型のドーパントを同時に入れば、相殺することが可能である。このため、トレンチ19中央付近のp型の不純物濃度が高くなることを、窒素をp型エピタキシャル膜25に取り込ませることで相殺し、トレンチ19内部のキャリア濃度を可能な限り均一にすることができる。

【0041】

図15は、実施の形態にかかる炭化珪素半導体装置の抵抗顕微鏡写真の模式図である。抵抗顕微鏡(SSRM: Scanning Spreading Resistance Microscopy)とは、試料の表面を導電性探針で走査し、抵抗値の分布を二次元的に計測することで探針直下の広がり抵抗を可視化する顕微鏡である。これにより、抵抗顕微鏡写真は、半導体ドーパント濃度分布を評価することができる。図15に示すように、符号Aで示すトレンチ19の側壁付近(~0.2μm程度)に窒素が過剰に取り込まれている。これはトレンチ側壁であるm面はトレンチ底になるSi面よりエピ成長時に窒素を取り込みやすく、CVD装置にある窒素が側壁に取り込まれるためである。窒素をはじめから導入するとトレンチ側壁付近にさらに窒素が取り込まれキャリア濃度分布が悪化するため、上述のステップS8のようにp型エピタキシャル膜25の埋め込み成長の初期に窒素を導入しないことが好ましい。

【0042】

ここまでの、図1のフローチャートに従い炭化珪素半導体装置のSJ層の形成を説明した。続けて、炭化珪素半導体装置のMOS構造の形成の説明を行う。次に、n型ドリフト層2の表面に、n型CS層5をエピタキシャル成長させる。n型CS層5の不純物濃度が高いほど、キャリアの注入促進効果(IE(Injection Enhancement)効果)が高くなるため、n型CS層5の不純物濃度は、n型ドリフト層2の不純物濃度より高くなるように形成することが好ましい。

【0043】

次に、n型CS層5の表面に、p型ベース層6をエピタキシャル成長させる。次に、p型ベース層6の表面に、n型CS層5より不純物濃度の高いn<sup>+</sup>型ソース領域7をエピタキシャル成長させる。ここまでの状態が図11に示されている。

【0044】

次に、n<sup>+</sup>型ソース領域7の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないイオン注入用マスクを例えば酸化膜で形成する。このイオン注入用マスクをマスクとして、p型不純物のイオン注入を行い、n<sup>+</sup>型ソース領域7の表面層に、

10

20

30

40

50

p型ベース層6より不純物濃度の高いp<sup>+</sup>型コンタクト領域8を形成する。次に、イオン注入用マスクを除去する。

【0045】

次に、フォトリソグラフィおよびエッチングにより、n<sup>+</sup>型ソース領域7、p型ベース層6およびn型CS層5を貫通して、n型ドリフト層2の内部に達するトレンチ18を形成する。トレンチ形成時のマスクには酸化膜を用いる。次に、トレンチ18のダメージを除去するための等方性エッチングや、トレンチ18の底部およびトレンチ18の開口部の角を丸めるための水素アニールを施してもよい。等方性エッチングと水素アニールはどちらか一方のみを行ってもよい。また、等方性エッチングを行った後に水素アニールを行ってもよい。水素アニールは、例えば、1500で行う。

10

【0046】

次に、イオン注入された領域に対して、活性化アニールを施す。例えば、活性化アニールは1700で行う。これにより、p<sup>+</sup>型コンタクト領域8にイオン注入された不純物が活性化される。

【0047】

次に、炭化珪素基体のおもて面およびトレンチ18の内壁に沿ってゲート絶縁膜9を形成する。次に、トレンチ18に埋め込むように例えばポリシリコンを堆積しエッチングすることで、トレンチ18の内部にゲート電極10となるポリシリコンを残す。その際、エッチバックしてポリシリコンを基体表部より内側に残すようにエッチングしてもよく、パターニングとエッチングを施すことでポリシリコンが基体表部より外側に突出していてもよい。ここまでの状態が図12に示されている。

20

【0048】

次に、ゲート電極10を覆うように、炭化珪素基体のおもて面全面に図示しない層間絶縁膜を形成する。層間絶縁膜は、例えば、NSG(None-doped Silicate Glass: ノンドープシリケートガラス)、PSG(Phospho Silicate Glass)、BPSG(Boro Phospho Silicate Glass)、HTO(High Temperature Oxide)、あるいはそれらの組み合わせで形成される。次に、層間絶縁膜およびゲート絶縁膜9をパターニングしてコンタクトホールを形成し、n<sup>+</sup>型ソース領域7およびp<sup>+</sup>型コンタクト領域8を露出させる。

30

【0049】

次に、半導体基体のおもて面側に、例えばスパッタ法でニッケル(Ni)膜を形成する。次に、シンタリング(熱処理)により炭化珪素半導体部(n<sup>+</sup>型ソース領域7およびp<sup>+</sup>型コンタクト領域8)とニッケル膜とを反応させてニッケルシリサイド膜を形成することで、炭化珪素半導体部とのオーミックコンタクトを形成する。なお、層間絶縁膜とニッケル膜との間にTiN(窒化チタン)膜を形成しても良い。

【0050】

次に、n<sup>+</sup>型エミッタ領域7に接するように、ソース電極11を形成する。ソース電極11は、ニッケルシリサイド膜を覆うように形成されてもよいし、コンタクトホール内のみ残してもよい。

40

【0051】

次に、コンタクトホールを埋め込むようにソース電極パッドを形成する。ソース電極パッドを形成するために堆積した金属層の一部をゲートパッドとしてもよい。n<sup>++</sup>型半導体基板1の裏面には、ドレイン電極12のコンタクト部にスパッタ蒸着などを用いてニッケル(Ni)膜、チタン(Ti)膜などの金属膜を形成する。この金属膜は、Ni膜、Ti膜を複数組み合わせで積層してもよい。その後、金属膜がシリサイド化してオーミックコンタクトを形成するように、高速熱処理(RTA: Rapid Thermal Annealing)などのアニールを施す。その後、例えばTi膜、Ni膜、金(Au)を順に積層した積層膜などの厚い膜を電子ビーム(EB: Electron Beam)蒸着などで形成し、ドレイン電極12を形成する。

50

## 【 0 0 5 2 】

上述したエピタキシャル成長およびイオン注入においては、 $n$ 型不純物（ $n$ 型ドーパント）として、例えば、炭化珪素に対して $n$ 型となる窒素（ $N$ ）やリン（ $P$ ）、ヒ素（ $As$ ）、アンチモン（ $Sb$ ）などを用いればよい。 $p$ 型不純物（ $p$ 型ドーパント）として、例えば、炭化珪素に対して $p$ 型となるホウ素（ $B$ ）やアルミニウム（ $Al$ ）、ガリウム（ $Ga$ ）、インジウム（ $In$ ）、タリウム（ $Tl$ ）などを用いればよい。このようにして、実施の形態の炭化珪素半導体装置が完成する。

## 【 0 0 5 3 】

以上、説明したように、実施の形態によれば、トレンチに第1ドーパントを埋め込み、 $p$ 型エピタキシャル膜を形成する際に、第2ドーパントとして $n$ 型になる窒素やリンの流量を任意に制御しながら導入する。これにより、 $p$ 型エピタキシャル膜が、トレンチ中央付近が高濃度になることを抑制できる。このため、半導体装置の設計が容易になり、さらに、半導体装置の性能、歩留まりも向上する。

## 【 0 0 5 4 】

また、 $p$ 型エピタキシャル膜の埋め込み成長の初期に窒素を導入しない。これにより、トレンチ側壁付近にさらに窒素が取り込まれキャリア濃度分布が悪化することがなく、トレンチ内のエピタキシャル層のキャリアの濃度分布が不均一になることを低減できる。

## 【 0 0 5 5 】

以上において本発明は本発明の趣旨を逸脱しない範囲で種々変更可能であり、上述した各実施の形態において、例えば各部の寸法や不純物濃度等は要求される仕様等に応じて種々設定される。また、上述した各実施の形態では、 $MOSFET$ を例に説明しているが、これに限らず、超接合構造を有する種々な炭化珪素半導体装置、例えばダイオード等にも広く適用可能である。また、各実施の形態では第1導電型を $n$ 型とし、第2導電型を $p$ 型としたが、本発明は第1導電型を $p$ 型とし、第2導電型を $n$ 型としても同様に成り立つ。

## 【産業上の利用可能性】

## 【 0 0 5 6 】

以上のように、本発明にかかる炭化珪素半導体装置および炭化珪素半導体装置の製造方法は、電力変換装置や種々の産業用機械などの電源装置などに使用されるパワー半導体装置に有用であり、特に超接合構造を有する炭化珪素半導体装置に適している。

## 【符号の説明】

## 【 0 0 5 7 】

- 1  $n^{++}$ 型半導体基板
- 2  $n$ 型ドリフト層
- 3  $p$ 型ピラー領域
- 5  $n$ 型 $CS$ 層
- 6  $p$ 型ベース層
- 7  $n^{+}$ 型ソース領域
- 8  $p^{+}$ 型コンタクト領域
- 9 ゲート絶縁膜
- 10 ゲート電極
- 11 ソース電極
- 12 ドレイン電極
- 18 トレンチ
- 19  $p$ 型ピラー領域のトレンチ
- 21  $SJ$ 層
- 22 酸化膜
- 23 フォトレジスト
- 24 フォトマスク
- 25  $p$ 型エピタキシャル膜

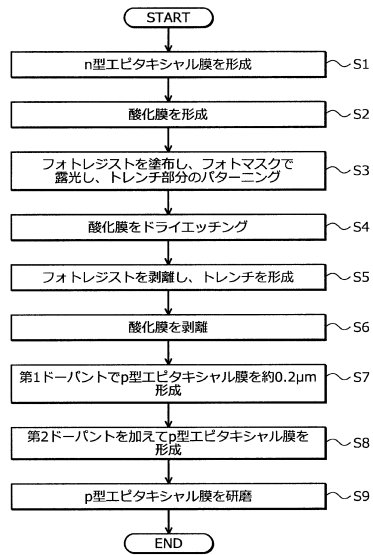
10

20

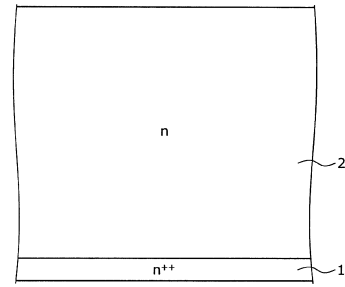
30

40

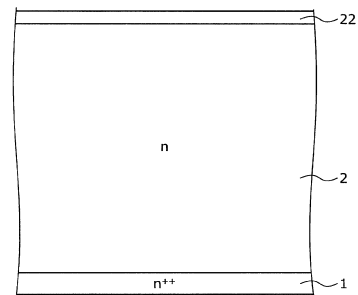
【図 1】



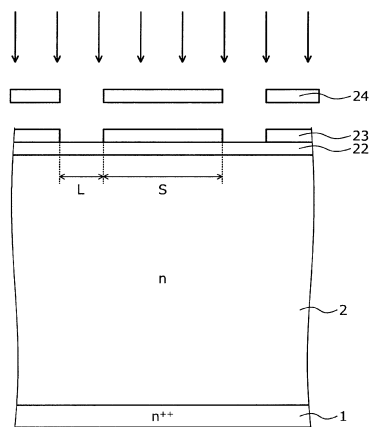
【図 2】



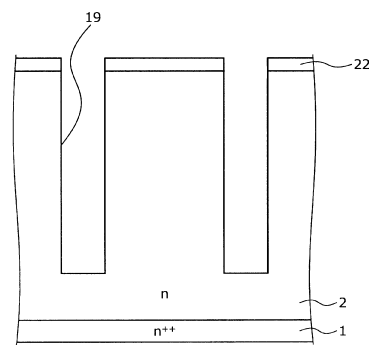
【図 3】



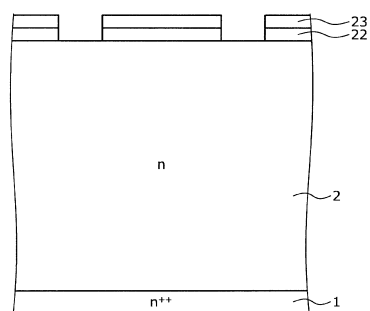
【図 4】



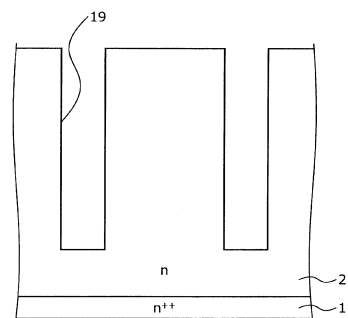
【図 6】



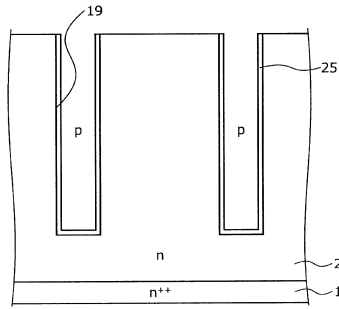
【図 5】



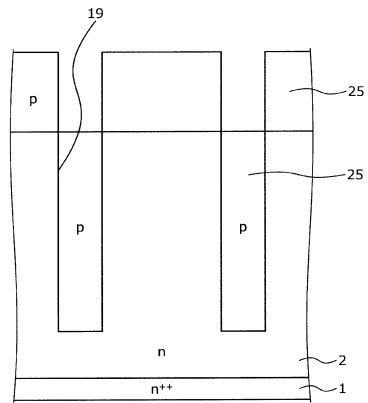
【図 7】



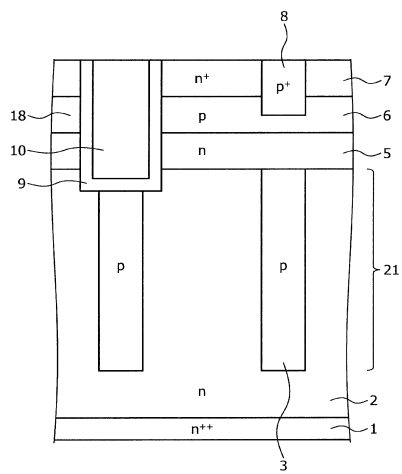
【図 8】



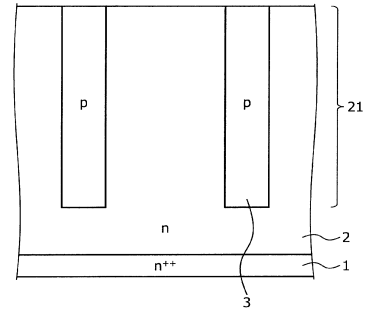
【図 9】



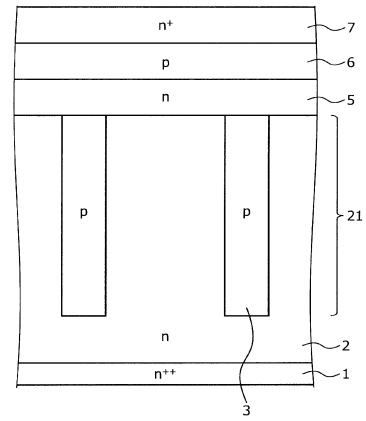
【図 12】



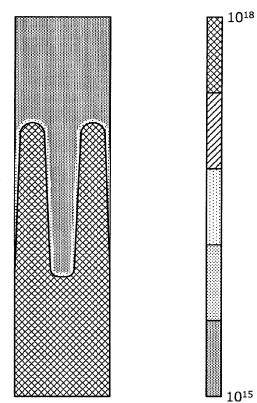
【図 10】



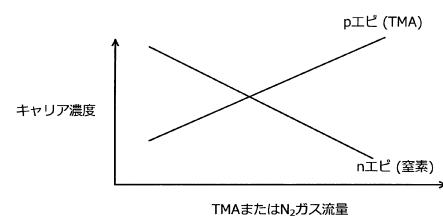
【図 11】



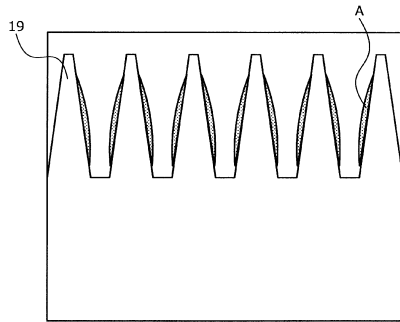
【図 13】



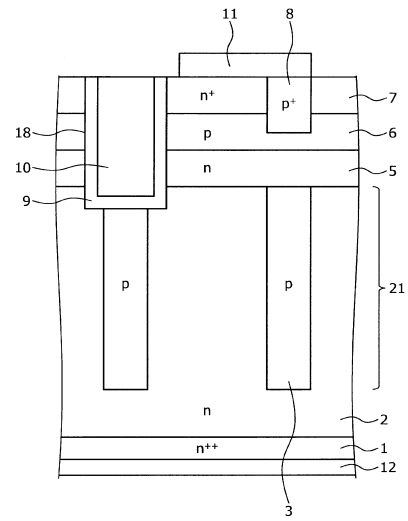
【図 14】



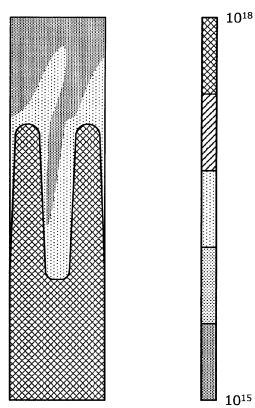
【図 15】



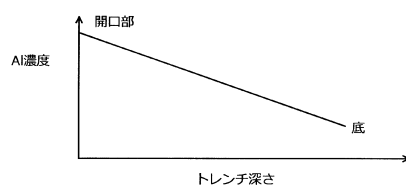
【図 16】



【図 17】



【図 18】



## フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/20	(2006.01)	H 0 1 L	29/06 3 0 1 V
H 0 1 L	21/205	(2006.01)	H 0 1 L	29/78 6 5 8 E
			H 0 1 L	21/265 Z
			H 0 1 L	21/20
			H 0 1 L	21/205
			H 0 1 L	29/78 6 5 8 A

(72)発明者 紀 世陽  
茨城県つくば市東 1 - 1 - 1 国立研究開発法人産業技術総合研究所つくばセンター内

(72)発明者 小杉 亮治  
茨城県つくば市東 1 - 1 - 1 国立研究開発法人産業技術総合研究所つくばセンター内

(72)発明者 瀧澤 英典  
茨城県つくば市東 1 - 1 - 1 国立研究開発法人産業技術総合研究所つくばセンター内

(72)発明者 望月 和浩  
茨城県つくば市東 1 - 1 - 1 国立研究開発法人産業技術総合研究所つくばセンター内

審査官 恩田 和彦

(56)参考文献 特開 2 0 1 0 - 0 4 0 9 7 3 ( J P , A )  
特開 2 0 1 3 - 2 1 1 5 0 0 ( J P , A )  
国際公開第 2 0 1 0 / 1 0 9 8 9 2 ( W O , A 1 )  
特開 2 0 0 1 - 1 9 6 5 7 3 ( J P , A )  
特開 2 0 0 7 - 2 5 1 0 2 3 ( J P , A )  
特表 2 0 0 5 - 5 1 4 7 8 7 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 9 / 7 8  
H 0 1 L 2 1 / 2 0  
H 0 1 L 2 1 / 2 0 5  
H 0 1 L 2 1 / 2 6 5  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 9 / 0 6  
H 0 1 L 2 9 / 1 2