



[12] 发明专利申请公开说明书

[21] 申请号 200410059839.9

[43] 公开日 2004 年 12 月 1 日

[11] 公开号 CN 1551505A

[22] 申请日 2000.9.25

[21] 申请号 200410059839.9

分案原申请号 00813559.2

[30] 优先权

[32] 1999.9.28 [33] SE [31] 9903532-1

[71] 申请人 艾利森电话股份有限公司

地址 瑞典斯德哥尔摩

[72] 发明人 J·原

[74] 专利代理机构 中国专利代理(香港)有限公司

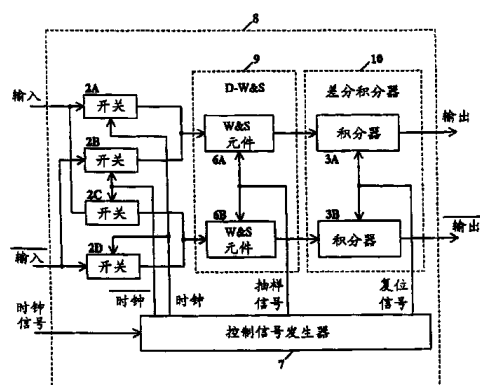
代理人 邹光新 陈景峻

权利要求书 7 页 说明书 11 页 附图 16 页

[54] 发明名称 带通电荷抽样电路

[57] 摘要

一种电荷抽样(CS)电路(1),其包括一个用于控制至该电荷抽样电路(1)的模拟输入信号的控制信号发生器(4),该模拟输入信号在抽样阶段期间响应来自该控制信号发生器的抽样信号由一积分器(3)积分,其中该模拟输入信号的电流被积分成积分电荷以在抽样阶段结束时于信号输出端生成比例电压或电流抽样。



1. 一种带通电荷抽样 (BPCS) 电路 (5), 其特征在于用来控制差分模拟信号的第一端和第二端的控制信号发生器 (7), 该差分模拟信号在加权与抽样 (W&S) 阶段期间响应来自所述控制信号发生器 (7) 的 W&S 信号由 W&S 元件 (6) 进行加权, 其中仅当所述 W&S 信号处于 W&S 阶段时所述模拟信号的电流才通过所述 W&S 元件 (6), 并且所述控制信号发生器 (7) 适用于控制将要在所述 W&S 阶段期间由积分器 (3) 进行积分的所述 W&S 元件 (6) 的输出信号, 其中所述 W&S 元件 (6) 的输出信号的电流被积分成积分电荷, 用以在所述 W&S 阶段结束时在信号输出端生成比例电压或电流抽样。

2. 依据权利要求 1 的带通电荷抽样 (BPCS) 电路 (5), 其特征在于: 第一开关 (2A), 该第一开关 (2A) 具有用于接收所述差分模拟信号的第一端的信号输入端、和所述加权与抽样 (W&S) 元件 (6) 的信号输入端相连的信号输出端、以及和所述控制信号发生器 (7) 的时钟输出端连接以便控制该开关 (2A) 使之仅当接收到时钟信号时才接通的控制输入端; 第二开关 (2B), 该第二开关 (2B) 具有用于接收所述差分模拟信号的第二端的信号输入端、和所述加权与抽样 (W&S) 元件 (6) 的所述信号输入端连接的信号输出端、以及和所述控制信号发生器 (7) 的反向时钟输出端连接用以控制该开关 (2B) 使之仅当接收到时钟信号时才接通的控制输入端; 所述加权与抽样 (W&S) 元件 (7) 具有和所述控制信号发生器的 W&S 信号输出端连接的控制输入端, 其中仅当所述 W&S 信号处于包含 n 个所述时钟的周期的 W&S 阶段时所述模拟信号的电流才通过所述 W&S 元件 (6), 并且所述 W&S 信号按常数、线性、高斯或其它的加权函数控制所述模拟信号的电流; 以及具有与所述 W&S 元件 (6) 的输出端连接的信号输入端和与所述控制信号发生器 (7) 的复位信号输出端连接的控制输入端的积分器。

3. 依据权利要求 1 或 2 的带通电荷抽样 (BPCS) 电路 (5), 其特征在于该控制信号发生器 (7) 适用于控制该积分器, 以便在开始所述复位信号的复位阶段之前保留抽样。

4. 依据权利要求 1-3 中任一权利要求的带通电荷抽样 (BPCS) 电路 (5), 其特征在于, 所述抽样代表所述模拟信号的基带内容, 并且对于 $2(p-1)f_c \leq f_{in} \leq pf_c$, 输出频率为 $f_{out} = |f_{in} - (2p-1)f_c|$, 其中 f_{in} 是

所述模拟信号的频率分量, f_c 是所述时钟的频率, 而 p 是 ≥ 1 的整数, 并且所述输出频率的相位取决于所述 f_{in} 的相位和所述 f_c 的相位, 且 $p=1$ 定义主频率响应范围, 而且对于 $p>1$ 频率响应重复相同的波形但振幅减小, 而对于给定的 p , 当 $(2p-1)f_c - f_{in1} = f_{in2} - (2p-1)f_c$ 时对频率 $f_{in1} (<(2p-1)f_c)$ 和 $f_{in2} (>(2p-1)f_c)$ 得到相同的输出频率但相位不同, 并且所述频率响应的带宽和波形取决于所述 n (n 越大, 带宽越窄) 和所述加权函数 (常数、线性、高斯或其它函数), 所述 BPCS 电路同时是滤波器、混频器和抽样器。

5. 一种差分带宽电荷抽样 (BPCS) 电路 (8), 其特征在于依据权利要求 1-4 中任一权利要求的第一和第二 BPCS 电路, 其中所有 BPCS 电路的控制信号发生器由公用的控制信号发生器 (7) 替代, 所述第一 BPCS 电路的第一信号输入端和第二信号输入端分别和所述第一 BPCS 电路的第二输入端和第一输入端连接, 并且该第一信号输入端、第二信号输入端、所述第一 BPCS 电路的信号输出端和所述第二 BPCS 电路的信号输出端是所述差分带宽电荷抽样 (BPCS) 电路的第一信号输入端、第二信号输入端、第一信号输出端和第二信号输出端。

6. 依据权利要求 5 的差分带通电荷抽样 (BPCS) 电路 (8), 其特征在于, 所述第一 BPCS 电路和所述第二 BPCS 电路中的积分器 (3A, 3B) 合并成一个单独的差分积分器 (10), 该差分积分器 (10) 用于对所述模拟信号的差分电流积分并且在所述差分 BPCS 电路的所述第一信号输出端和所述第二信号输出端产生差分抽样。

7. 一种包括若干依据权利要求 1-4 的 BPCS 电路的并联 BPCS 电路 (11), 其特征在于, 所有第一信号输入端连接在一起作为所述并联 BPCS 电路的第一信号输入端, 用以接收差分模拟信号的第一端, 所有第二信号输入端连接在一起作为所述并联 BPCS 电路的第二信号输入端, 用以接收差分模拟信号的第二端, 所有第一开关分立或者合并, 所有第二开关分立或者合并, 且所述 BPCS 电路中的所有控制信号发生器被公用控制信号发生器 (13) 所代替, 以及多路复用器 (11), 该多路复用器 (11) 具有和所述 BPCS 电路的信号输出端连接的所述若干信号输入端、和所述公用控制信号发生器的多路复用信号输出端连接的控制输入端、以及信号输出端, 该多路复用器用于当所述 BPCS 电路的信号输出处于保持阶段时将所述 BPCS 电路的输出多路复用到该信号输出端, 其中该信号

输出端是所述并联 BPCS 电路的信号输出端，而且所述并联 BPCS 电路提高抽样速率并使二个相继抽样点之间的时间间距变小，而且该并联 BPCS 电路是单端型。

8. 一种包括若干依据权利要求 5 或 6 的 BPCS 电路的并联 BPCS 电路 (11)，其特征在于，所有第一信号输入端连接在一起作为所述并联 BPCS 电路的第一信号输入端，用以接收差分模拟信号的第一端，所有第二信号输入端连接在一起作为所述并联 BPCS 电路的第二信号输入端，用以接收差分模拟信号的第二端，所述第一 BPCS 电路中的所有第一开关分立或者合并，所述第一 BPCS 电路中的所有第二开关分立或者合并，所述第二 BPCS 电路中的所有第一开关分立或者合并，所述第二 BPCS 电路中的所有第二开关分立或者合并，所述 BPCS 电路中的所有控制信号发生器被公用控制信号发生器所代替，以及多路复用器，该多路复用器具有和所述 BPCS 电路的信号输出端对连接的所述若干信号输入端对、和所述公用控制信号发生器的多路复用信号输出端连接的控制输入端、以及一对输出端，该多路复用器用于当所述 BPCS 电路的信号输出对处于保持阶段时将所述 BPCS 电路的输出对多路复用到该信号输出端对，其中该信号输出端对是所述并联 BPCS 电路的信号输出端对，而且所述并联 BPCS 电路提高抽样速率并使二个相继抽样点之间的时间间距变小，其中该并联 BPCS 电路是差分型。

9. 一种包括若干依据权利要求 7 或 8 的 BPCS 电路的并联 BPCS 电路，其特征在于控制信号发生器，该控制信号发生器具有时钟输入端、时钟输出端、反向时钟输出端、所述若干 W&S 信号输出端、所述若干复位信号输出端和所述若干多路复用信号输出端，其中时钟输入端是所述并联 BPCS 电路的时钟输入端，用于在与所述 BPCS 电路的所有第一开关的控制输入端连接的所述公用信号控制发生器的时钟输出端处生成时钟信号，并且用于在与所述 BPCS 电路的所有第二开关的控制输入端连接的反向时钟输出端处生成反向时钟，所述若干 W&S 信号输出端和所述 BPCS 电路的所有 W&S 元件 (9A - 9X) 的控制输入端连接，所述若干复位信号输出端和所述 BPCS 电路的所有积分器 (10A - 10X) 的控制输入端连接，并且所述若干多路复用信号、复位信号、抽样信号和多路复用信号是均匀时距的。

10. 一种包括依据前面的权利要求 1-6 或 7-9 中的任一权利要求的第一和第二 BPCS 电路 (39, 42) 的二级 BPCS 电路, 其特征在于:

第一信号输入端和第二信号输入端, 用于分别在所述第一 BPCS 电路 (39) 中接收差分模拟信号的第一端和第二端, 以便在所述第一 BPCS 电路的信号输出端或者信号输出端对处以第一抽样速率产生信号抽

样;
斩波电路 (40), 用于在它的信号输出端或者输出端对处按照与所述第一抽样速率相等的时钟信号频率, 在时间上对称地对来自第一 BPCS 电路 (39) 的信号斩波,

10 差分输出放大器 (41), 用于在它的信号输出端对处差分地放大来自该斩波电路的信号; 以及

所述第二 BPCS 的第一信号输入端和第二信号输入端与所述放大器 (41) 的信号输出端对连接, 用以在信号输出端或输出端对处按照第二抽样速率产生信号抽样。

15 11. 依据权利要求 10 的二级 BPCS 电路, 其特征在于具有时钟输入端的时钟发生器 (43), 用于接收由第一 BPCS 电路 (39) 使用的第一时钟信号, 并且用于生成同时馈入所述斩波电路的时钟输入端以及所述第二 BPCS 电路的时钟输入端的第二时钟信号。

12. 在依据权利要求 1-11 的任一种所述 BPCS 电路中的积木式配置, 其特征在于:

20 所述开关的 n-MOS 配置, 包括: n-MOS 晶体管, 其漏极作为信号输入端, 栅极作为控制输入端而源极作为信号输出端; 以及

所述开关的 CMOS 配置, 包括: n-MOS 晶体管和 p-MOS 晶体管, 它们的漏极互相连接作为信号输入端, 它们的源极互相连接作为信号输出端, 而所述 n-MOS 晶体管的栅极作为控制输入端; 反相器, 它的输入端和所述 n-MOS 晶体管的栅极连接并且它的输出端和所述 p-MOS 晶体管的栅极连接;

所述 W&S 元件的配置, 包括: n-MOS 晶体管, 其漏极作为信号输入端, 栅极作为控制输入端而源极作为信号输出端;

30 所述积分器的无源式配置, 包括: 其第一端作为信号输入端并且第二端接地的电容器; 在需要时插入在所述信号输入端和所述电容器的第一端之间的选用电阻器; n-MOS 晶体管, 其漏极和源极分别和所述电容

器的第一端和第二端连接，并且栅极作为控制输入端；

所述差分积分器的无源式配置，包括：所述积分器的第一无源配置，其信号输入端和信号输出端分别作为所述差分积分器的第一信号输入端和第一信号输出端；以及所述积分器的第二无源配置，其信号输入端和信号输出端分别作为所述差分积分器的第二信号输入端和第二信号输出端；

所述积分器的有源式配置，包括：差分输入单端输出放大器，其正输入端接地，负输入端作为所述积分器的信号输入端，并且其输出端作为所述积分器的信号输出端；其第一端和所述差分输入单端输出放大器的负输入端连接的电容器；其输入端作为所述积分器的控制输入端的反相器；所述开关的第一 n-MOS 配置或 CMOS 配置，其信号输入端和所述差分输入单端输出放大器的负输入端连接，控制输入端和所述积分器的控制输入端连接，并且信号输出端和所述差分输入单端输出放大器的输出端连接；所述开关的第二 n-MOS 配置或 CMOS 配置，其信号输入端和所述电容器的第二端连接，控制输入端和所述积分器的控制输入端连接，并且信号输出端接地；所述开关的第三 n-MOS 配置或 CMOS 配置，其信号输入端和所述电容器的第二端连接，控制输入端和所述反相器的输出端连接而信号输出端和所述差分输入单端输出放大器的输出端连接；以及在需要时插入在所述积分器的信号输入端和所述差分输入单端输出放大器的负输入端之间的选用电阻器；

所述差分积分器的有源式配置，包括：差分输入差分输出放大器，其负输入端、正输入端、正输出端和负输出端是所述差分积分器的第一信号输入端、第二信号输入端、第一信号输出端和第二信号输出端；第一电容器，其第一端和所述差分输入差分输出放大器的负输入端连接；第二电容器，其第一端和所述差分输入差分输出放大器的正输入端连接；反相器，其输入端作为所述差分积分器的控制输入端；所述开关的第一 n-MOS 配置或 CMOS 配置，其信号输入端和所述差分输入差分输出放大器的负输入端连接，控制输入端和所述差分积分器的控制输入端连接并且信号输出端和所述差分输入差分输出放大器的正输出端连接；所述开关的第二 n-MOS 配置或 CMOS 配置，其信号输入端和所述第一电容器的第二端连接，控制输入端和所述差分积分器的控制输入端连接并且信号输出端接地；所述开关的第三 n-MOS 配置或 CMOS 配置，其信号输

入端和所述第一电容器的第二端连接,控制输入端和所述反相器的输出端连接并且信号输出端和所述差分输入差分输出放大器的正输出端连接;所述开关的第四 n-MOS 配置或 CMOS 配置,其信号输入端和所述差分输入差分输出放大器的正输入端连接,控制输入端和所述差分积分器的控制输入端连接并且信号输出端和所述差分输入差分输出放大器的负输出端连接;所述开关的第五 n-MOS 配置或 CMOS 配置,其信号输入端和所述第二电容器的第二端连接,控制输入端和所述差分积分器的控制输入端连接并且信号输出端接地;所述开关的第六 n-MOS 配置或 CMOS 配置,其信号输入端和所述第二电容器的第二端连接,控制输入端和所述反相器的输出端连接并且信号输出端和所述差分输入差分输出放大器的负输出端连接;当需要时插入在所述差分积分器的第一信号输入端和所述差分输入差分输出放大器的负输入端之间的第一选用电阻器;以及当需要时插入在所述差分积分器的第二信号输入端和所述差分输入差分输出放大器的正输入端之间的第二选用电阻器。

13. 一种包括依据权利要求 1-11 的第一和第二 BPCS 电路的前端抽样无线电接收机设备,其特征在于包括:

带宽高达时钟频率之二倍的、用于接收并且滤波无线电信号的低通滤波器(45);

用于从该经滤波的信号产生差分放大的无线电信号的低噪声放大器(46);

用于在它的信号输出端产生 I 时钟信号的本地振荡器(49);

其信号输入端和本地振荡器(49)连接的 $\pi/2$ 移相器(48),用于在其信号输出端处生成相对于所述 I 时钟信号振幅相等但相位差 $\pi/2$ 的 Q 时钟信号;

所述低噪声放大器(46)的信号输出端对的二端都连接到第一 BPCS 电路(47A)和第二 BPCS 电路(47B),所述 I 时钟信号输出端和所述第一 BPCS 电路(47A)的时钟输入端连接,并且所述 Q 时钟信号输出端和所述第二 BPCS 电路(47B)的时钟输入端连接,用于在所述第一 BPCS 电路(47A)的信号输出端或输出端对处产生所述无线电信号的基带 I 抽样和在所述第二 BPCS 电路(47B)的信号输出端或输出端对处产生所述无线电信号的基带 Q 抽样。

14. 依据权利要求 13 的前端抽样无线电接收机设备,其特征在于:

所述本地振荡器(49)、所述移相器(48)以及所述第一和第二 BPCS 电路(47A, 47B)的时钟发生器相组合以便更有效地和更准确地产生差分 I 时钟信号和 Q 时钟信号;

5 所述基带 I 抽样和 Q 抽样由二个分立的模/数转换器或者单个模/数转换器进行转换, 以便多路复用成数字信号;

所述数字信号由数字信号处理(DSP)部件处理; 以及

所述前端抽样无线电接收机设备是一种大大简化模拟部分并且其中高度利用 DSP 能力的高级无线电接收机设备。

10 15. 一种电荷抽样方法, 其特征在于下述步骤: 在 W&S 阶段期间对差分模拟信号的第一和第二端加权, 在所述 W&S 阶段期间积分加权后的信号, 其中该加权后的信号的电流被积分成积分电荷; 以及

在所述 W&S 阶段结束时产生比例电压或电流抽样。

带通电荷抽样电路

发明背景

- 5 电压抽样传统地用于模/数(A/D)转换。在电压抽样器中,在一信号源和一个电容器之间设置一个抽样开关。在二个抽样时刻之间,该电容器的电压准确地跟踪信号电压。在抽样时刻,断开该开关以保持电容器电压。当提高信号频率时,这二个过程变得越加困难。对于给定的精度,热噪声和切换噪声决定最小容许电容,而跟踪速度决定最大容许电容或开关电阻。当该最大值小于该最小值时则成为不可能。另外,时钟抖动和有限关断速度(非零抽样孔径)使抽样计时不准确。事实上,电压抽样电路的带宽必须远大于信号带宽。这使得高频无线电信号的直接抽样非常困难。二次抽样可以降低抽样速率,但不能降低抽样电路的带宽而且不能降低对小的时钟起伏以及小抽样孔径的要求。

15 发明概述

本发明的目的是提供克服上述问题的一种改进型抽样电路和一种抽样模拟信号的方法。

- 20 为了达到所述目的,本发明提供一种电荷抽样(CS)电路,其包括一个用于控制一至该电荷抽样电路的模拟输入信号的控制信号发生器,该模拟输入信号在一抽样阶段期间响应一个来自该控制信号发生器的抽样信号由一积分器积分,其中该模拟输入信号的电流被积分成积分电荷以在该抽样阶段结束时于信号输出端处生成一比例电压或电流抽样。

- 25 本发明的一个更具体的目的是提供一种用于带通抽样的方法和抽样电路。

- 30 该目的是通过一个带通抽样(BPCS)电路达到的,其包括一个用于控制一个差分模拟信号的第一端和第二端的控制信号发生器,该差分模拟信号在一个加权与抽样(W&S)阶段期间响应来自该控制信号发生器的W&S信号由一个W&S元件加权,其中仅当所述一W&S信号处于W&S阶段时该模拟信号的电流才通过所述W&S元件,并且所述控制信号发生器适用于在W&S阶段期间控制该W&S元件的输出信号由一个积分器积分,其中该W&S元件的输出信号的电流被积分成积分电荷以在该W&S阶段结

束时于信号输出端生成一个比例电压或电流抽样。

本发明另一个更具体的目的是提供一种二级 BPCS 电路。这是通过一个依据本发明的二级 BPCS 电路达到的，其包括：一个依据本发明的第一 BPCS 电路，用于生成带有第一抽样速率的信号抽样；一个斩波电路，用于按和该第一抽样速率相等的时钟信号频率及时对称地在该第一 BPCS 电路的信号输出端处或一对输出端处对来自第一 BPCS 电路的信号进行斩波；一个差分输出放大器，用于差分地放大来自该斩波电路的信号；其中所述第二 BPCS 的第一信号输入端和第二信号输入端与所述放大器（41）的信号输出端对连接，用以在信号输出端或输出端对处以一第二抽样速率生成信号抽样。

本发明的再一个具体目的是提供一种前端抽样无线电接收机。这是通过一种依据本发明的前端抽样无线电接收机达到的，其包括：一个用于接收并且滤波无线电信号的低通滤波器，其带宽高达时钟频率的二倍；一个低噪声放大器，用于从该滤波后的信号生成一个差分放大的无线电信号；一个本地振荡器，用于在其信号输出端生成一个 I 时钟信号；一个 $\pi/2$ 移相器，其一个信号输入端和该本地振荡器连接，用于在其信号输出端处生成一个振幅和 I 时钟信号相同但移相 $\pi/2$ 的 Q 时钟信号；其中所述低噪声放大器的信号输出对的二端分别都连接到第一 BPCS 电路和第二 BPCS 电路上，所述 I 时钟信号输出端连接到所述第一 BPCS 电路的时钟输入端，而 Q 时钟信号输出端连接到第二 BPCS 电路的时钟输入端，用以在第一 BPCS 电路的信号输出端或输出端对处生成该无线电信号的基带 I 抽样，而在所述第二 BPCS 电路的信号输出端或输出端对处生成该无线电信号的基带 Q 抽样。

依据本发明的电荷抽样电路的优点在于，该电荷抽样电路的带宽不必必须远大于信号带宽。另一个重要的背景是，对于一无线电信号，不论载波频率多么高，信号带宽（基带）保持为 DC（直流）至载波频率之间的整个频带的一小部分。从而不必转换整个频带，而是只需要转换带有信号的频带。

在给定精度下，能由该 CS 电路或该 BPCS 电路抽样的信号频率高于或远高于电压抽样电路能抽样的信号频率。

该 CS 电路或该 BPCS 电路中使用的抽样电容大于或者远大于电压抽样电路中使用的抽样电容，从而给出低噪声和低时钟和电荷馈通的优

点。

每个 BPCS 电路同时是一滤波器、一混频器和一抽样器，这大大简化无线电接收机。

该 BPCS 电路能直接在射频频带上工作，这使得带有前端抽样和 A/D 转换的高数字化无线电接收机成为可能。

BPCS 电路的中心频率和带宽都很容易被编程。带宽可以按所需的尽量窄，等同于具有一个无限的 Q 值。

该 CS 电路和该 BPCS 电路是简单的，并且可容易地在 CMOS 或其它工艺中实现。

对于需要简单以及高数字化体系结构的单芯片系统目的，该技术是非常有用的。

要强调指出的是，当在本说明书中使用术语“包括”用于规定所提及的特性、整数、步骤或部件的存在，但其不排除存在或添加一个或多个其它的特性、整数、步骤、部件和它们的组合。

附图的简要说明

为了更详细地解释本发明以及本发明的各种优点和特点，下面参照各附图详细说明一优选实施例，在附图中：

图 1A 是依据本发明的一种电荷抽样（CS）电路的一个第一实施例的方块图，

图 1B 示出图 1A 中的电荷抽样（CS）电路的工作波形，

图 1C 示出图 1A 中的电荷抽样（CS）电路的频率响应，

图 2A 是依据本发明的一种带通电荷抽样（BPCS）电路的一个第一实施例的方块图，

图 2B 示出图 2A 中的带通电荷抽样（BPCS）电路的工作波形，

图 3 是依据本发明的一种差分 BPCS 电路的一个第一实施例的方块图，

图 4 是依据本发明的一种并联差分 BPCS 电路的一个第一实施例的方块图，

图 5 示出用于依据本发明的 BPCS 电路的滤波器功能的例图，

图 6A 是一依据本发明的 $n=10$ 的常数加权 BPCS 电路的理想频率响应，

图 6B 是 $n=10$ 的常数加权 BPCS 电路的输出抽样波形，

- 图 7A 是 $n=50$ 的常数加权 BPCS 电路的理想频率响应，
图 7B 是 $n=500$ 的常数加权 BPCS 电路的理想频率响应，
图 8A 是 $n=50$ 的线性加权 BPCS 电路的理想频率响应，
图 8B 是 $n=500$ 的线性加权 BPCS 电路的理想频率响应，
5 图 9A 是 $n=75$ 和 $n=87$ 的高斯加权 BPCS 电路的理想频率响应，
图 9B 是 $n=750$ 和 $n=870$ 的高斯加权 BPCS 电路的理想频率响应，
图 10 是图 3 中的差分 BPCS 电路的第一实施例的电路图，
图 11A 示出依据图 10 的 $n=10$ 在 1000 兆赫下常数加权的电路图，
图 11B 示出图 11A 中的电路产生的频率响应，
10 图 12A 示出依据图 10 的 $n=59$ 在 1000 兆赫下线性加权的电路图，
图 12B 是图 12A 中的电路产生的频率响应，
图 13A 是依据图 10 的 $n=599$ 在 1000 兆赫下线性加权的电路图，
图 13B 是图 13A 中的电路产生的频率响应，
图 14A 是一种单端有源积分器的电路图，
15 图 14B 是一种差分有源积分器的电路图，
图 15 是二级 BPCS 电路的方块图，以及
图 16 是一种前端抽样无线电接收机结构的方块图。

对各附图的详细说明

- 本发明是一个通过在给定的时间窗口内积分信号的电流以对该信号抽样的电荷抽样 (CS) 电路或带通电荷抽样 (BPCS) 电路，并且所产生的电荷代表该窗口的中心时间处的信号抽样。

- 参照图 1A，其示出依据本发明的电荷抽样 (CS) 电路 1 的一个第一实施例。它包括抽样开关 2，一个积分器 3 和一个控制信号发生器 4。开关 2 具有一个信号输入端、一个信号输出端和一个控制输入端。向该开关的信号输入端施加一个模拟信号，其是该电荷抽样电路 1 的信号输入，并且向该控制输入端施加一个来自控制信号发生器 4 的抽样信号。仅当抽样信号处于抽样阶段内时，该开关才接通，即该信号输入端和该开关的信号输出端相连接。积分器 3 具有一个信号输入端、一个信号输出端和一个控制输入端。开关 2 的信号输出端施加到积分器 3 的信号输入端，并且来自控制信号发生器 4 的一个复位信号施加到积分器 3 的控制输入端。在抽样阶段期间至 CS 电路 1 的模拟输入信号的电流被积分，并且在该抽样阶段结束点处，此积分电荷在该 CS 电路的信号输出端处

产生一个比例电压或电源抽样。在开始复位信号的复位阶段之前一直保持该抽样，并且在此期间的时间间隔为保持阶段。当重复这些阶段时产生序列抽样，并且该信号输出是所述 CS 电路的信号输出。如前面所述，控制信号发生器 4 具有一个作为该 CS 电路的时钟输入的时钟输入，一个连接到开关 2 的控制输入端的抽样信号输出端，和一个连接到积分器 3 的控制输入端的复位信号输出端。

在本实施例中，积分器 3 包括一个电容器 3-1，一个复位开关 3-2 和一个选用电阻器 3-3。然而，在其它实施例中积分器 3 可具有不同的配置。对抽样开关 2 的输入端施加一个模拟信号。如已说明的，电荷抽样过程涉及三个相继的阶段：复位、抽样（ t_1 至 t_2 ）和保持。从 t_1 到 t_2 的时间定义为抽样窗口。图 1B 示出该电路的工作波形。在复位阶段期间，只接通复位开关 3-2 并且电容器 3-1 复位。在抽样阶段期间，仅接通抽样开关 2，并且信号电流在电容器 3-1 上积分。时间常数足够大，以便当信号从一电压源（通常情况）进入时能得到线性充电。如果开关 2 的接通电阻太小，可以附加选用电阻器 3-3。在保持阶段期间，这二个开关都处于断开状态，并且保持积分器 3 的输出电压供进一步使用。一对组成一个差分 CS 电路的互连 CS 电路通过使用一个差分输入信号并共享控制信号发生器 4，提供差分输出以消除共模效应。这些 CS 电路或 CS 电路对并联使用，以便通过在时间上交错的抽样信号和复位信号二者来提高抽样速率，并使二个抽样点之间的时间间隔可能小于该抽样窗口。信号电流可以用 $I(t) = \sum I_i \sin(\omega_i t + \phi_i)$ 表示， $i=1, 2, \dots, m$ 。总积分电荷为 $Q = \sum Q_i$ ，其中 $Q_i = (I_i / \omega_i) (\cos(\omega_i t_1 + \phi_i) - \cos(\omega_i t_2 + \phi_i))$ 。若 t_s 为抽样窗口的中心时间并且 $2\Delta t = (t_2 - t_1)$ 为窗口宽度，则 $Q_i = (2 \sin(\omega_i \Delta t / \omega_i) I_i \sin(\omega_i t_s + \phi_i) = 2\Delta t (\sin(\omega_i \Delta t) / (\omega_i \Delta t)) I_i \sin(\omega_i t_s + \phi_i)$ 。

和 t_s 处的第 i 个分量的瞬时值 $I_i(t_s) = I_i \sin(\omega_i t_s + \phi_i)$ 相比，差 $k_i = 2\Delta t (\sin(\omega_i \Delta t / \omega_i \Delta t))$ ，即一个取决于频率 ω_i 和 Δt 的抽样系数。借助于该系数，已经准确地抽样时刻 t_s 处的第 i 个频率分量。由于所有的频率分量都在 t_s 时刻抽样，该电容器上的总电荷自然地代表 t_s 时刻的信号抽样，即 t_s 是等效抽样时间点。该 CS 电路的频率响应取决于函数 $\sin(\omega_i \Delta t / \omega_i \Delta t)$ ，如图 1C 中示出。它的 3dB 带宽等于 $\Delta f_{3dB} = 1.4 / (2\pi \Delta t)$ ，即对于一个 450 ps 的抽样窗口为 1GHz，并和分辨率无

关。然而,对于电压抽样,对于一个 1GHz 时的 8 比特分辨率,抽样孔径必须小于 1 ps。由于函数 $\sin(\omega_i \Delta t) / \omega_i \Delta t$ 是良好定义的,频率补偿变成可能。一种方法是抽样前让该模拟信号通过一个频响特性为 $(\omega_i \Delta t) / \sin(\omega_i \Delta t)$ 的网络。另一种替代是在 A/D 转换后采用数字信号处理 (DSP) 以补偿该频率响应。

此外,一种带通电荷抽样 (BPCS) 电路包括:二个开关,一个加权与抽样 (W&S) 元件,一个积分器和一个生成时钟、反向时钟、W&S 信号和复位信号的控制信号发生器。差分信号的二端分别施加到二个开关的输入端。这二个分别由该时钟和该反向时钟控制的开关交替地接通。二个开关的输出馈送到该 W&S 元件输入端。W&S 元件的输出馈送到积分器的输入端。它工作在三个相继的阶段:复位、抽样和保持。在复位阶段,该积分器由复位信号复位。每个抽样阶段包括 n 个时钟周期,在其期间信号电流在该 W&S 元件上加权并在该积分器中加以积分。在保持阶段期间保持积分器的输出。

图 2A 中示出带通电荷抽样 (BPCS) 电路 5 的一个实施例。它包括二个开关 2A 和 2B,一个加权与抽样 (W&S) 元件 6,一个积分器 3 以及一个生成时钟、反向时钟、W&S 信号和复位信号的控制信号发生器 7。差分模拟信号的二端分别施加到开关 2A 和 2B 的输入端。分别由该时钟和该反向时钟控制的开关 2A 和 2B 交替地接通。开关 2A 和 2B 的输出都馈送到 W&S 元件 6 的输入端。通过 W&S 元件 6 的电流由 W&S 信号控制。W&S 元件 6 的输出馈送到积分器 3 的输入端。每个 BPCS 过程涉及三个相继的阶段:复位、抽样和保持。图 2B 示出这些工作波形。在复位阶段期间,积分器被复位。每个抽样阶段包括 n 个构成一个抽样窗口的时钟周期。通过 W&S 元件的信号电流在该抽样窗口之外时等于零,而当在该抽样窗口内时根据加权函数 (常数、线性、高斯或其它函数) 加权。该加权函数取决于 W&S 元件和 W&S 信号的组合。图 2B 示出的三种和三种加权函数 (常数、线性和高斯) 对应的 W&S 信号具体地用于一个 W&S 元件的情况,在该元件中电流通过 W&S 信号线性地控制。在保持阶段期间,保持积分器 3 的输出电压以供其它使用。

图 3 中示出一个差分 BPCS 电路 8。如所连接那样,它包括四个开关 2A、2B、2C、2D,一个差分 W&S (D-W&S) 元件 9,一个差分积分器 10 以及一个控制信号发生器 7。所示类型的 D-W&S 元件 9 包括二个并联

的 W&S 元件 6A 和 6B, 并且所示类型的差分积分器包括二个并联的积分器 3A 和 3B。D-W&S 元件 9 和差分积分器 10 可以为其它类型。除了差分地产生二个输出外, 差分 BPCS 电路 8 的工作方式和单端 BPCS 电路 5 的工作方式相同。差分 BPCS 8 有效地消除共模效应并且给出更加准确的结果。

图 4 示出一个并联差分 BPCS 电路 11。如所连接的那样, 它包括四个开关 2A、2B、2C 和 2D, 若干 D-W&S 元件 9A、9B、...、9X, 若干差分积分器 10A、10B、...、10X, 一个多路复用器 (MUX) 12 和一个控制信号生成器 13。每对 D-W&S 元件和差分积分器, 9A + 10A、9B + 10B、...、9X + 10X, 和开关 2A、2B、2C、2D 一起以和差分 BPCS 电路 8 相同的方式工作。由控制信号发生器 13 生成的送至这些对中的 W&S 信号和复位信号在时间上是均匀交错的。在来自控制信号生成器 13 的多路复用信号的控制下, MUX 12 把处于保持状态下的差分积分器 10A、10B、...、10X 的输出多路复用到差分输出上。总的来说, 该并联 BPCS 电路给出更高的抽样速率并且使得二个相继抽样点之间的时间间隔可能小于抽样窗口。如果去掉开关 2C 和 2D, 并且用单端型式替代这些差分 W&S 元件以及差分积分器, 它变成并联式单端 BPCS 电路。

图 5 中示出 BPCS 电路的滤波器功能。从上至下, 频率从 DC 增加到 $3f_c$, 其中 f_c 是时钟频率。注意在负时钟阶段相同信号反相连接, 在该图中对此是通过改变信号符号来反映的。在图 5 中分别地列出在 n 个时钟周期中积分产生的各电荷的, 即各区域和的, 归一化振幅。很明显, 对于频率远高于或远低于 f_c 的输入信号, 电荷几乎彼此完全抵消, 造成几乎为零的输出。对于某些频率的镜像 $f_c/4$ 、 $f_c/2$ 、 $2f_c$ 、... 的输入信号, 不论它们的相位如何这些电荷完全抵消。对于频率在 f_c 附近的输入信号, 这些电荷只会部分抵消。当 $f_{in} = f_c$ 时, 若和 f_c 同相则电荷彼此全部相加, 而它和 f_c 相位差 $\pi/2$ 时 (图 5 中未示出) 则彼此全部抵消。存在一个在其中可以有效地积分信号电荷的带宽。在该带宽以外, 信号电荷或者全部地或者明显地抵消。这明显地是一种滤波器功能。这意味着在该带宽之外的频率下的噪声也会被抵消。

在图 6A 中示出 BPCS 电路的理想频率响应, 它对应于抽样窗口中信号电流的数学上准确的积分。在图 6A 中, 假定 $n = 10$ 并且为常数加权, 这意味着在 10 个时钟周期的抽样窗口中对电流的加权保持不变。另外,

图 6A 示出从 $f_{in} = 0$ 到 $f_{in} = 8f_c$ 的频率响应, 其中 y 轴是用整个频率范围中的最大输出振幅归一化后的差分频率分量的最大输出振幅, 而 x 轴是用 f_c 归一化后的输入频率。可以看出 $f_{in} > 2f_c$ 后重复相同的频率响应但振幅更低。对于 $2(p-1)f_c \leq f_{in} \leq 2pf_c$, 输出频率 f_{out} 等于 $|f_{in} - (2p-1)f_c|$, 其中 p 是一个整数 (≥ 1)。当 $f_{in} = (2p-1)f_c$ 时, 输出是一个 DC 电压, 并且它的振幅取决于 f_{in} 和 f_c 的相位关系。对于一个给定的 p, 当 $(2p-1)f_c - f_{in1} = f_{in2} - (2p-1)f_c$ 时, 对于输入频率 $f_{in1} (< (2p-1)f_c)$ 和 $f_{in2} (> (2p-1)f_c)$, 得到相同的输出频率, 但是它们的相位不同。图 6B 示出 $f_c = 1000\text{MHz}$ 下和 I (实线所示) 相位和 Q (虚线所示) 相位下差分输入频率处的输出抽样波形。它示出 BPCS 电路同时是一个滤波器、一个混频器和一个抽样器。

在图 7A 和图 7B 中, 分别示出 $n=50$ 和 $n=500$ 的常数加权 BPCS 电路的理想频率响应。图 7A 示出 $n=50$ 的在 $0 < f_{in} < 2f_c$ 范围内的以及在 $0.95f_c < f_{in} < 1.05f_c$ 的小范围内的频率响应。图 7B 示出 $n=500$ 的 $0 < f_{in} < 2f_c$ 范围内的以及在 $0.995f_c < f_{in} < 1.005f_c$ 小范围内的频率响应。可以看出对于 $n=50$, $\Delta f_{3dB} = 0.018f_c$ 而对于 $n=500$, $\Delta f_{3dB} = 0.0018f_c$, 即带宽和 n 成反比。随着 n 的增大远端频率分量的振幅减小, 但在这二种情况中最大相邻峰值几乎保持不变, 约为 -13dB 。

图 8A 和图 8B 分别示出 $n=50$ 和 $n=500$ 的线性加权 BPCS 电路的理想频率响应。线性加权意味着在抽样阶段期间, 对称于抽样窗口的中心先线性增加并接着线性减小对电流的加权。图 8A 示出 $n=50$ 的 $0 < f_{in} < 2f_c$ 范围内的以及在 $0.9f_c < f_{in} < 1.1f_c$ 小范围内的频率响应。图 8B 示出 $n=500$ 的 $0 < f_{in} < 2f_c$ 范围内的以及在 $0.99f_c < f_{in} < 1.01f_c$ 小范围内的频率响应。可以看出对于 $n=50$, $\Delta f_{3dB} = 0.025f_c$ 而对于 $n=500$, $\Delta f_{3dB} = 0.0025f_c$, 和常数加权情况相比略微增大。随着 n 的增加远端频率分量的振幅迅速减小。和常数加权情况相比, 最大相邻峰值分别下降到 -26dB 和 -27dB 。

在图 9A 和图 9B 中, 示出高斯加权 BPCS 电路的理想频率响应。高斯加权意味着在抽样阶段期间, 对称于抽样窗口的中心, 对电流的加权根据一给定 σ 下的高斯函数 $\exp(-t^2/2\sigma^2)$ 变化。比值 $\Delta t/\sigma$ 是加权参数, 其中 Δt 是抽样窗口的二分之一而 σ 是标准偏差。图 9A 分别示出 $0 < f_{in} < 2f_c$ 范围内的 $n=75$ 且 $\Delta t/\sigma = 3.5$ 的以及 $n=87$ 且 $\Delta t/\sigma = 4$ 的频率

响应。二者的 3dB 带宽都是 $0.025f_c$ 。图 9B 分别示出 $0.9 f_c < f_{in} < 1.1 f_c$ 范围内的 $n=750$ 且 $\Delta t/\sigma = 3.5$ 的以及 $n=870$ 且 $\Delta t/\sigma = 4$ 的频率响应。二者的 3dB 带宽都是 $0.0025f_c$ 。在高斯加权下,远端频率分量的振幅以及相邻峰值明显减小。最大相邻峰值在 -61dB 至 -78dB 的范围内。

5 图 10 中示出利用 n-MOS(N 沟道金属氧化半导体)晶体管对差分 BPCS 电路 8 的核心的实现 14。这些定时开关是 n-MOS 晶体管 15A、15B、15C 和 15D。W&S 元件组是 n-MOS 晶体管 16A 和 16B。复位开关组是 n-MOS 晶体管 18A 和 18B。各电容器是单芯片 MOS 电容器 17A 和 17B。时钟是正弦波,但是也可以使用准方波。实现 14 在全部 CMOS(互补型金属氧化物半导体)工艺下完成。然而,在该 HSPICE 模拟中采用 $0.8\mu\text{m}$ CMOS 工艺的参数组。下面三种实现基于实现 14 但具有特定的元件值及 W&S 信号参数。

图 11A 示出 $f_c = 1000\text{MHz}$ 下 $n=10$ 的常数加权的实现 19。定时开关组是 n-MOS 晶体管 20A、20B、20C 和 20D。W&S 元件组是 n-MOS 晶体管 15 21A 和 21B。复位开关组是 n-MOS 晶体管 23A 和 23B。它们全具有最小化尺寸, $2\mu\text{m}/0.8\mu\text{m}$ (宽度/长度)。电容器组是 MOS 电容器 22A 和 22B,都为 40pF 。常数加权 W&S 信号的宽度是 10ns ,对应于 $n=10$ 。最大差分输出抽样电压约为 100mV 。图 11B 示出对于 $f_{in}=900\text{--}1100\text{MHz}$ 的理论频率响应(实线)和 HSPICE 模拟频率响应(虚线)。模拟频率响应紧密跟随理论频率响应紧密一致。在这二种情况中,最大相邻峰值为 -13dB 并且 $\Delta f_{3\text{dB}} = 18\text{MHz}$ 。

在图 12A 中,示出 $f_c = 1000$ 兆赫下 $n=59$ 的线性加权的实现 24。定时开关组是 n-MOS 晶体管 25A、25B、25C 和 25D,它们的尺寸都增加到 $10\mu\text{m}/0.8\mu\text{m}$ 。这使得信号电流由 W&S 元件而不是由开关主导。W&S 元件组是 n-MOS 晶体管 21A 和 21B,尺寸为 $2\mu\text{m}/0.8\mu\text{m}$ 。复位开关是 n-MOS 晶体管 23A 和 23B,尺寸为 $2\mu\text{m}/0.8\mu\text{m}$ 。电容器组是 MOS 电容器 22A 和 22B,都为 40pF 。线性加权 W&S 信号的宽度是 59ns ,对应于 $n=59$ 。最大差分输出抽样电压约为 100mV 。图 12B 示出对于 $f_{in}=900\text{--}1100\text{MHz}$ 的理论频率响应(实线)和 HSPICE 模拟频率响应(虚线)。模拟频率响应基本上和理论频率响应相一致。二者都具有 $\Delta f_{3\text{dB}} = 21\text{MHz}$ 。但是,对于实现 24 其最大相邻峰值为 -30dB ,这小于理论响应。这是因为 n-MOS 晶体管 21A 或 21B 的电导对于线性 W&S 信号不是非常线性的。实际的加

权函数以某种方式在线性加权和高斯加权之间。

在图 13A 中示出 $f_c = 1000\text{MHz}$ 下 $n=599$ 的线性加权的实现 26。定时开关组是 n-MOS 晶体管 25A、25B、25C 和 25D，尺寸为 $10\mu\text{m}/0.8\mu\text{m}$ 。W&S 元件是 n-MOS 晶体管 27A 和 27B，尺寸为 $2\mu\text{m}/16\mu\text{m}$ 。注意把 27A 和 27B 5 的长度增加到 $16\mu\text{m}$ 以限制如此长的充电周期 (599 ns) 期间的信号电流和电容器电压。复位开关组是 n-MOS 晶体管 23A 和 23B，尺寸为 $2\mu\text{m}/0.8\mu\text{m}$ 。电容器组是 MOS 电容器 28A 和 28B，都为 20 pF 。线性加权 W&S 信号的宽度是 599 ns ，对应于 $n=599$ 。最大差分输出抽样电压约为 100 mV 。图 13B 示出对于 $f_{in}=990\text{--}1010\text{MHz}$ 的理论频率响应 (实线) 10 和 HSPICE 模拟频率响应 (虚线)。模拟频率响应基本上和理论频率响应相一致。二者都具有 $\Delta f_{3dB} = 2\text{MHz}$ 。出于上面提过的相同原因，实现 26 的最大相邻峰值为 -30dB ，这小于理论响应。

图 14A 和图 14B 分别示出用于改进输出摆动和线性度的有源积分器。在图 14A 中示出单端有源积分器 29。如所连接的那样，它包括一个 15 差分输入单端输出放大器 30，一个反相器 35，一个电容器 31 和开关 32、33、34。有源积分器总是把信号输入保持为虚地，以消除电容器电压对信号电流的影响。放大器 30 的带宽只需要覆盖信号基带不必覆盖载波，这使它是行得通的。反相器 35 利用复位信号作为输入，生成带有延迟的反相复位信号以控制开关 33，同时复位信号控制开关 32 和 34。在复 20 位阶段期间，开关 32 和 34 接通，而开关 33 断开。电容器 31 的电压复位到放大器 30 的输入偏置电压。在抽样阶段期间，开关 32 和 34 断开而开关 33 接通。电容器 31 由信号电流充电。同时，抵消放大器 30 的偏置电压。在图 14B 中示出一个差分有源积分器 36。它包括一个差分输入差分输出放大器 37，二个电容器 31A 和 31B，一个反相器 35 以及开 25 关 32A、32B、33A、33B、34A、34B。除了使用差分输入信号并且给出差分输出外，它的工作方式基本上和积分器 29 一样。积分器 29 可以替代图 1A 中的积分器 3，而积分器 36 可以替代图 3 中的积分器 10。

图 15 示出二级 BPCS 电路 38。它包括一个第一 BPCS 电路 39，一个 30 斩波电路 40，一个放大器 41，一个第二 BPCS 电路 42 以及一个产生第二时钟的时钟信号发生器 43。第一 BPCS 电路 39 和第二 BPCS 电路 42 可以是 BPCS 电路 5、8、11、19、24 和 26 中的任何类型。对于第一 BPCS 电路 39，分别将一差分模拟信号的二端提供给它的二个输入端，并且将

一个第一时钟信号施加给它的时钟输入端。从第一 BPCS 电路 39 产生具有一第一抽样速率的一些信号抽样并馈入斩波电路 40。在第二时钟的控制下，时间上对称地对这些抽样进行斩波。从斩波电路 40 把具有等于斩波频率的新载波频率的斩波后信号馈入放大器 41，并把放大后的差分信号分别馈到第二 BPCS 电路 42 的二个输入端。在第二时钟的控制下，第二 BPCS 电路 42 以一第二抽样速率生成最后的抽样输出。二级 BPCS 电路 38 给出了性能替换上的灵活性。可以基于二级 BPCS 电路 38 建立级数更多的 BPCS 电路。

在图 16 中示出一种前端抽样无线电接收机结构 44。它包括一个具有 $f_{pass} < 2f_c$ 的低通滤波器，一个差分输出低噪声放大器 (LNA) 46，二个 BPCS 电路 47A 和 47B，一个 90° 移相器 48，以及一个本地振荡器 49。来自天线的无线电信号施加到低通滤波器 45 的输入端。 $2f_c$ 以上的频率分量大大减少。低通滤波器 45 的输出馈入 LNA 46 以产生振幅足够大的差分输出。同时把差分输出馈送到 BPCS 电路 47A 和 47B 的输入端。在此同时，把本地振荡器 49 生成的 I 时钟信号馈入 BPCS 电路 47A 而把从该 I 时钟信号经 90° 移相器 48 后生成的 Q 时钟信号馈入 BPCS 电路 47B。BPCS 电路 47A 和 47B 分别产生 I 抽样和 Q 抽样，抽样输出可以或者立即转换成数字数据或者供作进一步处理。BPCS 电路 47A 和 47B 可以是 BPCS 电路 5、8、11、19、24 和 26 之中的任一个。这些电路中的积分器可以是无源积分器或者可以是有源积分器。无线电接收机结构 44 同时在前端具有滤波、混频和抽样功能，这减缓了对 A/D 转换的性能要求，避免了模拟滤波器并且高度应用 DSP 能力。原则上，任何窄带宽，即任何高 Q 值，是可能的。可以容易地编定滤波功能的中心频率。这的确是一种带有广泛应用范围的超级无线电接收机结构。

在 CS 和 BPCS 电路中使用的抽样电容器比电压抽样电路中使用的电容器要大得多，从而噪声低、电荷少和时钟馈通低。

BPCS 电路同时是滤波器、混频器和抽样器，从而能在射频下工作。可以通过时钟频率、数 n 和 W&S 信号的波形设定中心频率、带宽和相邻选择性，这尤其适用于前端抽样无线电接收机和单芯片系统。

应理解，尽管在本说明书中阐述了本发明的大量特征和特点以及本发明的功能细节，但本文之公开仅是示范性的而在下述权利要求书中定义的本发明的范围内可在细节上做出各种修改。

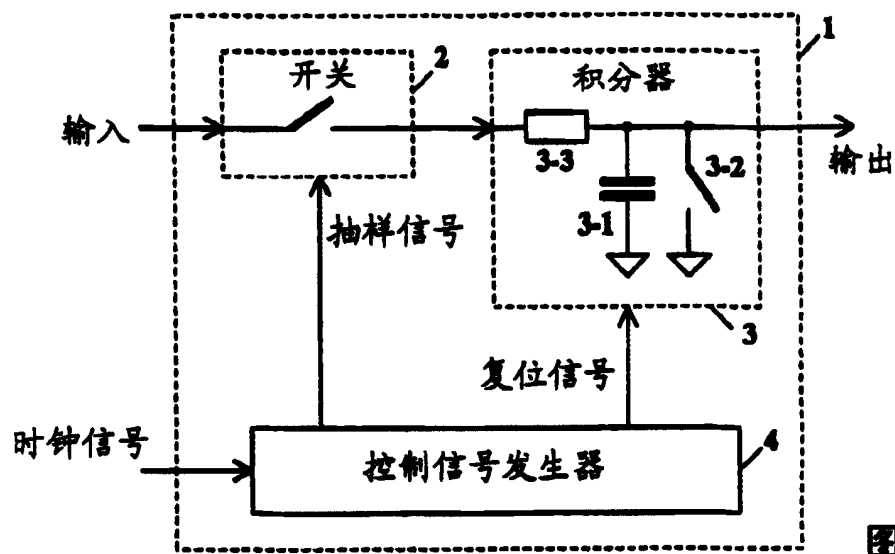


图 1A

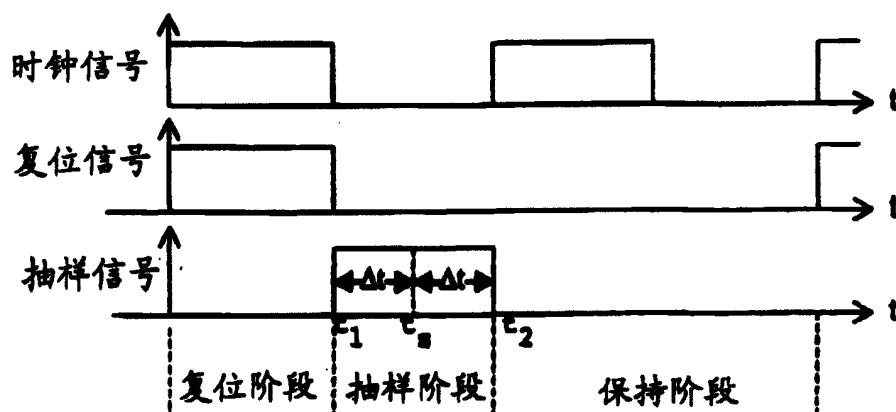


图 1B

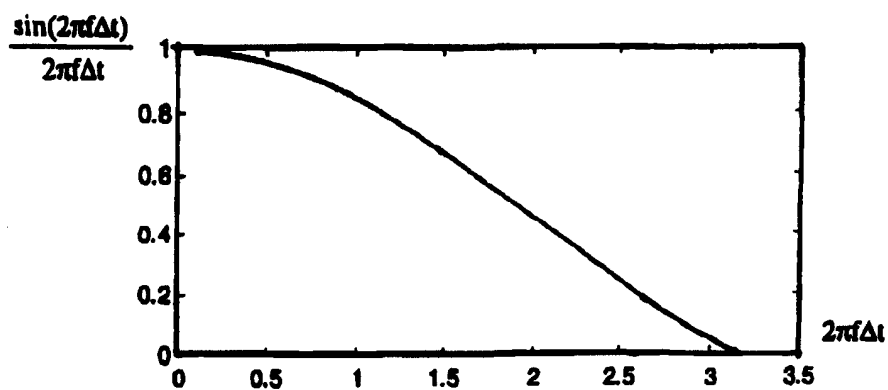


图 1C

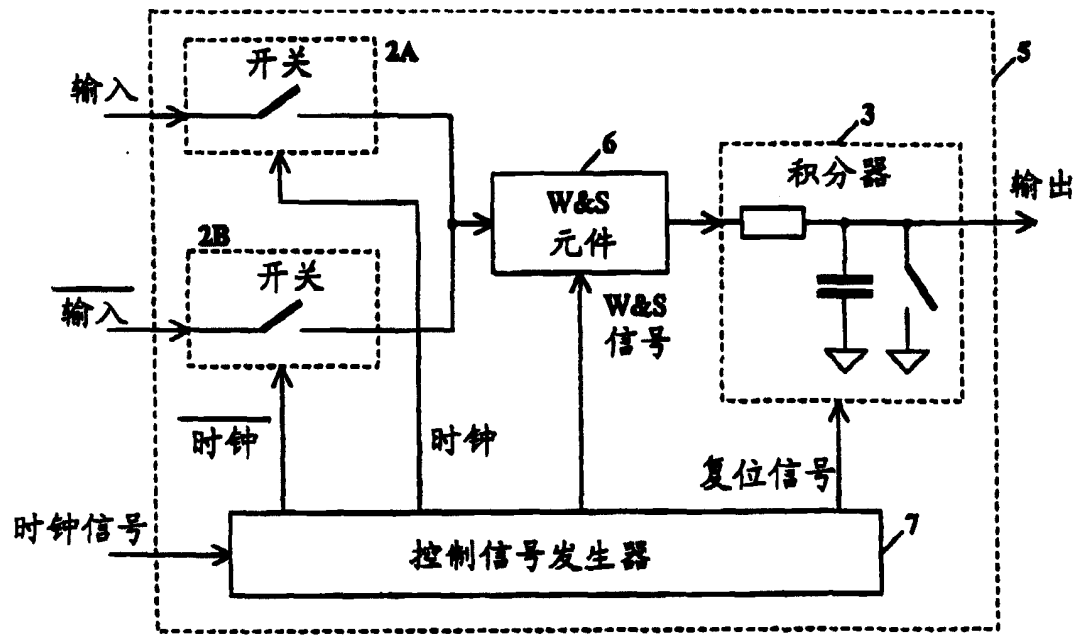


图 2A

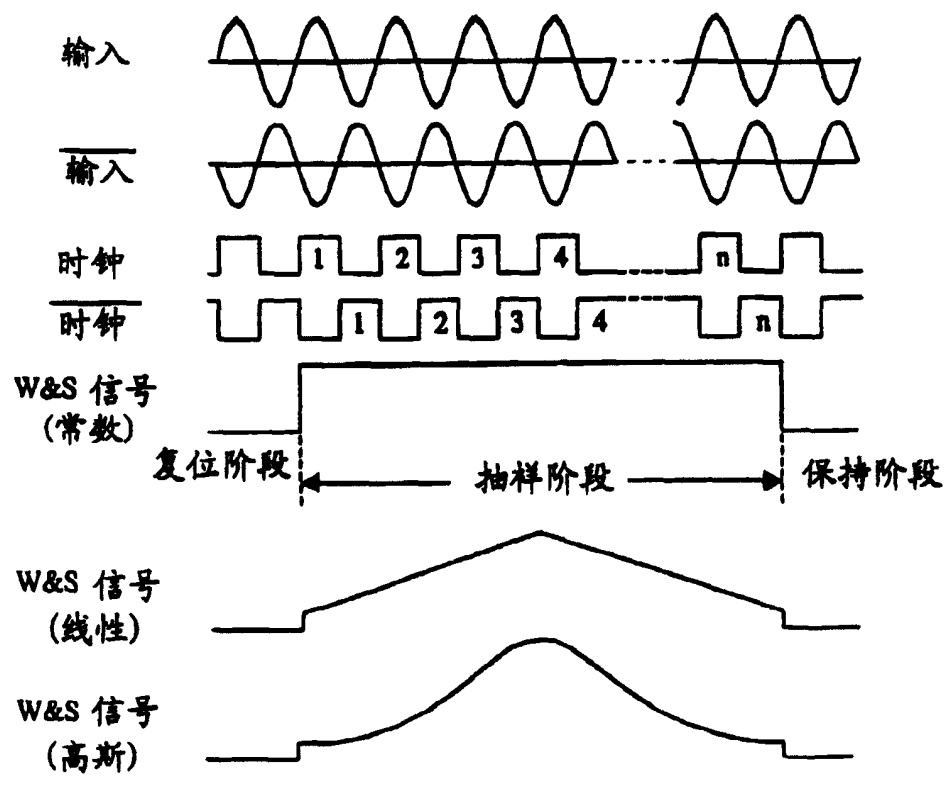


图 2B

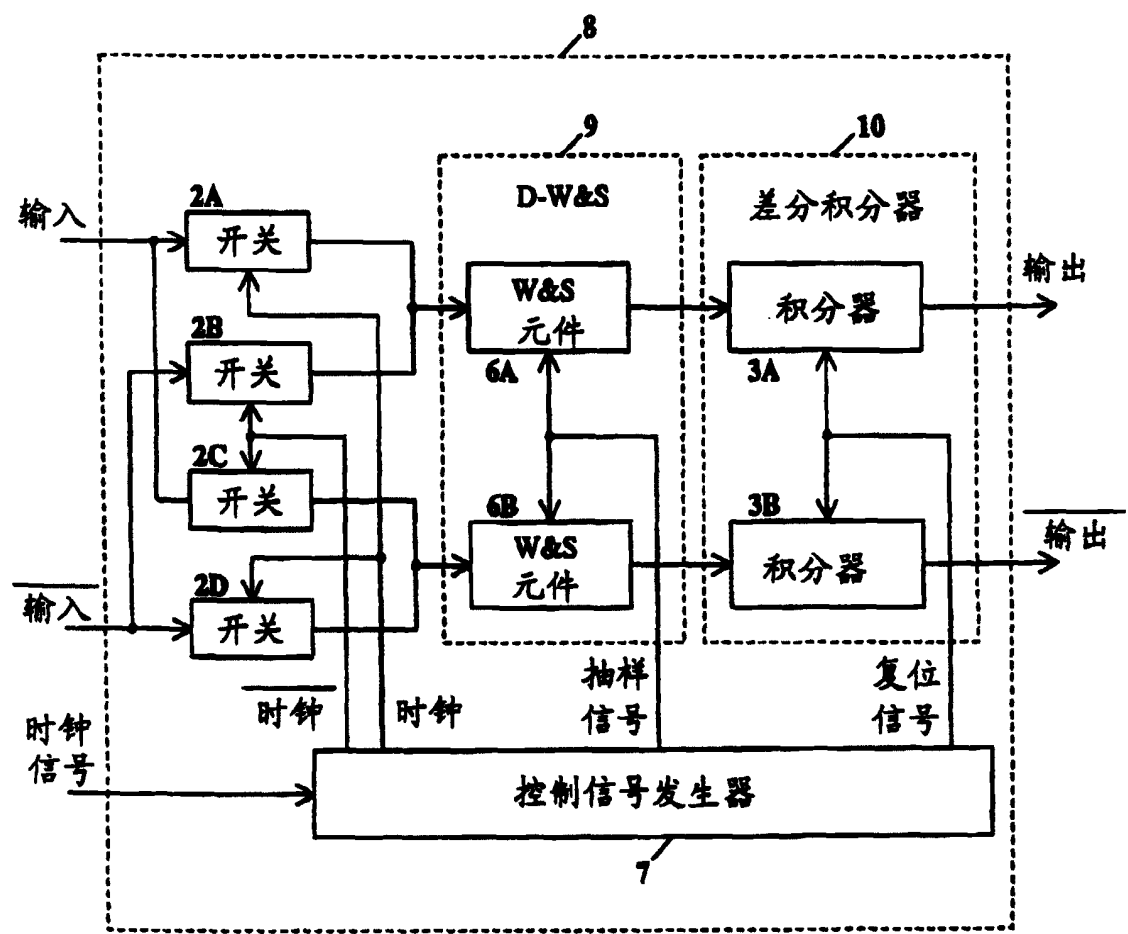


图 3

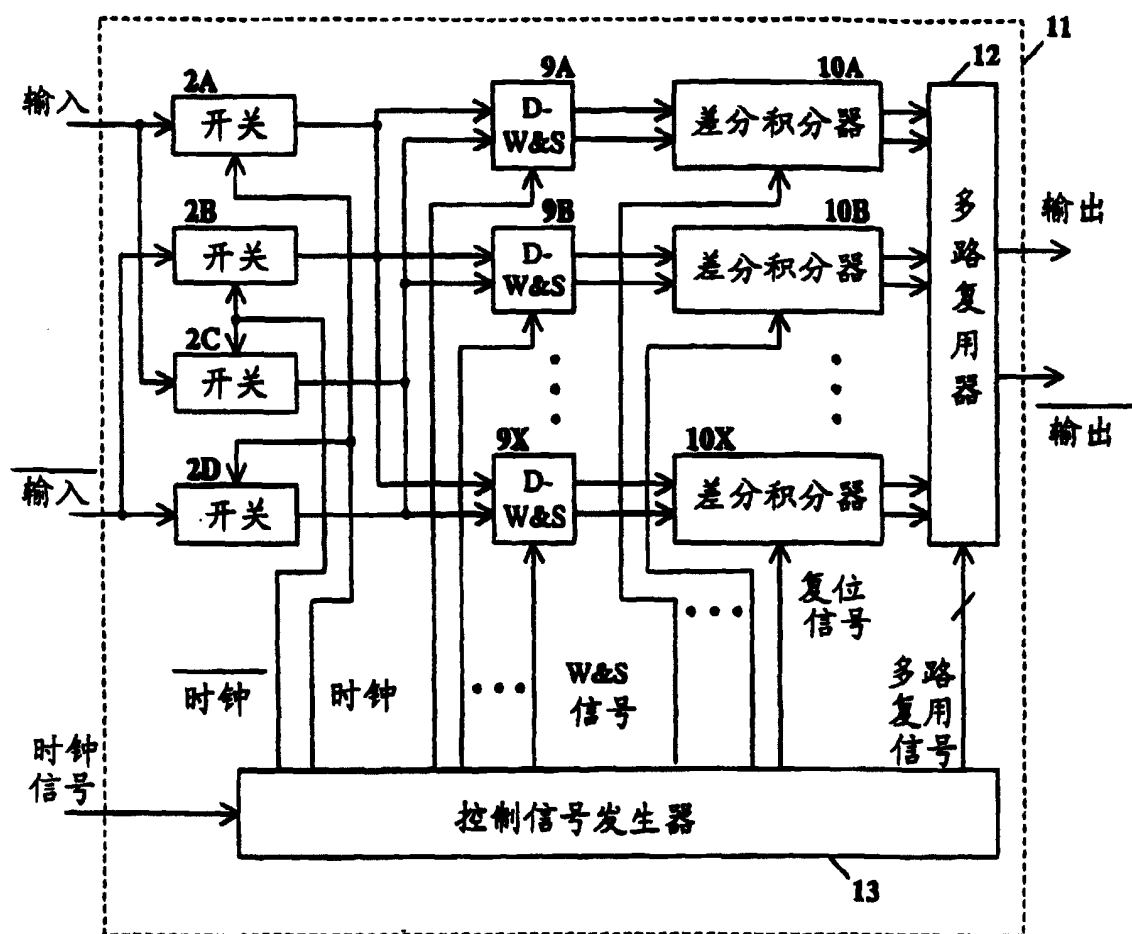


图 4

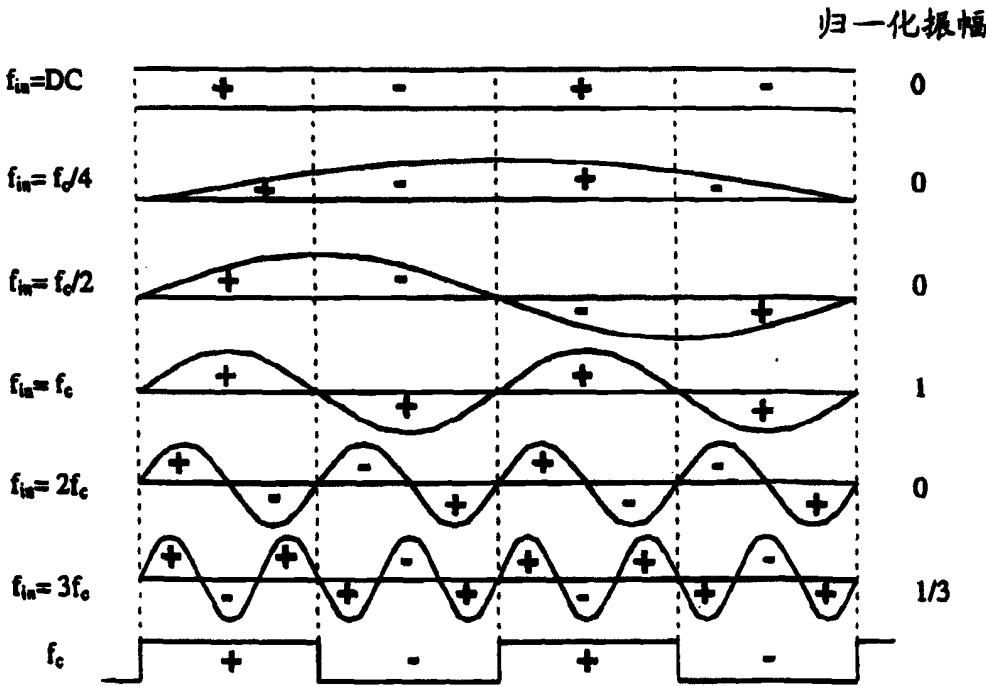


图 5

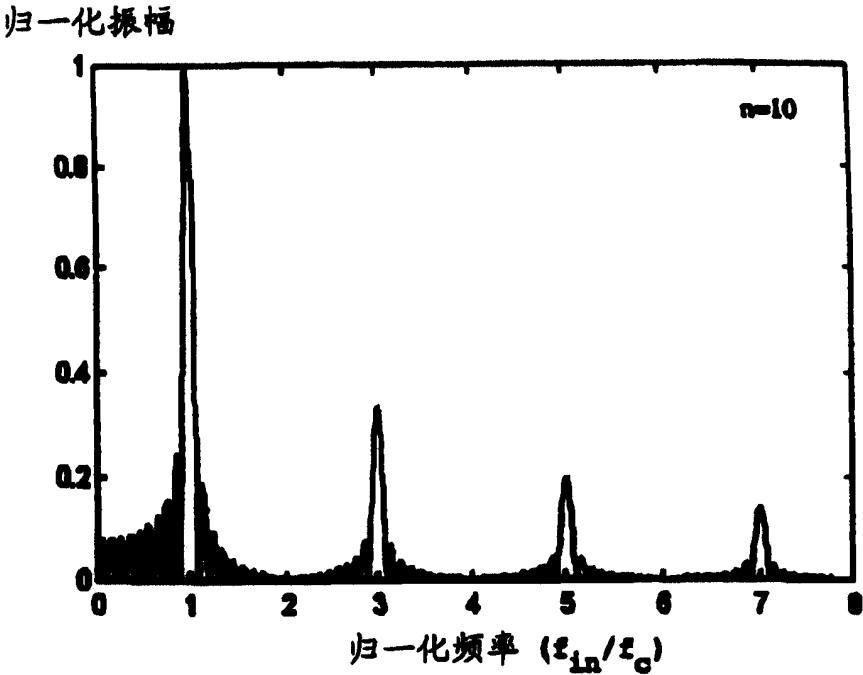
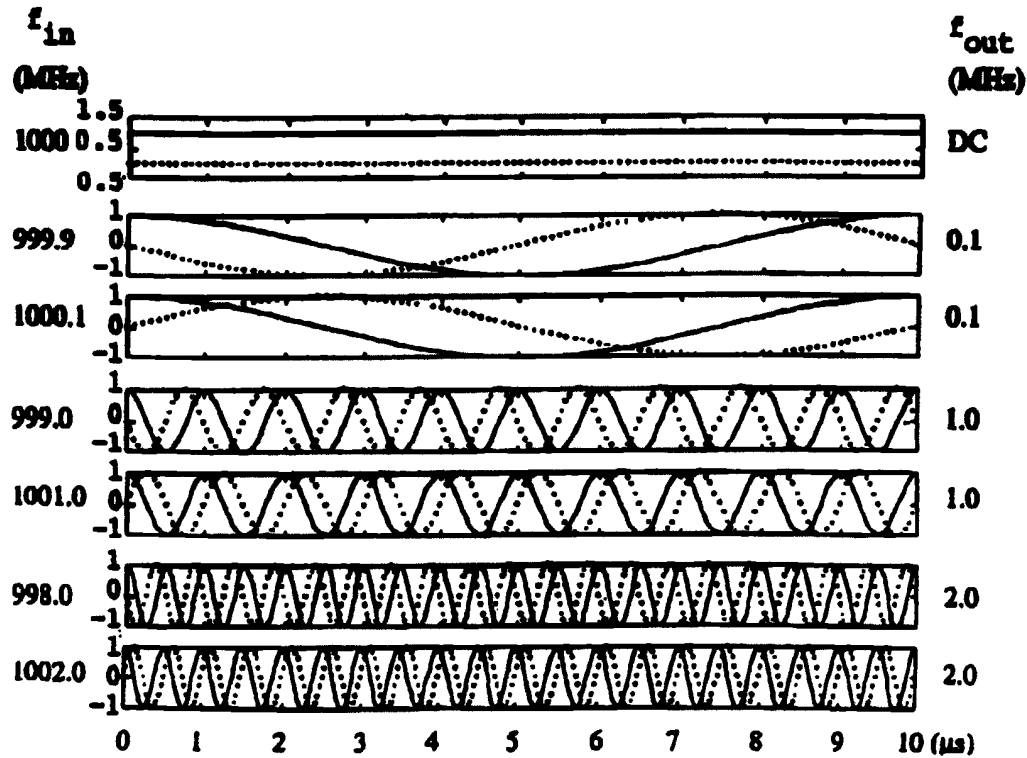


图 6A



注: 1. $f_c=1000 \text{ MHz}$.
2. 实线为I而虚线为Q

图 6B

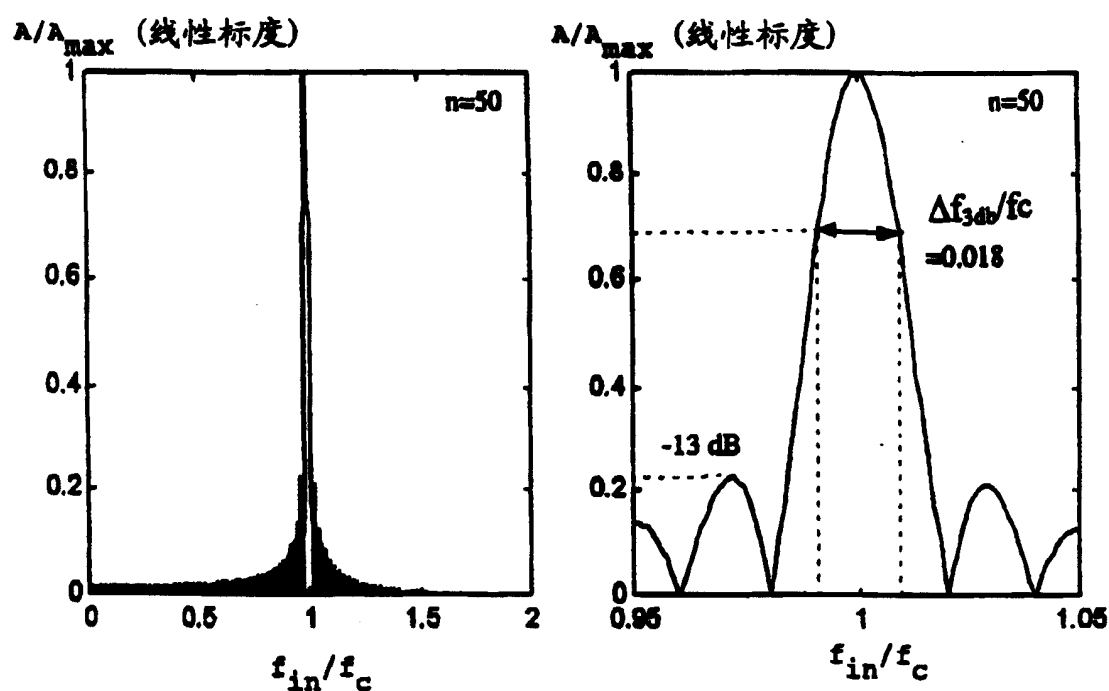


图 7A

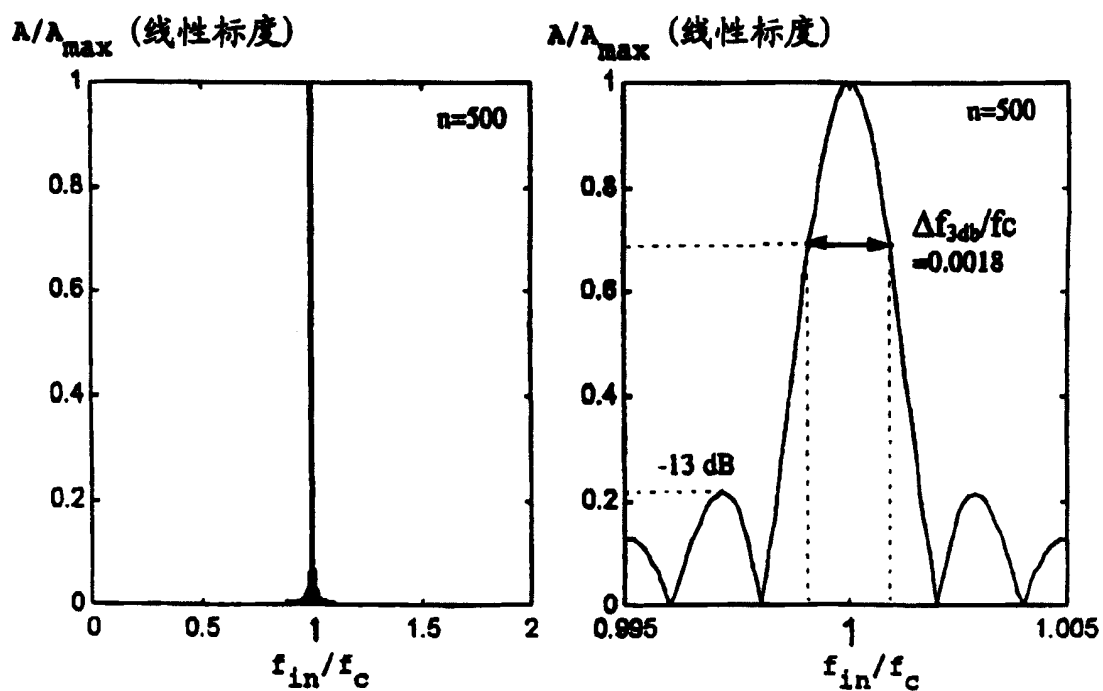


图 7B

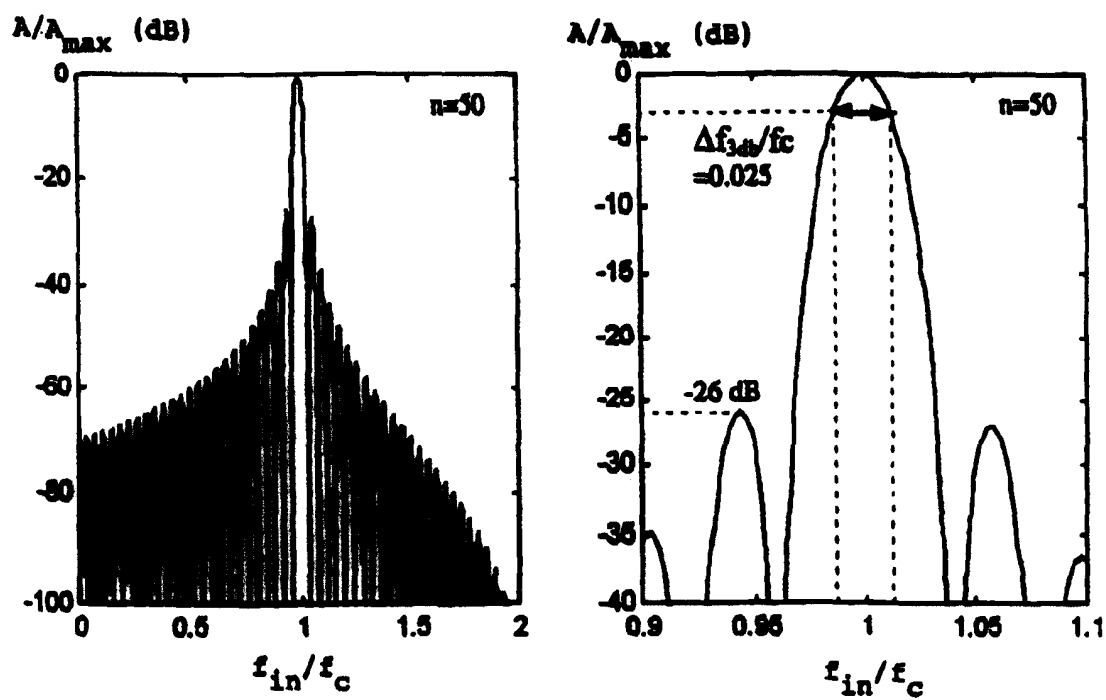


图 8A

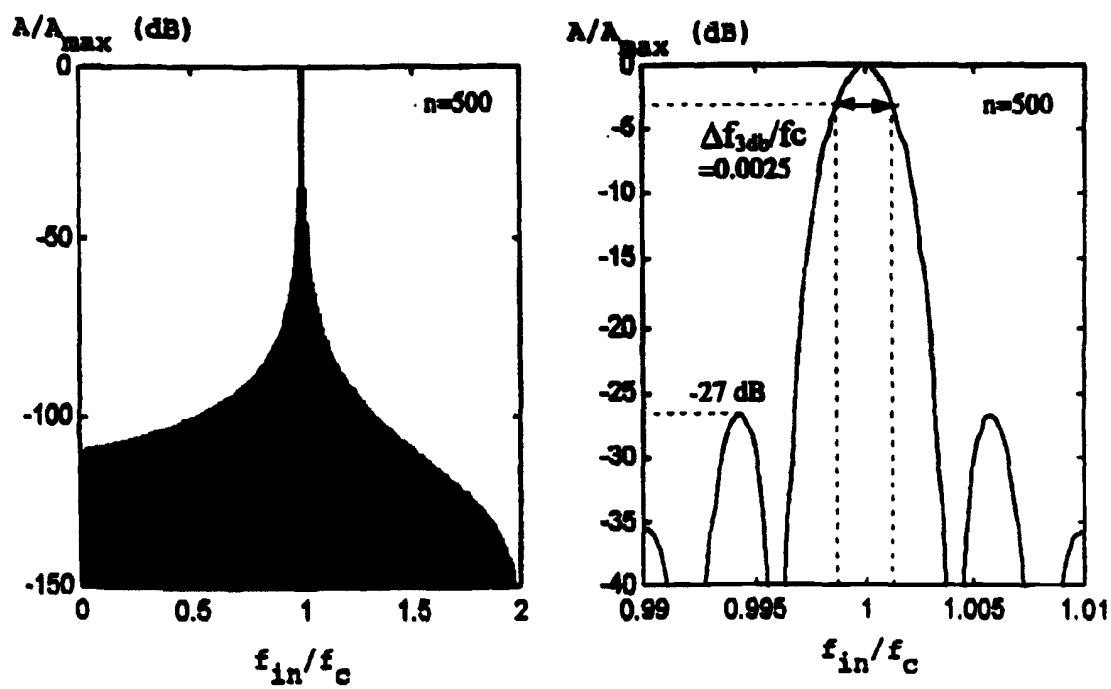


图 8B

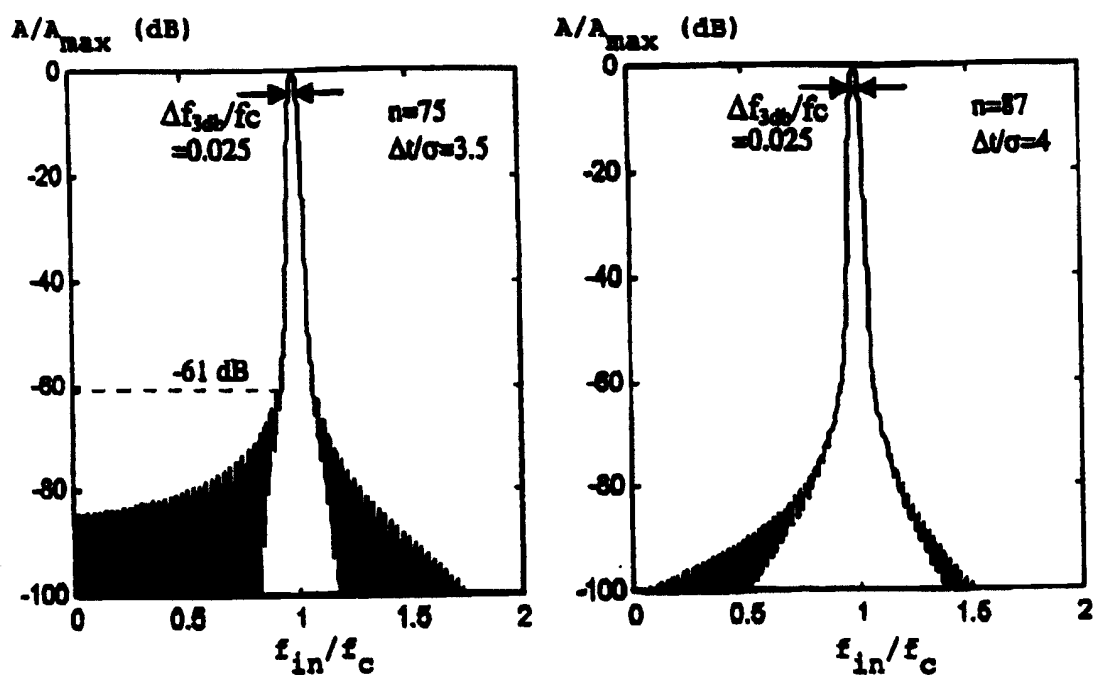


图 9A

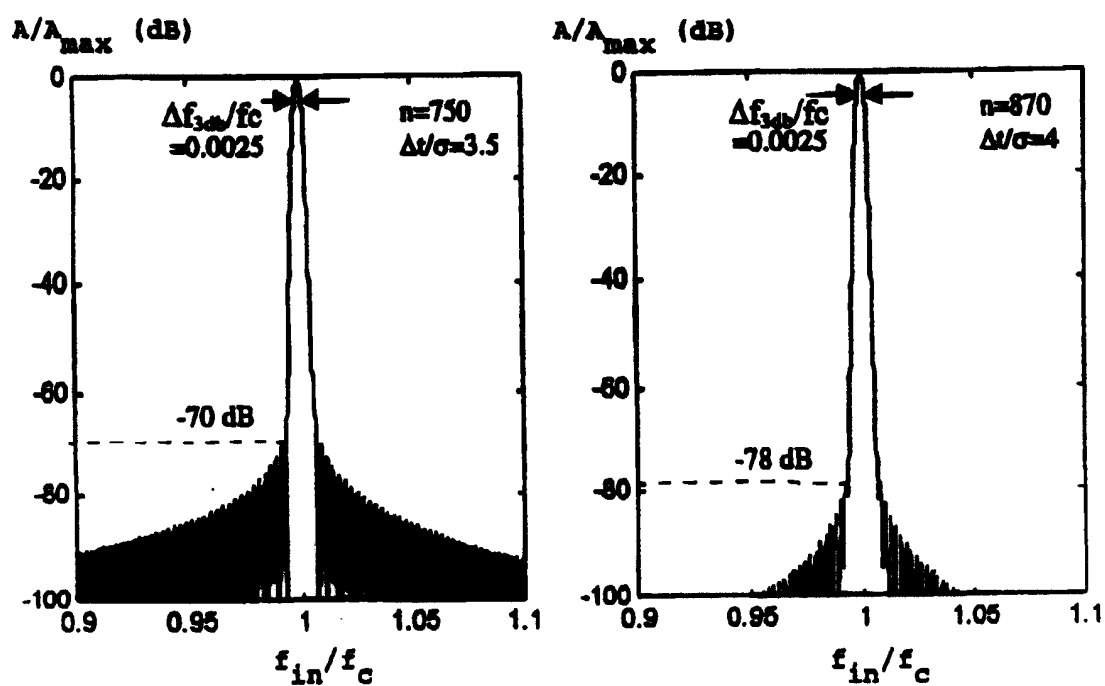


图 9B

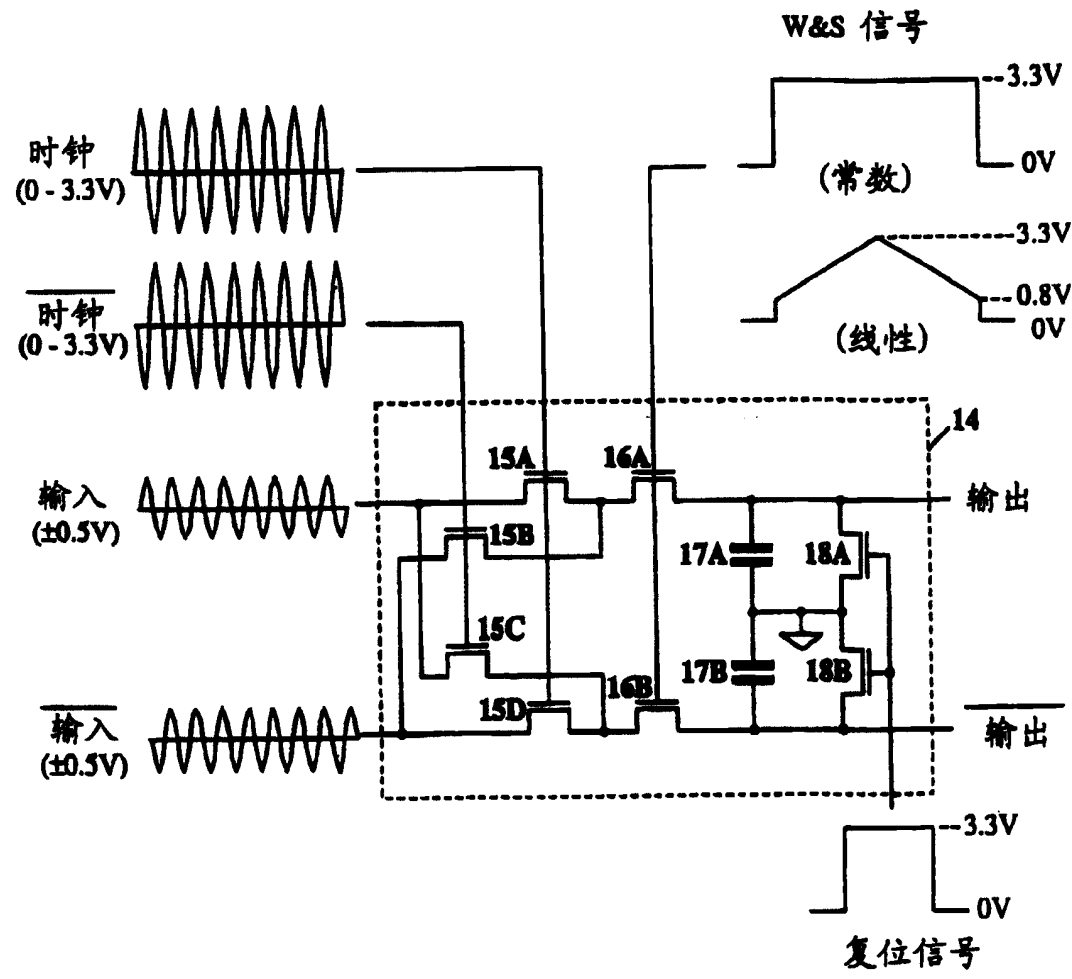


图 10

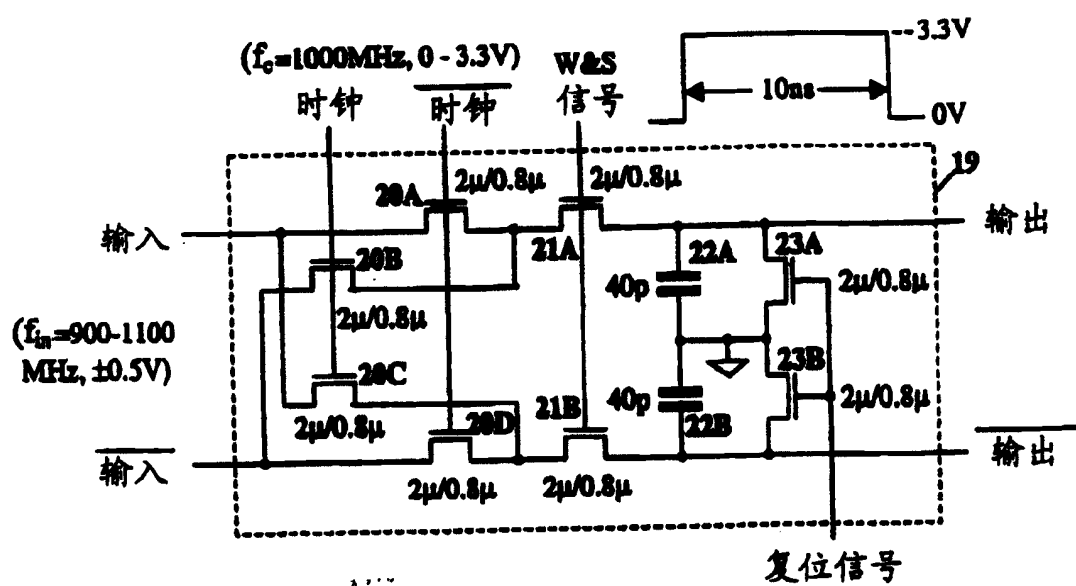
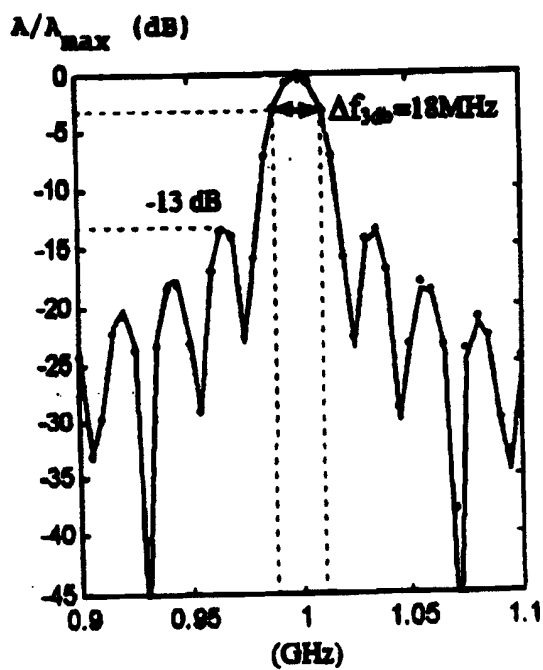


圖 11A



注: 1. 实线为理想曲线
2. 虚线为HSPICE模拟

11B

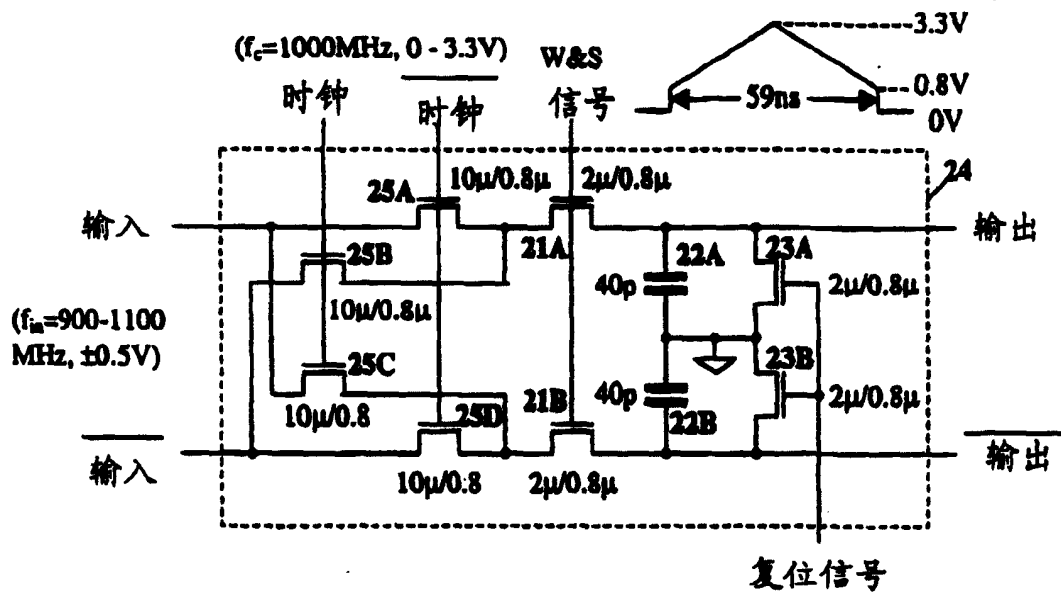
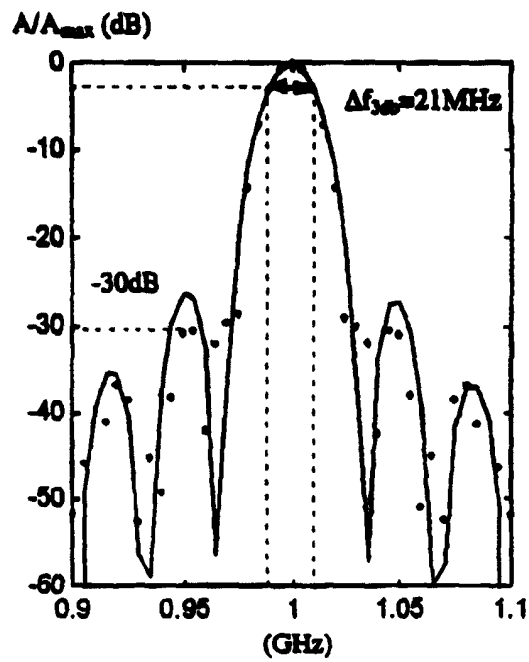


图 12A



注: 1. 实线为理想曲线
2. 虚线为HSPICE模拟

图 12B

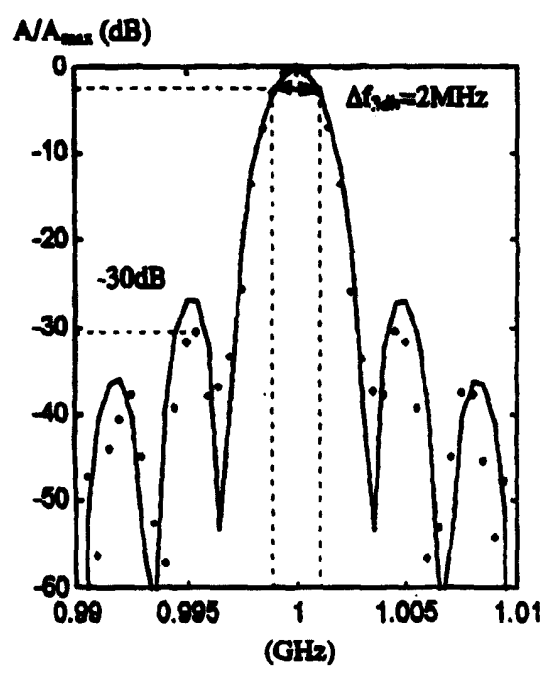
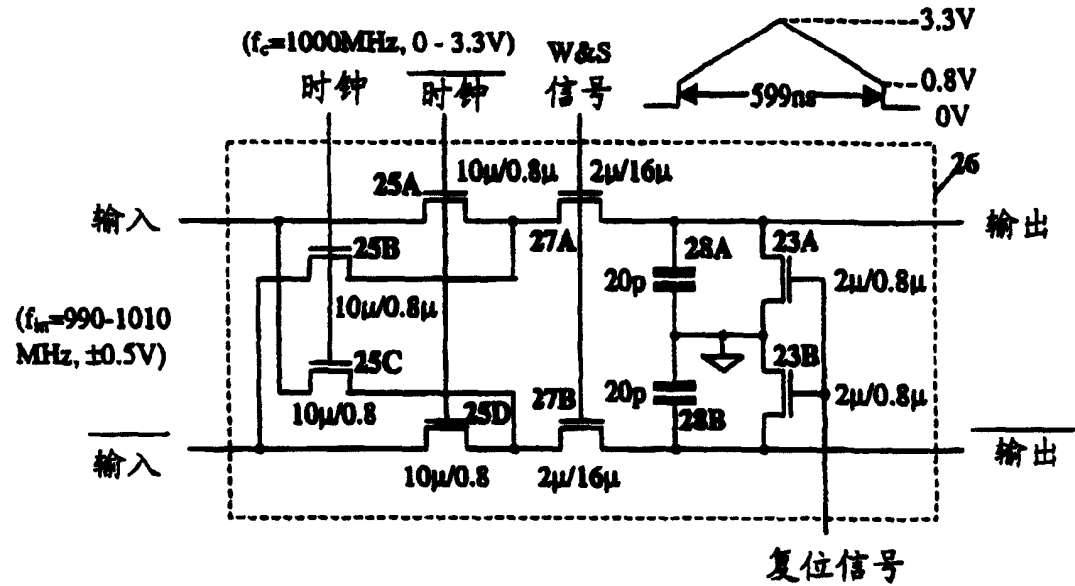


图 13B

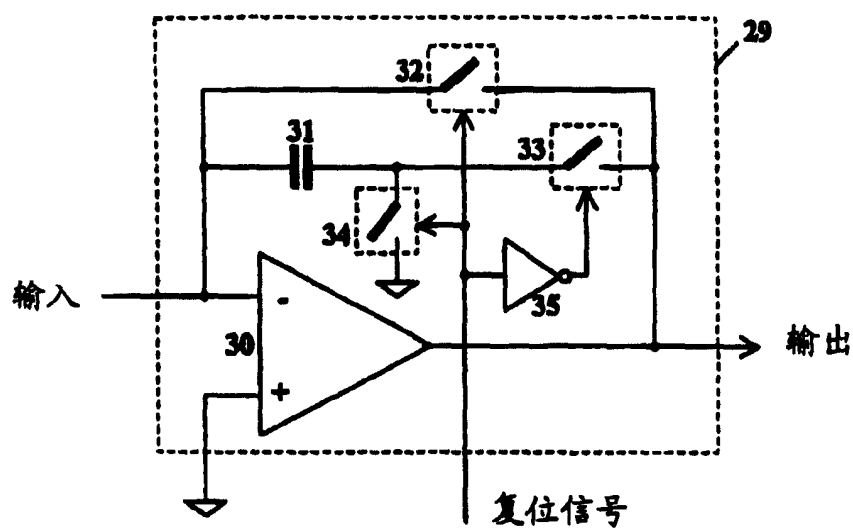


图 14A

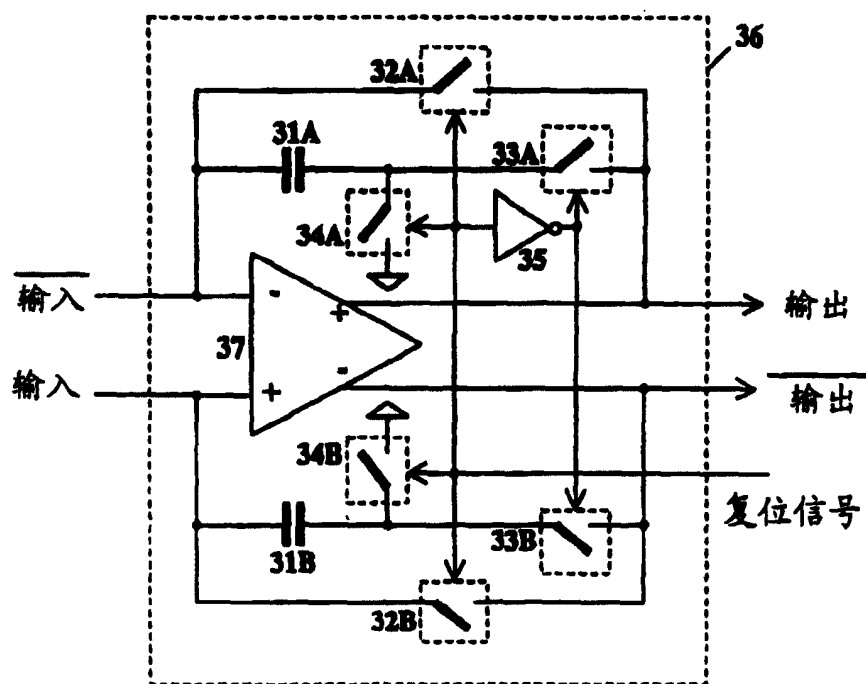


图 14B

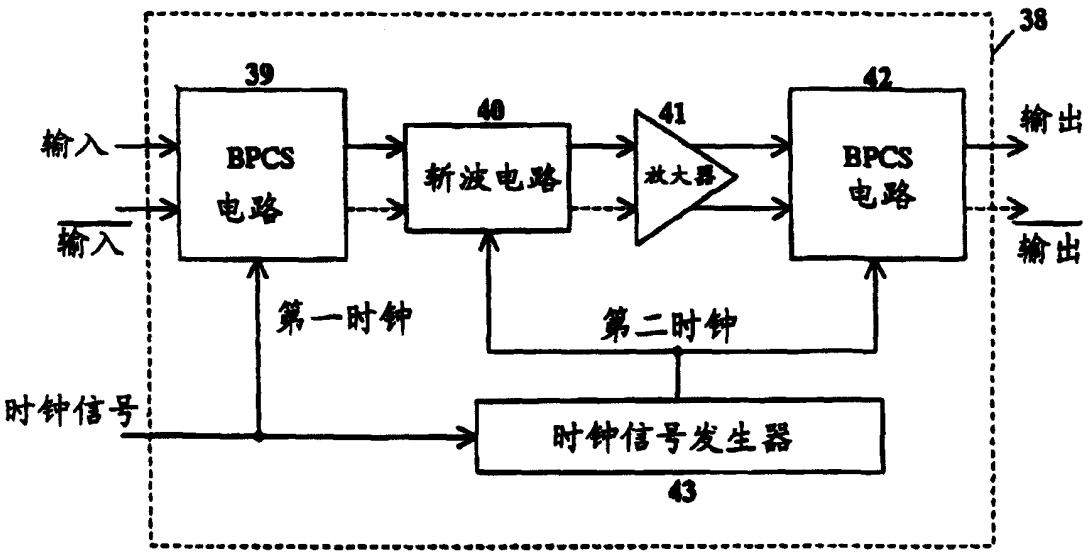


图 15

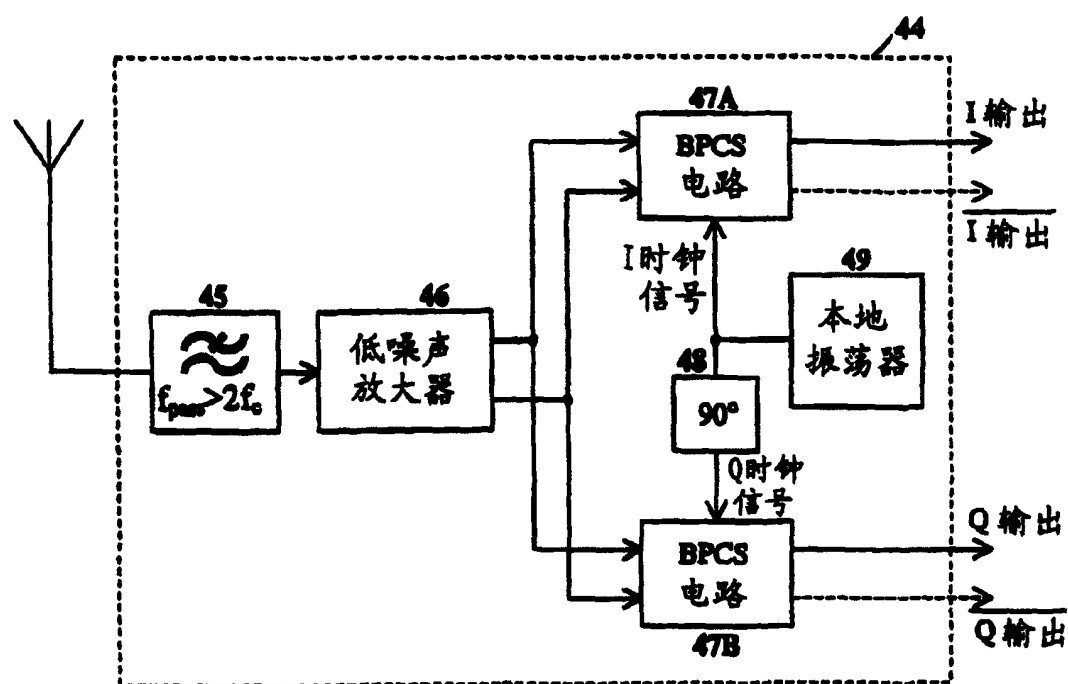


图 16