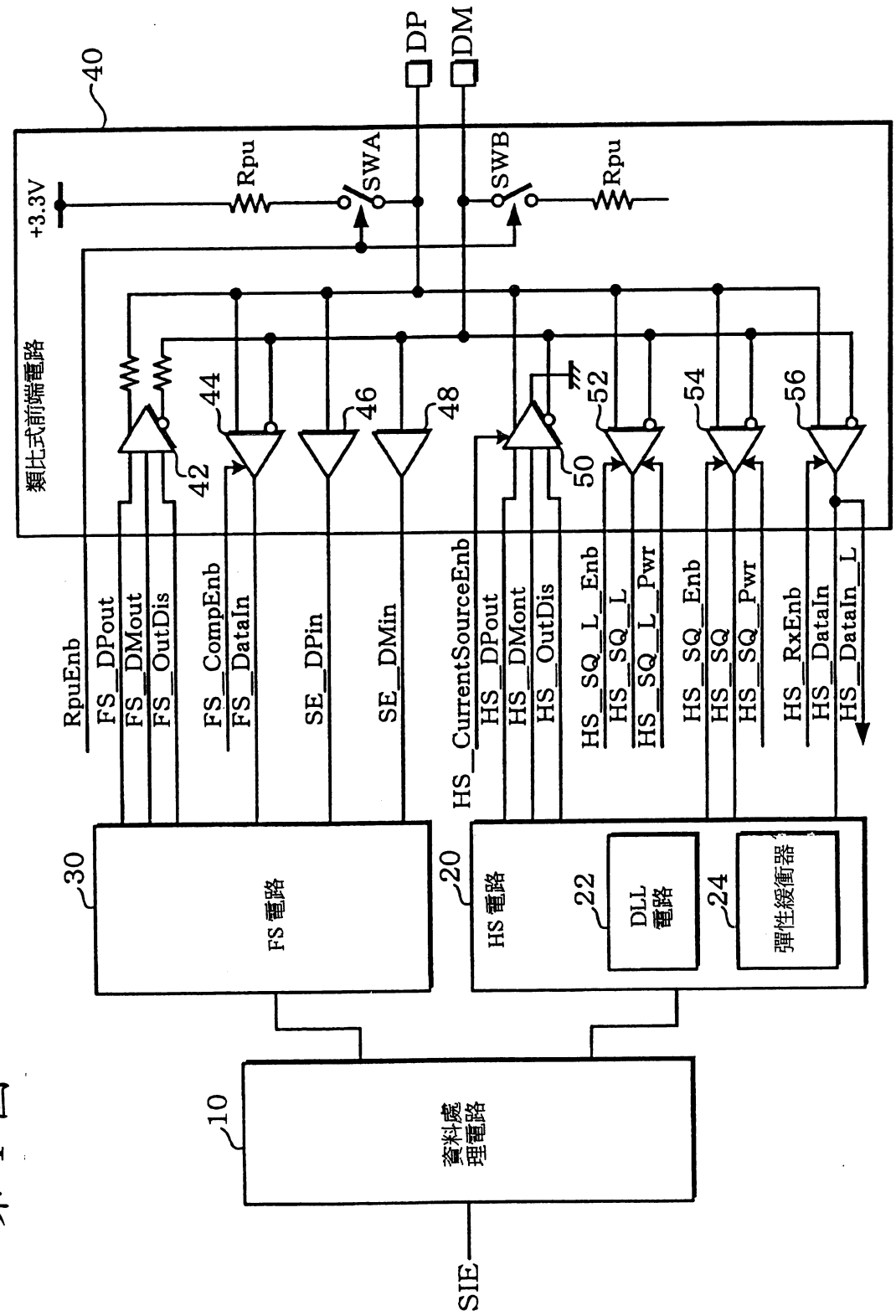
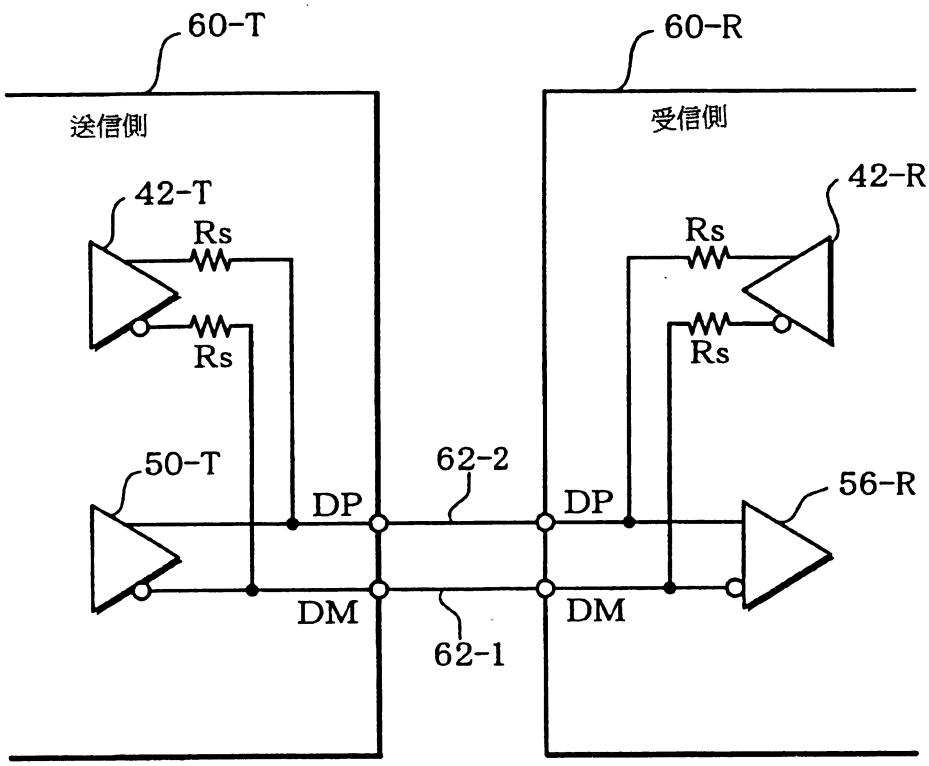
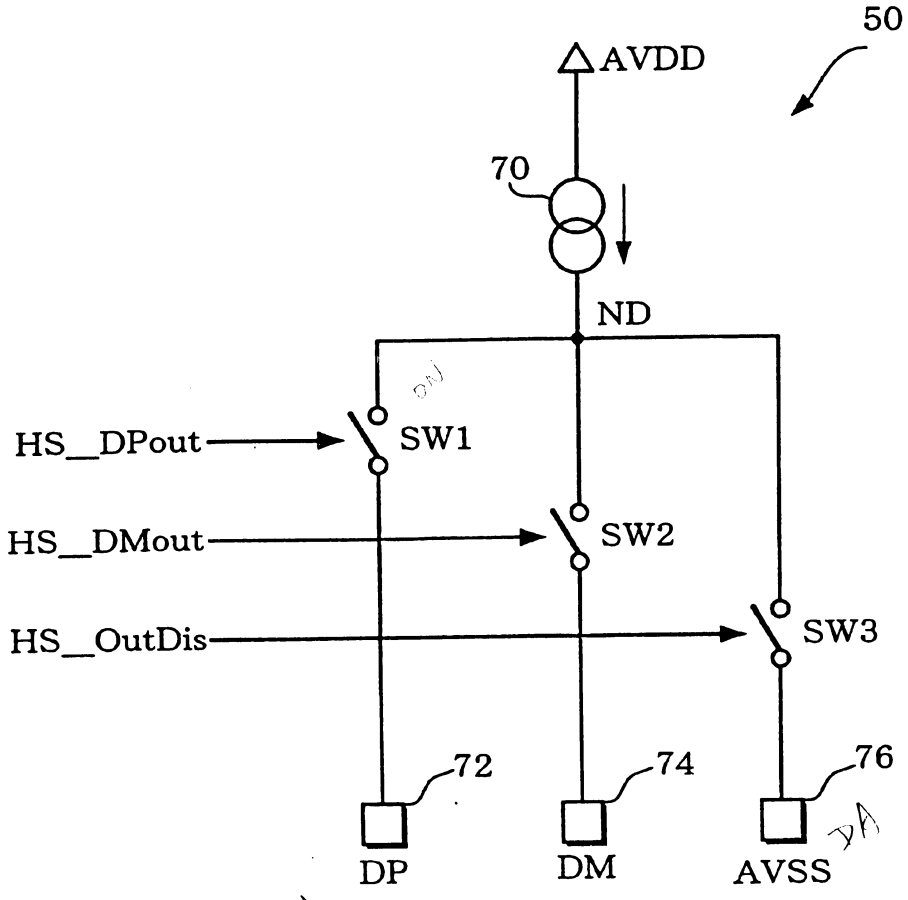

40
DP
DM
類比式前端電路
+3.3V
Rpu
SWA
SWB
Rpu
42
44
46
48
50
52
54
56
RpuEnb
FS_DPout
FS_DMout
FS_OutDis
FS_CompEnb
FS_DataIn
SE_DPin
SE_DMin
HS_CurrentSourceEnb
HS_DPout
HS_DMont
HS_OutDis
HS_SQ_L_Enb
HS_SQ_L
HS_SQ_L_Pwr
HS_SQ_Enb
HS_SQ
HS_SQ_Pwr
HS_RxEnb
HS_DataIn
HS_DataIn_L
30
FS 電路
20
HS 電路
22
DLL 電路
24
彈性緩衝器
10
資料處理電路
SIE

第 1 圖

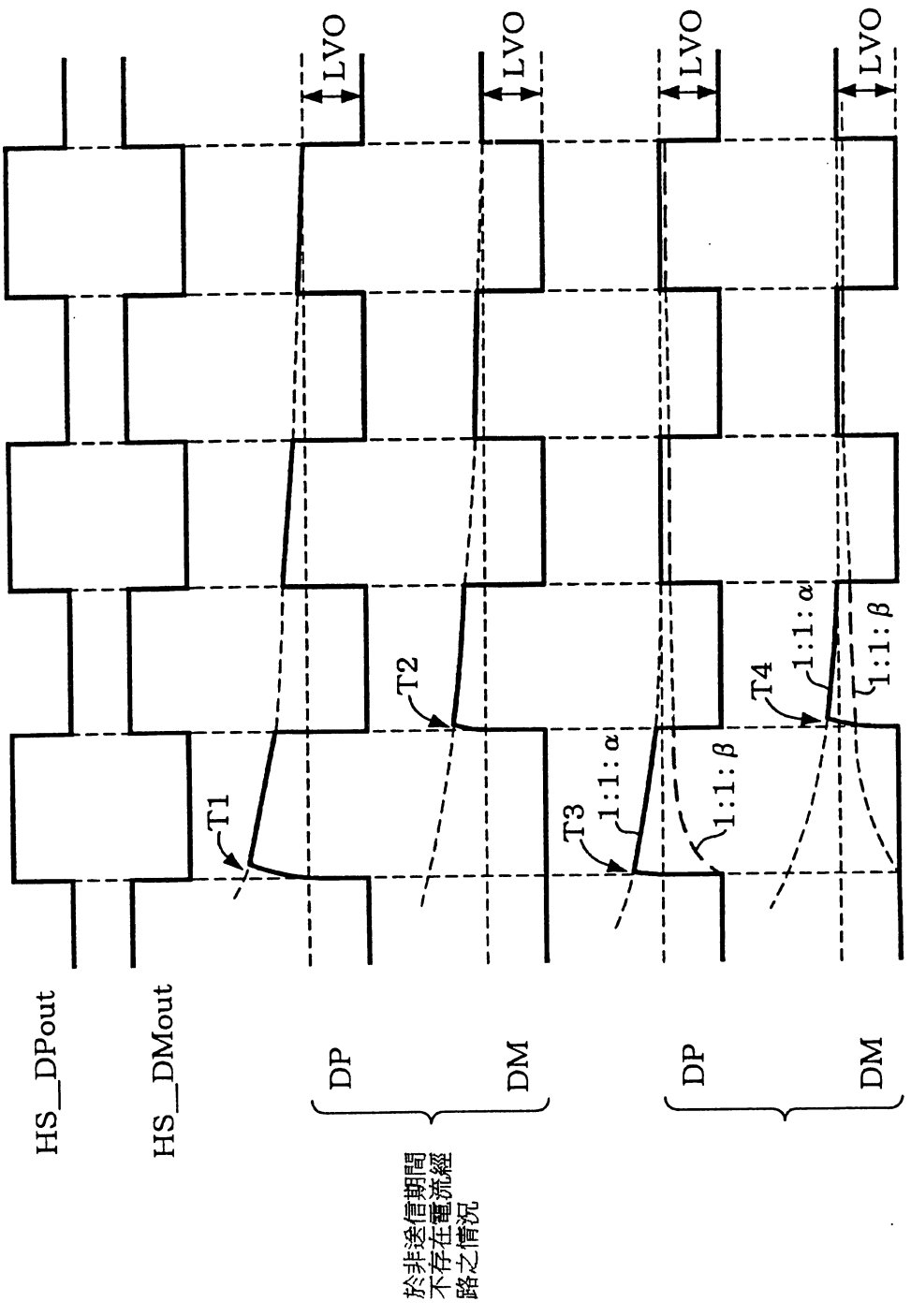
第 2 圖



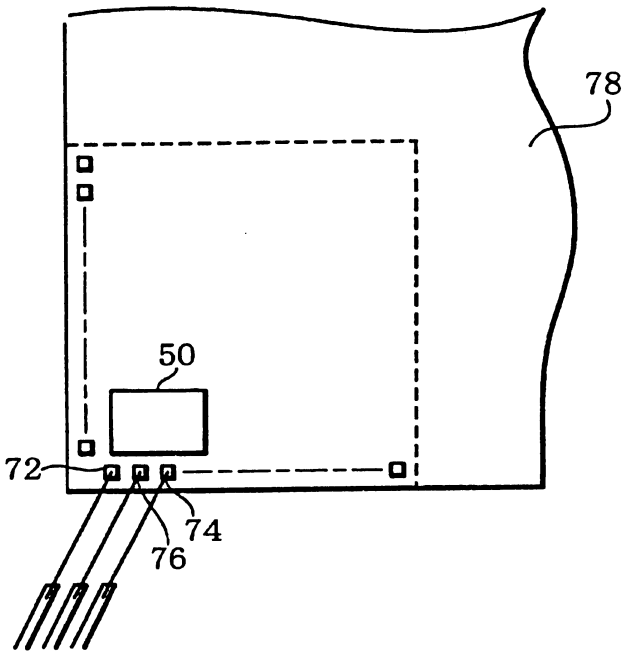
第 3 圖


50
AVDD
70
ND
HS_DPout
SW1
HS_DMout
SW2
HS_OutDis
SW3
72
74
76
DP
DM
AVSS

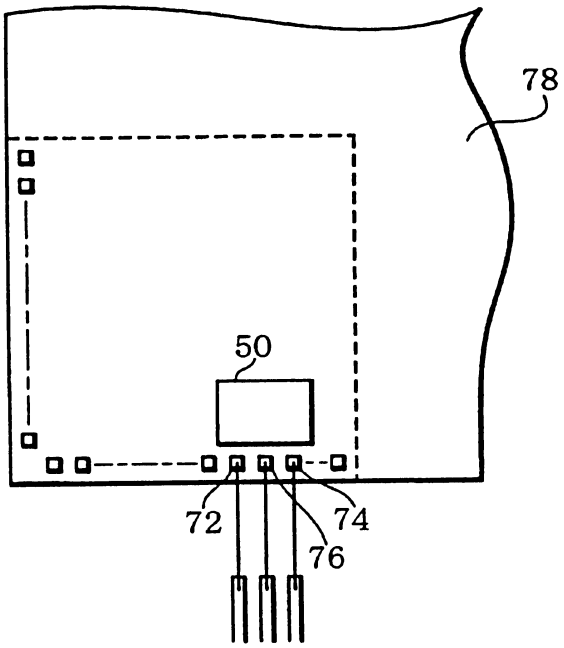
第 4 圖


HS_DPout
HS_DMout
DP
DM
於非送信期間
不存在電流經
路之情況
LVO
T1
T2
T3
T4
1:1:α
1:1:β

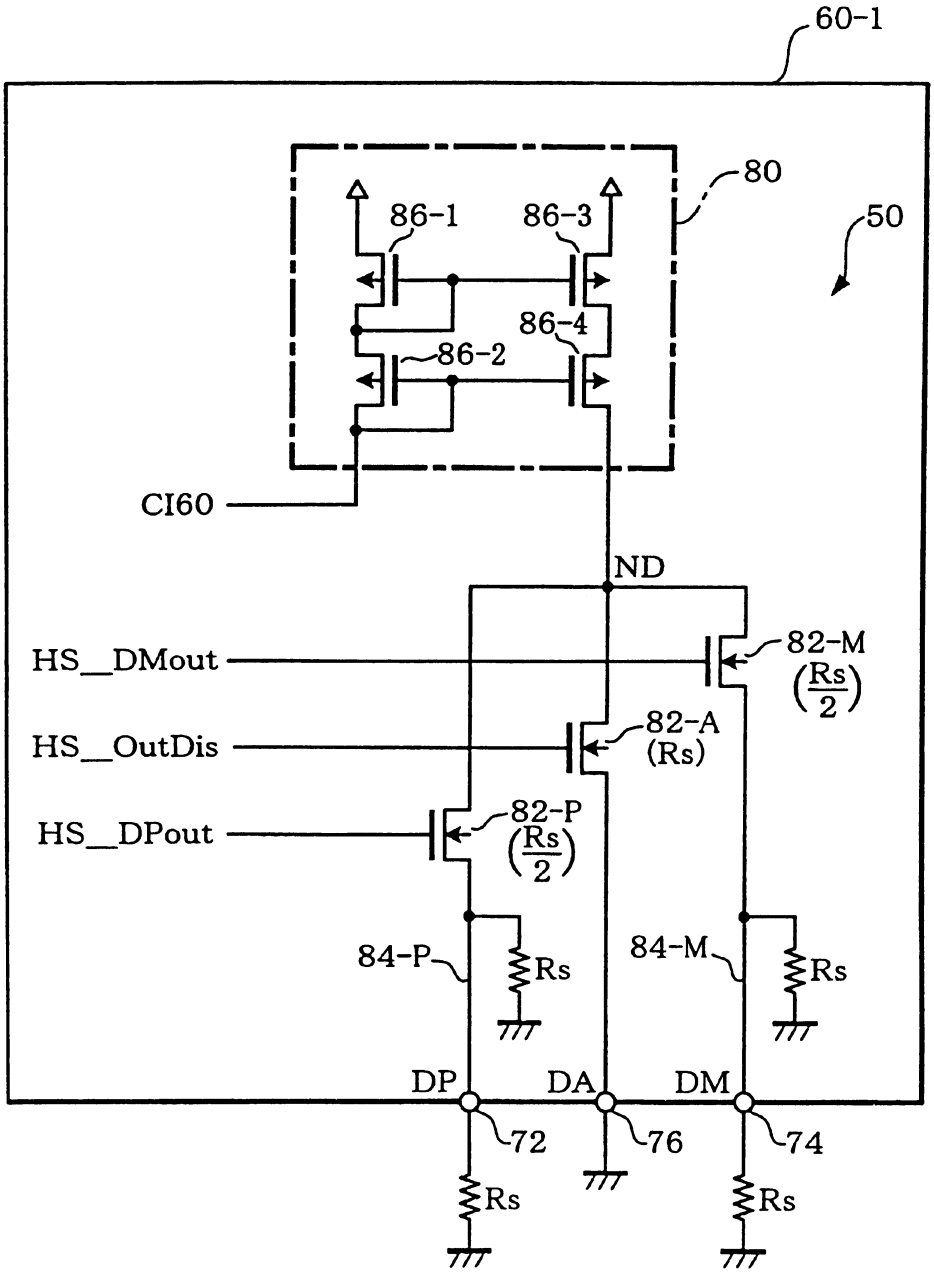
第 5A 圖



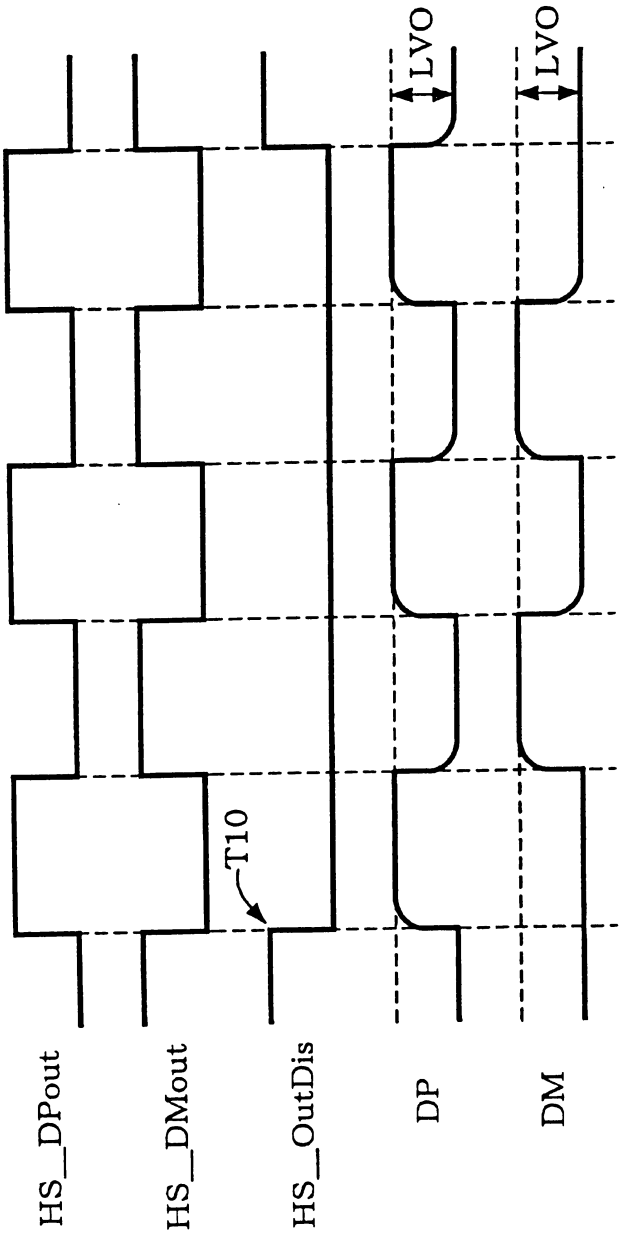
第 5B 圖



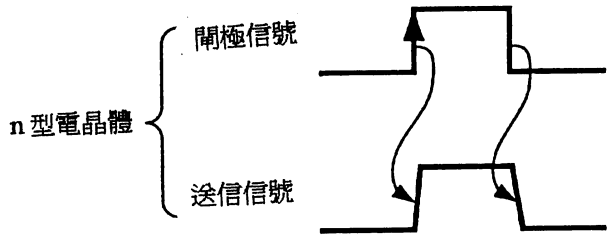
第 6 圖


60-1
80
50
86-1
86-3
86-4
86-2
CI60
ND
HS_DMout
82-M
(Rs/2)
HS_OutDis
82-A
(Rs)
HS_DPout
82-P
(Rs/2)
84-P
Rs
84-M
Rs
DP
DA
DM
72
76
74
Rs
Rs

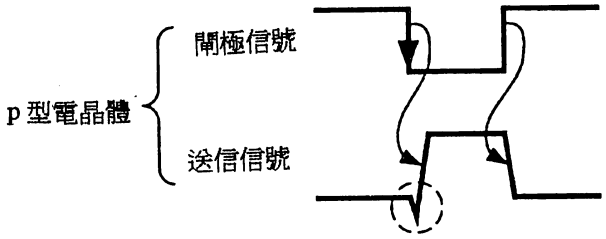
第 7 圖



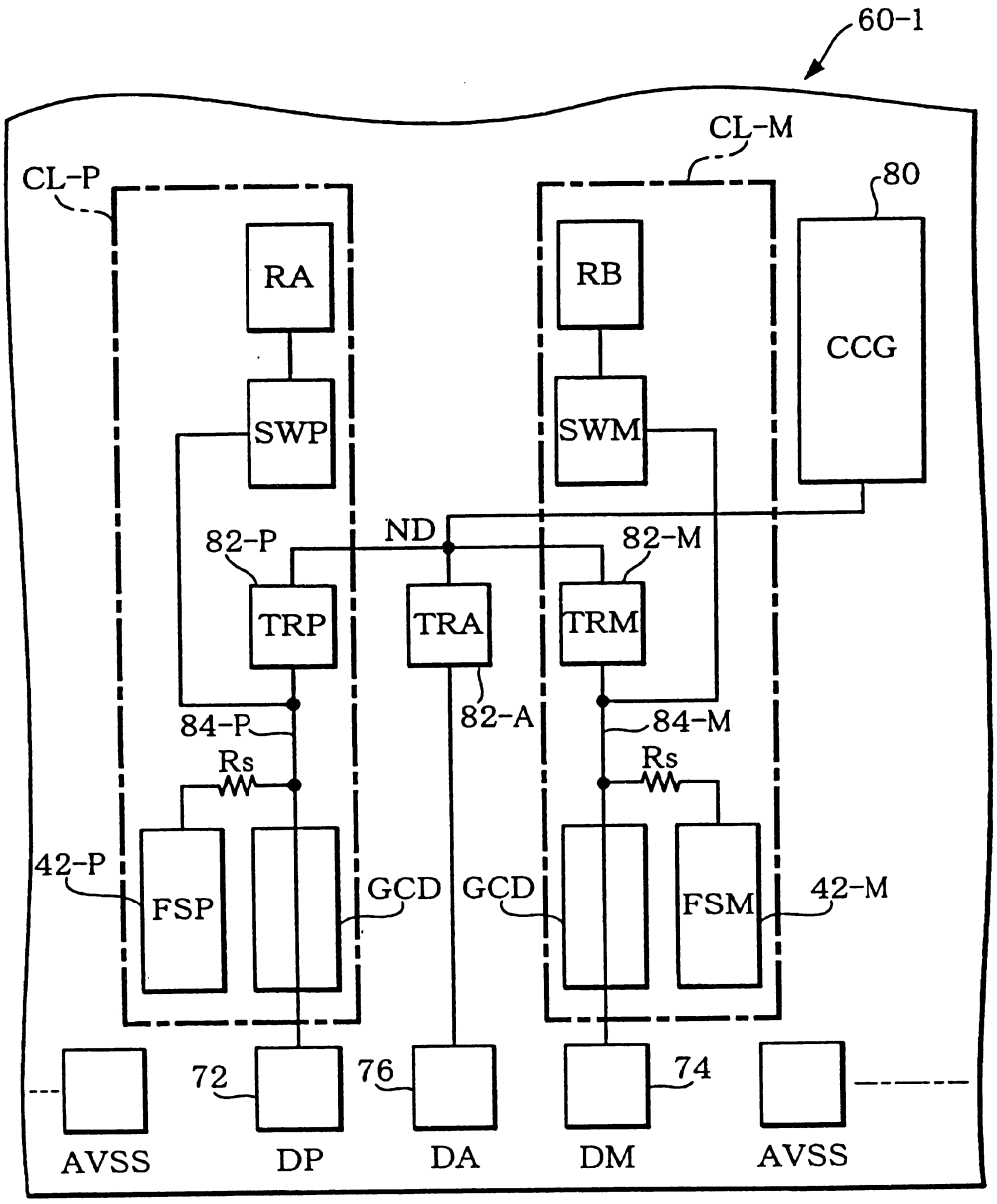
第 8A 圖



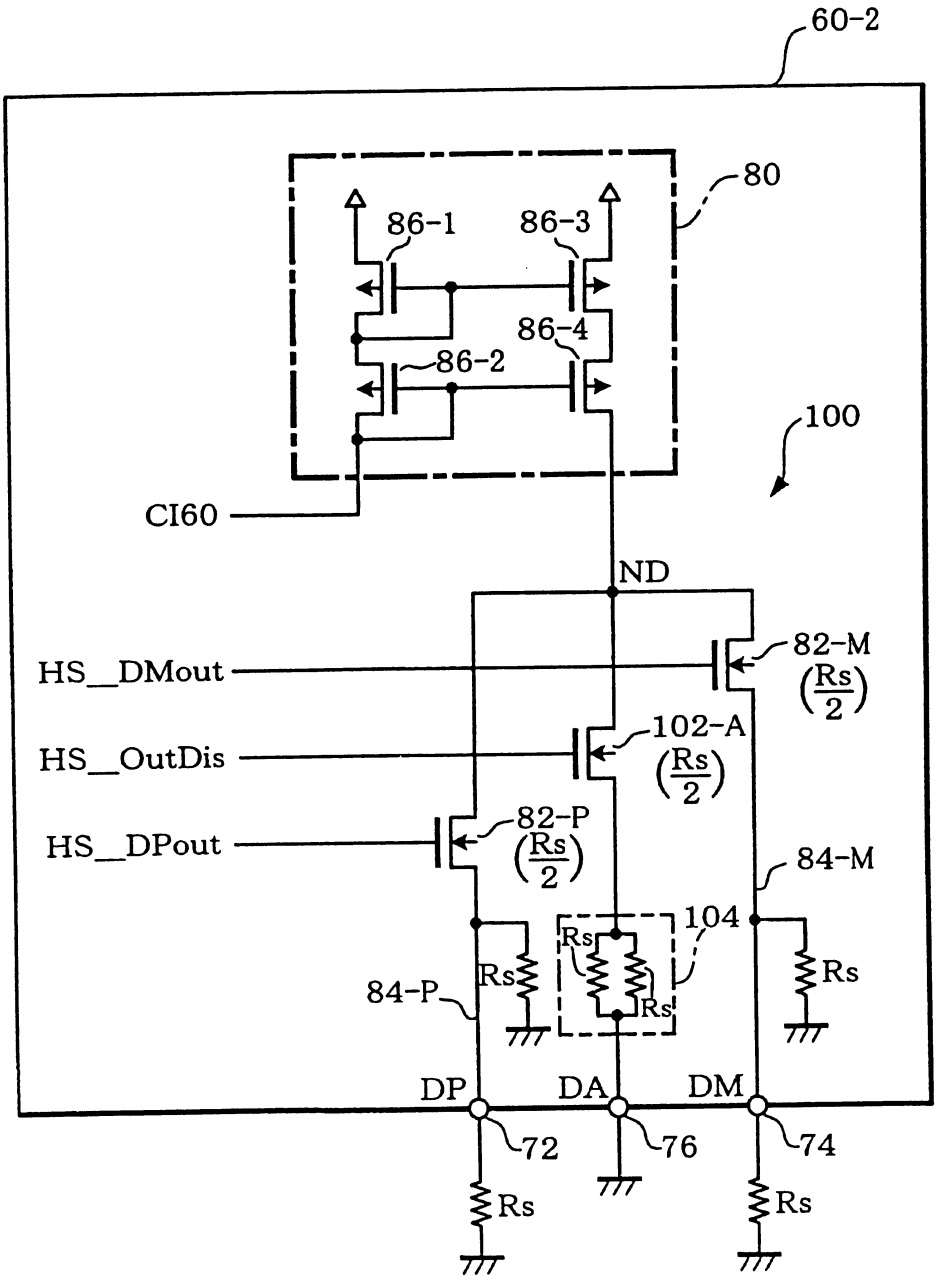
第 8B 圖



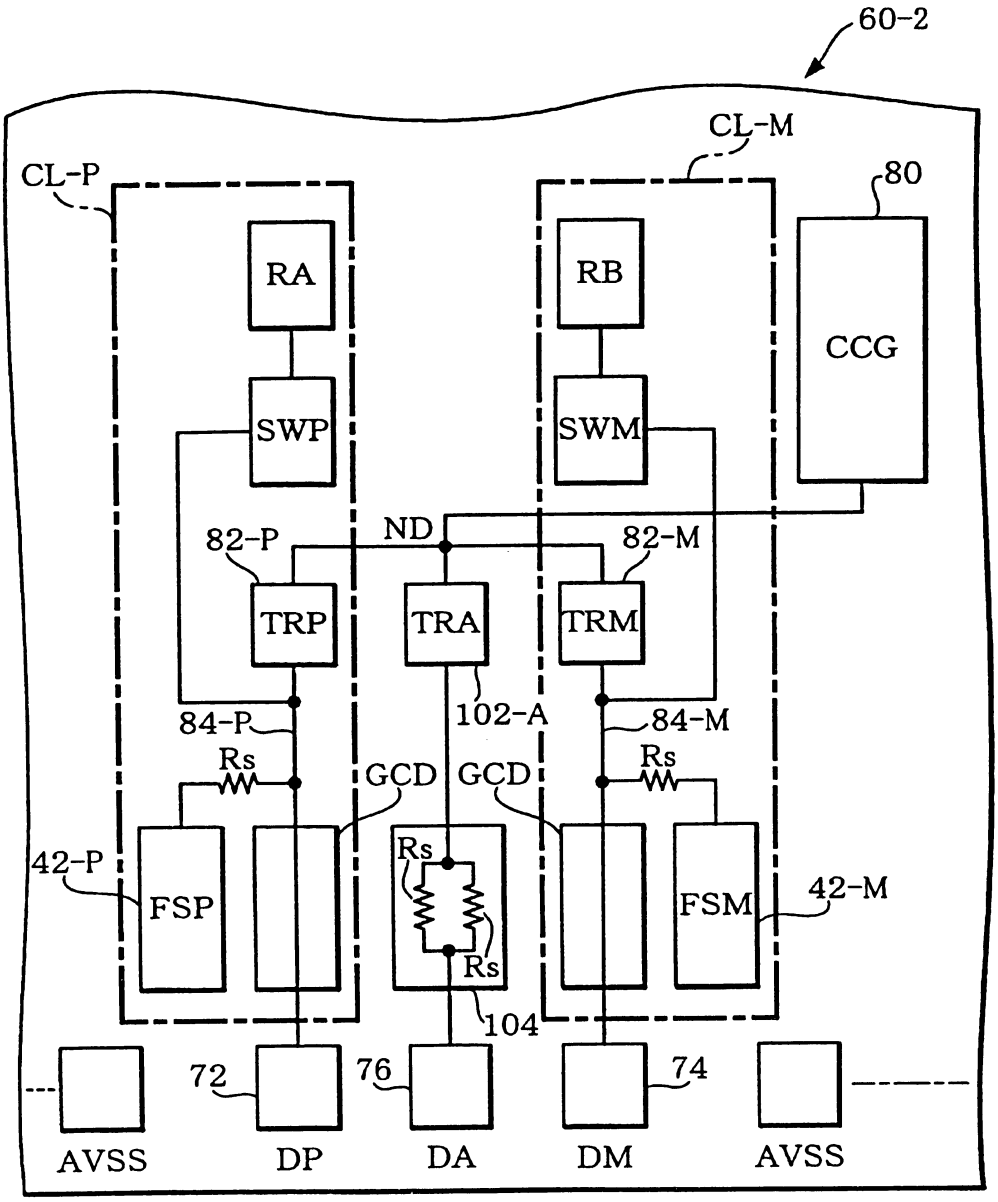
第 9 圖


60-1
CL-M
CL-P
80
RA
RB
CCG
SWP
SWM
ND
82-P
82-M
TRP
TRA
TRM
82-A
84-P
84-M
Rs
Rs
42-P
FSP
GCD
GCD
FSM
42-M
72
76
74
AVSS
DP
DA
DM
AVSS

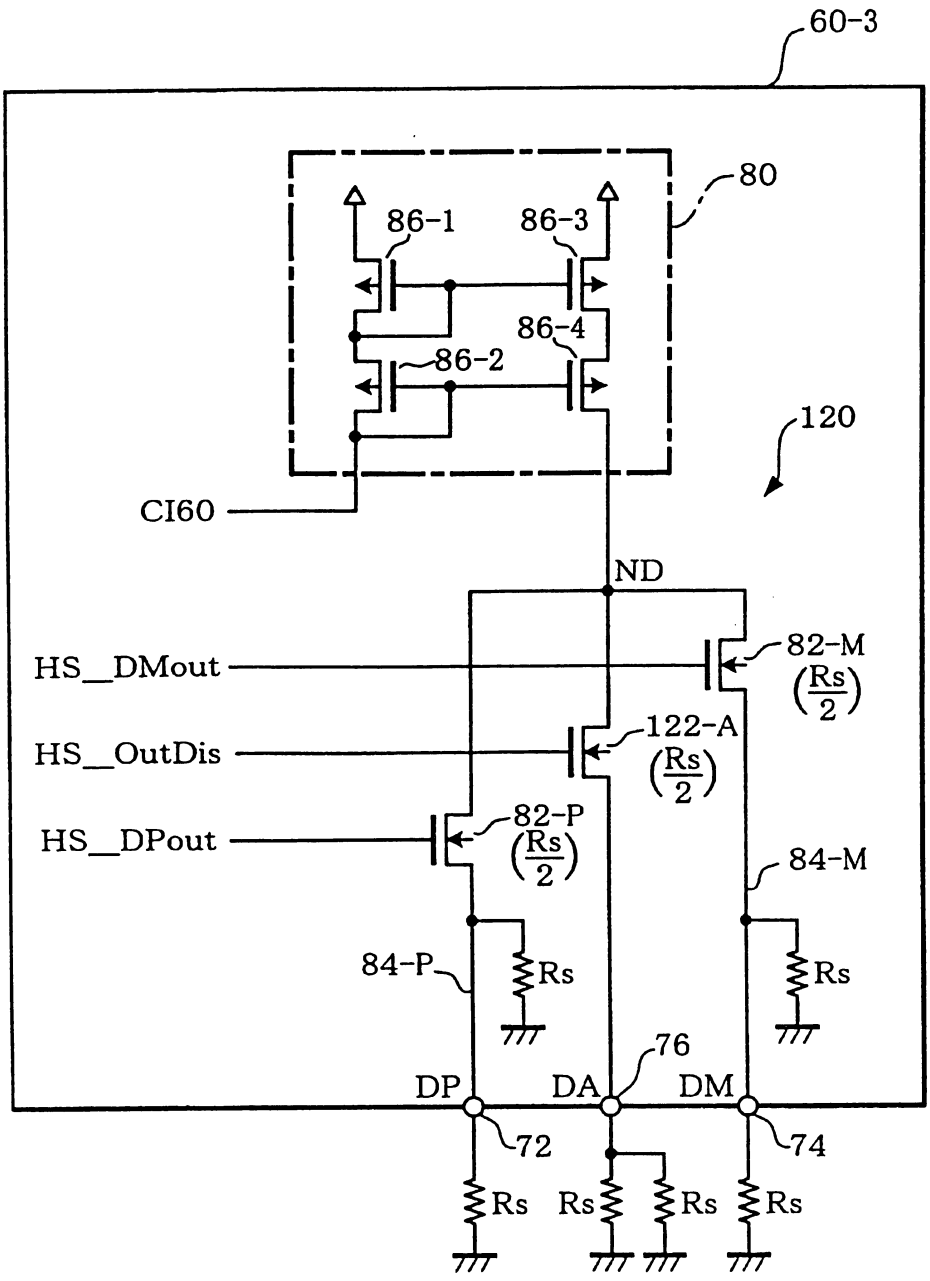
第 10 圖


60-2
80
86-1
86-3
86-4
86-2
100
CI60
ND
HS_DMout
82-M
(Rs/2)
HS_OutDis
102-A
(Rs/2)
HS_DPout
82-P
(Rs/2)
84-M
104
Rs
84-P
DP
DA
DM
72
76
74

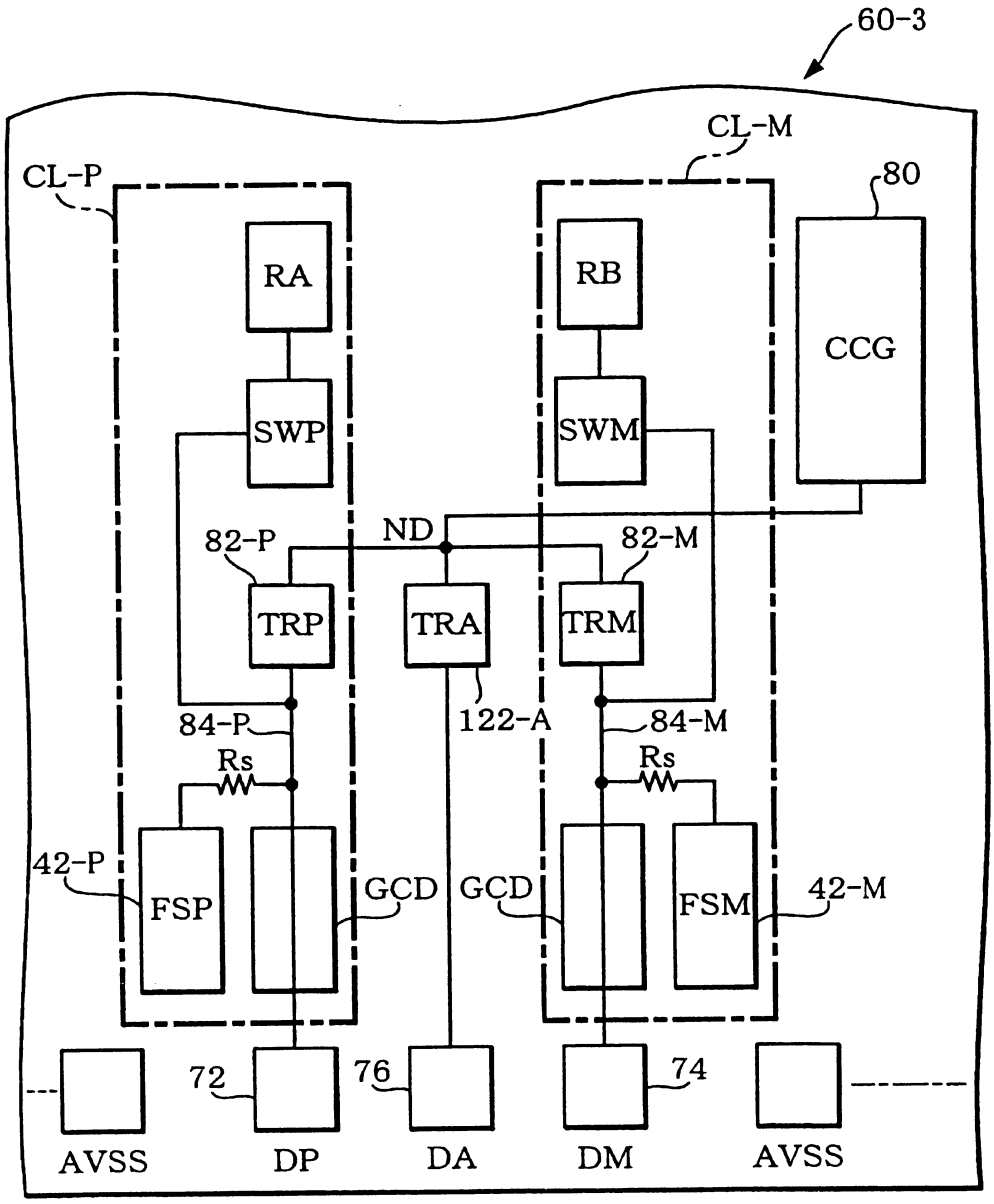
第 11 圖


60-2
CL-M
CL-P
80
RA
RB
CCG
SWP
SWM
82-P
ND
82-M
TRP
TRA
TRM
84-P
102-A
84-M
Rs
GCD
GCD
Rs
42-P
FSP
Rs
Rs
FSM
42-M
104
72
76
74
AVSS
DP
DA
DM
AVSS

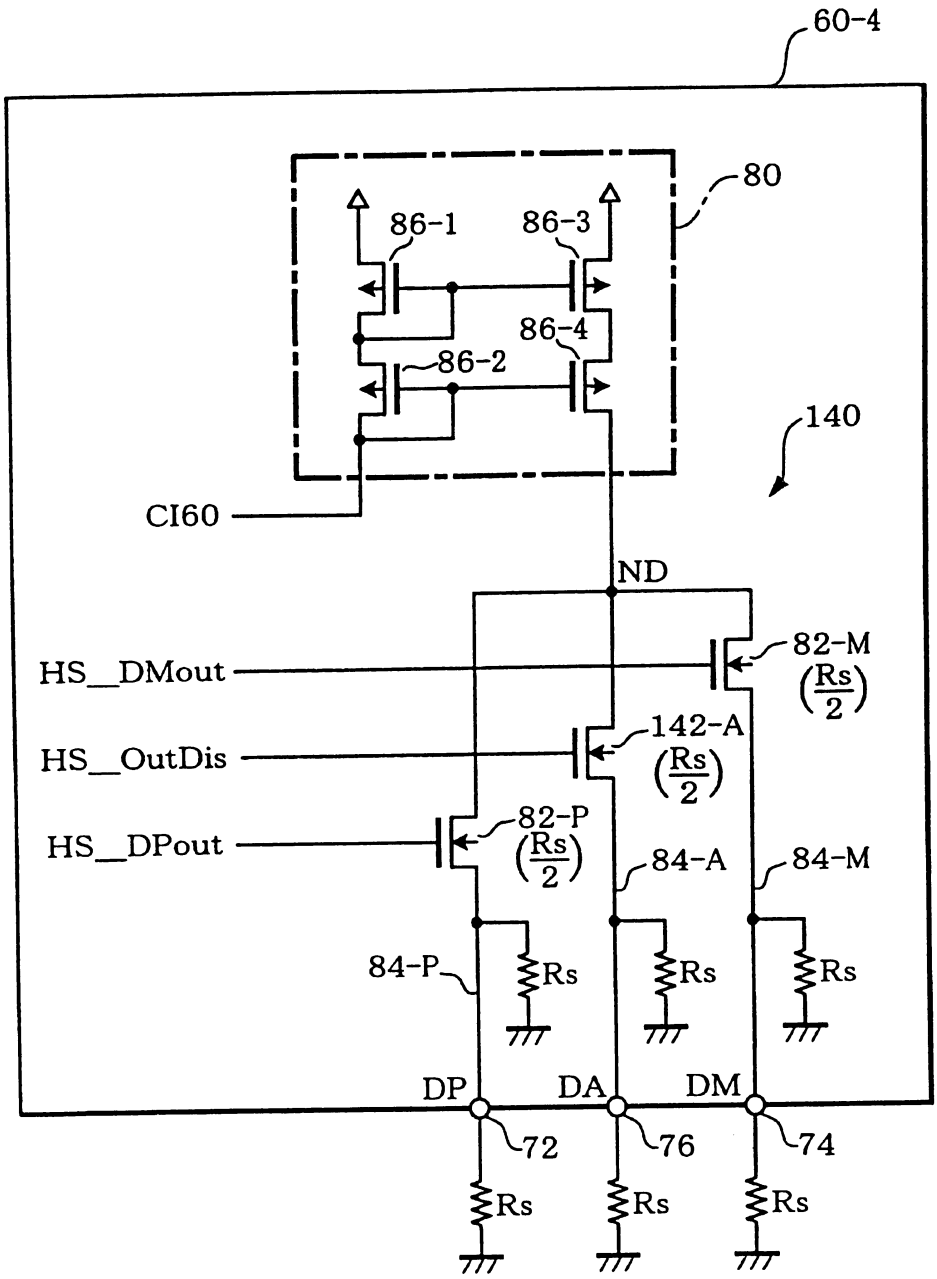
第 12 圖


60-3
80
86-1
86-3
86-4
86-2
120
CI60
ND
HS_DMout
82-M
(Rs/2)
HS_OutDis
122-A
(Rs/2)
HS_DPout
82-P
(Rs/2)
84-M
84-P
Rs
Rs
76
DP
DA
DM
72
74
Rs
Rs
Rs
Rs

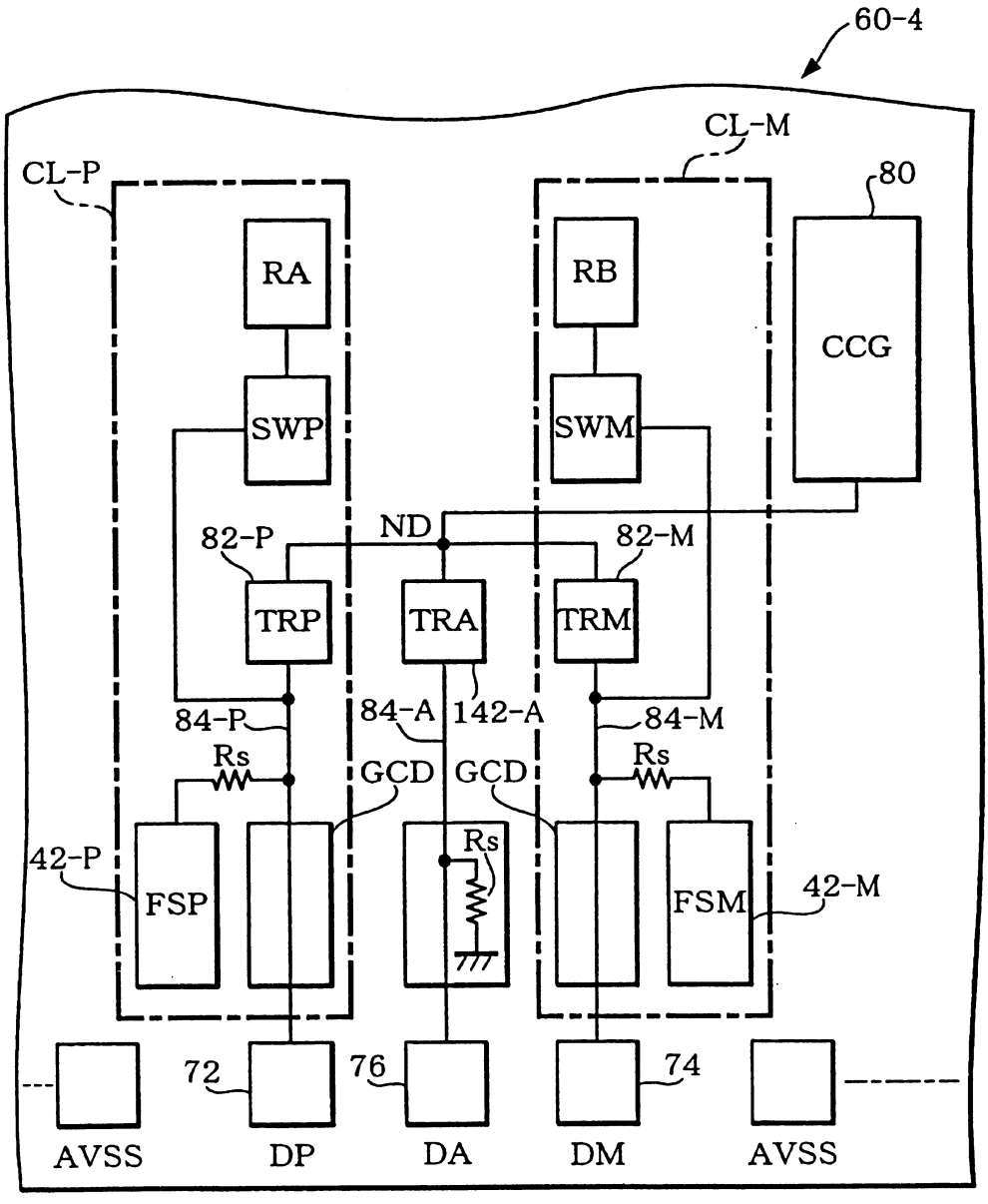
第 13 圖


60-3
CL-M
CL-P
80
RA
RB
CCG
SWP
SWM
ND
82-P
82-M
TRP
TRA
TRM
84-P
122-A
84-M
Rs
Rs
42-P
FSP
GCD
GCD
FSM
42-M
72
76
74
AVSS
DP
DA
DM
AVSS

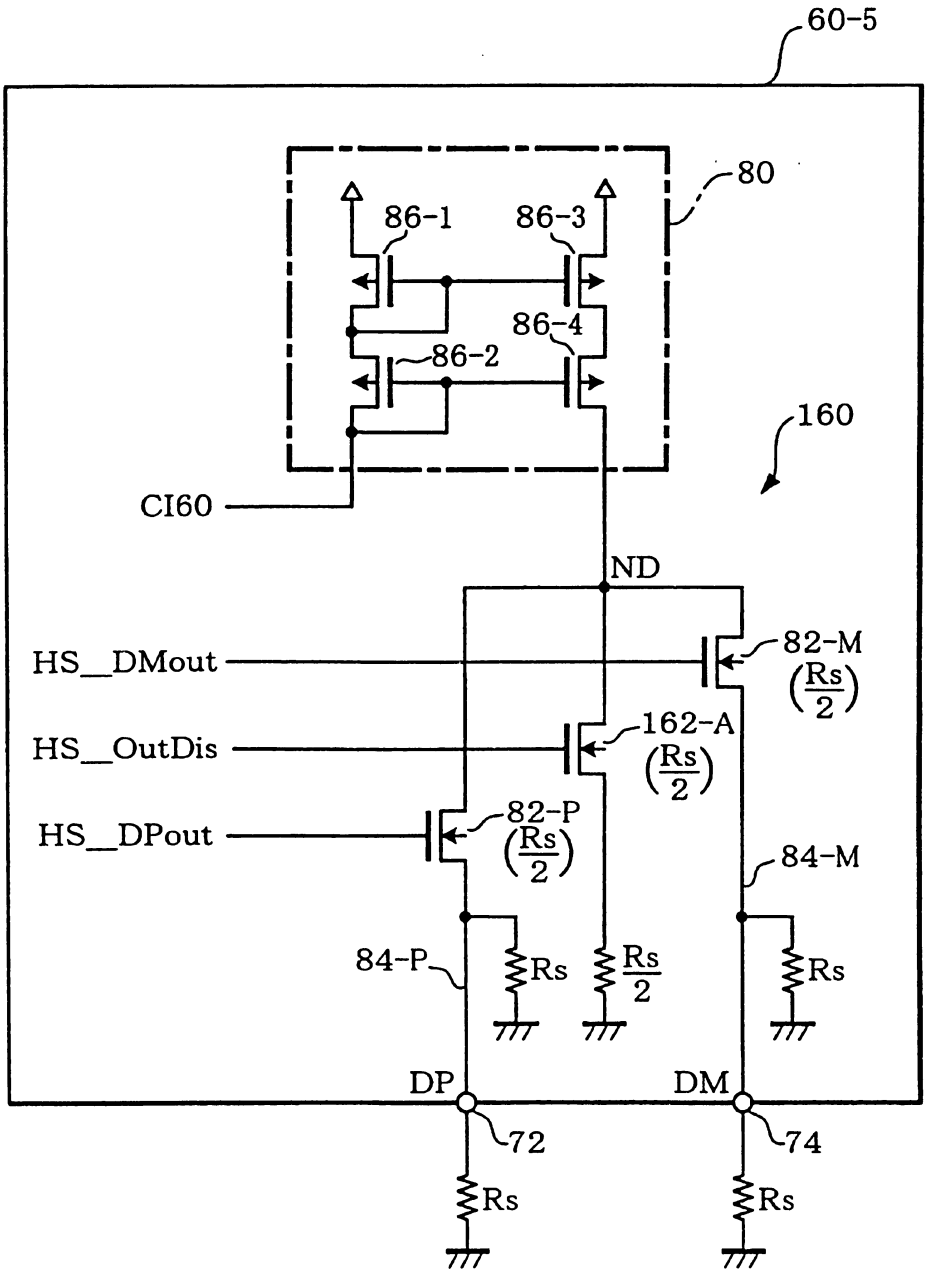
第 14 圖


60-4
80
86-1
86-3
86-4
86-2
140
CI60
ND
HS_DMout
82-M
(Rs/2)
HS_OutDis
142-A
(Rs/2)
HS_DPout
82-P
(Rs/2)
84-A
84-M
84-P
Rs
Rs
Rs
DP
DA
DM
72
76
74
Rs
Rs
Rs

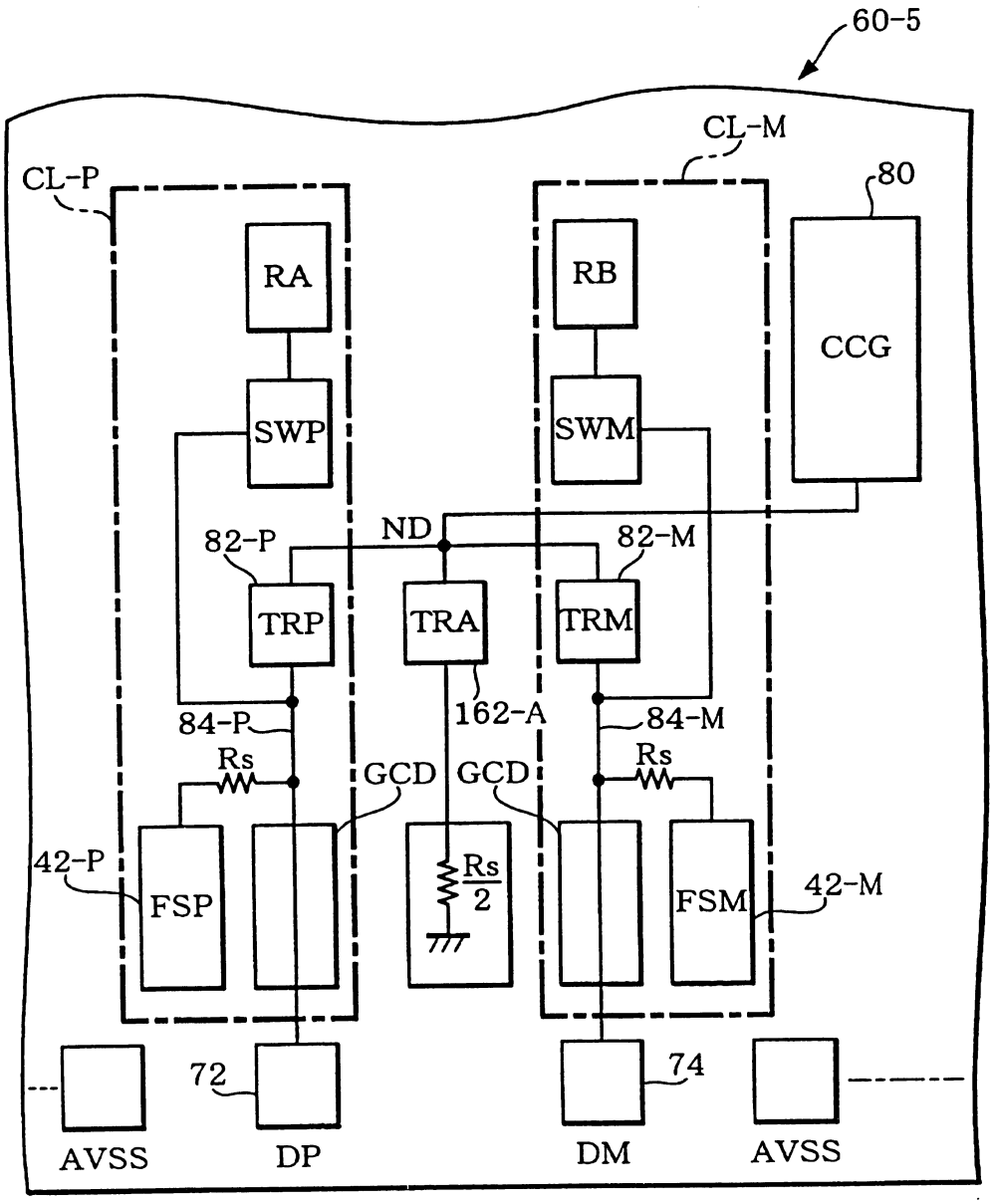
第 15 圖


60-4
CL-M
CL-P
80
RA
RB
CCG
SWP
SWM
82-P
ND
82-M
TRP
TRA
TRM
84-P
84-A
142-A
84-M
Rs
GCD
GCD
Rs
Rs
42-P
FSP
FSM
42-M
72
76
74
AVSS
DP
DA
DM
AVSS

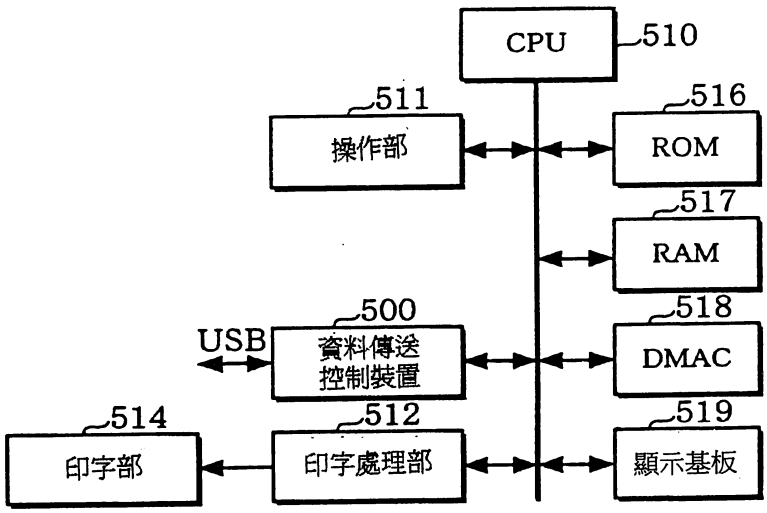
第 16 圖


60-5
80
86-1
86-3
86-4
86-2
160
CI60
ND
HS_DMout
82-M
(Rs/2)
HS_OutDis
162-A
(Rs/2)
HS_DPout
82-P
(Rs/2)
84-M
84-P
Rs
Rs/2
Rs
DP
DM
72
74
Rs
Rs

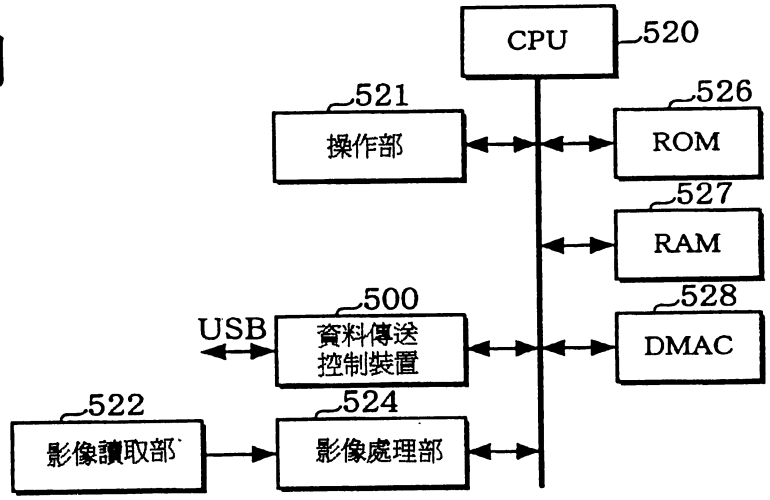
第 17 圖


60-5
CL-M
CL-P
80
RA
RB
CCG
SWP
SWM
ND
82-P
82-M
TRP
TRA
TRM
84-P
162-A
84-M
Rs
GCD
GCD
Rs
42-P
FSP
Rs/2
FSM
42-M
72
74
AVSS
DP
DM
AVSS

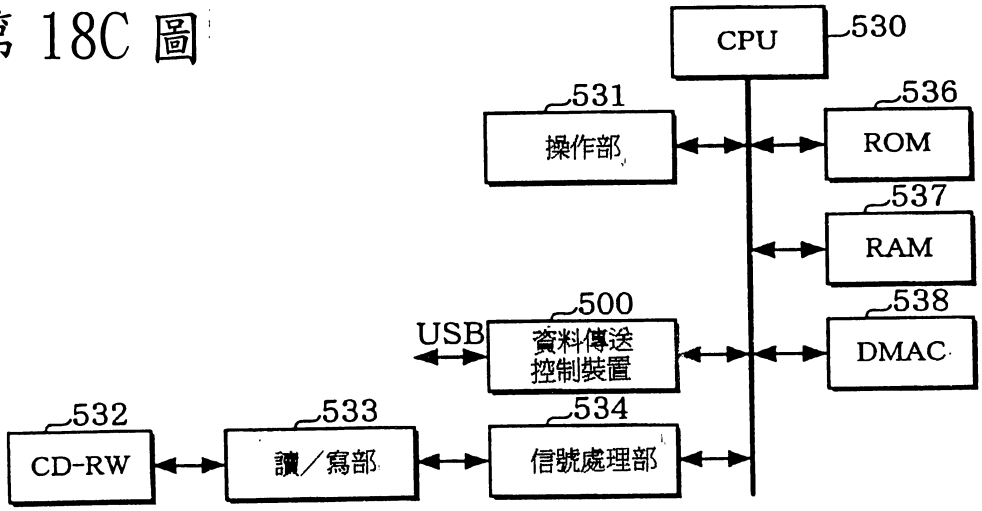
第 18A 圖



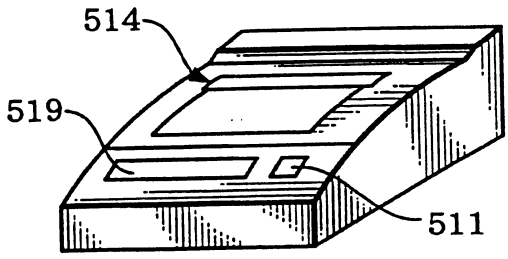
第 18B 圖



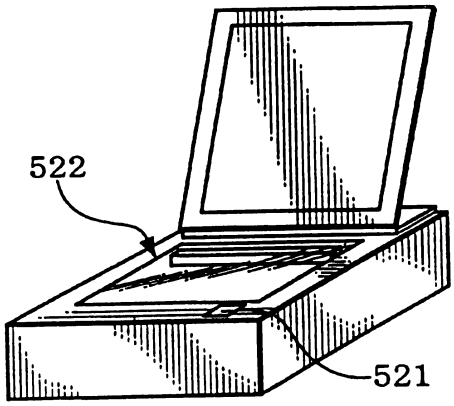
第 18C 圖



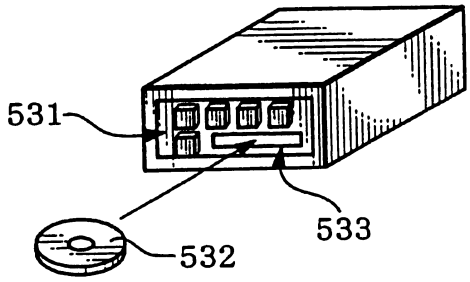
第 19A 圖



第 19B 圖



第 19C 圖



公告本

申請日期	91 年 5 月 10 日
案號	91109825
類別	G06F13/00

（以上各欄由本局填註）

A4
C4

569094

發明 ~~新型~~ 專利說明書（修正本）

一、發明 新型 名稱	中文	半導體積體裝置及電子機器
	英文	
二、發明 創作 人	姓名	(1) 笠原吕一郎 (2) 中田章
	國籍	(1) 日本 (2) 日本
	住、居所	(1) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限公司內 (2) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限公司內
三、申請人	姓名（名稱）	(1) 精工愛普生股份有限公司 セイコーエプソン株式会社
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都新宿區西新宿二丁目四番一號
	代表人姓名	(1) 草間三郎

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

煩請委員明示 年 月 日所提之修正本有無變更實質內容是否准予修正

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本	2001 年 5 月 14 日	2001-143632	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 1 ）

（發明所屬技術領域）

本發明關於半導體積體裝置，及包含其之電子機器。

（背景技術）

近年來，用於連接個人電腦與周邊電機器（廣義爲電子機器）之介面規格眼光焦點均集中於ＵＳＢ（Universal Serial Bus）。該ＵＳＢ具備可實現將習知各個不同規格之連接器所連接之滑鼠、鍵盤、印表機等周邊機器以同一規格之連接器連接之所謂隨插即用（Plug& Play）或熱插拔（Hot-Plug）之優點。

另外，和同樣以序列匯流排介面規格出現之ＩＥＥＥ1394比較，ＵＳＢ之傳送速度慢爲其缺點。

因而，相對於習知ＵＳＢ１．1規格具下位互換性，且和ＵＳＢ１．1比較可實現極高速之480M bps（ＨＳ模態）之資料傳送速度的ＵＳＢ２．0之規格被訂定而出現。

用於定義ＵＳＢ２．0之物理層電路之一部分之介面規格的ＵＴＭＩ（ＵＳＢ２．０ Transceive Macrocell Interface）亦被訂定。

該ＵＳＢ２．0，係除習知ＵＳＢ１．1定義之ＦＳ（Full Speed）模態以外，加入稱爲ＨＳ（High Speed）模態之傳送模態。於該ＨＳ模態可以480M bps 進行資料傳送，和以12M bps 進行資料傳送之ＦＳ模態比較可實現極高速之資料傳送。因此，依ＵＳＢ２．0可提供最適合要求高速傳送速度之硬碟驅動器或光碟驅動器等儲存機器之介面

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 2 ）

。

於ＵＳＢ２．０僅規定以電流驅動器進行ＨＳ模態之資料傳送之宗旨，但是針對其構成並未有具體之規定，僅止於言及爲能達成動作穩定化較好由電流驅動器經常流通一定之電流。

如上述，例如以ＵＳＢ２．０規定之ＨＳ模態之電流驅動器驅動差動對之信號線時，以何種構成可兼顧達成規定之高速之資料傳送及動作之穩定性乃重要之問題。

（發明之概要）

本發明係有鑑於上述技術問題，目的在於提供介由差動對之信號線可實現穩定且高速之資料傳送的半導體積體裝置，及包含其之電子機器。

爲解決上述問題之本發明之半導體積體裝置，係對構成差動對之第1及第2信號線施以電流驅動的半導體積體裝置，其特徵在於包含有：連接於上述第1及第2信號線，於信號輸出期間以排他方式被施以電流驅動的第1及第2接點；及在信號輸出期間以外被以電流驅動的第3接點；上述第3接點，係配置於上述第1及第2接點之間。

此處所謂接點，係指例如沿著半導體積體裝置之外緣部配置之連接端子。各接點係與封裝之各端子對應而分別電連接。

本發明中，於信號輸出期間以排他方式被施以電流驅動的第1及第2信號線所連接之第1及第2接點之間，被配置

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 3 ）

在信號輸出期間以外之非信號輸出期間被施予電流驅動的第3接點。依此則，非信號輸出期間被驅動之第3接點所連接之配線或元件等儲存之電荷之移動距離，在信號輸出期間被驅動之第1及第2接點所連接之配線或元件之間，容易保持略同等。因此，由第3接點被驅動之非信號輸出期間切換至信號輸出期間半隨之電荷之移動可均等化，切換後最初輸出之第1及第2信號線之任一所輸出之波形，可爲與切換前之該昕昊之波形等效者。結果，藉由電流驅動而於差動對之信號線進行高速之信號輸出之半導體積體裝置之動作可實現穩定化。

又，本發明可包含有：連接於第1電源和給與之節點之間的電流源；於信號輸出期間，令上述節點電連接第1及第2接點之任一方的第1及第2電晶體；及

於信號輸出期間以外，令上述節點電連接上述第3接點的第3電晶體。

依本發明，構成差動對之第1及第2信號線以電流驅動時，對給與之節點供給電流源之電流之同時，對連接該節點之第1及第2開關電晶體進行排他控制，對應送信之信號線供給電流。又，於該積點，連接在信號輸出期間以外設爲ＯＮ狀態之第3電晶體，則在信號輸出期間以外可令來自電流源之電流經由第3電晶體流通。依此則可迴避信號輸出期間以外因電流源之電流路徑不存在而引起之節點電壓上升，解決由非信號輸出期間切換爲信號輸出期間最初之送信信號之位準異常變高之問替，達成電流驅動之送信

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 4 ）

動作之穩定。

例如每次送信無法進行動作開始及動作控制之高速之信號傳送以電流驅動進行時，可兼顧高速之信號傳送及動作之穩定性。

又，電流源亦可爲定電流源。

又，本發明可包含有：當上述第1及第2信號線以分別被給與之阻抗Ｚ0終止時，在連接上述第1電晶體與上述第1接點的第1送信信號線，與第2電源之間被連接，具有與阻抗Ｚ0略同等之阻抗的第1負荷元件；及在連接上述第2電晶體與上述第2接點的第2送信信號線，與第2電源之間被連接，具有與阻抗Ｚ0略同等之阻抗的第2負荷元件；上述第1電晶體，係被插入上述節點與上述第1接點之間，設爲ＯＮ狀態下具有與阻抗Ｚ0／2略同等之阻抗，上述第2電晶體，係被插入上述節點與上述第2接點之間，設爲ＯＮ狀態下具有與阻抗Ｚ0／2略同等之阻抗，上述第3電晶體，係被插入上述節點與上述第3接點之間，設爲ＯＮ狀態下具有與阻抗Ｚ0略同等之阻抗。

此處，給與之阻抗Ｚ0可取任意之阻抗值。

依本發明，構成差動對之第1及第2信號線以電流驅動時，對給與之節點供給電流源之電流之同時，對連接該節點之第1及第2電晶體進行排他控制，對應送信之信號線所連接之第1及第2接點供給電流。又，於該節點，連接在信號輸出期間以外設爲ＯＮ狀態之第3電晶體，則在信號輸出期間以外可令來自電流源之電流經由第3電晶體流入第3

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 5 ）

接點。另外，第1及第2信號線，分別以給與之阻抗Z0終止時，各電晶體構成爲當第1電晶體設爲ON狀態時和阻抗Z0／2略同等，當第2電晶體設爲ON狀態時和阻抗Z0／2略同等，當第3電晶體設爲ON狀態時和阻抗Z0略同等。又，於第1送信信號線與第2電源之間連接和阻抗Z0具略同等阻抗的第1負荷元件，於第2送信信號線與第2電源之間連接和阻抗Z0具略同等阻抗的第2負荷元件。

依此則由被供給電流源之電流的節點看之輸出阻抗，其介由第1－第3電晶體之各路徑可分別以阻抗Z0終止。因此，於信號輸出期間及非信號輸出期間，即使第1－第3電晶體之任一設爲ON狀態之情況下連接於節點之阻抗可構成略同等。結果，即使第1－第3電晶體之任一設爲ON狀態之情況下，被供給電流源之電流的節點之電壓變動亦可保持略同等，信號輸出期間輸出之信號波形可構成略同等。

又，本發明可包含有：連接於上述第3電晶體與上述第3接點之間，具有與阻抗Z0／2略同等之阻抗的第3負荷元件；上述第3電晶體，在設爲ON狀態下具有與阻抗Z0／2略同等之阻抗。

依本發明，第3電晶體設爲ON狀態之阻抗，係構成和阻抗Z0／2略同等，於該第3電晶體與該第3接點之間連接阻抗Z0／2之第3負荷元件，故由被供給電流源之電流的節點看之輸出阻抗，其介由第1－第3電晶體之各路徑可分別以阻抗Z0終止。因此，具備和上述發明同樣之效果

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 6 ）

。此外，給與之節點所連接之各電晶體之形狀可構成相同，製程變動引起之各電晶體設爲ＯＮ狀態之阻抗變動可被吸收。

又，本發明中，上述第3電晶體，在設爲ＯＮ狀態下具有與阻抗Ｚ０／２略同等之阻抗，上述第3接點，係於外部以和阻抗Ｚ０／２略同等之阻抗終止。

本發明中，第3電晶體設爲ＯＮ狀態之阻抗，係和阻抗Ｚ０／２爲略同等，外部於第3接點連接阻抗Ｚ０／２之第3負荷元件，故由被供給電流源之電流的節點看之輸出阻抗，其介由第1－第3電晶體之各路徑可分別以阻抗Ｚ０終止。因此，具備和上述發明同樣之效果。此外，給與之節點所連接之各電晶體之形狀可構成相同，製程變動引起之各電晶體設爲ＯＮ狀態之阻抗變動可被吸收。同時，於裝置內不必設置負荷元件，可達成送信電路之小型化，低成本化。

又，本發明可包含有：在連接上述第3電晶體與上述第3接點的第3送信信號線，與第2電源之間被連接，具有與阻抗Ｚ０略同等之阻抗的第4負荷元件；上述第3電晶體，在設爲ＯＮ狀態下具有與阻抗Ｚ０／２略同等之阻抗；上述第3接點，係於外部以和阻抗Ｚ０／２略同等之阻抗終止。

本發明中，第3電晶體設爲ＯＮ狀態之阻抗，係和阻抗Ｚ０／２爲略同等，於第3送信信號線與第2電源之間連接和阻抗Ｚ０具略同等阻抗之第4負荷元件，外部於第3接點

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 7 ）

可終止於阻抗Z0，故由被供給電流源之電流的節點看之輸出阻抗，其介由第1－第3電晶體之各路徑可分別以阻抗Z0終止。因此，於信號輸出期間及非信號輸出期間，即使第1－第3電晶體之任一設爲ON狀態之情況下連接於節點之阻抗可構成略同等。結果，即使第1－第3電晶體之任一設爲ON狀態之情況下，被供給電流源之電流的節點之電壓變動亦可保持略同等，信號輸出期間輸出之信號波形可構成略同等。又，節點所連接之各電晶體之形狀可構成相同，製程變動引起之各電晶體設爲ON狀態之阻抗變動可被吸收。又，各接點連接之電晶體及配線亦設爲同樣構成，故可達成格之通用，佈局配置等設計工時之減少之同時，由接點輸出之信號之特性容易保持相同。

又，本發明可包含有：插入於上述第3電晶體與上述第2電源之間，具有與阻抗Z0／2略同等之阻抗的第5負荷元件；上述第3電晶體，在設爲ON狀態下具有與阻抗Z0／2略同等之阻抗；上述第3接點被省略。

本發明中，第3電晶體設爲ON狀態之阻抗，係和阻抗Z0／2爲略同等，第3接點被省略，於第3電晶體與第2電源之間以具有阻抗Z0／2之第5負荷元件，使被供給電流源之電流的節點終止，故由該節點看之輸出阻抗，其介由第1－第3電晶體之各路徑可分別以阻抗Z0終止。因此，於信號輸出期間及非信號輸出期間，即使第1－第3電晶體之任一設爲ON狀態之情況下連接於節點之阻抗可構成略同等。結果，即使第1－第3電晶體之任一設爲ON狀態

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 8 ）

之情況下，節點所連接之阻抗可保持略同等。結果，即使第1－第3電晶體之任一設爲ＯＮ狀態下，被供給電流源之電流的節點之電壓變動亦可保持略同等，信號輸出期間輸出之信號波形可構成略同等。又，節點所連接之各電晶體之形狀可構成相同，製程變動引起之各電晶體設爲ＯＮ狀態之阻抗變動可被吸收。又，因第3接點之省略，可實現電路規模之縮小化，及低成本化。

又，本發明中，上述第1－第3電晶體之中至少1個爲n型ＭＯＳ電晶體。

依本發明，輸入各電晶體之閘極端子的閘極信號之主動方向，及介由各電晶體送信之送信信號之主動方向可構成相同，和ｐ型ＭＯＳ電晶體比較，可達成元件面積之縮小化之同時，可除去加入送信信號之雜訊，可產生信賴性高之送信信號。

又，本發明中，包含連接於上述第1接點之上述第1電晶體的第1格，與包含連接於上述第2接點之上述第2電晶體的第2格，係以連接該第1及第2接點之配線以及電晶體所寄生之負荷呈現略同等般被配置；上述電流源，係鄰接上述第1及第2格被配置。

又，本發明中，上述第3負荷元件可配置於，包含連接於上述第1接點之上述第1電晶體的第1格，與包含連接於上述第2接點之上述第2電晶體的第2格之間。

又，本發明中，上述第4負荷元件可配置於，包含連接於上述第1接點之上述第1電晶體的第1格，與包含連接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 9 ）

於上述第2接點之上述第2電晶體的第2格之間之空餘區域。

又，本發明中，上述第5負荷元件可配置於，包含連接於上述第1接點之上述第1電晶體的第1格，與包含連接於上述第2接點之上述第2電晶體的第2格之間之空餘區域。

又，本發明中，上述第1－第3接點，係配置於接合導線之長度差變爲更少之位置。

依本發明，由節點看之輸出阻抗，其3各路徑均可保持略同等，輸出之信號位準可提升。

又，本發明中，介由構成差動對之第1及第2信號線被送信之信號，係以ＵＳＢ（Universal Serial Bus）規格規定之信號。

此情況下，給與之介面規格，可用ＵＳＢ２．０規格或以ＵＳＢ２．０規格發展出之規格。

又，本發明之電子機器，可包含有：上述任一半導體積體裝置；及介由上述半導體積體裝置及匯流排進行被傳送之資料之輸出處理、取入處理、或記憶處理之裝置。

依本發明，可於電子機器組裝高速之資料傳送且動作穩定之半導體積體裝置，可提升電子機器之特性。

（發明之實施形態）

以下依圖面詳細說明本發明較佳實施形態。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 10）

1.ＵＳＢ２．０

依ＵＳＢ２．０，ＵＳＢ１．１或ＵＳＢ２．０對應之多數周邊機器之間，係介由集線器裝置連接管理匯流排之作爲主電腦裝置的個人電腦。

於此主電腦裝置搭載有與ＵＳＢ２．０對應之主電腦控制器，主電腦控制器係判斷連接之機器爲ＵＳＢ１．１對應或ＵＳＢ２．０對應，而介由匯流排進行資料傳送。

又，於集線器裝置，搭載例如ＵＳＢ２．０對應之集線器控制器。集線器控制器，係判斷連接之周邊機器爲ＵＳＢ１．１對應或ＵＳＢ２．０對應，而控制匯流排傳送方式。

又，於周邊機器亦搭載與ＵＳＢ１．１或ＵＳＢ２．０對應之裝置控制器。例如裝置控制器對應ＵＳＢ２．０時，該裝置控制器包含對應ＵＳＢ１．１或ＵＳＢ２．０之介面規格的物理層電路，及依搭載之周邊機器進行資料傳送控制的邏輯層電路。

本發明之半導體積體裝置，可適用包含上述物理層電路的主電腦控制器、集線器控制器、及裝置控制器（廣義言之爲資料傳送控制裝置）。又，本發明之半導體積體裝置，只要是在差動對之信號線輸出信號者，則不限於ＵＳＢ２．０規定之各種控制器之適用。

2.半導體積體裝置（資料傳送控制裝置）

圖１係本發明之半導體積體裝置適用之資料傳送控制裝置之構成之一例。

煩請委員明示，年 月 日所提之修正本有無變更實質內容是否准予修正

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 11）

該資料傳送控制裝置，係包含物理層電路及邏輯層電路。

邏輯層電路，係包含資料處理電路10，ＨＳ（High Speed）電路20，ＦＳ（Full Speed）電路30。物理層電路，包含類比前置終端（Analog Front End）電路40。又，該資料傳送控制裝置，並不一定要包含圖1所示電路方塊之全部，亦可省略一部分之構成。

資料處理器電路（廣義言之爲進行資料傳送之電路）10，係依ＵＳＢ２．0規格進行資料傳送之各種送信處理及受信處理。更具體言之爲，資料處理電路10，於送信時係進行於送信資料附加ＳＹＮＣ（SYNChronization）、ＳＯＰ（Start Of Packet）、ＥＯＰ（End Of Packet）之處理，或進行位元單元（bit staffing）處理等。另外，資料處理器電路10，於受信時係進行受信資料之ＳＹＮＣ、ＳＯＰ、ＥＯＰ之檢測、刪除之處理，或進行位元單元之逆處理等。

又，資料處理器電路10，亦進行資料送受信控制用之各種時序信號之生成處理。此種資料處理器電路10係連接ＳＩＥ（Serial Interface Engine）。

ＳＩＥ，係包含用於辨識ＵＳＢ封包ＩＤ或位址的ＳＩＥ控制邏輯，及進行端點（End Point）編號之辨識或ＦＩＦＯ控制等之端點處理的端點邏輯。

ＨＳ電路20，係進行資料傳送速度爲480M bps之ＨＳ模態之資料送受信的邏輯電路。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（12）

ＦＳ電路30，係進行資料傳送速度爲12M bps之ＦＳ模態之資料送受信的邏輯電路。

類比式前端電路40，係包含進行ＦＳ模態或ＨＳ模態之資料送受信的驅動器或接收器之類比電路。於ＵＳＢ，係經由使用ＤＰ（Ｄata＋）及ＤＭ（Ｄata－）之差動對之信號來進行資料送受信。

該資料傳送控制裝置，亦包含例如ＨＳ電路20使用之480ＭＨz之時脈，或裝置內部及ＳＩＥ使用之60ＭＨz之時脈之生成用之時脈電路（未圖示），及生成類比式前端電路40之各種控制信號的控制電路。

ＨＳ電路20，係包含ＤＬＬ（Delay Line PLL）電路22，及彈性緩衝器（elasticity buffer）24。

ＤＬＬ電路22，係依時脈電路（未圖示）生成之時脈極受信信號，產生資料之取樣時脈。

彈性緩衝器24，係用於吸收裝置內部，與外部裝置（接於匯流排之外部裝置）之間之時脈頻率差（時脈漂移）等之電路。

於ＵＳＢ２．0定義ＨＳ模態及ＦＳ模態之傳送模態。ＨＳ模態係依ＵＳＢ２．0被新定義之傳送模態。ＦＳ模態則爲習知ＵＳＢ１．1已經定義之傳送模態。

於ＨＳ模態，係介由ＨＳ電路20，於資料處理器電路10與類比式前端電路40之間進行資料送受信。

於ＦＳ模態，係介由ＦＳ電路30，於資料處理器電路10與類比式前端電路40之間進行資料送受信。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 13）

因此，於類比式前端電路40，分別設置可使差動對之送受信信號之ＤＰ、ＤＭ於ＨＳ模態進行送受信的ＨＳ模態用驅動器及接收器，以及在ＦＳ模態進行送受信的ＦＳ模態用驅動器及接收器。

更具體言之爲，類比式前端電路40，係包含：ＦＳ驅動器42，ＦＳ差動資料接收器44，ＳＥ（Single Ended）＿ＤＰ接收器46，ＳＥ＿ＤＭ接收器48，ＨＳ電流驅動器（廣義言之爲，送信電路）50，低速用ＨＳ＿ＳＱ（Squelch）＿Ｌ電路52，高速用ＨＳ＿ＳＱ電路54，及ＨＳ差動資料接收器56。

ＦＳ驅動器42，於ＦＳ模態，係以來自ＦＳ電路30之ＦＳ＿ＤＰ out及ＦＳ＿ＤＭ out所構成之差動對之送信信號，作爲ＤＰ及ＤＭ構成之差動對之送信信號輸出之。該ＦＳ驅動器42，係由ＦＳ電路30之ＦＳ＿Ｏut Ｄis進行輸出控制。

ＦＳ差動資料接收器44，於ＦＳ模態，係放大ＤＰ及ＤＭ之差動對之受信信號，並作爲ＦＳ＿Ｄata Ｉn對ＦＳ電路30輸出。該ＦＳ差動資料接收器44，係由ＦＳ＿Ｃomp Ｅnb進行放大控制。

ＳＥ＿ＤＰ接收器46，於ＦＳ模態，係放大單一終端之受信信號之ＤＰ，作爲ＳＥ＿ＤＰ in對ＦＳ電路30輸出。

ＳＥ＿ＤＭ接收器48，於ＦＳ模態，係放大單一終端之受信信號之ＤＭ，作爲ＳＥ＿ＤＭ in對ＦＳ電路30輸

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 14）

出。

ＨＳ電流驅動器50，於ＨＳ模態，係放大來自ＨＳ電路20之ＨＳ＿Ｐ out及ＨＳ＿ＤＭ out所構成之差動對之送信信號，並作爲ＤＰ及ＤＭ所構成之差動對之送信信號輸出之。該ＨＳ電流驅動器50，係由來自ＨＳ電路20之ＨＳ＿Ｏ ut Ｄ is進行輸出控制之同時，由ＨＳ＿Ｃ urrent Ｓ ource Ｅ nb進行驅動電流之控制。

低速用ＨＳ＿ＳＱ＿Ｌ電路52，係在良好精確度下檢測出ＤＯ及ＤＭ之差動對之受信信號之有無，作爲信號檢測結果輸出ＨＳ＿ＳＱ＿Ｌ。該低速用ＨＳ＿ＳＱ＿Ｌ電路52，係由ＨＳ＿ＳＱ＿Ｌ＿Ｅ nb進行動作控制，由ＨＳ＿ＳＱ＿Ｌ＿Ｐ wr進行省電控制。

高速用ＨＳ＿ＳＱ電路54，於ＨＳ模態，係檢測出ＤＰ及ＤＭ之差動對之受信信號之有無，作爲信號檢測結果對ＨＳ電路20輸出ＨＳ＿ＳＱ。該高速用ＨＳ＿ＳＱ電路54，係由來自ＨＳ電路20之ＨＳ＿ＳＱ＿Ｅ nb進行動作控制，由ＨＳ＿ＳＱ＿Ｐ wr進行省電控制。

ＨＳ差動資料接收器56，於ＨＳ模態，係放大ＤＰ及ＤＭ之差動對之受信信號，輸出ＨＳ＿Ｄ ata Ｉ n、ＨＳ＿Ｄ ata Ｉ n＿Ｌ。該ＨＳ差動資料接收器56，係由ＨＳ＿Ｒ x Ｅ nb進行放大控制。

差動對之受信信號ＤＰ、ＤＭ之中，ＤＰ介由ＳＷＡ及升壓電阻Ｒ pu連接電源電壓3.3Ｖ。又，差動對之受信信號ＤＰ、ＤＭ之宗，ＤＭ係連接ＳＷＢ。ＳＷＡ及

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（15）

ＳＷＢ係由Ｒ pu Ｅ nb控制。在考慮負荷平衡之情況下，ＤＭ亦可介由ＳＷＢ連接與升壓電阻Ｒ pu 具相同電阻之電阻。Ｒ pu Ｅ nb，在ＦＳ模態時，至少藉由ＳＷＡ令ＤＰ連接升壓電阻Ｒ pu。

如上述資料傳送控制裝置，係包含ＨＳ模態及ＦＳ模態之傳送速度對應之驅動器及接收器之構成。

91.10.24

2.1 送受信系之構成

圖2係使用圖1之資料傳送控制裝置以ＨＳ模態進行資料傳送之送受信系之構成重要部份之一例。

以ＨＳ模態進行資料傳送時，包含上述物理層電路之送信側資料傳送控制裝置60－Ｔ，與受信側資料傳送控制裝置60－Ｒ之間，係介由傳送差動對之受信信號ＤＰ、ＤＭ的差動對信號線（廣義言之爲第1及第2信號線）62－1、62－2傳送。

如上述依ＵＳＢ2．0，係分別設置與ＨＳ模態及ＦＳ模態之傳送速度對應之驅動器及接收器。因此，各模模態之驅動器及接收器，係共通連接於差動對信號線62－1、62－2。

送信側資料傳送控制裝置60－Ｔ之類比式前端電路，至少包含ＦＳ驅動器42－Ｔ，及ＨＳ電流驅動器50－Ｔ。受信側資料傳送控制裝置60－Ｒ之類比式前端電路至少包含ＦＳ驅動器42－Ｒ及ＨＳ差動資料接收器56－Ｒ。

於ＵＳＢ2．0，ＨＳ模態傳送時之輸出阻抗Ｚ0（45

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 16）

Ω ± 10% ）被定義，於第1及第2信號線62－1、62－2分別連接，於資料傳送控制裝置內與該輸出阻抗Z0具等效之阻抗Rs的終端用電阻。

該終端用電阻，係連接FS驅動器。因此，於HS模態，藉由FS驅動器驅動「0」，使該終端用電阻作爲HS模態之信號線之終端電阻使用。

FS驅動器42－T，藉由例如圖1所示FS_Out Dis之輸出控制，於第1及第2信號線62－1、62－2驅動「0」。結果，於送信側資料傳送控制裝置60－T內第1及第2信號線62－1、62－2介由終端用電阻被降壓。

又，HS電流驅動器50－T，係藉由例如圖1所示HS_Out Dis之輸出控制、HS_Current Source Enb之驅動電流之供給控制，對來自HS電路之HS_DP out及HS_DM out所構成之差動對之送信信號進行放大。

另外，FS驅動器42－R，藉由例如圖1所示FS_Out Dis之輸出控制，於第1及第2信號線62－1、62－2驅動「0」。結果，於受信側資料傳送控制裝置60－R內第1及第2信號線62－1、62－2介由終端用電阻被降壓。

又，HS差動資料接收器56－R，係藉由例如圖1所示HS_RxEnb之輸出控制，對第1及第2信號線62－1、62－2之差動對之送信信號進行放大，輸出

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 17）

ＨＳ＿Ｄata Ｉn、ＨＳ＿Ｄata Ｉn＿Ｌ。

如上述，送信側資料傳送控制裝置60－Ｔ之ＨＳ電流驅動器50－Ｔ，係依送信信號，對在送信側及受信側分別以終端用電阻終止之第1及第2信號線62－1、62－2進行電流驅動。

3. 送信電路

3.1 電流路徑

圖3係上述ＨＳ電流驅動器之構成概要。

ＨＳ電流驅動器50，包含：接於第1電源ＡＶＤＤ與節點ＮＤ之間的電流源70，及一端接於節點ＮＤ的開關元件ＳＷ1－ＳＷ3。開關元件ＳＷ1之另一端連接ＤＰ端子（廣義言之爲連接端子）72。開關元件ＳＷ2之另一端連接ＤＭ端子74。開關元件ＳＷ3之另一端連接ＤＡ端子76。ＤＡ端子76係於電路內部或電路外部連接第2電源ＡＶＳＳ。

ＨＳ電流驅動器被集積於半導體積體裝置時，令作爲ＤＰ端子72之ＤＰ接點，作爲ＤＭ端子74之ＤＭ接點，作爲ＤＡ端子76之ＤＡ接點（或者ＡＶＳＳ接點）中之任一與電流源70進行電連接。此處，接點係指沿著半導體積體裝置外緣部分配置之作爲連接端子之電極者。各接點，被賦與和封裝之各端子之間之對應關係而予以電連接。

如上述，ＨＳ電流驅動器50，係藉由排他控制開關元件ＳＷ1－ＳＷ3，來切換電流源70之電流使流入ＤＰ端子

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 18）

72、ＤＭ端子74、或ＤＡ端子76之中之任一。

更具體言之爲，送信ＤＰ「1」時，ＨＳ電流驅動器50藉由ＨＳ＿ＤＰ out 使開關元件ＳＷ1設爲ＯＮ狀態，使開關元件ＳＷ2及ＳＷ3設爲ＯＦＦ狀態，則於ＤＰ端子72流入電流源70之電流。

送信ＤＭ「1」時，ＨＳ電流驅動器50藉由ＨＳ＿ＤＭ ou 使開關元件ＳＷ2設爲ＯＮ狀態，使開關元件ＳＷ1及ＳＷ3設爲ＯＦＦ狀態，則於ＤＭ端子74流入電流源70之電流。

在ＤＰ「1」或ＤＭ「1」之信號送信期間（廣義言之爲信號輸出期間）以外之非信號送信期間（廣義言之爲非信號輸出期間），ＨＳ電流驅動器50藉由ＨＳ＿Ｏ ut Ｄ is 使開關元件ＳＷ3設爲ＯＮ狀態，使開關元件ＳＷ1及ＳＷ2設爲ＯＦＦ狀態，則於ＤＡ端子74流入電流源70之電流。

依此則於非信號送信期間無設置電流源70之電流路徑之情況下，可迴避節點ＮＤ之電壓上升。

圖4係以ＨＳ電流驅動器送信之差動對之送信信號之波形之一例。

如圖3所示，ＨＳ電流驅動器50，係由ＨＳ電路被供給兩緣部對齊狀態下以排他方式進行邏輯動作的ＨＳ＿ＤＰ out及ＨＳ＿ＤＭ out。

一般而言，電流源70之動作開始及動作停止之控制爲可能。但是，電流源70之動作之穩定需要時間，因此進行

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（19）

ＨＳ模態之高速之資料傳送時，於每次送信時進行動作開始及動作停止乃困難之事。因此爲求動作之穩定性，電流源70需流通穩態電流。

如上述在穩定狀態下由電流源70供給電流之情況下，於非信號送信期間未設置介由開關元件ＳＷ3之電流路徑時，穩定狀態下來自電流源70之電流將使節點ＮＤ之電壓上升。

此時，藉由圖4之Ｔ1所示ＨＳ＿ＤＰ out 使開關元件ＳＷ1設爲ＯＮ狀態時，ＤＰ之電壓將大於規定之位準ＬＶ0。亦即，在由非信號送信期間變爲信號送信期間之最初之Ｔ1時ＨＳ＿ＤＰ out 所輸出之ＤＰ之電壓將發生變高之問題。該ＤＰ之電壓，會隨時間經過而接近本來之信號送信期間應輸出之電壓ＬＶ0。

關於ＤＭ亦同樣，在接續Ｔ1之Ｔ2，藉由ＨＳ＿ＤＭ out 使開關元件ＳＷ2設爲ＯＮ狀態時，ＤＭ之電壓會有大於規定之位準ＬＶ0之情況。該ＤＭ之電壓，會隨時間經過而接近本來之信號送信期間應輸出之電壓ＬＶ0。

因此，於圖3，在非信號送信期間介由開關元件ＳＷ3使來自電流源70之電流流入ＤＡ端子，可迴避非信號送信期間之節點ＮＤ之電壓上升，可防止由非信號送信期間變爲信號送信期間之最初之送信信號之輸出位準變爲規格外，可達成動作之穩定性。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 20）

3.2 阻抗

但是，藉由ＨＳ電流驅動器50對第1及第2信號線62－1、62－2進行電流驅動時，由節點ＮＤ至受信端側之阻抗來決定送信信號之位準。

假設由節點ＮＤ經由開關元件ＳＷ1及第1信號線62－1至受信端止之阻抗爲Ｚｐ，由節點ＮＤ經由開關元件ＳＷ2及第2信號線62－2至受信端止之阻抗爲Ｚｍ，由節點ＮＤ經由開關元件ＳＷ3及ＤＭ端子74至第2電源ＡＶＳＳ止之阻抗爲Ｚａ。

於非信號送信期間即使設置有往ＤＡ端子之電流路徑之情況下，「Ｚｐ：Ｚｍ：Ｚａ＝１：１：α（其中1＜α）時，來接ＤＡ端子之電流路徑之阻抗變高而使節點ＮＤ之電壓上升。此時，如圖4之Ｔ3所示ＨＳ＿ＤＰ out使開關元件ＳＷ1設爲ＯＮ狀態時，會有ＤＰ之電壓大於規定之位準ＬＶ0之情況。亦即，在由非信號送信期間變爲信號送信期間之最初之Ｔ3之ＨＳ＿ＤＰ out所輸出之ＤＰ之電壓將發生變高之問題。該ＤＰ之電壓，會隨時間經過而接近本來之信號送信期間應輸出之電壓ＬＶ0。

關於ＤＭ亦同樣，在接續Ｔ3之Ｔ4，藉由ＨＳ＿ＤＭ out使開關元件ＳＷ2設爲ＯＮ狀態時，ＤＭ之電壓會有大於規定之位準ＬＶ0之情況。該ＤＭ之電壓，會隨時間經過而接近本來之信號送信期間應輸出之電壓ＬＶ0。

又，於非信號送信期間即使設置有往ＤＡ端子之電流

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 21）

路徑之情況下，「Ｚｐ：Ｚｍ：Ｚａ＝１：１：β（其中１＜β）時，連接ＤＡ端子之電流路徑之阻抗變低而使節點ＮＤ之電壓下降。此時，如圖４之Ｔ３所示ＨＳ＿ＤＰ out使開關元件ＳＷ１設爲ＯＮ狀態時，會有ＤＰ之電壓未達規定之位準ＬＶ０之情況。亦即，在由非信號送信期間變爲信號送信期間之最初之Ｔ３之ＨＳ＿ＤＰ out所輸出之ＤＰ之電壓將變低，導致受信端無法正常檢測出送信信號之問題。該ＤＰ之電壓，會隨時間經過而接近本來之信號送信期間應輸出之電壓ＬＶ０。

關於ＤＭ亦同樣，在接續Ｔ３之Ｔ４，藉由ＨＳ＿ＤＭ out使開關元件ＳＷ２設爲ＯＮ狀態時，ＤＭ之電壓會有未達規定之位準ＬＶ０之情況。該ＤＭ之電壓，會隨時間經過而接近本來之信號送信期間應輸出之電壓ＬＶ０。

如上述，當由節點ＮＤ至各電流路徑之阻抗無法均一時，介由各路徑輸出之信號位準不僅無法保持均一，且節點ＮＤ之電壓會產生變動。

第１及第２信號線６２－１、６２－２，如上述般構成爲由送信側及受信側之終端用電阻與信號線之電阻所規定之阻抗Ｚ０。於圖３，係令各電流路徑之阻抗保持同等（略同等），因此於非信號送信期間介由開關元件ＳＷ３使來自電流源７０之電流流入ＤＡ端子之路徑之阻抗，將變爲與上述阻抗同等。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 22）

3.3 佈局配置

又，於上述資料傳送控制裝置，至少連接被ＨＳ電流驅動器驅動之第1及第2信號線62－1、62－2之電流路徑較好維持對稱性。如此則可保持連接ＤＰ端子及ＤＭ端子之路徑之負荷平衡，結果於信號送信期間輸出至第1及第2信號線62－1、62－2之信號波形可維持同等。

又，於非信號送信期間使來自電流源70之電流流入ＤＡ端子之開關元件ＳＷ3，與在信號送信期間使來自電流源70之電流流通之開關元件ＳＷ1及ＳＷ2較好保持等距離。如此則在信號送信期間與非信號送信期間之切換時，節點ＮＤ之電荷移動，於開關元件ＳＷ1及ＳＷ2可保持同等。結果，由非信號送信期間切換爲信號送信期間之最初之信號不論介由開關元件ＳＷ1及開關元件ＳＷ2之任一輸出之情況下，其信號波形均可設爲同等。

因此，於資料傳送控制裝置中，在信號送信期間形成電流網路之2個路徑（ＳＷ1、ＳＷ2）之佈局配置，需構成對稱，俾使以差動對構成之第1及第2信號線之連接路徑所寄生之電阻成份及電容成份等之負荷不受製程變動影響而保持同等。依此則以差動對動作之送受信信號上附加之雜訊可於良好精確度控制下被抵消。

又，例如對連接差動對之信號線之各路徑之佈局進行配置時，令各路徑施予格化而將兩格之間以電流鏡配置。另外，在信號送信期間以外電流路徑被形成之1個路徑（ＳＷ3），係配置於兩格之間，俾使由非信號輸出期間切

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 23）

換為信號送信期間時之ＤＰ及ＤＭ之信號波形成為同等之同時，可提升佈局配置之效率。

3.4 接點位置

又，構成差動對之第1及第2信號線62－1、62－2所連接之ＤＰ端子72、ＤＭ端子74，於半導體基板上作為ＤＰ接點及ＤＭ接點設置時，使對應之封裝端子為止之負荷平衡成為同等般在基板上之略中央部配置兩接點較好。

如此則由ＤＰ及ＤＭ接點介由接合導線而至對應之封裝端子為止所寄生之負荷之減輕及負荷平衡之維持可達成，藉由信號波形構成同等則可提升信號送受信之信賴性。

例如圖5Ａ所示，於半導體基板78上之角部附近配置ＤＰ接點72、ＤＭ接點74，及ＤＡ接點76時，若考慮包含進行封裝之引線之長度，則至接點與封裝端子為止所寄生之負荷將因其而變大。另外，關於ＤＰ接點72及ＤＭ接點74，會因接合導線及引線之長度差而喪失負荷平衡。

相對於此，如圖5Ｂ所示，於半導體基板78上之中央部附近配置ＤＰ接點72、ＤＭ接點74，及ＤＡ接點76時，和圖5Ａ比較進行封裝之引線之長度變短，因此，至接點與封裝端子為止所寄生之負荷將變小。而且，關於ＤＰ接點72及ＤＭ接點74，接合導線及引線之長度差不存在，可保持同等之負荷平衡。

又，如上述般不僅對ＤＰ接點72及ＤＭ接點74，對ＤＡ接點76亦需考慮負荷平衡，故較好在使其等所連接之

煩請委員明示　年　月　日所提之修正本有無變更實質內容是否准予修正。

（請先閱讀背面之注意事項再填寫本頁）

裝　訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 24）

信號線之負荷平衡可保持同等之位置配置該3接點。

如上述構成ＨＳ電流驅動器，則可實現例如ＨＳ模態之資料傳送。又，可使其必要之電流源之動作達穩定，可達成高速之資料傳送之穩定。

3.5 送信電路之構成例

以下具體說明上述ＨＳ電流驅動器適用可能之送信電路及包含該送信電路之資料傳送控制裝置。

（第1實施形態）

圖6係本發明第1實施形態之送信電路之構成例。

第1實施形態之送信電路50，係於資料傳送控制裝置60－1進行ＵＳＢ2.0規定之信號之傳送。該資料傳送控制裝置60－1包含72、ＤＭ端子74、ＤＡ接點76。

ＤＰ端子72，係電連接構成差動對之信號線的第1信號線62－1。ＤＭ端子74，係電連接構成差動對之信號線的第2信號線62－2。ＤＡ端子76，係電連接第2電源ＡＶＳＳ。

送信電路50，係包含定電流源80，作爲開關元件ＳＷ1之ｎ型ＭＯＳ電晶體82－Ｐ，作爲開關元件ＳＷ2之ｎ型ＭＯＳ電晶體82－Ｍ，及作爲開關元件ＳＷ3之ｎ型ＭＯＳ電晶體82－Ａ。

定電流源80，係由電流源控制謝號ＣＩ60控制其動作。定電流源80，係依該電流源控制謝號ＣＩ60之電流值將

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（25）

給與之定電流值之電流供至節點ＮＤ。

節點ＮＤ連接ｎ型ＭＯＳ電晶體82－Ｐ、ｎ型ＭＯＳ電晶體82－Ｍ、ｎ型ＭＯＳ電晶體82－Ａ之各源極端。

ｎ型ＭＯＳ電晶體82－Ｐ，其汲極端子連接ＤＰ端子72，閘極端子連接ＨＳ電路之ＨＳ＿ＯＰ out。

ｎ型ＭＯＳ電晶體82－Ｍ，其汲極端子連接ＤＭ端子74，閘極端子連接ＨＳ電路之ＨＳ＿ＤＭ out。

ｎ型ＭＯＳ電晶體82－Ａ，其汲極端子連接ＤＡ端子76，閘極端子連接ＨＳ電路之ＨＳ＿Ｏut Ｄis。

電連接ｎ型ＭＯＳ電晶體82－Ｐ之汲極端子與ＤＰ端子72之第1送信信號線84－Ｐ，如上述係以ＦＳ驅動器之終端用電阻被終止。因此，於圖6之模式表示中，於第1送信信號線84－Ｐ與第2電源ＡＶＳＳ之間被連接有具備阻抗Ｒｓ之電阻元件。

電連接ｎ型ＭＯＳ電晶體82－Ｍ之汲極端子與ＤＭ端子74之第2送信信號線84－Ｍ，如上述係以ＦＳ驅動器之終端用電阻被終止。因此，於圖6之模式表示中，於第2送信信號線84－Ｍ與第2電源ＡＶＳＳ之間被連接有具備阻抗Ｒｓ之電阻元件。

第1實施形態中，ｎ型ＭＯＳ電晶體82－Ｐ、82－Ｍ分別以ＨＳ＿ＤＰ out、ＨＳ＿ＤＭ out設爲ＯＮ狀態時之阻抗，係成爲Ｒｓ／2。

又，ｎ型ＭＯＳ電晶體82－Ａ，以ＨＳ＿Ｏut Ｄ-is、ＨＳ＿ＤＭ out設爲ＯＮ狀態時之阻抗，係成爲Ｒｓ。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 26）

假設 n 型ＭＯＳ電晶體82－Ｐ之通道寬爲Ｗ ｐ，n 型ＭＯＳ電晶體82－Ｍ之通道寬爲Ｗ ｍ，n 型ＭＯＳ電晶體82－Ａ之通道寬爲Ｗ ａ。例如各電晶體之通道長設爲一定，以通道寬Ｗ ｐ實現Ｒ ｓ／２，藉由「Ｗ ｐ：Ｗ ｍ：Ｗ ａ＝１：１：0.5」之調整，則容易實現具備上述阻抗之電晶體。

定電流源80，包含 p 型ＭＯＳ電晶體86－１～86－４，爲2段構成之電流鏡電路。

亦即，p 型ＭＯＳ電晶體86－１，其源極端子連接第1電源ＡＶＤＤ，汲極端子連接 p 型ＭＯＳ電晶體86－2之源極端子。p 型ＭＯＳ電晶體86－１之閘極端子及汲極端子互相連接。p 型ＭＯＳ電晶體86－2之閘極端子與汲極端子互相連接。

p 型ＭＯＳ電晶體86－2之汲極端子連接電流源控制謝號ＣＩ60。

另外，p 型ＭＯＳ電晶體86－３，其源極端子連接第1電源ＡＶＤＤ，汲極端子連接 p 型ＭＯＳ電晶體86－４之源極端子。p型ＭＯＳ電晶體86－３之閘極端子及 p 型ＭＯＳ電晶體86－１之閘極端子互相連接。p 型ＭＯＳ電晶體86－４之閘極端子與 p 型ＭＯＳ電晶體86－2之閘極端子互相連接。

p型ＭＯＳ電晶體86－４之汲極端子連接節點ＮＤ。

上述定電流源80，藉由2段電流鏡構成ㄎㄜ３生成穩定之定電流值之電流。該定電流源80，係依電流源控制謝號ＣＩ60供給之電流值，將給與之鏡比率倍之定電流值之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 27）

電流供至節點ＮＤ。

上述構成之送信電路中，由節點ＮＤ看之介由ｎ型ＭＯＳ電晶體82－Ｐ、82－Ｍ、82－Ａ之電流路徑之阻抗，均與Ｒｓ爲同等（略同等）。

亦即，送信ＤＰ「1」時，藉由ＨＳ＿ＤＰ out使ｎ型ＭＯＳ電晶體82－Ｐ設爲ＯＮ狀態，則可以供至節點ＮＤ之定電流驅動由節點ＮＤ看之阻抗Ｒｓ。

送信ＤＭ「1」時，藉由ＨＳ＿ＤＭ out使ｎ型ＭＯＳ電晶體82－Ｍ設爲ＯＮ狀態，則可以供至節點ＮＤ之定電流驅動由節點ＮＤ看之阻抗Ｒｓ。

又，在對ＤＰ及ＤＭ送信「0」之非信號送信期間，藉由使ｎ型ＭＯＳ電晶體82－Ａ設爲ＯＮ狀態，則可以供至節點ＮＤ之定電流驅動由節點ＮＤ看之阻抗Ｒｓ。

因３此，藉由令該阻抗Ｒｓ，調整爲ＵＳＢ２．0規定之ＨＳ電流驅動器之輸出阻抗，則可實現ＨＳ模態之資料傳送。

圖7係第1實施形態之送信電路送信之差動對之送信信號之波形之一例。

如上述，第1實施形態之送信電路，係設置非信號送信期間之定電流源之電流路徑，使來自節點ＮＤ之電流路徑之阻抗全部構成同等，依此則由非信號送信期間切換爲信號送信期間之最初之Ｔ10之ＨＳ＿ＤＰ out所輸出之ＤＰ之電壓，可以本來之送信期間應輸出之位準ＬＶ0輸出，不會有規格外之信號位準被輸出之情況。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 28）

又，如圖6所示，於第1實施形態係以使用開關元件之n型ＭＯＳ電晶體爲其特徵。

圖8Ａ、圖8Ｂ分別表示使用ｎ型ＭＯＳ電晶體及ｐ型ＭＯＳ電晶體之開關元件情況下之送信信號之波形之概要模式圖。

如圖8Ａ所示，使用ｎ型ＭＯＳ電晶體之開關元件時，供至閘極端子之閘極信號（例如圖6爲ＨＳ＿ＤＰ out、ＨＳ＿ＤＭ out、ＨＳ＿Ｏ ut Ｄ is）之致能方向（active），與閘極信號成爲致能狀態時介由ｎ型ＭＯＳ電晶體之源極端子及汲極端子輸出之送信信號（例如圖6之ＤＰ、ＤＭ）之致能方向爲同一方向。

相對於此，如圖8Ｂ所示，使用ｐ型ＭＯＳ電晶體之開關元件時，供至閘極端子之閘極信號之致能方向（active），與介由ｎ型ＭＯＳ電晶體之源極端子及汲極端子輸出之送信信號之致能方向爲相反方向。此情況下，閘極信號成爲邏輯位準「Ｌ」，電流流入ｐ型ＭＯＳ電晶體之源極端子及汲極端子，有可能發生負方向之雜訊相加於送信信號之情況。

因此，如圖8Ａ所示，使用ｎ型ＭＯＳ電晶體之開關元件，則和ｐ型ＭＯＳ電晶體比較，可達成元件面積之縮小之同時，除去相加於送信信號之雜訊，可生成信賴性高之送信信號。

圖9係包含第1實施形態之送信電路50的資料傳送控制裝置（半導體積體裝置）之佈局配置之一例之模式圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 29）

其中，和圖6之送信電路50相同部分附加同一符號並省略重複說明。

包含第1實施形態之送信電路50的資料傳送控制裝置60－1，被集積於半導體基板上。於該資料傳送控制裝置60－1，沿著基板外緣部配列接點。於此，在第2電源AVSS接點之間配置DP接點72與DM接點74，再於其間配置配置DA接點76。

DP接點72，係藉由給與之配線層和第1格CL－P電連接。

DM接點74，係藉由給與之配線層和第2格CL－M電連接。

第1及第2格CL－P、CL－M，係令形成連接差動對之第1及第2信號線62－1、62－2之電流路徑的電晶體、電阻元件；開關元件及電連接其等之配線施予格化而成者。第1及第2格CL－P、CL－M，至少其配線層被以鏡配置。

第1格CL－P，係令由節點ND連接第1信號線62－1之DP接點72之電流路徑施予格化。

更具體言之爲，第1格CL－P包含有：n型MOS電晶體82－P之配置區域TRP，驅動FS驅動器42之DP的驅動電路42－P之配置區域FSP，輸入保護電路之配置區域GCD，第1電源3.3V連接之升壓電阻之配置區域RA，及連接升壓電阻與第1信號線62－1之開關元件SWA的配置區域SWP。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（30）

配置區域ＦＳＰ，與第1送信信號線84－Ｐ之配線層之間，係介由具阻抗Ｒｓ之電阻元件被形成之電阻元件配置區域進行電連接。又，第1送信信號線84－Ｐ之配線層，係介由輸入保護電路之配置區域ＧＣＤ電連接配置區域ＴＲＰ及ＤＰ接點72。

另外，第2格ＣＬ－Ｍ包含有：n型ＭＯＳ電晶體82－Ｍ之配置區域ＴＲＭ，驅動ＦＳ驅動器42之ＤＭ的驅動電路42－Ｍ之配置區域ＦＳＭ，輸入保護電路之配置區域ＧＣＤ，第1電源3.3Ｖ連接之升壓電阻之配置區域ＲＢ，及連接升壓電阻與第2信號線62－2之開關元件ＳＷＢ的配置區域ＳＷＭ。

配置區域ＦＳＭ，與第2送信信號線84－Ｍ之配線層之間，係介由具阻抗Ｒｓ之電阻元件被形成之電阻元件配置區域進行電連接。又，第2送信信號線84－Ｍ之配線層，係介由輸入保護電路之配置區域ＧＣＤ電連接配置區域ＴＲＭ及ＤＭ接點74。

ＤＡ接點76，配置於ＤＰ接點72與ＤＭ接點74之間，ＤＡ接點76與n型ＭＯＳ電晶體82－Ａ之配置區域ＴＲＡ，係藉由在與接點之配列方向略垂直之方向上被配置之給與之配線層進行電連接。

又，對節點ＮＤ供給定電流值之電流的定電流源80之配置區域ＣＣＧ，爲保持第1及第2格ＣＬ－Ｐ、ＣＬ－Ｍ之對稱性而被配置於連接第2格ＣＬ－Ｍ之區域。

藉由上述佈局配置，則以差動對構成之第1及第2信號

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（31）

線之連接路徑所寄生之電阻成份及電容成份等，將不受製程變動之影響而具備同等之負荷，差動對動作之送受信信號ＤＰ、ＤＭ上被附加之雜訊可以極精確地互相抵消。

又，介由ｎ型ＭＯＳ電晶體82－Ａ連接之於信號送信期間以外形成之電流路徑，藉由配置於差動對構成之第1及第2信號線之路經之間，則可提升佈局配置之效率。

（第2實施形態）

圖10係本發明第2實施形態之送信電路之構成例。

其中，和圖6之第1實施形態之送信電路相同部分附加同一符號並省略重複說明。

第2實施形態之送信電路100，係於資料傳送控制裝置60－2，進行ＵＳＢ2．0規定之信號之送信。

第2實施形態之送信電路100與第1實施形態之送信電路50不同之第1點在於，作爲開關元件ＳＷ3使用之ｎ型ＭＯＳ電晶體102－Ａ之形狀係和ｎ型ＭＯＳ電晶體82－Ａ之形狀不同。

又，第2實施形態之送信電路100與第1實施形態之送信電路50不同之第2點在於，在ｎ型ＭＯＳ電晶體102－Ａ之汲極端子與ＤＡ端子76之間被插入阻抗爲Ｒｓ／2之電阻元件104。

亦即，於送信電路100，令ｎ型ＭＯＳ電晶體102－Ａ之形狀，與ｎ型ＭＯＳ電晶體82－Ｐ、82－Ｍ之形狀爲同一形狀，構成爲「Ｗｐ：Ｗｍ：Ｗａ＝1：1：1」，依此則

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 32）

當ｎ型ＭＯＳ電晶體102－Ａ藉由ＨＳ＿ＯｕｔＤｉｓ被設爲ＯＮ狀態時之ＯＮ電阻之阻抗成爲Ｒｓ／2。另外，令阻抗Ｒｓ／2之電阻元件104插入ｎ型ＭＯＳ電晶體102－Ａ之汲極端子與ＤＡ端子76之間。

藉由上述構成，則由節點ＮＤ至ＤＡ端子76之電流路徑之阻抗成爲Ｒｓ,由節點ＮＤ看之介由ｎ型ＭＯＳ電晶體82－Ｐ、82－Ｍ、102－Ａ連接之電流路徑之阻抗均成爲與Ｒｓ同等。

上述構成之第2實施形態之送信電路100之動作，係和第1實施形態之送信電路50之動作相同，故省略說明。

因此，第2實施形態之送信電路100，可達成和第1實施形態之送信電路50相同之效果之同時，連接節點ＮＤ之開關元件之電晶體之形狀可構成同一形狀，可吸收製程變動引起之節點ＮＤ連接之各電晶體之ＯＮ電阻之變動。又，電阻元件104，令以和第1及第2送信信號線84－Ｍ、84－Ｐ所連接之終端用電阻爲同一構成之電阻元件並接而構成之情況下，可吸收製程變動引起之各電阻元件之電阻值之變動。

圖11係包痕第2實施形態之送信電路100之資料傳送控制裝置之佈局配置之一例之模式圖。

其中，和圖6之第1實施形態之送信電路50相同部分附加同一符號並省略重複說明。和圖9之資料傳送控制裝置60－1相同部分附加同一符號並省略重複說明。

第2實施形態之資料傳送控制裝置60－2，和第1實施

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 33）

形態比較，n型ＭＯＳ電晶體102－Ａ之配置區域ＴＲＡ之尺寸成爲約一半，此外，具備電阻成份爲阻抗Ｒｓ／2的電阻元件配置區域，被形成於配置區域ＴＲＡ與ＤＡ接點76之間。因此，ＤＡ接點76與n型ＭＯＳ電晶體102－Ａ之配置區域ＴＲＡ，係藉由在該電阻元件配置區域被配置於和接點之配列方向略垂直之方向的給與之配線層進行電連接。

藉由上述佈局配置，可維持差動對構成之第1及第2信號線之路徑之對稱性之同時，可提升佈局配置之效率。

（第3實施形態）

圖12係本發明第3實施形態之送信電路之構成例。

其中，和圖6之第1實施形態之送信電路相同部分附加同一符號並省略重複說明。

第3實施形態之送信電路120，係於資料傳送控制裝置60－3，進行ＵＳＢ2．0規定之信號之送信。

第3實施形態之送信電路120與第1實施形態之送信電路50不同之第1點在於，作爲開關元件ＳＷ3使用之n型ＭＯＳ電晶體122－Ａ之形狀係和n型ＭＯＳ電晶體82－Ａ之形狀不同。

又，第3實施形態之送信電路120與第1實施形態之送信電路50不同之第2點在於，在資料傳送控制裝置外部，於ＤＡ端子76連接阻抗爲Ｒｓ／2之電阻元件。

亦即，於送信電路120，令n型ＭＯＳ電晶體122－Ａ

修正本有無變更實質內容是否准予修正
經濟部智慧財產局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝
訂

五、發明說明（ 34）

之形狀，與ｎ型ＭＯＳ電晶體82－Ｐ、82－Ｍ之形狀爲同一形狀，構成爲「Ｗｐ：Ｗｍ：Ｗａ＝１：１：１」，依此則當ｎ型ＭＯＳ電晶體122－Ａ藉由ＨＳ＿ＯｕｔＤｉｓ被設爲ＯＮ狀態時之ＯＮ電阻之阻抗成爲Ｒｓ／２。另外，於裝置外部，於ＤＡ端子76連接阻抗Ｒｓ／２之電阻元件。

藉由上述構成，則由節點ＮＤ至ＤＡ端子76之電流路徑之阻抗成爲Ｒｓ／２,由節點ＮＤ看之經由ｎ型ＭＯＳ電晶體82－Ｐ、82－Ｍ、122－Ａ之電流路徑之阻抗均成爲與Ｒｓ同等。

上述構成之第3實施形態之送信電路120之動作，係和第1實施形態之送信電路50之動作相同，故省略說明。

因此，第3實施形態之送信電路120，可達成和第1實施形態之送信電路50相同之效果之同時，連接節點ＮＤ之開關元件之電晶體之形狀可構成同一形狀，可吸收製程變動引起之節點ＮＤ連接之各電晶體之ＯＮ電阻之變動。又，和第2實施形態不同，於裝置內不必設置電阻元件104，可達成送信電路之小型化、低成本化。

圖13係包含第3實施形態之送信電路120之資料傳送控制裝置之佈局配置之一例之模式圖。

其中，和圖6之第1實施形態之送信電路50相同部分附加同一符號並省略重複說明。和圖9之資料傳送控制裝置60－1相同部分附加同一符號並省略重複說明。

第3實施形態之資料傳送控制裝置60－3，和第1實施形態比較，ｎ型ＭＯＳ電晶體122－Ａ之配置區域ＴＲＡ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（35）

之尺寸成爲約一半，因此其他部分元件之配置之自由度可提升。

此情況下，和第1實施形態同樣，可維持差動對構成之第1及第2信號線之路徑之對稱性之同時，可提升佈局配置之效率。

（第4實施形態）

圖14係本發明第4實施形態之送信電路之構成例。

其中，和圖6之第1實施形態之送信電路相同部分附加同一符號並省略重複說明。

第4實施形態之送信電路140，係於資料傳送控制裝置60－4，進行ＵＳＢ２．0規定之信號之送信。

第4實施形態之送信電路140與第1實施形態之送信電路50不同之第1點在於，作爲開關元件ＳＷ3使用之ｎ型ＭＯＳ電晶體142－Ａ之形狀係和ｎ型ＭＯＳ電晶體82－Ａ之形狀不同。

又，第4實施形態之送信電路140與第1實施形態之送信電路50不同之第2點在於，在電連接ｎ型ＭＯＳ電晶體142－Ａ之汲極端子與ＤＡ端子76的第3送信信號線84－Ａ，和第2電源ＡＶＳＳ之間連接具備阻抗Ｒｓ之電阻元件。

又，第4實施形態之送信電路140與第1實施形態之送信電路50不同之第3點在於，在資料傳送控制裝置外部，於ＤＡ端子76連接阻抗爲Ｒｓ之電阻元件。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 36）

亦即，於送信電路140，令n型ＭＯＳ電晶體142－Ａ之形狀，與n型ＭＯＳ電晶體82－Ｐ、82－Ｍ之形狀爲同一形狀，構成爲「Ｗｐ：Ｗｍ：Ｗａ＝1：1：1」，依此則當n型ＭＯＳ電晶體142－Ａ藉由ＨＳ＿ＯutＤis被設爲ＯＮ狀態時之ＯＮ電阻之阻抗成爲Ｒｓ／2。另外，在第3送信信號線84－Ａ和第2電源ＡＶＳＳ之間連接阻抗Ｒｓ之電阻元件，ＤＡ端子76亦以阻抗Ｒｓ之電阻元件終止。

藉由上述構成，則由節點ＮＤ至ＤＡ端子76之電流路徑之阻抗成爲Ｒｓ／2,由節點ＮＤ看之經由n型ＭＯＳ電晶體82－Ｐ、82－Ｍ、142－Ａ之電流路徑之阻抗均成爲與Ｒｓ同等。

上述構成之第4實施形態之送信電路140之動作，係和第1實施形態之送信電路50之動作相同，故省略說明。

因此，第4實施形態之送信電路140，可達成和第1實施形態之送信電路50相同之效果之同時，連接節點ＮＤ之開關元件之電晶體之形狀可構成同一形狀，可吸收製程變動引起之節點ＮＤ所連接之各電晶體之ＯＮ電阻之變動。又，關於ＤＡ端子，可爲和ＤＰ端子及ＤＭ端子同樣之構成，可達成格之通用，佈局配置等設計工時之減少之同時，容易達成特性之均一性。

圖15係包含第4實施形態之送信電路140之資料傳送控制裝置之佈局配置之一例之模式圖。

其中，和圖6之第1實施形態之送信電路50相同部分附加同一符號並省略重複說明。和圖9之資料傳送控制裝置

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 37）

60－1相同部分附加同一符號並省略重複說明。

第4實施形態之資料傳送控制裝置60－4，和第1實施形態比較，n型ＭＯＳ電晶體142－Ａ之配置區域ＴＲＡ之尺寸成爲約一半，另外，具備電組成份爲阻抗Ｒｓ之電阻元件配置區域，係形成於配置區域ＴＲＡ和ＤＡ接點76之間。而且，第3送信信號線84－Ａ之配線層，係於第2電源ＡＶＳＳ之間該電阻成分被電連接。ＤＡ接點76及n型ＭＯＳ電晶體142－Ａ之配置區域ＴＲＡ，係介由該電阻元件配置區域，以在和接點之配列方向略垂直之方向被配置之第3送信信號線84－Ａ之配線層進行電連接。

藉由上述佈局配置，可維持差動對構成之第1及第2信號線之路徑之對稱性之同時，可提升佈局配置之效率。

（第5實施形態）

圖16係本發明第5實施形態之送信電路之構成例。

其中，和圖6之第1實施形態之送信電路相同部分附加同一符號並省略重複說明。

第5實施形態之送信電路160，係於資料傳送控制裝置60－5，進行ＵＳＢ2．0規定之信號之送信。

第5實施形態之送信電路160與第1實施形態之送信電路50不同之第1點在於，作爲開關元件ＳＷ3使用之n型ＭＯＳ電晶體162－Ａ之形狀係和n型ＭＯＳ電晶體82－Ａ之形狀不同。

又，第5實施形態之送信電路160與第1實施形態之送

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 38）

信電路50不同之第2點在於，在ｎ型ＭＯＳ電晶體162－Ａ和第2電源ＡＶＳＳ之間插入阻抗Ｒｓ／2之電阻元件。

又，第5實施形態之送信電路160與第1實施形態之送信電路50不同之第3點在於，省略ＤＡ端子。

亦即，於送信電路160，令ｎ型ＭＯＳ電晶體162－Ａ之形狀，與ｎ型ＭＯＳ電晶體82－Ｐ、82－Ｍ之形狀爲同一形狀，構成爲「Ｗｐ：Ｗｍ：Ｗａ＝1：1：1」，依此則當ｎ型ＭＯＳ電晶體162－Ａ藉由ＨＳ＿ＯｕｔＤｉｓ被設爲ＯＮ狀態時之ＯＮ電阻之阻抗成爲Ｒｓ／2。另外，在ｎ型ＭＯＳ電晶體162－Ａ之汲極端子和第2電源ＡＶＳＳ之間連接阻抗Ｒｓ／2之電阻元件，省略ＤＡ端子。

藉由上述構成，則由節點ＮＤ至ｎ型ＭＯＳ電晶體162－Ａ之電流路徑之阻抗成爲Ｒｓ,由節點ＮＤ看之經由ｎ型ＭＯＳ電晶體82－Ｐ、82－Ｍ、162－Ａ之電流路徑之阻抗均成爲與Ｒｓ同等。

上述構成之第5實施形態之送信電路160之動作，係和第1實施形態之送信電路50之動作相同，故省略說明。

因此，第5實施形態之送信電路160，可達成和第1實施形態之送信電路50相同之效果之同時，連接節點ＮＤ之開關元件之電晶體之形狀可構成同一形狀，可吸收製程變動引起之節點ＮＤ所連接之各電晶體之ＯＮ電阻之變動。又，作爲開關元件ＳＷ3使用之ｎ型ＭＯＳ電晶體162－Ａ之汲極端子，於裝置內部被連接於第2電源ＡＶＳＳ，可減少端子數，達成裝置之低成本化。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 39）

圖17係包含第5實施形態之送信電路160之資料傳送控制裝置之佈局配置之一例之模式圖。

其中，和圖6之第1實施形態之送信電路50相同部分附加同一符號並省略重複說明。和圖9之資料傳送控制裝置60－1相同部分附加同一符號並省略重複說明。

第5實施形態之資料傳送控制裝置60－5，和第1實施形態比較，n型ＭＯＳ電晶體162－Ａ之配置區域ＴＲＡ之尺寸成爲約一半，另外，具備一端電連接第2電源ＡＶＳＳ之電組成份爲阻抗Ｒｓ／2之電阻元件配置區域，ＤＡ接點76被省略。

而且，n型ＭＯＳ電晶體162－Ａ之配置區域ＴＲＡ，與該電阻元件配置區域，係藉由在和接點之配列方向略垂直之方向被配置之給與之配線層進行電連接。

藉由上述佈局配置，可維持差動對構成之第1及第2信號線之路徑之對稱性之同時，可提升佈局配置之效率。

4．電子機器

以下說明包含第1－第5實施形態之送信電路的資料傳送控制裝置（廣義言之爲半導體積體裝置）適用之電子機器之例。

例如圖18Ａ表示電子機器之一之印表機內部方塊圖。圖19Ａ爲其外觀圖。ＣＰＵ（微電腦）510進行系統全體之控制。操作部511可由使用者操作印表機。於ＲＯＭ516儲存控制程式、字形等，ＲＡＭ517作爲ＣＰＵ510之工作

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
請委員明示 年 月 日所提之修正本有無變更實質內容是否准予修正
經濟部智慧財產局員工消費合作社印製

五、發明說明（40）

區域。DMAC518爲不介由CPU510直接進行資料傳送的DMA控制器。顯示面板519用於將印表機之動作狀態通知使用者。

介由USB由個人電腦等其他裝置傳送來之序列式印刷資料經由資料傳送控制裝置500轉換爲並列式印刷資料。轉換後之並列式印刷資料經由CPU510或DMAC518送至印刷處理部（印刷引擎）512。於印刷處理部（印刷引擎）512對並列式印刷資料施予特定之處理，藉由列印頭等構成之印刷部（進行資料輸出處理的裝置）514於紙上列印輸出。

圖18B係電子機器之一之掃描器之內部方塊圖。圖19B爲外觀圖。CPU520進行系統全體之控制。操作部521可由使用者操作掃描器。於ROM526儲存控制程式等，RAM527作爲CPU520之工作區域。DMAC528爲DMA控制器。

經由光源、光電轉換器等構成之影像讀取部（進行資料讀取之裝置）522讀取原稿之影像，讀取之影像資料經由影像處理部（掃描器引擎）524處理。處理後之影像資料由CPU520或DMAC528送信至資料傳送控制裝置500。資料傳送控制裝置500，將該並列式影像資料轉換爲序列式影像資料後介由USB傳送至個人電腦等其他裝置。

圖18C係係電子機器之一之CD－RW驅動器之內部方塊圖。圖19C爲外觀圖。CPU530進行系統全體之控

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（41）

制。操作部531可由使用者操作CD－RW。於ROM536儲存控制程式等，RAM537作爲CPU530之工作區域。DMAC538爲DMA控制器。

藉由雷射、馬達、光學系等構成之讀／寫部（進行資料讀取處理或資料記憶處理之裝置）533由CD－RW532讀取之資料，被輸入信號處理部534，執行錯誤訂正處理等特定之信號處理。之後，被施予信號處理之資料經由CPU530或DMAC538送信至資料傳送控制裝置500。資料傳送控制裝置500，將該並列式影像資料轉換爲序列式影像資料後介由USB傳送至個人電腦等其他裝置。

另外，介由USB由其他裝置送來之序列式資料，經由資料傳送控制裝置500轉換爲並列式資料。之後，該並列式資料經由CPU530或DMAC538送信至信號處理部534。於信號處理部534對該並列式資料施予特定之信號處理，藉由讀／寫部533記憶於CD－RW532。

又，於圖18A、18B、18C，CPU510、520、530之外，可另設與資料傳送控制裝置500進行資料傳送控制之其他CPU。

令包含第1實施形態－第5實施形態之送信電路之任一之資料傳送控制裝置使用於電子機器，則可實現USB2.0之HS模態之資料傳送。因此，使用者由個人電腦等進行列印指示時，可以較少時間完成印字。又，掃描器之影像讀取指示之後，可以較少之時間令使用者觀看讀取之影像。又，來自CD－RW之資料讀取或對CD－

91.10.24

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（42）

ＲＷ之資料寫入可以高速進行。

又，令包含第1實施形態－第5實施形態之送信電路之任一之資料傳送控制裝置使用於電子機器，則即使以製造成本便宜之一般半導體製程，亦可製造可進行ＨＳ模態之資料傳送的資料傳送控制裝置。因此，可達成資料傳送控制裝置之低成本化，達成電子機器之低成本化，又，可提升資料傳送之信賴性，提升電子機器之信賴性。

又，令包含第1實施形態－第5實施形態之送信電路之任一之資料傳送控制裝置使用於電子機器，則可維持資料傳送控制裝置之高性能，且可依使用者要求製造多樣之電子機器，可提升電子機器之附加價值。

又，包含第1實施形態－第5實施形態之送信電路之任一之資料傳送控制裝置可適用之電子機器，除上述以外，可利用於例如光碟驅動器（ＣＤ－ＲＯＭ、ＤＶＤ）、光磁碟驅動器（ＭＯ）、硬碟驅動器、ＴＶ、ＶＴＲ、攝影機、音響機器、電話、投影機、個人電腦、電子記事簿、文字處理機等。

又，本發明不限於上述實施形態，在不脫離本發明要旨情況下可做各種變更實施。

又，本發明較好適用於ＵＳＢ２．０介面（資料傳送），但並不限於此。例如本發明亦適用和ＵＳＢ２．０具相同思想之規格，或由ＵＳＢ２．０發展而成之規格之介面。

（圖面之簡單說明）

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

A7
B7

五、發明說明（43）

圖1：本發明之送信電路適用之資料傳送控制裝置之構成之一例。

圖2：以HS模態進行資料傳送之送受信系之構成之重要部份之一例。

圖3：HS電流驅動器之構成概要。

圖4：由HS電流驅動器送信之差動對之送信信號之波形之一例。

圖5A：於基板之角部附近配置接點情況下之負荷平衡之說明圖。

圖5B：於基板之中央部附近配置接點情況下之負荷平衡之說明圖。

圖6：第1實施形態之送信電路之構成例。

圖7：第1實施形態之送信電路所送信之差動對之送信信號之波形之一例。

圖8A：使用n型MOS電晶體作爲開關元件時之送信信號之波形概要之模式說明圖。

圖8B：使用p型MOS電晶體作爲開關元件時之送信信號之波形概要之模式說明圖。

圖9：第1實施形態之資料傳送控制裝置（半導體積體裝置）之佈局配置之一例之模式說明圖。

圖10：第2實施形態之送信電路之構成例。

圖11：第2實施形態之資料傳送控制裝置（半導體積體裝置）之佈局配置之一例之模式說明圖。

圖12：第3實施形態之送信電路之構成例。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 44）

圖13：第3實施形態之資料傳送控制裝置（半導體積體裝置）之佈局配置之一例之模式說明圖。

圖14：第4實施形態之送信電路之構成例。

圖15：第4實施形態之資料傳送控制裝置（半導體積體裝置）之佈局配置之一例之模式說明圖。

圖16：第5實施形態之送信電路之構成例。

圖17：第5實施形態之資料傳送控制裝置（半導體積體裝置）之佈局配置之一例之模式說明圖。

圖18A、18B、18C：各種電子機器之內部方塊圖。

圖19A、19B、19C：各種電子機器之外觀圖。

（符號說明）

10：資料處理器電路

20：HS電路

22：DLL電路

24：彈性緩衝器

30：FS電路

40：類比式前端電路

42、42-R、42-T：FS驅動器

44：FS差動資料接收器

46：SE_DP接收器

48：SE_DM接收器

50、50-T、100、120、140、160：HS電流驅動器

52：低速用HS_SQ_L電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 45）

54：高速用ＨＳ＿ＳＱ電路

56：ＨＳ差動資料接收器

60、60－1、60－5、500：資料傳送控制裝置

60－Ｒ：受信側資料傳送控制裝置

60－Ｔ：送信側資料傳送控制裝置

62－1：第1信號線

62－2：第2信號線

70：電流源

72：ＤＰ端子（接點）

74：ＤＭ端子（接點）

76：ＤＡ端子（接點）

80：定電流源

82－Ｐ、82－Ｍ、82－Ａ、102－Ａ、122－Ａ、142－Ａ、162－Ａ：n型ＭＯＳ電晶體

84－Ｐ：第1送信信號線

84－Ｍ：第2送信信號線

84－Ａ：第3送信信號線

86－1～86－4：p型ＭＯＳ電晶體

102：電晶體

104：電阻元件

ＳＷ1～ＳＷ3：開關元件

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　半導體積體裝置及電子機器　）

目的在於提供介由差動對之信號線可實現穩定且高速之資料傳送的半導體積體裝置，及包含其之電子機器。在對差動對之第1及第2信號線之任一以電流驅動之信號送信期間，令來自定電流源之電流路徑流經ＤＰ接點72、ＤＭ接點74之任一方。在信號送信期間以外，令電流流入ＤＡ接點76。則由定電流源被供給電流之節點ＮＤ流經ＤＰ接點72、ＤＭ接點74之電流路徑之佈局配置可構成對稱配置。另外，ＤＡ接點76可配置於ＤＰ接點72與ＤＭ接點74之間。

英文發明摘要（發明之名稱：　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍 1

1．一種半導體積體裝置，係對構成差動對之第1及第2信號線施以電流驅動的半導體積體裝置，其特徵在於包含有：

連接於上述第1及第2信號線，於信號輸出期間以排他方式被施以電流驅動的第1及第2接點；及

在信號輸出期間以外被以電流驅動的第3接點；

上述第3接點，係配置於上述第1及第2接點之間。

2．如申請專利範圍第1項之半導體積體裝置，其中包含有：

連接於第1電源和給與之節點之間的電流源；

於信號輸出期間，令上述節點電連接第1及第2接點之任一方的第1及第2電晶體；及

於信號輸出期間以外，令上述節點電連接上述第3接點的第3電晶體。

3．如申請專利範圍第2項之半導體積體裝置，其中包含有：

當上述第1及第2信號線以分別被給與之阻抗Z0終止時，

在連接上述第1電晶體與上述第1接點的第1送信信號線，與第2電源之間被連接，具有與阻抗Z0略同等之阻抗的第1負荷元件；及

在連接上述第2電晶體與上述第2接點的第2送信信號線，與第2電源之間被連接，具有與阻抗Z0略同等之阻抗的第2負荷元件；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍 2

上述第1電晶體，係被插入上述節點與上述第1接點之間，設爲ＯＮ狀態下具有與阻抗Ｚ０／２略同等之阻抗，

上述第2電晶體，係被插入上述節點與上述第2接點之間，設爲ＯＮ狀態下具有與阻抗Ｚ０／２略同等之阻抗，

上述第3電晶體，係被插入上述節點與上述第3接點之間，設爲ＯＮ狀態下具有與阻抗Ｚ０略同等之阻抗。

４．如申請專利範圍第３項之半導體積體裝置，其中

包含有：連接於上述第3電晶體與上述第3接點之間，具有與阻抗Ｚ０／２略同等之阻抗的第3負荷元件；

上述第3電晶體，在設爲ＯＮ狀態下具有與阻抗Ｚ０／２略同等之阻抗。

５．如申請專利範圍第３項之半導體積體裝置，其中

上述第3電晶體，在設爲ＯＮ狀態下具有與阻抗Ｚ０／２略同等之阻抗，

上述第3接點，係於外部以和阻抗Ｚ０／２略同等之阻抗終止。

６．如申請專利範圍第３項之半導體積體裝置，其中

包含有：在連接上述第3電晶體與上述第3接點的第3送信信號線，與第2電源之間被連接，具有與阻抗Ｚ０略同等之阻抗的第4負荷元件；

上述第3電晶體，在設爲ＯＮ狀態下具有與阻抗Ｚ０／２略同等之阻抗；

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍 3

上述第3接點，係於外部以和阻抗Z0／2略同等之阻抗終止。

7．如申請專利範圍第3項之半導體積體裝置，其中

包含有：插入於上述第3電晶體與上述第2電源之間，具有與阻抗Z0／2略同等之阻抗的第5負荷元件；

上述第3電晶體，在設爲ON狀態下具有與阻抗Z0／2略同等之阻抗；

上述第3接點被省略。

8．如申請專利範圍第2項之半導體積體裝置，其中

上述第1－第3電晶體之中至少1個爲n型MOS電晶體。

9．如申請專利範圍第2項之半導體積體裝置，其中

包含連接於上述第1接點之上述第1電晶體的第1格，與包含連接於上述第2接點之上述第2電晶體的第2格，係以連接該第1及第2接點之配線以及電晶體所寄生之負荷呈現略同等般被配置；

上述電流源，係鄰接上述第1及第2格被配置。

10．如申請專利範圍第4項之半導體積體裝置，其中

上述第3負荷元件係配置於，包含連接於上述第1接點之上述第1電晶體的第1格，與包含連接於上述第2接點之上述第2電晶體的第2格之間。

11．如申請專利範圍第6項之半導體積體裝置，其中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍 4

上述第4負荷元件係配置於，包含連接於上述第1接點之上述第1電晶體的第1格，與包含連接於上述第2接點之上述第2電晶體的第2格之間之空餘區域。

12．如申請專利範圍第7項之半導體積體裝置，其中

上述第5負荷元件係配置於，包含連接於上述第1接點之上述第1電晶體的第1格，與包含連接於上述第2接點之上述第2電晶體的第2格之間之空餘區域。

13．如申請專利範圍第1項之半導體積體裝置，其中

上述第1－第3接點，係配置於接合導線之長度差變爲更少之位置。

14．如申請專利範圍第2項之半導體積體裝置，其中

介由構成差動對之第1及第2信號線被送信之信號，係以USB（Universal Serial Bus）規格規定之信號。

15．一種電子機器，係包含有：

申請專利範圍第1－14項中任一項之半導體積體裝置；及

介由上述半導體積體裝置及匯流排進行被傳送之資料之輸出處理、取入處理、或記憶處理者。

煩請參看明示 年 91 月 日所提之修正本有無變更實質內容是否准予修正

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製