

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
H01L 21/8239

(11) 공개번호 특2002 - 0002918
(43) 공개일자 2002년01월10일

(21) 출원번호 10 - 2000 - 0037285
(22) 출원일자 2000년06월30일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136 - 1

(72) 발명자 사승훈
충청북도청주시흥덕구수곡동1002번지두진백로아파트103동1501호

(74) 대리인 박대진
정은섭

심사청구 : 없음

(54) 반도체메모리장치의 트랜지스터 제조방법

요약

본 발명은 반도체메모리장치의 트랜지스터 제조방법에 관한 것으로, STI 방법을 이용하여 소자분리공정을 실시하는 경우, 트랜치의 측벽에 비스듬히 이온주입하여 추가적인 마스크 공정없이 국부적으로 웰 농도를 높이므로써 트랜지스터의 문턱전압을 조절할 수 있다. 종래에는 소자와 소자간의 전기적인 부리목적 수행되는 STI 공정기술 적용에 따라 발생되는 RNWE 특성을 개선시키기 위하여 얇은 깊이의 트랜치내에 산화막을 증착하기 전에 트랜치 측벽에 이온주입 영역을 형성하기 때문에, 마스크 공정의 추가진행에 따른 제품원가 상승이라는 문제점이 있었다. 이에 비하여, 본 발명은 게이트전극의 형성 후 LDD 이온주입 공정 및 Halo 이온주입 공정과 함께 게이트전극의 측면방향으로 비스듬하게 트랜치내의 산화막을 통하여 이온주입을 수행함으로써, 추가적인 마스크 공정없이 국부적으로 웰 농도를 높일 수 있게 되어 STI 공정기술 적용에 따라 발생되는 RNWE 특성을 개선시킴과 아울러 제조공정의 단순화를 통한 제품원가를 낮출 수 있다.

대표도
도 9

색인어
반도체메모리, 트랜치, S T I, 트랜지스터, 이온주입

명세서

도면의 간단한 설명

도 1 내지 도 4는 종래의 반도체메모리장치의 트랜지스터 제조방법을 나타낸 단면도이다.

도 5 내지 도 9는 본 발명에 따른 반도체메모리장치의 트랜지스터 제조방법을 나타낸 단면도이다.

도면의 주요 부분에 대한 부호의 설명

10,20: 반도체기판 11,21: 패드산화막

12,22: 질화막 15,23: 산화막

16,24: 게이트산화막 17,25: 폴리실리콘막

18,26: LDD 이온주입층 19,27: Halo 이온주입층

28: 이온주입영역 17a,29: 버퍼산화막

17b,30: 스페이서 17c,31: 소오스/드레인접합층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체메모리장치의 트랜지스터 제조방법에 관한 것으로, 특히 STI(Shallow Trench Isolation) 방법을 이용하여 소자분리공정을 실시하는 경우, 트랜치의 측벽에 비스듬히 이온주입하여 추가적인 마스크 공정없이 국부적으로 웰(well) 농도를 높이므로써 트랜지스터의 문턱전압을 조절할 수 있는 반도체메모리장치의 트랜지스터 제조방법에 관한 것이다.

일반적으로 메모리소자의 고집적화를 위해서는 우수한 특성을 갖는 작은 소자의 개발과 더불어 소자와 소자를 서로 전기적으로 분리시키는 기술이 필요하다. 따라서, 현재 회로선폭이 0.25 μm 이하인 미세기술에서는 소자와 소자간의 전기적 분리를 위하여 버저비크(bird's beak)가 거의 없는 STI 공정기술을 개발하여 모스 트랜지스터 제조에 적용하고 있다.

그러나, 소자의 채널 폭(channel width)이 점점 작아짐에 따라, 트랜지스터의 문턱전압이 작아지는 RNWE(Reverse Narrow Width Effect)가 발생하는 문제점이 대두되었다. 이러한, 문제점을 해결하기 위하여 트랜치의 측벽에 이온주입하여 웰의 이온농도를 증가시키는 기술이 사용되고 있다.

도 1 내지 도 4는 STI 공정을 이용한 종래의 반도체메모리장치의 트랜지스터 제조방법을 나타는 단면도로서, 트랜치의 측벽에 이온주입하는 기술에 관한 것이다.

도 1을 참조하면, 반도체기판(10) 위에 패드(pad) 산화막(11) 및 질화막(12)을 형성한 후, 상기 질화막(12)을 선택식각하여 소자분리용 패턴을 형성한다. 그 다음, 상기 질화막(12)을 마스크로 하여 상기 반도체기판(10)의 노출된 부분을 식각하여 얇은 깊이의 트랜치(13)를 형성한다.

그 다음, 도 2에 도시된 바와 같이, NMOS 트랜지스터와 PMOS 트랜지스터를 구별하는 마스크 공정으로서, 상기 트랜치(13)가 형성된 결과물에 포토레지스터막(14)을 패터닝한다. 이어서, 상기 트랜치(13)내에 비스듬한 방향으로 경사(tilt)를 주어 이온주입을 실시한다.

이에 따라, 도 3에 도시된 바와 같이, 트랜치의 측벽(13a) 일부에만 이온주입이 이루어진다.

그 다음, 상기 포토레지스터막(14)을 제거하고, 상기 트랜치 내부에 산화막(15)을 증착함과 아울러 트랜치 코너를 둥글게 하기 위한 산화공정을 실시하고, 이어서 상기 산화막(11) 및 질화막(12)을 에치백(etchback)한다.

그 다음, 도 4에 도시된 바와 같이, 상기 반도체기판(10) 위에 이온주입에 의한 웰을 형성한 후, 게이트산화막(16)을 증착하고 상기 게이트산화막(16) 위에 폴리실리콘막(17)을 증착하여 게이트전극을 형성한다. 이어서, LDD 이온주입층(18)과 Halo 이온주입층(19)을 형성한다.

그 다음, 상기과 같은 결과물 전면에서 산화막 및 절연막을 적층한 후 등방성의 건식식각을 진행하여 상기 게이트전극의 측면에 버퍼 산화막(17a) 및 스페이서(spacer)(17b)를 형성한다.

그 다음, 소오스/드레인 영역에 이온주입을 실시한 후 RTP(Rapid Thermal Process) 어닐링을 실시하여 소오스/드레인 접합층(17c)을 형성한다.

그러나, 상기과 같은 종래의 방법으로 공정을 진행할 경우, 트랜치의 측벽에 비스듬한 방향으로 이온주입하기 위해서는 추가적인 포토레지스터 마스크 공정이 필요하기 때문에, 제품원가의 상승 및 수율의 저하가 초래될 수 있었다. 또한, 종래의 방법에 있어서, 트랜치내에 산화막을 증착하기 전에 실시하는 트랜치 고너에 대한 라운딩(rounding) 공정에 의하여 활성영역이 감소될 수 있는 단점이 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 상기과 같은 종래의 문제점을 해결하기 위하여, 본 발명은 트랜치의 측벽에 비스듬히 이온주입하여 추가적인 마스크 공정없이 국부적으로 웰 농도를 높이므로써 트랜지스터의 문턱전압을 조절할 수 있는 반도체메모리장치의 트랜지스터 제조방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명은 반도체기판 위에 소정부분을 식각하여 복수개의 얇은 깊이의 트랜치를 형성하는 단계; 상기 트랜치 내부에 산화막을 각각 증착하는 단계; 상기 트랜치들 사이의 반도체기판의 활성영역에 이온주입하여 웰을 형성하는 단계; 상기 웰 영역에 게이트산화막 및 폴리실리콘막을 증착한 후 패터닝하여 게이트전극을 형성하는 단계; 상기 웰 영역에 이온주입을 수행하여 LDD 이온주입층 및 Halo 이온주입층을 형성하는 단계; 상기 게이트전극의 옆면 방향으로 틸트 및 트위스트를 주어 상기 산화막을 통하여 이온주입을 실시하여, 상기 산화막이 증착된 트랜치의 측벽에는 이온주입 영역을 형성하는 단계; 상기 게이트전극의 양옆에 버퍼 산화막 및 스페이서를 형성하는 단계; 및 소오스/드레인 영역에 이온주입을 실시한 후, RTP 어닐링을 실시하여 소오스/드레인 접합층을 형성하는 단계로 구성되는 것을 특징으로 한다.

이하, 본 발명의 실시예를 첨부 도면을 참조하여 설명하면 다음과 같다.

도 5 내지 도 9는 본 발명에 따른 반도체메모리장치의 트랜지스터 제조방법을 나타낸 단면도이다.

도 5를 참조하면, 반도체기판(20) 위에 패드 산화막(21) 및 질화막(22)을 형성한 후, 상기 질화막(22)을 선택식각하여 소자분리용 패턴을 형성한다. 그 다음, 상기 질화막(22)을 마스크로 하여 상기 반도체기판(20)의 노출된 부분을 식각하여 얇은 깊이의 트랜치를 형성한다. 그 다음, 트랜치의 끝을 라운딩시키기 위하여 산화공정을 실시하고, 이어서 상기 트랜치내에 산화막(23)을 증착한다.

그 다음, 도 6에 도시된 바와 같이, 상기 산화막(21) 및 질화막(22)을 에치백하고, 상기 반도체기판(20)에 이온주입하여 웰을 형성하므로써 소자가 형성될 영역을 확보한다. 그 다음, 상기 웰 영역에 게이트산화막(24) 및 폴리실리콘막(25)을 적정 두께로 성장 및 증착한 후 패터닝하여 게이트전극을 형성한다.

그 다음, 도 7에 도시된 바와 같이, 상기 웰 영역에 이온주입을 수행하여 LDD 이온주입층(26)과 Halo 이온주입층(27)을 형성한다. 이 LDD 이온주입층(26)과 Halo 이온주입층(27)은 소오스와 드레인 사이에 흐르는 캐리어들의 필드를 조절함과 아울러 소오스와 드레인 사이의 펀치스루(punch through)현상을 방지하는 역할을 한다.

그 다음, 도 8에 도시된 바와 같이, 상기 LDD 이온주입층(26)과 Halo 이온주입층(27)의 형성시 적용한 동일한 마스크를 이용하여, 상기 게이트전극의 옆면 방향으로 비스듬하게 틸트(tilt) 및 트위스트(twist)를 주어 상기 산화막(23)을 통하여 이온주입을 실시한다. 따라서, 상기 산화막(23)이 증착된 트랜치의 측벽에는 이온주입 영역(28)이 형성되고, 상기 웰 농도가 국부적으로 증가되어 채널 폭의 감소로 인한 트랜스터 문턱전압의 감소를 방지할 수 있게 된다.

이때, 이온주입 영역(28)을 형성하기 위한 이온주입 원(source)으로는 NMOS트랜지스터의 경우 B, BF₂, In 등의 3족 원소를 이용하고, PMOS 트랜지스터의 경우에는 P, As, Sb 등의 5족 원소를 이용한다. 그리고, 이온주입시 이온주입 에너지조건은 1~150KeV 범위로 하고, 이온주입 도스(dose)조건은 $1 \times 10^{11} \sim 5 \times 10^{13} \sim \text{atoms/cm}^3$ 의 범위로 하며, 이온주입 틸트 조건은 0° ~ 60°의 범위로 하고, 이온주입 트위스트 조건은 0° ~ 360°의 범위로 하며, 이온주입 로테이션(rotation) 조건을 2회 또는 4회로 한다.

그 다음, 도 9에 도시된 바와 같이, 상기과 같은 결과물 전면에서 산화막 및 절연막을 적층한 후 등방성의 건식식각을 진행하여, 상기 게이트산화막(24) 및 폴리실리콘막(25)의 양옆에 버퍼 산화막(29) 및 스페이서(30)를 형성한다. 그 다음, 소오스/드레인 영역에 이온주입을 실시한 후 RTP 어닐링을 실시하여 소오스/드레인 접합층(31)을 형성한다.

한편, 상기 산화막(23)의 측벽에 형성되는 이온주입 영역(28)은 추가적인 이온주입 공정없이 전술한 Halo 이온주입 공정을 이용하여 형성될 수도 있다. 또한, 상기 이온주입 영역(28)을 형성하는 공정은 소오스/드레인 접합층(31)을 형성하기 위한 이온주입 공정과 함께 진행될 수도 있다.

발명의 효과

이상에서 살펴 본 바와 같이, 종래에는 소자와 소자간의 전기적인 부리목적 수행되는 STI 공정기술 적용에 따라 발생되는 RNWE 특성을 개선시키기 위하여 얇은 깊이의 트랜치내에 산화막을 증착하기 전에 트랜치 측벽에 이온주입 영역을 형성하기 때문에, 마스크 공정의 추가진행에 따른 제품원가 상승이라는 문제점이 있었다. 이에 비하여, 본 발명은 게이트전극의 형성 후 LDD 이온주입 공정 및 Halo 이온주입 공정과 함께 게이트전극의 측면방향으로 비스듬하게 트랜치내의 산화막을 통하여 이온주입을 수행함으로써, 추가적인 마스크 공정없이 국부적으로 웰 농도를 높일 수 있게 되어 STI 공정기술 적용에 따라 발생되는 RNWE 특성을 개선시킴과 아울러 제조공정의 단순화를 통한 제품원가를 낮출 수 있다.

(57) 청구의 범위

청구항 1.

반도체기판 위에 소정부분을 식각하여 복수개의 얇은 깊이의 트랜치를 형성하는 단계;

상기 트랜치 내부에 산화막을 각각 증착하는 단계;

상기 트랜치들 사이의 반도체기판의 활성영역에 이온주입하여 웰을 형성하는 단계;

상기 웰 영역에 게이트산화막 및 폴리실리콘막을 증착한 후 패터닝하여 게이트전극을 형성하는 단계;

상기 웰 영역에 이온주입을 수행하여 LDD 이온주입층 및 Halo 이온주입층을 형성하는 단계;

상기 게이트전극의 옆면 방향으로 틸트 및 트위스트를 주어 상기 산화막을 통하여 이온주입을 실시하여, 상기 산화막이 증착된 트랜치의 측벽에는 이온주입 영역을 형성하는 단계;

상기 게이트전극의 양옆에 버퍼 산화막 및 스페이서를 형성하는 단계; 및

소오스/드레인 영역에 이온주입을 실시한 후, RTP 어닐링을 실시하여 소오스/드레인 접합층을 형성하는 단계로 구성되는 반도체메모리장치의 트랜지스터 제조방법.

청구항 2.

제1항에 있어서, 상기 트랜치 측벽의 이온주입 영역은 상기 LDD 이온주입층 및 상기 Halo 이온주입층의 형성시 적용한 동일한 마스크를 이용하여 형성되는 것을 특징으로 하는 반도체메모리장치의 트랜지스터 제조방법.

청구항 3.

제1항에 있어서, 상기 트랜치 측벽의 이온주입 영역을 형성하기 위한 이온주입 원은 NMOS트랜지스터의 경우 3족 원소이고, PMOS 트랜지스터의 경우에는 5족 원소인 것을 특징으로 하는 반도체메모리장치의 트랜지스터 제조방법.

청구항 4.

제1항에 있어서, 상기 트랜치 측벽의 이온주입 영역을 형성하기 위한 이온주입시 이온주입 에너지조건은 1~150KeV 범위로 하고, 이온주입 도스 조건은 $1 \times 10^{11} \sim 5 \times 10^{13} \sim \text{atoms/cm}^3$ 의 범위로 하며, 이온주입 틸트 조건은 $0^\circ \sim 60^\circ$ 의 범위로 하고, 이온주입 트위스트 조건은 $0^\circ \sim 360^\circ$ 의 범위로 하며, 이온주입 로테이션 조건을 2회 또는 4회로 하는 것을 특징으로 하는 반도체메모리장치의 트랜지스터 제조방법.

청구항 5.

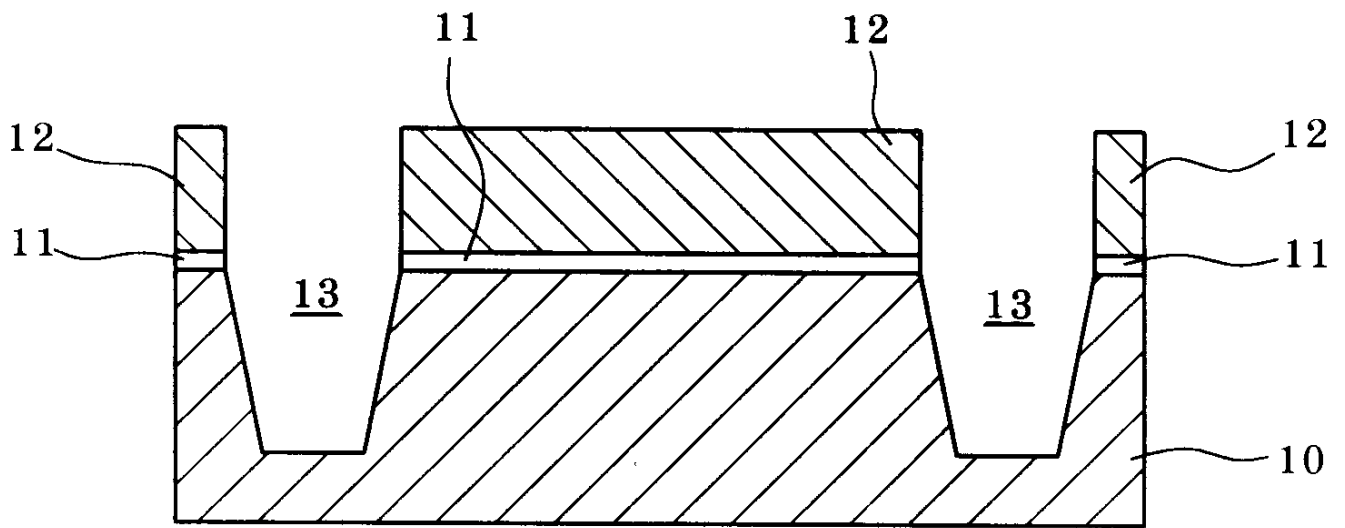
제1항에 있어서, 상기 트랜치 측벽의 이온주입 영역은 상기 Halo 이온주입 공정을 이용하여 형성되는 것을 특징으로 하는 반도체메모리장치의 트랜지스터 제조방법.

청구항 6.

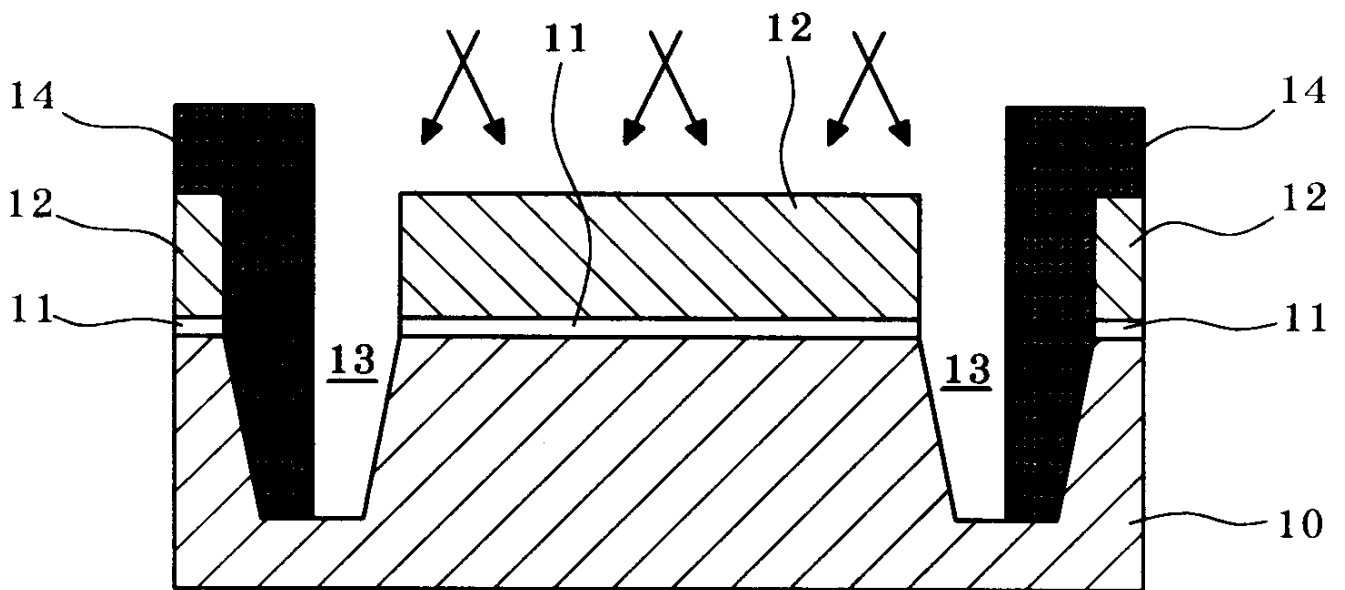
제1항에 있어서, 상기 트랜치 측벽의 이온주입 영역을 형성하는 공정은 상기 소오스/드레인 접합층을 형성하기 위한 이온주입 공정과 함께 진행되는 것을 특징으로 하는 반도체메모리장치의 트랜지스터 제조방법.

도면

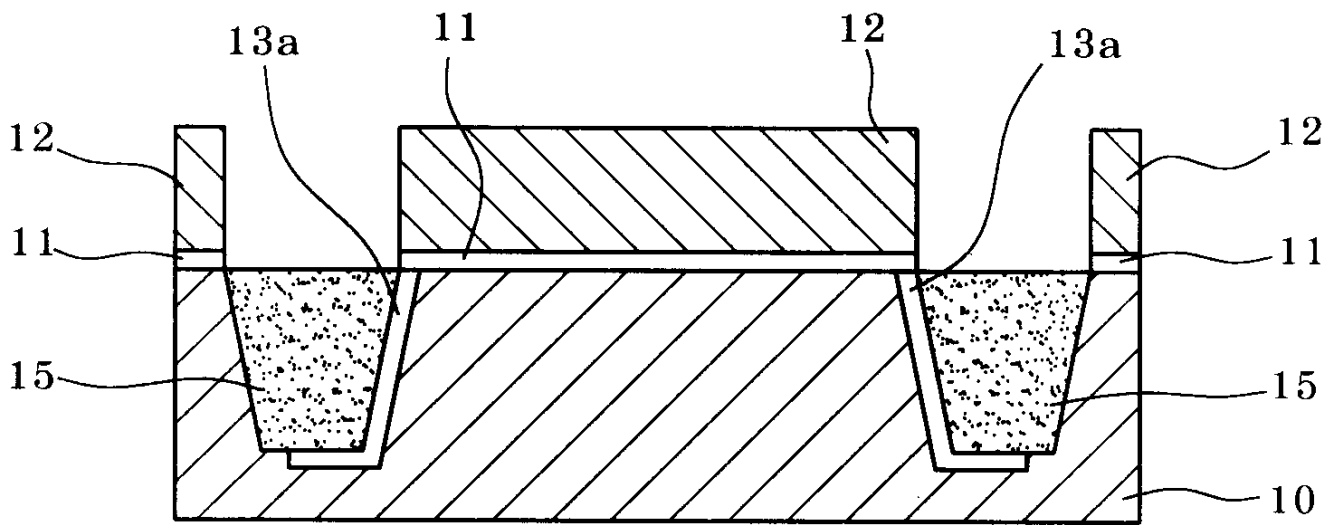
도면 1



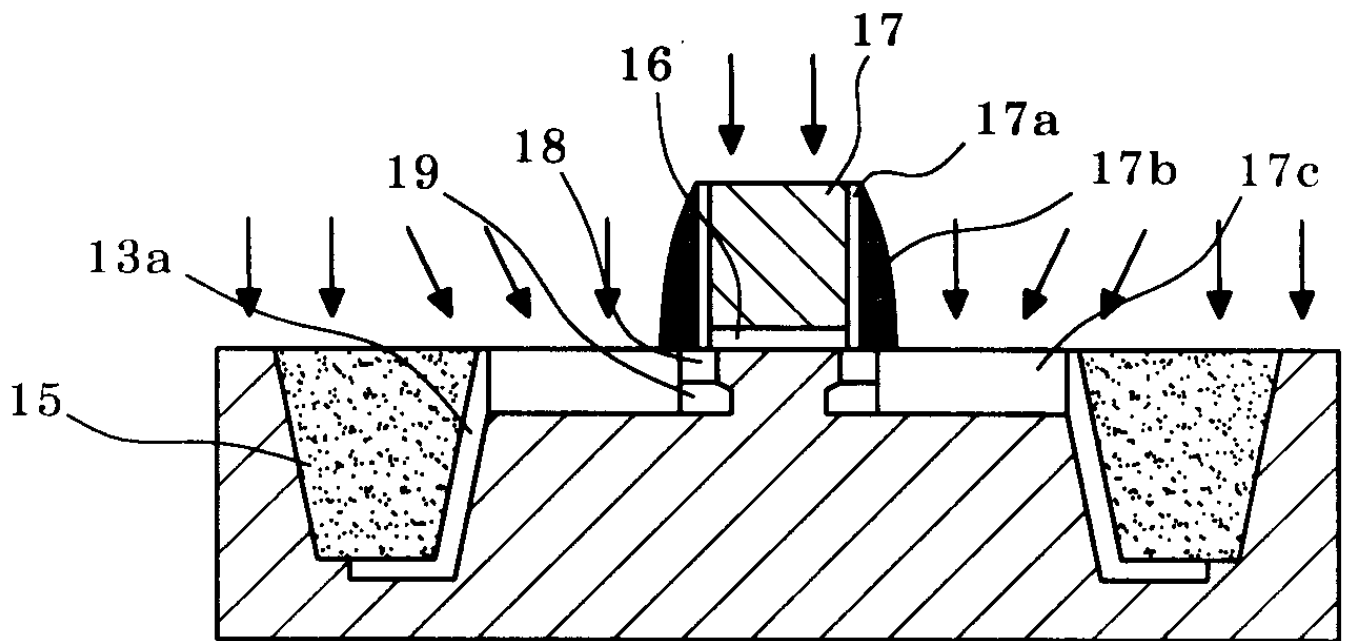
도면 2



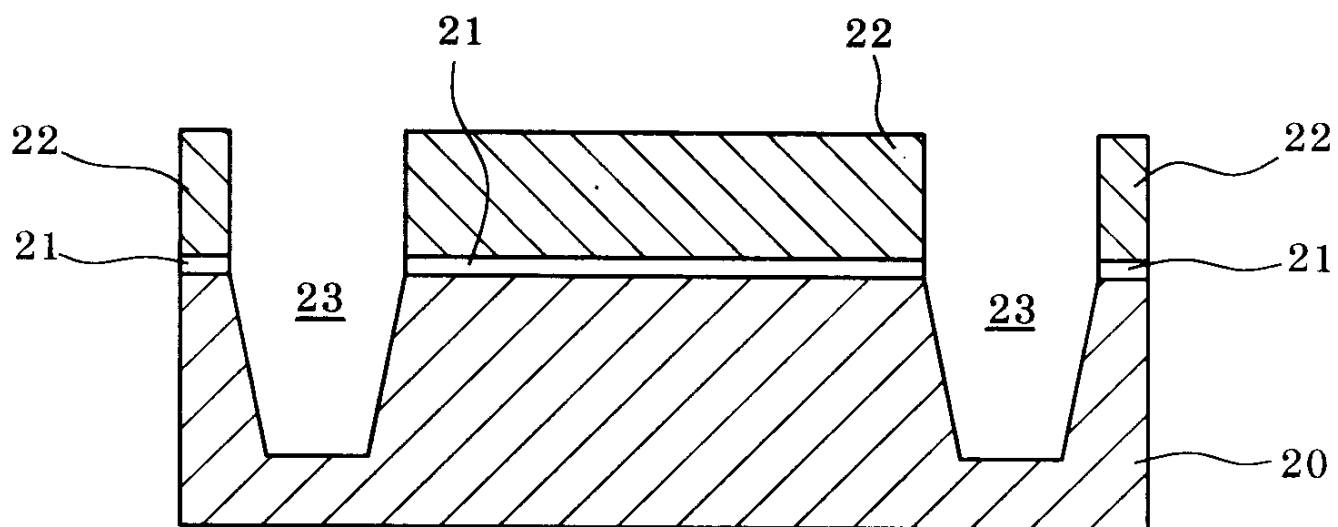
도면 3



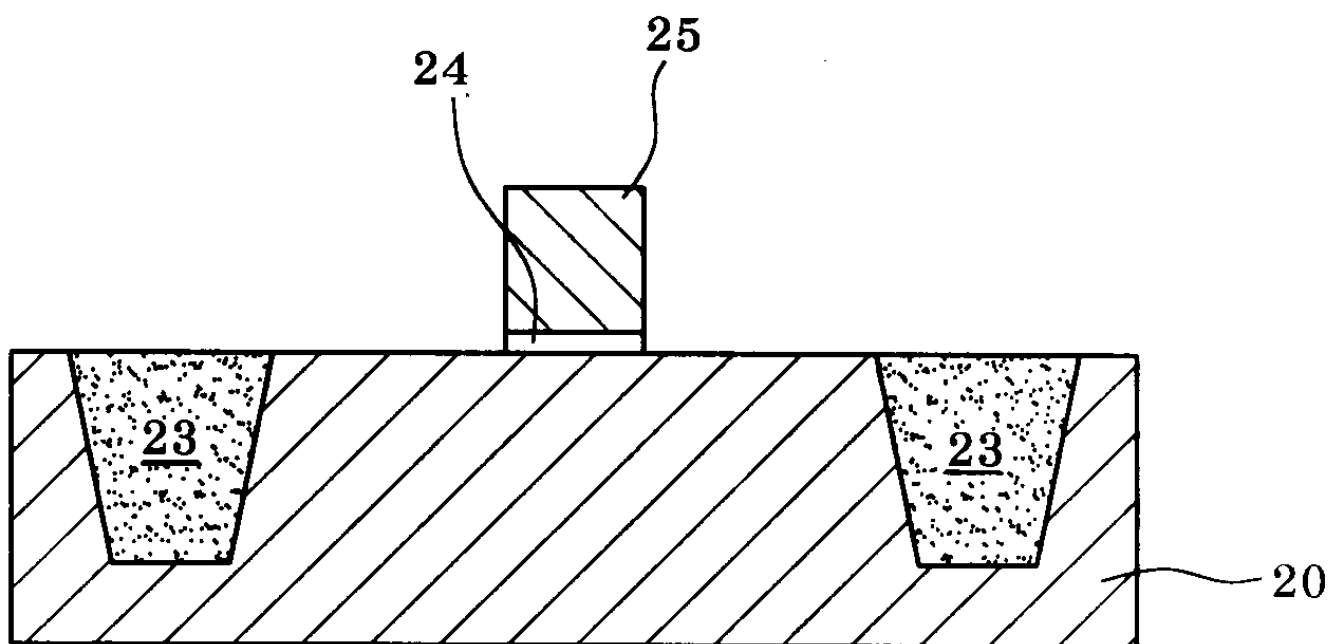
도면 4



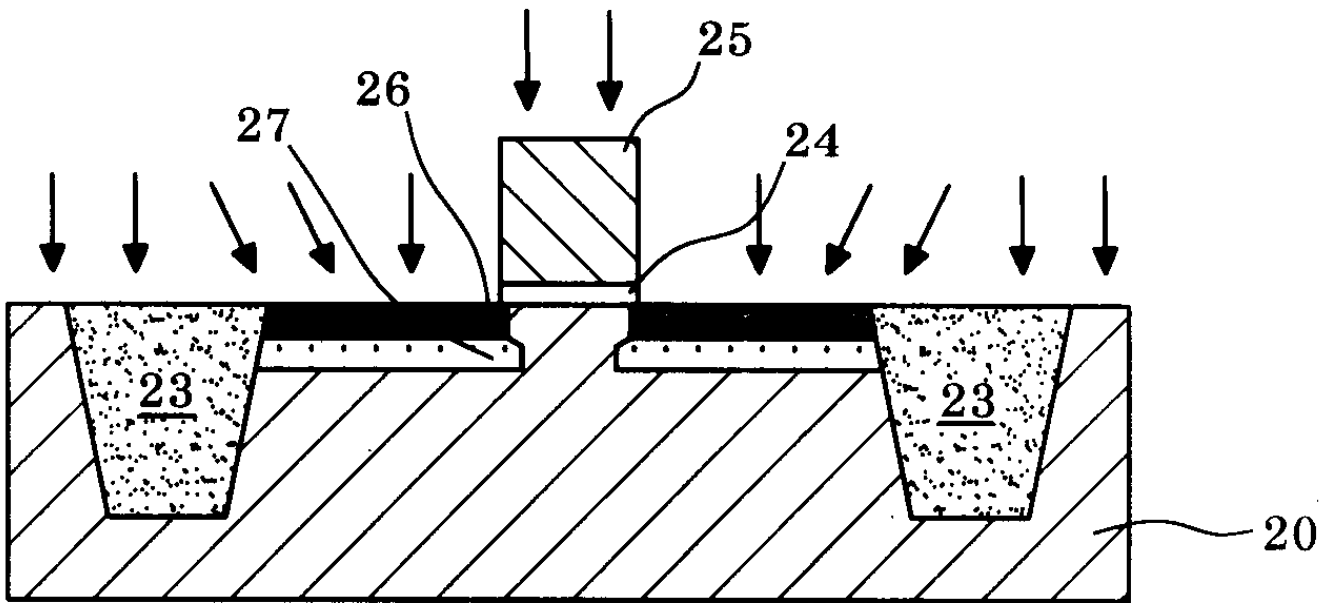
도면 5



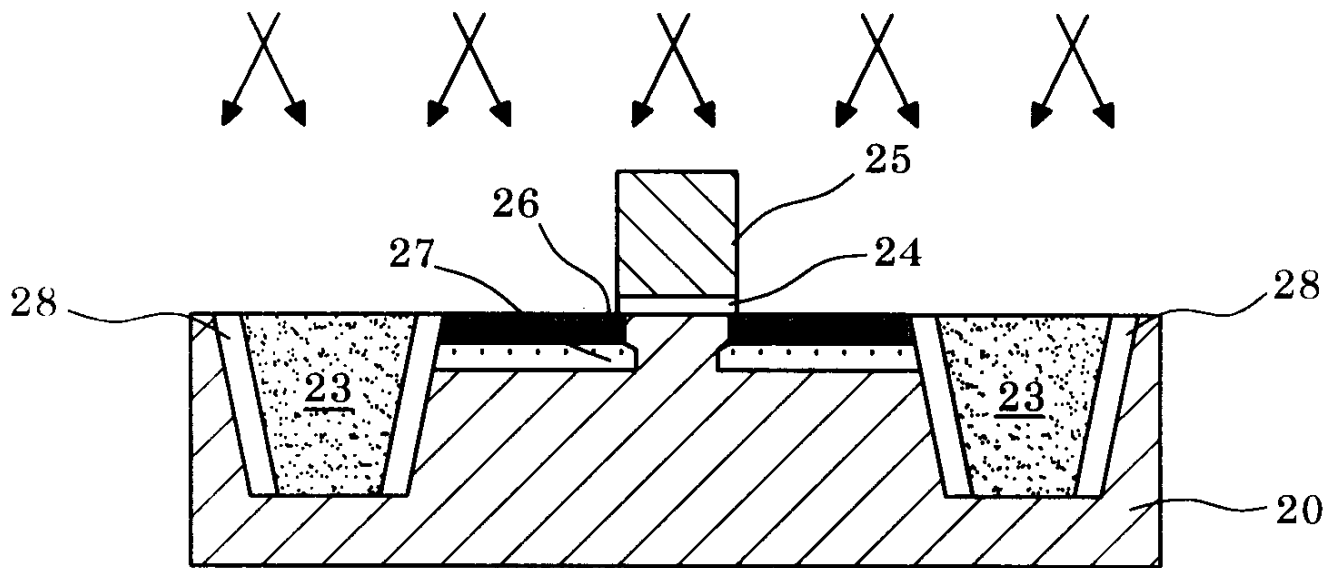
도면 6



도면 7



도면 8



도면 9

