

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4078650号
(P4078650)

(45) 発行日 平成20年4月23日 (2008. 4. 23)

(24) 登録日 平成20年2月15日 (2008. 2. 15)

(51) Int. Cl.

F I

H O 2 J 1/00 (2006. 01)

H O 2 J 1/00 3 O 6 L

H O 2 J 7/02 (2006. 01)

H O 2 J 7/02 H

請求項の数 3 (全 10 頁)

(21) 出願番号 特願2004-98755 (P2004-98755)
 (22) 出願日 平成16年3月30日 (2004. 3. 30)
 (65) 公開番号 特開2005-287213 (P2005-287213A)
 (43) 公開日 平成17年10月13日 (2005. 10. 13)
 審査請求日 平成18年8月23日 (2006. 8. 23)

(73) 特許権者 000006747
 株式会社リコー
 東京都大田区中馬込 1 丁目 3 番 6 号
 (74) 代理人 100077274
 弁理士 磯村 雅俊
 (74) 代理人 100102587
 弁理士 渡邊 昌幸
 (72) 発明者 矢野 公一
 東京都大田区中馬込 1 丁目 3 番 6 号 株式
 会社リコー内
 (72) 発明者 藤原 明彦
 東京都大田区中馬込 1 丁目 3 番 6 号 株式
 会社リコー内
 審査官 高野 誠治

最終頁に続く

(54) 【発明の名称】 並列モニタ回路およびそれを用いた半導体装置

(57) 【特許請求の範囲】

【請求項 1】

直流電源を直列接続された複数のキャパシタに印加して、前記キャパシタを均等に充電するために、前記キャパシタの各々の電圧が、電圧設定回路により設定されたモニタ電圧を超えると、前記キャパシタの各々に接続されているバイパス用トランジスタを制御して、充電電流をバイパスする並列モニタ回路において、

該電圧設定回路に特定の組み合わせの電圧コードを入力することで、該電圧設定回路と、各キャパシタの両端に接続され、該キャパシタが負電圧に充電されたことを検出する第 1 の比較回路と、入力回路にヒステリシス特性を持たせてあり、該モニタ電圧と該電圧設定回路の出力電圧とを比較する第 2 の比較回路とを、ともにスタンバイモードに移行させる手段を設けたことを特徴とする並列モニタ回路。

【請求項 2】

請求項 1 に記載の並列モニタ回路において、

前記コード電圧の特定の組み合わせを、全てのビットがハイレベルの時にスタンバイ信号を出力することを特徴とする並列モニタ回路。

【請求項 3】

請求項 1 または請求項 2 に記載の並列モニタ回路を複数備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

10

20

【 0 0 0 1 】

本発明は、直列接続された複数の電気二重層キャパシタを均等に充電するために、複数の並列モニタ回路とその並列モニタ回路を集積した半導体装置に関し、特にモニタ電圧を変更可能にした並列モニタ回路のスタンバイモードの設定に関する。

【 背景技術 】

【 0 0 0 2 】

電気二重層キャパシタは、充電に時間がかかる２次電池と比較して、急速充電が可能である。しかも、電気二重層キャパシタには、大量にエネルギーが貯蔵できるという２次電池には無い利点を有している。しかし、電気二重層キャパシタは定格電圧が２．７Ｖ程度と低いため、通常複数のキャパシタを直列に接続して必要な電圧を確保している。

10

このように、直列接続された複数の大容量キャパシタを充電する際に問題となるのが、キャパシタの容量差や自己充電、自己放電などによって生ずる充電の不均一である。

この対策には、通常、並列モニタと呼ばれる充電均一化回路が用いられている。

【 0 0 0 3 】

図４は、特許第３３１３６４７に開示されている並列モニタ回路の一部を示す図である。

図４では、並列モニタ回路を一つしか記載していないが、並列モニタ回路は直列に接続されたキャパシタ毎に設けられており、各キャパシタに設けられている並列モニタ回路は全て同じ構成をしているので、そのうちの１つについて説明を行う。

並列モニタ回路は、２つの基準電圧 V_{r1} と V_{r2} 、これらの基準電圧とキャパシタ C_1 の電圧を比較する比較回路 CMP 、基準電圧 V_{r1} と V_{r2} を切替える２つのスイッチ S_1 、 S_2 、キャパシタ C_1 の充電電流をバイパスするトランジスタ Tr_1 、およびスイッチ制御回路で構成されている。

20

【 0 0 0 4 】

基準電圧 V_{r1} はキャパシタ C_1 の満充電電圧で３Ｖ、基準電圧 V_{r2} は満充電電圧より低い０．８Ｖに設定されている。充電の初期段階では、スイッチ S_1 は基準電圧 V_{r2} に接続されている。キャパシタ C_1 の電圧が０．８Ｖに達すると比較回路 CMP の出力が反転し、トランジスタ Tr_1 をオンにする。トランジスタ Tr_1 がオンすると、トランジスタ Tr_1 を含めた回路の抵抗成分によって決まる時定数でキャパシタ C_1 を放電する。

スイッチ制御回路は全ての比較回路 CMP の出力を監視しているので、キャパシタ C_1 の放電動作を持続させている間に、他のキャパシタの充電電圧が設定値の０．８Ｖに達すると、スイッチ S_1 を基準電圧 V_{r1} に切替え、バイパスモードを解除し、満充電電圧の３Ｖまで充電する。

30

【 0 0 0 5 】

ところで、従来の並列モニタ回路では、充電制御を行っていない間も比較回路 CMP には電力が供給されており、電力の無駄が生じていた。

一般的には、半導体装置に含まれる回路が動作を行わない場合は、その回路の動作を停止し、供給電力を少なくするスタンバイモードに移行させることが知られている。しかし、スタンバイモードに移行するには、半導体装置にスタンバイ用の端子を設けて半導体装置とは別の CPU などを含む制御回路からスタンバイ信号を供給するようにしていた。

40

【 0 0 0 6 】

【 特許文献１ 】 特許第３３１３６４７

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかしながら、並列モニタ回路は多数のキャパシタを接続し、制御回路からの信号に応じて充電制御を行うため、多くの端子を必要とする。このような並列モニタ回路を多数集積した半導体装置を汎用のパッケージに収める際に、端子の数は重要な要素になる。

すなわち、直列に複数段接続された半導体装置の動作状態を最下部の IC から一段ずつ上へコントロールするので、１つの信号につき２端子必要となり、複数の状態制御が必要

50

な場合、1つの状態のON/OFFに2端子使用するのとはICにした場合に製造コストの増加を招き、回路構成上も配線を煩雑にして配線基板面積の増大にも繋がる。

端子の数が1本でも汎用パッケージの端子数を上回れば、更に大きく、高価なパッケージを使用しなければならないからである。

【0008】

(目的)

本発明の目的は、上述の従来の実情を考慮してなされたものであって、並列モニタ回路をスタンバイモードに移行させるための専用端子を不要にした並列モニタ回路およびそれを用いた半導体装置を提供することである。

【課題を解決するための手段】

【0009】

上記の課題を解決するために、本発明の並列モニタ回路は、直流電源を直列接続された複数のキャパシタに印加して、前記キャパシタを均等に充電するために、前記キャパシタの各々の電圧が、電圧設定回路により設定されたモニタ電圧を超えると、前記キャパシタの各々に接続されている充電電流をバイパスするバイパス用トランジスタを制御し、前記キャパシタの充電電流をバイパスする並列モニタ回路において、電圧設定回路に特定の組み合わせの電圧コードを入力することで、該電圧設定回路および該電圧設定回路に接続される内部回路をスタンバイモードに移行させる手段を設けたことを特徴としている。

【0010】

前記電圧設定回路に対して、制御回路からの複数ビットのコード信号を入力し、該コード信号をデコーダでデコードし、デコードされた出力信号によって前記モニタ電圧を設定する電圧設定を行うとともに、前記コード信号の特定の組み合わせにより、並列モニタ回路の動作を停止し、消費電流を少なくするスタンバイモードに移行させるスタンバイ信号を出力する。

【0011】

また、前記コード信号の特定の組み合わせを、全てのビットがハイレベルの時にスタンバイ信号を出力することも特徴としている。

また、電圧検出を停止した後は、負電圧検出動作を行い、異常を検出することも特徴としている。

また、電圧設定コードが必要のない状態制御信号とのマージをとることも特徴としている。

さらに、状態制御信号をコード化することで、信号線をマージすることも特徴としている。

さらに、上記記載の各並列モニタ回路を複数備えた半導体装置に応用することも特徴としている。

【発明の効果】

【0012】

本発明によれば、モニタ電圧が変更可能な並列モニタ回路を多数含んだ半導体装置において、モニタ電圧を設定するために複数ビットで構成されたコード信号の特定の組み合わせを検出して、スタンバイモードに移行させるようにしたので、スタンバイ専用端子を設ける必要が無く、端子の節約ができ、端子数の少ない半導体パッケージの使用を可能としたので、パッケージのコストダウンが可能となった。

また、スタンバイ信号の配線も不要となったので、回路設計の負担も少なくなった。

【発明を実施するための最良の形態】

【0013】

以下、図面を参照して、本発明の実施形態を詳細に説明する。

図1は、本発明の一実施例に係る並列モニタ回路およびそれを用いた半導体装置を示す構成図である。

破線で囲った部分が半導体装置1Aに含まれているn(以下nは整数)個の並列モニタ回路である。半導体装置1Aの端子V_{dd}と端子V_{ss}には電源VBが接続されている。各

10

20

30

40

50

並列モニタ回路に接続された端子 $C e l l n$ と端子 $C e l l n + 1$ の間にはキャパシタ $C n$ と、抵抗 $R n$ をエミッタに接続したバイパストラジスタ $Q n$ が接続されている。バイパストラジスタ $Q n$ のベースは、端子 $O u t n$ を介してバイパストライブトランジスタ $M n$ のドレインに接続されている。

【0014】

半導体装置 1 A に含まれる並列モニタ回路 1 ~ n の構成は全て同じなので、並列モニタ回路 1 について説明する。並列モニタ回路 1 A は、電圧設定回路 $V S 1$ 、基準電圧 $V r 1$ 、2 つの比較回路 $C M P 1 1$ と $C M P 1 2$ 、出力制御回路 $O C 1$ 、バイパストライブトランジスタ $M 1$ で構成されている。

電圧設定回路 $V S 1$ は、キャパシタ $C 1$ の電圧に比例した電圧を生成する。また、比例定数は図示しない制御回路から送られてくるコード信号 $R C 1$ によって設定されている。

コード信号 $R C 1$ は 4 ビットのデジタル信号で、コードの組み合わせにより初期化から満充電までの 15 種類のモニタ電圧を設定する。

【0015】

比較回路 $C M P 1 2$ は、入力回路にヒステリシスを持たせてあり、基準電圧 $V r 1$ と電圧設定回路 $V S 1$ から出力される電圧 $V S o 1$ を比較し、出力電圧 $V S o 1$ が基準電圧 $V r 1$ を超えると、比較回路 $C M P 1 2$ が反転し、ハイレベルを出力する。

比較回路 $C M P 1 1$ の 2 つの入力はキャパシタ $C 1$ の両端に接続されており、キャパシタ $C 1$ が負電圧に充電されたことを検出するための比較回路である。負電圧の検出は、入力端子にヒステリシスを持たせたことで実現しており、キャパシタ $C 1$ の電圧が -0.2 V になるとハイレベルを出力する。この信号は、ローボルティジ検出信号 $L V D 1$ として制御回路に送られる。制御回路は、ローボルティジ検出信号 $L V D 1$ を受け取ると、キャパシタの放電を停止する。

【0016】

この比較回路 $C M P 1 1$ は、キャパシタ $C 1$ が過放電した場合の検出で、電気二重層キャパシタ $C 1$ に逆電圧が印加されないようにするための保護回路である。

出力制御回路 $O C 1$ は、制御回路から送られてくる出力イネーブル信号 $E N I N 1$ により制御され、出力イネーブル信号 $E N I N 1$ がアクティブのとき比較回路 $C M P 1 2$ の出力をバイパストライブトランジスタ $M 1$ のゲートに接続する。

【0017】

キャパシタ $C 1$ の電圧が徐々に上昇し、電圧設定回路 $V S 1$ の出力電圧 $V S o 1$ が基準電圧 $V r 1$ を超えると、比較回路 $C M P 1 2$ が反転し、ハイレベルを出力する。この信号はハイボルティジ検出信号 $H V D 1$ として制御回路に送られる。制御回路では、ハイボルティジ検出信号 $H V D 1$ を受け取ると、所定の処理を行った後、出力イネーブル信号 $E N I N 1$ を並列モニタ回路に送り、出力制御回路 $O C 1$ をアクティブにする。出力制御回路 $O C 1$ がアクティブになると、比較回路 $C M P 1 2$ の出力がバイパストライブトランジスタ $M 1$ のゲートに接続されるので、バイパストライブトランジスタ $M 1$ はオンとなり、半導体装置に接続されているバイパストラジスタ $Q 1$ をオンにする。バイパストラジスタ $Q 1$ がオンになると、キャパシタ $C 1$ の充電電流を抵抗 $R 1$ とバイパストラジスタ $Q 1$ を介してバイパスする。

【0018】

制御回路が、各々の並列モニタ回路に接続されているキャパシタが満充電したと判断すると、特定のコード信号 $R C 1$ を並列モニタ回路 1 に送る。電圧設定回路 $V S 1$ は、この特定のコード信号 $R C 1$ を受信すると、信号 $N 1$ を送出することにより、並列モニタ回路 1 内の比較回路 $C M P 1 1$ と $C M P 1 2$ をスタンバイ状態に切替える。また、後述するように、電圧設定回路 $V S 1$ の消費電流も低減する。

【0019】

図 2 は、図 1 における電圧設定回路 $V S 1$ の詳細構成を示す回路図である。

電圧設定回路 $V S 1$ は、4 ビットのコード信号 $R C 1 a \sim d$ をデコードするデコーダ 13 と、デコーダ 13 の出力でオン/オフするアナログスイッチ $A S W 1 \sim 15$ 、直列接続

10

20

30

40

50

された抵抗 $r_0 \sim r_8$ 、抵抗 r_8 の他端と端子 C_{e112} の間にドレインとソースが接続された $NMOS$ トランジスタ $M1a$ 、抵抗 r_{16} に並列接続されたヒューズ素子 F_1 、抵抗 r_{17} に並列接続されたアナログスイッチ ASW_{16} 、およびアナログスイッチ ASW_{16} の制御端子 $ASGB$ に出力が接続されたインバータ INV_1 で構成されている。

制御回路から送られてきた 4 ビットのコード信号 $RC1a \sim d$ は、デコーダ 13 でデコードされる。デコーダ 13 の出力は、 $OUT_1 \sim 16$ までの 16 本と、これらの出力を反転した $OUT_{1B} \sim 16B$ で構成されている。

【0020】

図 5 は、デコーダ 13 のコード信号 $RC1a \sim d$ と出力信号 $OUT_1 \sim 16$ の関係を示すテーブル図である。

10

出力信号 $OUT_1 \sim 16$ は、テーブルの左端の $No.$ と同じ出力番号の端子がハイレベルになるので、出力信号 $OUT_4 \sim 13$ は省略してある。また、出力信号 $OUT_{1B} \sim 16B$ 信号は $OUT_1 \sim 16$ 信号を反転した信号なので割愛した。

【0021】

図 3 は、本発明におけるアナログスイッチの回路構成図である。

デコーダ 13 の出力 OUT_1 と OUT_{1B} は、図 1 に示すように、アナログスイッチ ASW_1 の制御端子 ASG と $ASGB$ に接続されている。同様に、デコーダ 13 の出力 $OUT_2 \sim 15$ と $OUT_{2B} \sim 15B$ は、アナログスイッチ $ASW_2 \sim 15$ の制御端子 ASG と $ASGB$ に接続されている。

アナログスイッチ $ASW_1 \sim 16$ は、図 3 に示すように、 $NMOS$ トランジスタ $10A$ と $PMOS$ トランジスタ $11A$ を並列に接続した一般的な構成のものが使用できる。

20

アナログスイッチ $ASW_1 \sim 15$ の入力 IN は、全て抵抗 r_0 と抵抗 r_1 の交点に接続されている。また、アナログスイッチ ASW_1 の出力 OUT は、抵抗 r_1 と抵抗 r_2 の交点に接続されている。同様に、アナログスイッチ ASW_n は抵抗 r_n と抵抗 r_{n+1} の交点に接続されている。

【0022】

抵抗 r_{16} には、ヒューズ F_1 が並列に接続されている。トリミングにより、このヒューズ F_1 を切断するかしないかで、電圧設定回路 VS_1 で設定可能な電圧範囲を変えることができるので、1 つの回路構成で電圧範囲が異なる 2 種類の半導体装置を供給可能にしている。

30

抵抗 r_{17} の両端にはアナログスイッチ ASW_{16} の入力 IN と出力 OUT が接続されており、アナログスイッチ ASW_{16} の制御端子 ASG には比較回路 CMP_{12} の出力が、 $ASGB$ には比較回路 CMP_{12} の出力をインバータ INV_1 で反転した出力が、それぞれ接続されている。

抵抗 r_{18} の他端と端子 C_{e112} の間に接続された $NMOS$ トランジスタ $M1a$ のゲートは、デコーダ 13 の出力 OUT_{16B} に接続されている。 OUT_{16B} の ENB_1 の出力は、スタンバイ電圧を検出するものである。また、 $NMOS$ トランジスタ $M1a$ は、スタンバイ状態を検出することで、電流を切断するための制御手段である。

【0023】

電圧設定回路 VS_1 の出力電圧 VS_{o1} は、抵抗 r_0 と抵抗 r_1 の交点から取り出され、比較回路 CMP_{12} の反転入力に接続されている。

40

比較回路 CMP_{12} の非反転入力と端子 C_{e111} (V_{dd}) 間には、基準電圧 V_{r1} が接続されている。

コード信号 $RC1a \sim d$ の組み合わせが、図 5 の $No. 1 \sim 15$ までの間は、アナログスイッチ $ASW_1 \sim 15$ の何れか一つがオンしている。このとき、デコーダ 13 の出力 OUT_{16B} はハイレベルになっているので、 $NMOS$ トランジスタ $M1a$ はオンとなり、直列抵抗を端子 C_{e112} に接続する。また抵抗 r_0 の他端は電源 V_{dd} に接続されているので、電圧設定回路 VS_1 の出力電圧 VS_{o1} は電源電圧 V_{dd} を抵抗 r_0 と抵抗 r_1 から 18 までの和で分圧した電圧となる。

【0024】

50

今、アナログスイッチ ASW_n がオンすると、そのアナログスイッチ ASW_n の入力 IN と出力 OUT に挟まれた抵抗 $r_1 \sim$ 抵抗 r_n がショートされるため、電圧設定回路 VS_1 の出力電圧 VS_{o1} は低下する。すなわち、抵抗 r_0 の電圧降下が大きくなるので、 n が大きいほどモニタ電圧を低く設定することになる。

すなわち、コード信号 RC_1 の組み合わせで、オンさせるアナログスイッチ ASW を任意に設定することにより、キャパシタ C_1 のバイパスを行うモニタ電圧を任意に設定できることがわかる。

【0025】

キャパシタ C_1 の充電初期は端子 C_{e111} と端子 C_{e112} 間の電圧が小さいので、抵抗 r_0 の両端の電圧は基準電圧 V_{r1} より小さく、比較回路 CMP_{12} の出力はローレベルとなる。キャパシタ C_1 の充電が進んで抵抗 r_0 の両端の電圧が基準電圧 V_{r1} を超えると、比較回路 CMP_{12} の出力はハイレベルに反転する。これから先の動作は、図1において述べた通りである。

【0026】

制御回路は、各々の並列モニタ回路に接続されているキャパシタが満充電したと判断すると、コード信号 $RC_1a \sim d$ を全てハイレベルにし、図5の組み合わせテーブルの $No.16$ の条件を出力する。その結果、デコーダ13の出力 OUT_{16} がハイレベル、 OUT_{16B} がローレベルとなるので、 $NMOS$ トランジスタ M_{1a} はオフして、直列抵抗 $r_0 \sim r_{18}$ には電流が流れなくなる。更に、デコーダ13の出力 OUT_{16} は比較回路 CMP_{12} のイネーブル端子 EN に接続されているので、比較回路 CMP_{12} の動作を禁止し、低消費電力のスタンバイモードに移行させる。図1に示したように、比較回路 CMP_{11} のイネーブル端子 EN にも接続されているので、比較回路 CMP_{11} もスタンバイモードに移行する。

このように、並列モニタ回路をスタンバイ状態に切替える信号を、電圧設定回路 VS_1 の電圧設定用コード信号 RC_1 の特定の組み合わせにしたので、スタンバイ専用の端子を設けることなく、スタンバイ動作を実現することが可能となった。

【0027】

最後に、抵抗 r_{17} とアナログスイッチ ASW_{16} の動作を説明する。比較回路 CMP_{12} の出力がローレベルのときは、アナログスイッチ ASW_{16} はオフとなり、抵抗 r_{17} が直列抵抗に加わる。しかし、比較回路 CMP_{12} の出力がハイレベルになるとアナログスイッチ ASW_{16} はオンとなり、抵抗 r_{17} をショートするので、電圧設定回路 VS_1 の出力電圧 VS_{o1} を低下させる。電圧設定回路 VS_1 の出力電圧 VS_{o1} は、比較回路 CMP_{12} の反転入力に接続されているので、結果的に比較回路 CMP_{12} の入力にヒステリシス特性を与えていることになる。

【0029】

また、半導体装置1A内部では、図7のようにコード信号 RC_1 は全て半導体装置1Aの電源 V_{dd} に抵抗 $R_a, R_b, R_c, R_d \dots$ を介してプルアップされている。そして、コード信号 RC_a, RC_b, RC_c, RC_d は半導体装置内の全ての並列モニタ回路に接続している。このような構成を備えているため、半導体装置1Aと制御回路を接続しているコード信号 $RC_a \sim RC_d$ 線が何等かの原因で外れてしまったときなどは、コード信号 $RC_a \sim d$ は全てハイレベルとして扱われることになる。

従って、半導体装置1Aと制御回路の接続が外れ、半導体装置1Aのコード信号端子がオープンになった場合には、並列モニタ回路はスタンバイモードに移行するので、キャパシタ $C_1 \sim C_n$ を異常充電することがなくなる。

【0030】

図6は、本発明の複数の半導体装置間の制御端子の接続方法を示す図である。

図6に示すように、制御回路(コントロール用マイコン)からの状態制御信号は上り信号になる。制御回路からの状態制御信号が、 IC_1 の低電圧側 IC 接続端子へ入力される。 IC_1 に入力した上り信号は、内部回路で信号変換を施し、高電圧側 IC 接続端子から IC_2 の低電圧側 IC 接続端子へ入力される。これを繰り返して一番電圧の高い IC まで

10

20

30

40

50

状態制御信号を伝達する。

制御端子を整理すると、下り信号の低電圧側 I C 接続端子は一つ低電圧側 I C へ信号を出力し、対応する下り信号の高電圧側 I C 接続端子へ入力される。上り信号の高電圧側 I C 接続端子は一つ高電圧側 I C へ信号を出力し、対応する上り信号の低電圧側 I C 接続端子へ入力される。図 6 に示すように、制御端子は 4 種類存在し、高電圧側 I C 接続出力端子、高電圧側 I C 接続入力端子、低電圧側 I C 接続出力端子、および低電圧側 I C 接続入力端子となる。

【 0 0 3 1 】

本実施例の 1 番目の方法は、コード信号 R C a ~ d を、電圧設定コードが必要のない前記状態制御信号とのマージをとる方法である。これにより、端子数を増加することなく、半導体装置 1 A の内部をスタンバイ状態にすることができる。

10

本実施例の 2 番目の方法は、前記状態制御信号をコード化することで、信号線をマージする方法である。すなわち、前述のように、4 種類の高電圧側 I C 接続出力端子、高電圧側 I C 接続入力端子、低電圧側 I C 接続出力端子、および低電圧側 I C 接続入力端子を介してコード化した状態制御信号で信号線をマージすることにより、端子数を増加することなく、半導体装置 1 A の内部をスタンバイ状態にすることができる。

【 0 0 3 2 】

このように、直列に複数接続された I C の動作状態を最下部の I C から一段ずつ上へコントロールするので、1 つの信号につき状態制御のために 2 端子が必要となる。従って、複数の状態制御が必要な場合には、1 つの状態の O N / O F F に 2 端子使用することは、I C にした場合に製造コストの増加に繋がる。

20

これを回避するために、本実施例では、電圧コードの必要がない状態制御信号とコード信号とのマージをとる方法と、状態制御信号をコード化して信号線をマージする方法を採用する。

これにより、並列モニタ回路内部をスタンバイモードにするための端子は勿論のこと、配線も不要にすることができる。また、端子の少ないパッケージを用いるので、パッケージのコストダウンも可能になる。

【図面の簡単な説明】

【 0 0 3 3 】

【図 1】本発明の一実施例に係る並列モニタ回路およびそれを用いた半導体装置の回路図である。

30

【図 2】本発明の一実施例に係る電圧設定回路の詳細回路図である。

【図 3】本発明の一実施例に係るアナログスイッチの回路図である。

【図 4】従来技術の並列モニタ回路を説明する回路図である。

【図 5】本発明のデコーダの真理値テーブル図である。

【図 6】本発明の複数の半導体装置間の制御端子の接続方法を示す図である。

【図 7】本発明の一実施例に係る制御回路と電圧設定回路の結線図である。

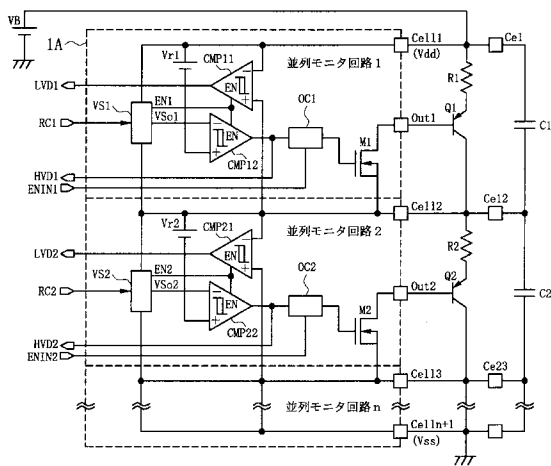
【符号の説明】

【 0 0 3 4 】

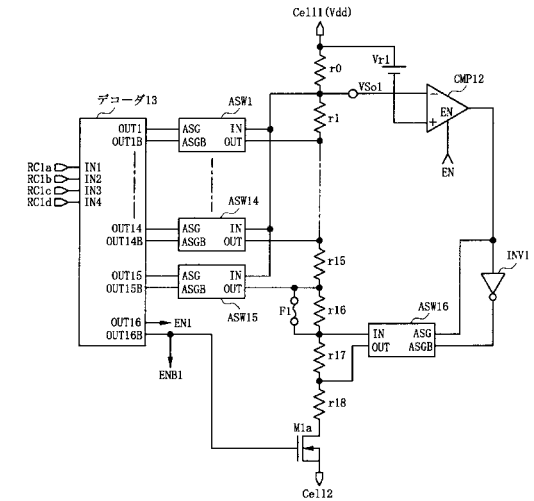
1 A ... 半導体装置に含まれている並列モニタ回路、2 A ... 制御回路、
1 0 A ... N c h M O S トランジスタ、1 1 A ... P c h M O S トランジスタ、
1 1 ... 第 1 の比較回路、1 2 ... 第 2 の比較回路、
1 3 ... デコーダ、A S W 1 ~ A S W 1 6 ... アナログスイッチ、V S 1 ... 電圧設定回路、
R C 1 ... 電圧設定用コード信号、V r 1 ... 基準電圧、O C 1 ... 出力制御回路、
M 1 ... バイパスドライブトランジスタ、Q 1 ... バイパストランジスタ、
V S o 1 ... 電圧設定回路の出力電圧、E N 1 ... スタンバイモード・イネーブル信号、
L V D 1 ... ローボルテージ検出信号、H V D 1 ... ハイボルテージ検出信号、
E N I N I ... 出力イネーブル信号、r 0 ~ r 1 8 ... 抵抗、F 1 ... ヒューズ素子、
E N B 1 ... スタンバイモード出力、E N ... イネーブル端子。

40

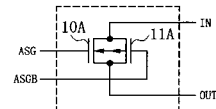
【図 1】



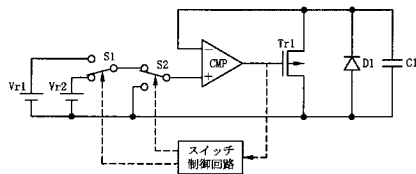
【図 2】



【図 3】



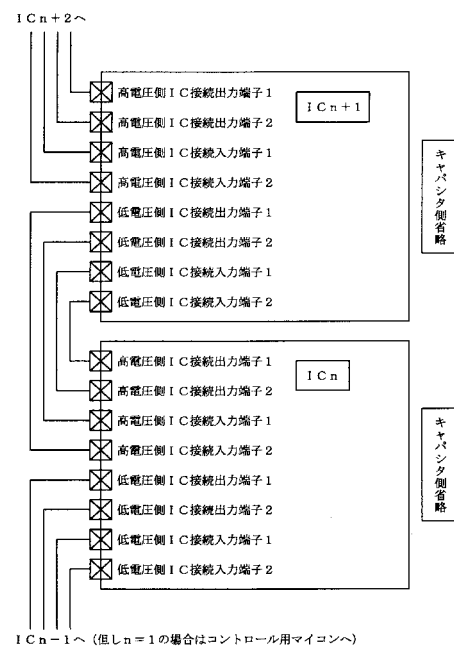
【図 4】



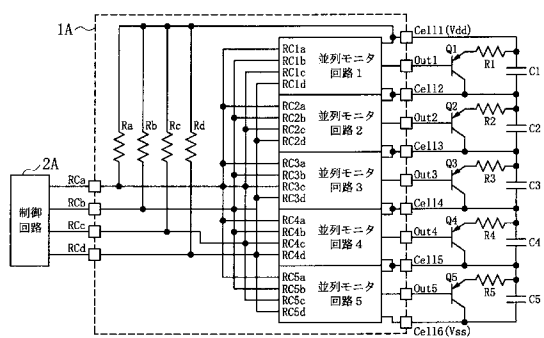
【図 5】

No.	RC1a	RC1b	RC1c	RC1d	OUT1	OUT2	OUT3	...	OUT14	OUT15	OUT16
1	0	0	0	0	1	0	0	...	0	0	0
2	1	0	0	0	0	1	0	...	0	0	0
3	0	1	0	0	0	0	1	...	0	0	0
4	1	1	0	0	0	0	0	...	0	0	0
5	0	0	1	0	0	0	0	...	0	0	0
6	1	0	1	0	0	0	0	...	0	0	0
7	0	1	1	0	0	0	0	...	0	0	0
8	1	1	1	0	0	0	0	...	0	0	0
9	0	0	0	1	0	0	0	...	0	0	0
10	1	0	0	1	0	0	0	...	0	0	0
11	0	1	0	1	0	0	0	...	0	0	0
12	1	1	0	1	0	0	0	...	0	0	0
13	0	0	1	1	0	0	0	...	0	0	0
14	1	0	1	1	0	0	0	...	1	0	0
15	0	1	1	1	0	0	0	...	0	1	0
16	1	1	1	1	0	0	0	...	0	0	1

【図 6】



【図 7】



フロントページの続き

(56)参考文献 特開2000-050495(JP,A)
特開2004-070827(JP,A)
特開2003-284241(JP,A)
特開2005-287155(JP,A)
特開2005-287154(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02J 1/00 - 1/16
H02J 7/02