



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0112534
(43) 공개일자 2022년08월11일

(51) 국제특허분류(Int. Cl.)
H03M 1/38 (2006.01) H03M 1/12 (2006.01)
H03M 1/46 (2006.01)
(52) CPC특허분류
H03M 1/38 (2013.01)
H03M 1/125 (2019.01)
(21) 출원번호 10-2021-0016202
(22) 출원일자 2021년02월04일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
전제민
경기도 군포시 용호1로21번길 15, 120동 602호(당동, 용호마을 e-편한세상)
이재혁
경기도 성남시 분당구 판교로 421, 201동 1303호(야탑동, 탑마을대우아파트)
(뒷면에 계속)
(74) 대리인
이철희

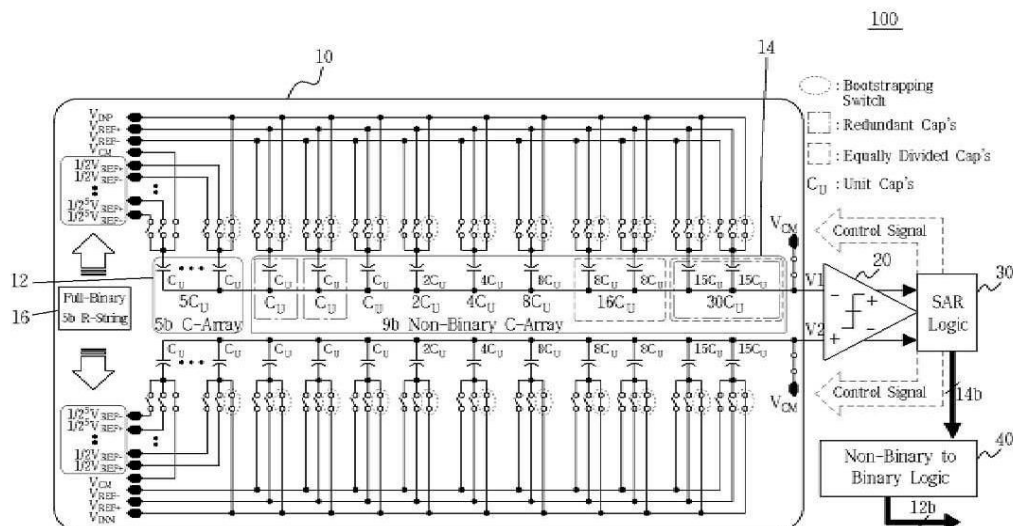
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기

(57) 요약

관류 전압 고속 정착 성능을 갖는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기를 개시한다. 상기 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기는 커패시터-저항(capacitor-resistor, C-R) 하이브리드 DAC(digital to analog converter)을 포함할 수 있고, 상기 C-R 하이브리드 DAC은, 제1 기준 전압과 제2 기준 전압의 범위에서 2의 지수 승의 기준 전압들을 생성하는 저항열; 단위 커패시터들을 포함하고, 상기 단위 커패시터들은 상기 저항 열로부터 상기 2의 지수 승의 기준 전압들과 공통모드 전압을 선택적으로 수신하는 제1 커패시터 어레이; 및 비 이진 가중치 커패시터 열을 포함하고, 상기 비 이진 가중치 커패시터 열은 상기 제1 기준 전압 및 상기 제2 기준전압을 선택적으로 수신하는 제2 커패시터 어레이를 포함할 수 있다.

대표도



(52) CPC특허분류

H03M 1/462 (2013.01)

H03M 1/466 (2013.01)

(72) 발명자

임윤빈

서울특별시 양천구 목동동로 100, 1328동 1302호(신정동, 목동신시가지아파트13단지)

임재근

서울특별시 서대문구 이화여대1길 33, 603호(대현동, 어반크레이터스유닛)

부준호

서울특별시 마포구 마포대로24길 16, 102동 805호(아현동, 공덕자이아파트)

안길초

서울특별시 강남구 남부순환로363길 30, 4동 701호(도곡동, 도곡쌍용예가아파트)

이승훈

서울특별시 용산구 이촌로 310, 101동 2303호(이촌동, 래미안 첼리투스)

김민규

경기도 용인시 수지구 상현로 144, 1009동 802호(상현동, 만현마을 10단지 아이파크)

양익석

서울특별시 송파구 송파대로48길 23(송파동, 주성드림빌)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711116161
과제번호	2018-0-01421
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	대학ICT연구센터지원사업
연구과제명	인공지능 서비스 실현을 위한 지능형 반도체 설계 핵심기술 개발
기 여 율	1/1
과제수행기관명	서강대학교 산학협력단
연구기간	2018.06.01 ~ 2021.12.31

명세서

청구범위

청구항 1

커패시터-저항(capacitor-resistor, C-R) 하이브리드 DAC(digital to analog converter)을 포함하고,

상기 C-R 하이브리드 DAC은,

제1 기준 전압과 제2 기준 전압의 범위에서 2의 지수 승의 기준 전압들을 생성하는 저항열;

단위 커패시터들을 포함하고, 상기 단위 커패시터들은 상기 저항 열로부터 상기 2의 지수 승의 기준 전압들과 공통모드 전압을 선택적으로 수신하는 제1 커패시터 어레이; 및

비 이진 가중치 커패시터 열을 포함하고, 상기 비 이진 가중치 커패시터 열은 상기 제1 기준 전압 및 상기 제2 기준전압을 선택적으로 수신하는 제2 커패시터 어레이;

를 포함하는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 2

제 1 항에 있어서,

상기 비 이진 가중치 커패시터 열은 비 이진 가중치를 갖는 최상위 비트의 커패시터와 하위 비트의 단위 커패시터들을 포함하는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 3

제 2 항에 있어서,

상기 C-R 하이브리드 DAC의 출력의 결정 범위가 상기 비 이진 가중치를 갖는 상기 최상위 비트의 커패시터와 상기 하위 비트의 단위 커패시터들에 의해 중첩되는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 4

제 1 항에 있어서,

상기 비 이진 가중치 커패시터 열은 공통모드 전압 기반의 스위칭 기법을 적용하기 위해 최상위 2개 비트의 커패시터가 균등 분할 구조를 가지는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 5

제 1 항에 있어서,

상기 제1 커패시터 어레이는 상기 단위 커패시터들 중 적어도 하나를 이용하여 입력 신호를 샘플링하는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 6

제 5 항에 있어서,

상기 제1 커패시터 어레이는 상기 입력 신호를 샘플링하고 상기 2의 지수 승의 기준 전압들 및 상기 공통모드 전압 중 적어도 하나를 선택적으로 수신하여 하위 비트들의 디지털 코드를 결정하는데 이용되는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 7

제 1 항에 있어서,

상기 제2 커패시터 어레이는 상기 비 이진 가중치 커패시터 열을 이용하여 입력 신호를 샘플링하는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 8

제 7 항에 있어서,

상기 제2 커패시터 어레이는 상기 입력 신호를 샘플링하고 상기 제1 기준 전압 및 상기 제2 기준전압을 수신하여 상위 비트들의 디지털 코드를 결정하는데 이용되는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 9

제 1 항에 있어서,

상기 C-R 하이브리드 DAC으로부터 출력되는 제1 출력 전압과 제2 출력 전압을 비교하고 상기 비교 결과에 따른 출력 데이터를 출력하는 비교기를 더 포함하는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 10

제 9 항에 있어서,

상기 비교기의 상기 출력 데이터에 따라 상기 C-R 하이브리드 DAC의 스위치들을 제어하는 SAR 로직 회로를 더 포함하는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 11

제 10 항에 있어서,

상기 SAR 로직 회로는 상기 비교기로부터 출력되는 상기 출력 데이터를 비 이진 디지털 코드로 변환하는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 12

제 11 항에 있어서,

상기 SAR 로직 회로로부터 출력되는 비 이진 디지털 코드를 이진 디지털 코드로 변환하는 인코더를 더 포함하는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 13

입력 신호를 샘플링하고, 제1 기준 전압, 제2 기준 전압, 2의 지수 승의 기준 전압들 및 공통모드 전압 중 적어도 하나를 선택적으로 수신하여 제1 출력 전압과 제2 출력 전압을 출력하는, 비 이진 가중치를 갖는 C-R 하이브리드 DAC;

상기 제1 출력 전압과 제2 출력 전압을 비교하고 상기 비교 결과에 따른 출력 데이터를 출력하는 비교기;

상기 비교기의 상기 출력 데이터를 비 이진 디지털 코드로 변환하는 SAR 로직 회로; 및

상기 SAR 로직 회로의 비 이진 디지털 코드를 이진 디지털 코드로 변환하는 인코더를 포함하는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 14

제 13 항에 있어서,

상기 C-R 하이브리드 DAC은,

상기 제1 기준 전압과 상기 제2 기준 전압의 범위에서 상기 2의 지수 승의 기준 전압들을 생성하는 저항열;

단위 커패시터들을 포함하고, 상기 단위 커패시터들은 상기 저항 열로부터 상기 2의 지수 승의 기준 전압들과 상기 공통모드 전압을 선택적으로 수신하는 제1 커패시터 어레이; 및

비 이진 가중치 커패시터 열을 포함하고, 상기 비 이진 가중치 커패시터 열은 상기 제1 기준 전압 및 상기 제2 기준전압을 선택적으로 수신하는 제2 커패시터 어레이;

를 포함하는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 15

제 14 항에 있어서,

상기 비 이진 가중치 커패시터 열은 비 이진 가중치를 갖는 최상위 비트의 커패시터와 하위 비트의 단위 커패시터들을 포함하는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 16

제 15 항에 있어서,

상기 C-R 하이브리드 DAC의 출력의 결정 범위가 상기 비 이진 가중치를 갖는 상기 최상위 비트의 커패시터와 상기 하위 비트의 단위 커패시터들에 의해 중첩되는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 17

제 14 항에 있어서,

상기 비 이진 가중치 커패시터 열은 공통모드 전압 기반의 스위칭 기법을 적용하기 위해 최상위 2개 비트의 커패시터가 균등 분할 구조를 가지는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 18

제 14 항에 있어서,

상기 제1 커패시터 어레이는 상기 단위 커패시터들 중 적어도 하나를 이용하여 입력 신호를 샘플링하고, 상기 2의 지수 승의 기준 전압들 및 상기 공통모드 전압 중 적어도 하나를 선택적으로 수신하여 하위 비트들의 디지털 코드를 결정하는데 이용되는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 19

제 14 항에 있어서,

상기 제2 커패시터 어레이는 상기 비 이진 가중치 커패시터 열을 이용하여 입력 신호를 샘플링하고, 상기 제1 기준 전압 및 상기 제2 기준전압을 수신하여 상위 비트들의 디지털 코드를 결정하는데 이용되는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

청구항 20

제 13 항에 있어서,

상기 SAR 로직 회로는 인에이블 신호가 인에이블될 때 상기 비교기의 상기 출력 데이터를 저장하고, 상기 출력 데이터에 따라 상기 C-R 하이브리드 DAC의 스위치들을 제어하는 레지스터들을 포함하는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기.

발명의 설명

기술 분야

[0001] 본 발명은 연속 근사 레지스터 아날로그 디지털 변환기에 관한 것으로, 더 상세하게는 잔류 전압 고속 정착 성능을 갖는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기에 관한 것이다.

배경 기술

[0002] 최근 무선 근거리 통신망(wireless local area network, WLAN) 서비스가 일상화됨에 따라 관련 통신 시스템의 수요가 폭발적으로 증가하고 있다. 특히 5G 네트워크와 웨어러블 기기와 같은 새로운 모바일 통신 기술의 부상 으로 인해 이 같은 시스템의 수요 추세는 계속 이어질 것으로 전망되고 있다. 이러한 통신 시스템이 탑재된 모바일 기기에는 작은 면적 및 뛰어난 전력효율을 가짐과 동시에 10비트 이상의 해상도에서 100MS/s 이상의 속도로 동작하는 아날로그 디지털 변환기(analog-to-digital converter, ADC)가 필수적으로 요구된다.

[0003] 한편, 최근 모바일 기기들이 점차 고성능화 됨에 따라 전력 소모가 크게 증가하고 있으며, 전력을 효율적으로 관리하기 위해 필요에 따라 속도를 조절하는 기술에 대한 연구가 활발하게 진행되고 있다. 이러한 모바일 통신 시스템 응용을 위해 저전력 및 소면적의 사양을 만족시키면서, 필요에 따라 속도를 조절하였을 때 전력 소모 측면에서 우수한 성능을 유지할 수 있는 연속 근사 레지스터(successive- approximation register, SAR) ADC의 경쟁력이 강화되고 있다.

[0004] 그런데, SAR ADC는 고속 동작 시 디지털 아날로그 변환기(digital-to-analog converter, DAC)의 요구되는 잔류 전압 정착 시간을 확보하기 어렵다는 단점이 있다. 이를 해결하기 위해 낮은 속도의 동일한 sub-ADC 여러 개를 병렬로 연결하는 다중채널 시분할 기법이나 1주기에 2비트 디지털 코드를 출력하는 2b/cycle 기법이 많이 사용되고 있다.

[0005] 그러나, 이와 같은 기법들은 오프셋 및 이득 부정합 보정 회로를 비롯한 추가적인 블록을 필요로 하기 때문에 전력 및 면적 측면에서 효율적이지 못한 문제점이 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 특허문헌1: 대한민국 등록특허 10-1568228(2015.11.05)

(특허문헌 0002) 특허문헌2: 대한민국 등록특허 10-1716782(2017.03.09)

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 기술적 과제는 비 이진 가중치를 갖는 커패시터-저항(capacitor-resistor, C-R) 하이브리드 디지털 아날로그 변환기(digital to analog converter, DAC)를 기반으로 하여 잔류 전압 고속 정착 성능을 갖는 비동기 방식의 연속 근사 레지스터 아날로그 디지털 변환기를 제공하는데 있다.

과제의 해결 수단

[0008] 일 실시예에 따른 연속 근사 레지스터 아날로그 디지털 변환기는, 커패시터-저항(capacitor-resistor, C-R) 하이브리드 DAC(digital to analog converter)을 포함할 수 있고, 상기 C-R 하이브리드 DAC은, 제1 기준 전압과 제2 기준 전압의 범위에서 2의 지수 승의 기준 전압들을 생성하는 저항열; 단위 커패시터들을 포함하고, 상기 단위 커패시터들은 상기 저항 열로부터 상기 2의 지수 승의 기준 전압들과 공통모드 전압을 선택적으로 수신하는 제1 커패시터 어레이; 및 비 이진 가중치 커패시터 열을 포함하고, 상기 비 이진 가중치 커패시터 열은 상기 제1 기준 전압 및 상기 제2 기준전압을 선택적으로 수신하는 제2 커패시터 어레이를 포함할 수 있다.

[0009] 일 실시예에 따른 연속 근사 레지스터 아날로그 디지털 변환기는, 입력 신호를 샘플링하고, 제1 기준 전압, 제2 기준 전압, 2의 지수 승의 기준 전압들 및 공통모드 전압 중 적어도 하나를 선택적으로 수신하여 제1 출력 전압과 제2 출력 전압을 출력하는, 비 이진 가중치를 갖는 C-R 하이브리드 DAC; 상기 제1 출력 전압과 제2 출력 전압을 비교하고 상기 비교 결과에 따른 출력 데이터를 출력하는 비교기; 상기 비교기의 상기 출력 데이터를 비 이진 디지털 코드로 변환하는 SAR 로직 회로; 및 상기 SAR 로직 회로의 비 이진 디지털 코드를 이진 디지털 코드로 변환하는 인코더를 포함할 수 있다.

발명의 효과

[0010] 상술한 바와 같이, 실시예에 따른 비동기 방식의 SAR ADC는 비 이진 가중치를 갖는 C-R 하이브리드 DAC 구조를 통해서 잔류 전압을 고속으로 정착할 수 있다.

[0011] 또한, 실시예에 따른 비동기 방식의 SAR ADC는 비 이진 가중치를 갖는 C-R 하이브리드 DAC 구조, 입력신호 레인지 스케일링 기법을 적용하여 면적 및 전력 소모를 감소시킬 수 있다.

[0012] 또한, 실시예에 따른 비동기 방식의 SAR ADC는 유휴(IDLE) 상태를 제거한 비동기 방식의 SAR 로직을 적용하여 고속 동작을 구현할 수 있다.

도면의 간단한 설명

- [0013] 도 1은 일 실시예에 따른 비동기 방식의 SAR ADC의 회로도이다.
- 도 2는 도 1의 C-R 하이브리드 DAC을 도시한다.
- 도 3은 이진 가중치를 갖는 DAC과 비 이진 가중치를 갖는 DAC의 비트 및 가중치를 설명하기 위한 도면이다.
- 도 4는 이진 가중치를 갖는 DAC과 비 이진 가중치를 갖는 DAC의 동작을 예시한다.
- 도 5는 이진 가중치 4비트 SAR 동작을 예시한다.
- 도 6은 비 이진 가중치 5비트 SAR 동작을 예시한다.
- 도 7은 DAC의 출력 전압 정착 범위 및 시간을 예시한 도면이다.
- 도 8은 DAC 구조에 따른 출력 전압 정착 시간을 비교한 차트이다.
- 도 9는 인코더의 동작 원리를 설명하기 위한 도면이다.
- 도 10은 동기 방식 SAR ADC의 타이밍도 및 비동기 방식 SAR ADC의 타이밍 도이다.
- 도 11은 일 실시예에 따른 SAR ADC의 SAR 로직 회로의 블록 도이다.
- 도 12는 도 11의 SAR 로직 회로에 적용된 동적 레지스터의 회로이다.
- 도 13은 도 12의 동적 레지스터의 타이밍 도이다.
- 도 14는 비교기 준안정상태 보정 회로이다.
- 도 15는 비교기 준안정상태 보정 회로의 동작 원리를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 첨부한 도면들을 참고하여 용이하게 실시할 수 있도록 실시예들에 대하여 상세히 설명하기로 한다. 동일한 구성 요소는 도면 전체에 걸쳐 동일한 참조 번호로 지정된다. 또한, 명세서 전체에 걸쳐 "실시예" 등에 대한 언급은 반드시 하나의 실시예만을 지칭하는 것은 아니며, 그러한 문구에 대한 상이한 참조가 반드시 동일한 실시예(들)을 지칭하는 것은 아니다. 또한, "실시예"는 반드시 모든 실시예들을 의미하는 것은 아니다.
- [0015] 이하의 설명에서 관련된 공지 기술에 대한 상세한 설명은 본 발명의 요지를 모호하게 하는 것을 피하기 위해 생략될 수 있다.
- [0016] 제1, 제2 와 같은 용어는 동일하거나 유사한 이름을 가진 다양한 구성요소들을 식별하는데 사용될 수 있다. 그러나, 이러한 용어는 구성 요소 자체의 변경을 나타내지 않으므로 구성 요소가 용어에 의해 제한되지 않는다.
- [0017] 본 명세서에서, 비 이진 가중치를 갖는 C-R 하이브리드 DAC 구조를 통해서 잔류 전압을 고속으로 정착할 수 있는 비동기 방식의 SAR ADC를 개시한다.
- [0018] 또한, 비 이진 가중치를 갖는 C-R 하이브리드 DAC 구조, 입력신호 레인지 스케일링 기법을 적용하여 면적 및 전력 소모를 감소시킬 수 있는 비동기 방식의 SAR ADC를 개시한다.
- [0019] 또한, 유휴 상태를 제거한 비동기 방식의 SAR 로직을 적용하여 고속 동작을 구현할 수 있는 SAR ADC를 개시한다.
- [0020] 도 1은 일 실시예에 따른 비동기 방식의 SAR ADC의 회로도이다.
- [0021] 도 1을 참고하면, SAR ADC는 비 이진 가중치를 갖는 커패시터-저항(capacitor-resistor, C-R) 하이브리드 DAC(10), 비교기(20), SAR 로직 회로(30) 및 인코더(40)를 포함할 수 있다.
- [0022] C-R 하이브리드 DAC(10)은 제1 커패시터 어레이(12), 제2 커패시터 어레이(14) 및 저항 열(16)을 포함할 수 있다.
- [0023] 제1 커패시터 어레이(12)는 마주보는 형태의 대칭 구조로 형성될 수 있으며, 단위 커패시터들(C_U)을 포함할 수

있다. 제1 커패시터 어레이(12)의 단위 커패시터들(C_U)은 저항 열(16)으로부터 기준 전압들($1/2V_{REF+}$, $1/2V_{REF-}$, $1/2^2V_{REF+}$, $1/2^2V_{REF-}$, 내지 $1/2^5V_{REF+}$, $1/2^5V_{REF-}$)과 공통모드 전압(VCM)을 수신할 수 있다.

[0024] 여기서, 단위 커패시터들(C_U) 중 적어도 하나는 입력 신호(VINP, VINN)를 샘플링할 수 있다. 이러한 커패시터 어레이(12)는 비교기(20)의 입력단들(-, +)에 연결될 수 있으며, SAR ADC가 하위 비트들의 디지털 코드를 결정하는데 이용될 수 있다.

[0025] 제2 커패시터 어레이(14)는 마주보는 형태의 대칭 구조로 형성될 수 있으며 비 이진 가중치 커패시터 열(C_U , C_U , C_U , $2C_U$, $4C_U$, $8C_U$, $16C_U$, $30C_U$)을 포함할 수 있다.

[0026] 제2 커패시터 어레이(14)의 비 이진 가중치 커패시터 열(C_U , C_U , C_U , $2C_U$, $4C_U$, $8C_U$, $16C_U$, $30C_U$)는 제1 기준 전압(V_{REF+}) 및 제2 기준전압(V_{REF-})을 수신할 수 있다.

[0027] 그리고, 비 이진 가중치 커패시터 열(C_U , C_U , C_U , $2C_U$, $4C_U$, $8C_U$, $16C_U$, $30C_U$)은 입력 신호(VINP, VINN)를 샘플링할 수 있다. 이러한 제2 커패시터 어레이(14)는 비교기(20)의 입력단들(-, +)에 연결될 수 있으며, SAR ADC가 상위 비트들의 디지털 코드를 결정하는데 이용될 수 있다.

[0028] 저항 열(16)은 제1 기준 전압(V_{REF+})과 제2 기준전압(V_{REF-}) 사이의 범위에서 2의 지수 승을 가지는 기준 전압들($1/2V_{REF+}$, $1/2V_{REF-}$, $1/2^2V_{REF+}$, $1/2^2V_{REF-}$, 내지 $1/2^5V_{REF+}$, $1/2^5V_{REF-}$)을 생성할 수 있다.

[0029] 이러한 기준 전압들($1/2V_{REF+}$, $1/2V_{REF-}$, $1/2^2V_{REF+}$, $1/2^2V_{REF-}$, 내지 $1/2^5V_{REF+}$, $1/2^5V_{REF-}$)은 SAR ADC가 하위 비트들의 디지털 코드를 결정하는데 이용될 수 있으며, 제1 커패시터 어레이(12)의 단위 커패시터(C_U)들에 인가될 수 있다.

[0030] C-R 하이브리드 DAC(10)은 제1 기준전압(V_{REF+}), 제2 기준전압(V_{REF-})을 제2 커패시터 어레이(14)에 전달하는 스위치들과 기준 전압들($1/2V_{REF+}$, $1/2V_{REF-}$, $1/2^2V_{REF+}$, $1/2^2V_{REF-}$, 내지 $1/2^5V_{REF+}$, $1/2^5V_{REF-}$)을 제1 커패시터 어레이(12)에 전달하는 스위치들을 포함할 수 있다.

[0031] 그리고, C-R 하이브리드 DAC(10)은 공통모드 전압(VCM)을 제1 커패시터 어레이(12)에 전달하는 스위치들, 공통모드 전압(VCM)을 비교기(20)의 입력단들(-, +)에 전달하는 스위치들, 및 입력 신호(VINP, VINN)를 제1 커패시터 어레이(12)와 제2 커패시터 어레이(14)에 전달하는 부트스트랩핑 스위치들을 포함할 수 있다.

[0032] C-R 하이브리드 DAC(10)은 스위치들의 스위칭에 따라 제1 커패시터 어레이(12) 및 제2 커패시터 어레이(14)를 통해서 입력 신호(VINP, VINN)를 샘플링할 수 있다.

[0033] 그리고, C-R 하이브리드 DAC(10)은 제1 기준전압(V_{REF+}), 제2 기준전압(V_{REF-}), 기준 전압들($1/2V_{REF+}$, $1/2V_{REF-}$, $1/2^2V_{REF+}$, $1/2^2V_{REF-}$, 내지 $1/2^5V_{REF+}$, $1/2^5V_{REF-}$) 및 공통모드 전압(VCM)을 선택적으로 수신할 수 있다.

[0034] 그리고, C-R 하이브리드 DAC(10)은 제1 및 제2 출력 전압들(V_1 , V_2)을 비교기(20)의 입력단들(-, +)에 제공할 수 있다.

[0035] 보다 구체적으로, 제1 커패시터 어레이(12)는 스위치들의 스위칭에 따라 단위 커패시터들(C_U) 중 적어도 하나를 통해서 입력 신호(VINP, VINN)를 샘플링할 수 있고, 2의 지수 승을 가지는 기준 전압들($1/2V_{REF+}$, $1/2V_{REF-}$, $1/2^2V_{REF+}$, $1/2^2V_{REF-}$, 내지 $1/2^5V_{REF+}$, $1/2^5V_{REF-}$) 및 공통모드 전압(VCM)을 선택적으로 수신할 수 있다.

[0036] 제2 커패시터 어레이(14)는 스위치들의 스위칭에 따라 비 이진 가중치 커패시터 열(C_U , C_U , C_U , $2C_U$, $4C_U$, $8C_U$, $16C_U$, $30C_U$)을 통해서 입력 신호(VINP, VINN)를 샘플링할 수 있고, 제1 기준 전압(V_{REF+}) 및 제2 기준전압(V_{REF-})을 선택적으로 수신할 수 있다.

[0037] 이러한 C-R 하이브리드 DAC(10)은 비 이진 가중치 커패시터 열(C_U , C_U , C_U , $2C_U$, $4C_U$, $8C_U$, $16C_U$, $30C_U$) 중 최상위 비트의 $30C_U$ 와 하위 비트의 2개의 단위 커패시터 C_U 를 여유 커패시터로서 사용할 수 있다.

[0038] C-R 하이브리드 DAC(10)은 비 이진 가중치 커패시터 열을 통해 상위 7비트를 결정할 수 있으며, 이진 가중치 저

항 열(16)에서 분배되는 2의 지수 승을 가지는 기준 전압들($1/2V_{REF+}$, $1/2V_{REF-}$, $1/2^2V_{REF+}$, $1/2^2V_{REF-}$, 내지 $1/2^5V_{REF+}$, $1/2^5V_{REF-}$)과 단위 커패시터들을 이용하여 하위 5비트를 결정할 수 있다.

[0039] 또한, C-R 하이브리드 DAC(10)는 $2.0V_{P-P}$ 의 입력신호를 샘플링하기 위해 부트스트래핑 스위치를 포함할 수 있으며, 하단 기관 입력 샘플링을 적용하여 입력신호 크기에 따른 전하 유입 문제를 해결할 수 있다.

[0040] C-R 하이브리드 DAC(10)는 공통모드 전압(VCM) 변화에 따른 동적 오프셋 문제와 DAC의 평균 스위칭 전력 소모를 최소화하기 위해 모노토닉(monotonic) 스위칭 기법에 공통모드 전압 스위칭 기법을 접목시킨 저전력 복합 스위칭 기법을 적용할 수 있으며, 최상위 2개 커패시터 $16C_U$, $30C_U$ 는 공통모드 전압 기반의 스위칭 기법을 적용하기 위해 균등 분할 구조를 적용할 수 있다.

[0041] SAR ADC(100)는 고속 동작을 위해 비동기 방식의 SAR 로직 회로(30)를 포함할 수 있으며, SAR 로직 회로(30)는 SAR 루프 지연 시간을 줄이기 위해 레지스터에서 출력되는 값으로 직접 DAC(10)의 스위치들을 구동할 수 있는 래치 구조의 동적 레지스터를 포함할 수 있다.

[0042] 이는 SAR 로직 회로(30)의 동작 속도 및 안정성을 향상시킴과 동시에 DAC(10)의 스위치들의 스위칭에 필요한 디코더 로직 회로를 제거할 수 있다. 또한, SAR 로직 회로(30)에 디지털 보정회로를 추가하여 비교기(20)의 준안정상태의 영향을 줄일 수 있다.

[0043] 비교기(20)는 C-R 하이브리드 DAC(10)로부터 출력되는 출력 전압들(V_1 , V_2)을 비교할 수 있고, 비교 결과에 따른 출력 데이터를 생성할 수 있다.

[0044] SAR 로직 회로(30)는 비교기(20)로부터 출력 데이터를 수신할 수 있고, 출력데이터를 14비트의 비 이진 디지털 코드로 변환할 수 있다.

[0045] SAR 로직 회로(30)는 C-R 하이브리드 DAC(10)의 스위치들을 제어할 수 있으며, 제2 커패시터 어레이(14)에서 입력신호(V_{INP} , V_{INN})를 샘플링하고 제1 기준전압(V_{REF+}) 및 제2 기준전압(V_{REF-})을 선택적으로 수신하도록 C-R 하이브리드 DAC(10)의 스위치들을 제어하여 상위 비트들의 디지털 코드를 결정할 수 있다.

[0046] SAR 로직 회로(30)는 제1 커패시터 어레이(12)에서 입력신호(V_{INP} , V_{INN})를 샘플링하고 기준 전압들($1/2V_{REF+}$, $1/2V_{REF-}$, $1/2^2V_{REF+}$, $1/2^2V_{REF-}$, 내지 $1/2^5V_{REF+}$, $1/2^5V_{REF-}$)과 공통모드 전압(VCM)을 선택적으로 수신하도록 C-R 하이브리드 DAC(10)의 스위치들을 제어하여 하위 비트들의 디지털 코드를 결정할 수 있다.

[0047] 인코더(40)는 14비트의 비 이진 디지털 코드를 12비트의 이진 디지털 코드로 변환할 수 있다.

[0048] 도 2는 도 1의 C-R 하이브리드 DAC(10)을 도시한다.

[0049] 도 2를 참고하면, SAR ADC(100)의 C-R 하이브리드 DAC(10)은 면적 및 전력 소모를 감소시키기 위한 다양한 회로 설계 기법을 적용하였다.

[0050] C-R 하이브리드 DAC(10)은 공통모드 전압(VCM) 기반의 스위칭 기법을 적용하여 최상위 비트를 결정하는 커패시터($2^{11}C_U$)를 제거하였으며, 저항 열(16) 및 5개의 단위 커패시터(C_U)로 하위 5비트를 결정하는 C-R 하이브리드 DAC 구조를 적용하여 상위 5개의 커패시터($2^{10}C_U$ 내지 2^6C_U)를 추가적으로 제거하였다.

[0051] 이와 같이 C-R 하이브리드 DAC(10) 내 사용되는 C_U 의 총 개수를 68개로 감소시킴으로써, 고해상도를 갖는 SAR ADC(100)에서 가장 큰 면적을 차지하는 블록인 DAC의 면적을 획기적으로 감소시켰다.

[0052] 그리고, C-R 하이브리드 DAC(10)는 비 이진 가중치 SAR 동작을 구현하기 위해 최대 커패시터를 2의 지수 승인 $32C_U$ 를 사용하는 대신 $30C_U$ 를 사용함으로써 두 개의 여유 커패시터 C_U 를 추가적으로 배치하였다.

[0053] 한편, 복합 스위칭 기법에 사용된 공통모드 전압(VCM) 기반의 스위칭 기법을 구현하기 위해 최상위 비트들의 2개 커패시터($16C_U$, $30C_U$)에 균등 분할 커패시터들($8C_U$, $8C_U$ 및 $15C_U$, $15C_U$)를 적용하였으며, 입력신호 레인지 스케일링 기법을 사용하여 총 68개의 C_U 중 64개의 C_U 만을 샘플링 커패시터로 사용하는 것으로 입력신호 범위와 기준 전압 범위를 일치시켰다.

[0054] 도 3은 이진 가중치를 갖는 DAC과 비 이진 가중치를 갖는 DAC의 비트 및 가중치를 설명하기 위한 도면이다.

- [0055] 도 3의 (a)를 참고하면, 이진 가중치를 갖는 C-R 하이브리드 DAC는 7비트 이진 가중치 C-DAC과 저항 열에서 분배되는 10개의 전압을 이용한 5비트 R-DAC으로 구성될 수 있으며, 12비트의 이진 가중치가 스위칭 동작에 따라 결정된 디지털 출력에 할당될 수 있다.
- [0056] 도 3의 (b)를 참고하면, 비 이진 가중치 SAR 동작 기반의 C-R 하이브리드 DAC(10)은 $30C_U$ 가 최상위 커패시터이며, 최상위 커패시터 $30C_U$ 및 2개의 단위 커패시터 C_U 를 여유 커패시터로 사용할 수 있다.
- [0057] 이때, 상위 여유 커패시터에 해당하는 $30C_U$ 를 통해 최상위 비트의 이진 가중치를 비 이진 가중치 30×64 로 감소시킬 수 있으며, 감소된 가중치 2×64 는 하위 여유 커패시터인 2개의 단위 커패시터 C_U 를 통한 스위칭 동작에 따라 결정된 디지털 출력에 할당될 수 있다.
- [0058] 도 4는 이진 가중치를 갖는 DAC과 비 이진 가중치를 갖는 DAC의 동작을 예시한다.
- [0059] 도 4를 참고하면, 4비트를 결정하기 위한 SAR 동작 예시를 나타낸 것으로, 이진 가중치 SAR 동작에서는 도 4의 (a)와 같이 DAC 출력의 결정 범위가 중첩되지 않지만, 비 이진 가중치가 적용된 SAR 동작의 경우 도 4의 (b)와 같이 여유 커패시터들 $3C_U$ 및 $1C_U$ 에 의해 여유 가중치가 생성되어 결정 범위가 중첩될 수 있다. 보다 구체적으로 설명하면 도 5 및 도 6의 설명과 같다.
- [0060] 도 5는 이진 가중치 4비트 SAR 동작을 예시하고, 도 6은 비 이진 가중치 5비트 SAR 동작을 예시한다.
- [0061] 도 5와 같이, 결정 범위가 중첩되지 않는 이진 가중치를 갖는 DAC에서 두 번째 비트를 결정할 때 정작 오류가 발생하는 경우, 정상적인 디지털 코드(1011)가 아닌 잘못된 디지털 코드(1100)가 출력될 수 있다.
- [0062] 반면, 도 6과 같이, 동일한 정작 오류가 비 이진 가중치를 갖는 DAC에서 발생하였을 때, 잔류 전압이 중첩된 결정 범위 내에 존재하는 경우, 오류로 인해 출력된 코드(1011)는 정작 오류가 발생하지 않았을 경우의 정상적인 디지털 코드 (1011)와 같은 값으로 변환되어 해당 오류에 의한 영향을 완화할 수 있다.

수학식 1

$$V_O \times \left\{ 1 - \exp\left(\frac{-t_{s,b}}{\tau}\right) \right\} = V_O \times \left(1 - \frac{1}{2 \times weight} \right)^L$$

$$\Rightarrow t_{s,b} = \ln(2 \times weight) \times \tau \quad (1)$$

[0063]

수학식 2

$$V_O \times \left\{ 1 - \exp\left(\frac{-t_{s,nb}}{\tau}\right) \right\} = V_O \times \left(1 - \frac{overlaprange}{2 \times weight} \right)$$

$$\Rightarrow t_{s,nb} = \ln\left(\frac{2 \times weight}{overlaprange}\right) \times \tau \quad (2)$$

[0064]

- [0065] 수학식 (1)은 이진 가중치를 갖는 DAC의 정작 시간(t_s, b)을 나타내고, 수학식 (2)는 비 이진 가중치를 갖는 DAC의 정작 시간(t_s, nb)을 나타낸다.

- [0066] 여기서, 수식의 V_0 와 τ 는 각각 DAC의 출력 전압 및 시간 상수를 의미한다. 각 수식의 좌측 항은 시간에 따라 정착되는 DAC 출력 전압을 나타내며, 우측 항은 해당 사이클의 가중치에 따른 출력 전압의 정착 범위를 나타낸다. 이러한 수학식은 도 7의 예시와 같이 나타낼 수 있다.

- [0067] 도 7은 DAC의 출력 전압 정착 범위 및 시간을 예시한 도면이다.

- [0068] 도 7을 참고하면, 이진 가중치를 갖는 DAC는 이상적인 정착 전압 레벨에서 $1/2LSB$ 내에 신호가 정착되어야

한다.

- [0069] 비 이진 가중치를 갖는 DAC의 정착 범위는 중첩 범위에 비례하여 증가된 값(예를 들면, 중첩 범위 $\times 1/2\text{LSB}$)을 가질 수 있다.
- [0070] 이러한 정착 범위의 증가로 인해 비 이진 가중치를 갖는 DAC의 정착 시간 (t_s , nb)은 이진 가중치를 갖는 DAC의 정착 시간(t_s , b)보다 감소된 값을 가질 수 있다.
- [0071] 이와 같은 수식적 분석을 통해 도 8과 같이 비 이진 가중치를 갖는 DAC 및 이진 가중치를 갖는 DAC의 각 변환 주기에 따른 정착 시간을 비교한 결과를 얻을 수 있다.
- [0072] 도 8은 DAC 구조에 따른 출력 전압 정착 시간을 비교한 차트이다.
- [0073] 도 8을 참고하면, 이진 가중치를 갖는 DAC(10)에서의 잔류 전압의 최대 정착 시간은 8.32τ 이지만 비 이진 가중치를 갖는 DAC의 경우 4.85τ 로 42% 감소되었다. 또한, 이진 가중치를 갖는 DAC와 비 이진 가중치를 갖는 DAC의 잔류 전압의 총 정착 시간은 각각 54.07τ 와 29.74τ 이다. 비 이진 가중치를 갖는 DAC의 총 정착 시간은 이진 가중치를 갖는 DAC과 비교하여 45% 감소되었다. 즉, 비 이진 가중치를 갖는 DAC는 잔류 전압 최대 정착 시간 및 총 정착 시간 사양을 완화하는 것으로 고속 동작을 용이하게 할 수 있다.
- [0074] 비 이진 디지털 코드를 이진 디지털 코드로 변환하는 인코더(40)는 비 이진 가중치를 이진 가중치 값으로 변환해야 한다. 아래의 수학적 식 (3)은 최상위 비트 (N_{13})의 비 이진 가중치(1920)를 두 개의 이진 가중치 (2048, 128)의 합으로 분해하는 수식이며, 이를 통해 SAR ADC(100)의 인코더(40)를 구현하였다.

수학적 식 3

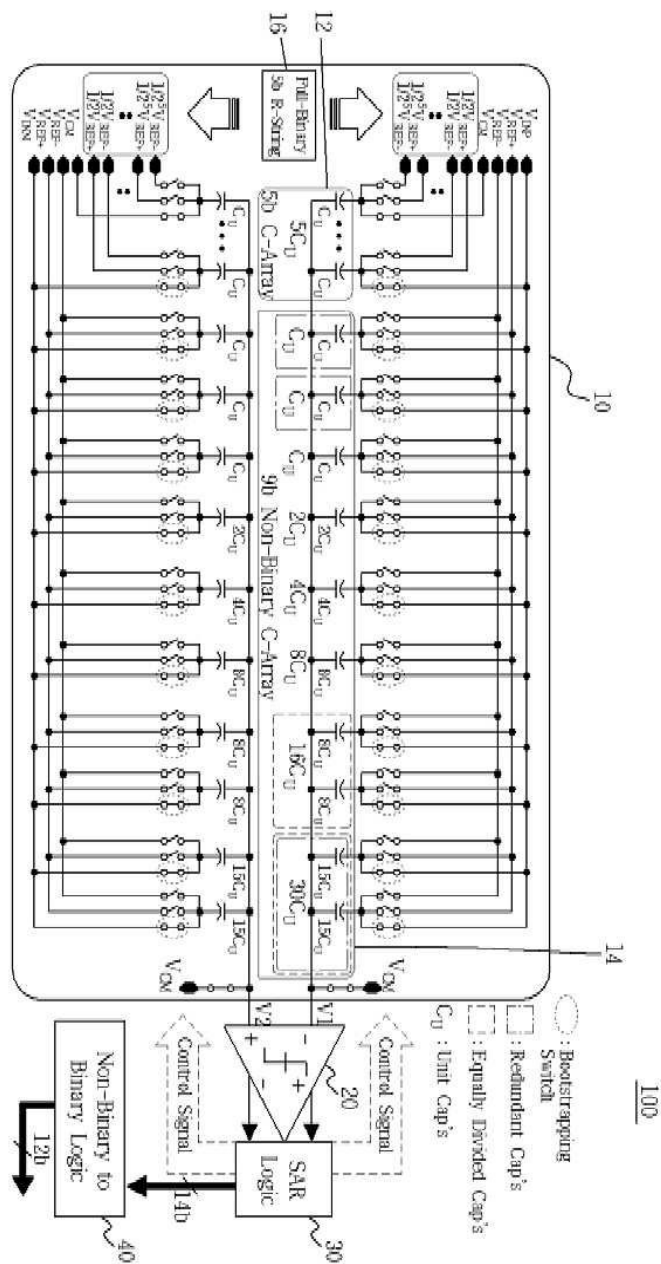
- [0075]
$$1920 \times N_{13} = 2048 \times N_{13} + 128 \times \overline{N_{13}} - 128 \quad (3)$$
- [0076] 도 9는 인코더(40)의 동작 원리를 설명하기 위한 도면이다.
- [0077] 도 9를 참고하면, 인코더(40)는 2개의 가산기를 포함할 수 있으며, 이진 가중치의 합으로 분해된 최상위 비 이진 가중치와 나머지 이진 가중치들을 입력하는 것으로 비 이진 디지털 코드를 이진 디지털 코드로 변환하여 출력할 수 있다.
- [0078] 또한, 음의 가중치인 -128은 2의 보수 표현의 디지털 코드를 입력하는 것으로 구현할 수 있다.
- [0079] 도 10은 동기 방식 SAR ADC의 타이밍도 및 비동기 방식 SAR ADC의 타이밍 도이다.
- [0080] 도 10을 참고하면, 동기 방식의 N비트 SAR ADC는 (a)와 같이 샘플링 동작 후 N번의 변환 과정을 필요로 한다. ADC에 필요한 내부 클럭은 N번의 주기 중 가장 긴 주기를 기반으로 결정된다.
- [0081] 이와 같이 N번의 주기 중 가장 긴 주기를 고려하여 설계한 내부 클럭의 경우에는 일부 주기에서 다음 신호의 클럭을 기다리는 유휴(IDLE) 상태가 존재하게 되는데, 이는 ADC의 고속 동작을 제한한다.
- [0082] 반면, 비동기 방식의 SAR ADC(100)는 도 10의 (b)와 같이 각 주기에서 동작 완료와 함께 다음 주기의 동작을 수행하여 유휴 상태가 존재하지 않기 때문에 고속 동작에 유리할 수 있다.
- [0083] 도 11은 일 실시예에 따른 SAR ADC의 SAR 로직 회로의 블록 도이고, 도 12는 도 11의 SAR 로직 회로에 적용된 동적 레지스터의 회로이다.
- [0084] 도 11 및 도 12을 참고하면, SAR ADC(100)는 SAR 루프 지연 시간에 의해 동작 속도가 제한되는 것을 줄이기 위해 추가적인 디코더 로직 없이 레지스터들(REG0 ~ REG13)에서 출력되는 값으로 직접 DAC(10)의 스위치를 구동할 수 있는 SAR 로직 회로를 포함할 수 있다.
- [0085] 따라서, 레지스터들(REG0 ~ REG13)의 안정성이 SAR 루프 지연 시간에 영향을 주게 되며, 제안하는 SAR ADC(100)는 비교기(20)의 출력과 인에이블 신호($EN<0> \sim EN<13>$)와의 정확한 동기화를 필요로 하는 D 플립플롭 구조의 레지스터를 적용하지 않고, 비교기(20)의 출력이 레지스터를 동작시키는 도 12와 같은 래치 구조의 동적 레지스터를 적용하였다.
- [0086] 또한, 레지스터의 EN 신호가 '1'일 때만 각각의 레지스터들이 비교기(20)의 출력과 연결되므로 비교기(20) 출력

단의 구동 부담을 크게 줄일 수 있다.

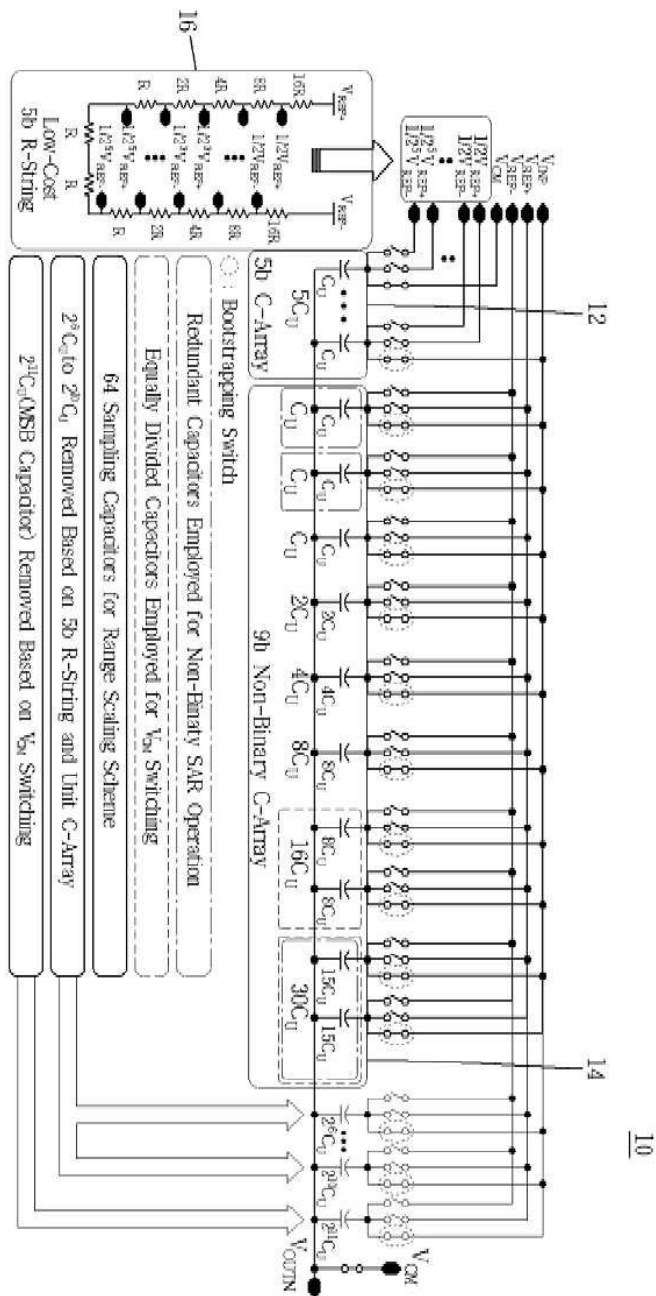
- [0087] 도 13은 도 12의 동적 레지스터의 타이밍 도이다.
- [0088] 도 13을 참고하면, 동적 레지스터(REG)는 RST 신호가 '0'이 되었을 때 리셋을 종료하고, EN 신호가 '1'이 되었을 때 비교기(20)의 출력 데이터(INP 및 INN 신호)를 저장한다. 동적 레지스터(REG)는 래치 구조이므로 비교기(20)의 출력과 인에이블 신호(EN<0> ~ EN<13>)의 상승 엣지를 동기화시킬 필요가 없으며, RST 신호가 '1'이 될 때까지 레지스터에 저장된 값을 유지하므로 DAC(10)의 스위치들을 안정적으로 구동시킬 수 있다.
- [0089] 도 14는 비교기 준안정상태 보정 회로이다.
- [0090] 도 14를 참고하면, SAR ADC(100)는 비교기(20)에 매우 작은 입력 신호가 인가될 때 발생하는 준안정상태에 의해 각 주기의 변환 과정을 수행하는 시간이 길어질 수 있으며, 이는 SAR ADC(100)의 전체 동작 속도 및 성능에 영향을 줄 수 있다.
- [0091] SAR ADC(100)는 특정 주기에서 준안정상태가 발생한 비교기(20)가 준안정상태 없이 정상적으로 비교 동작을 수행할 경우 해당 비트 이하의 디지털 코드가 (100...0) 또는 (011...1)로 출력되는 것을 고려하여, 준안정상태 보정회로를 통해 준안정상태가 발생한 비트 이하의 디지털 코드를 (100...0)으로 보정하는 것으로 비교기 준안정상태의 영향을 줄일 수 있다.
- [0092] 도 15는 비교기 준안정상태 보정 회로의 동작 원리를 설명하기 위한 도면이다.
- [0093] 도 15를 참고하면, 비교기 준안정상태 보정 회로는 비교기가 모든 변환 주기에서 정상 동작하는 경우, 디지털 코드 D<0:13>로서 레지스터에 저장된 T<0:13>을 출력하게 된다.
- [0094] 그리고, 비교기 준안정상태 보정 회로는 비교기의 준안정상태로 인해 변환 동작이 수행되지 않으면 문제가 발생한 주기의 디지털 코드를 '1'로 결정하고, 남은 주기의 디지털 코드를 '0'으로 결정하여 디지털 코드를 (100...0)으로 보정한다. 예를 들어 첫 번째 비트의 디지털 코드가 '1'로 결정되고 두 번째 비트에서 비교기 준안정상태가 발생한 경우 ADC에서 출력되는 12비트 디지털 코드는 (110000000000)이 된다.
- [0095] 이와 같이 SAR ADC(100)는 준안정상태 보정회로를 통해 준안정상태가 발생한 비트 이하의 디지털 코드를 (100...0)으로 보정하는 것으로 비교기 준안정상태의 영향을 줄일 수 있다.
- [0096] 한편, 실시예에 따른 SAR ADC(100)의 C-R 하이브리드 DAC(10)는 사용되는 C_U 의 개수가 68개이며, 이로 인해 입력신호에 따른 각각의 디지털 코드를 결정하기 위한 커패시터 크기의 비율이 2의 지수 승이 되지 않아 입력신호와 기준전압의 범위가 일치하지 않을 수 있다. 이를 해결하기 위해 실시예에 따른 SAR ADC(100)는 도 1 및 도 2와 같이 68개의 C_U 중 64개만을 샘플링 커패시터로 활용하는 입력신호 레인지 스케일링 기법을 적용하였다.
- [0097] 이와 같은 기법을 통해 모든 비트 결정에서 기준전압이 DAC 출력 전압에 주는 영향이 2의 지수 승 비율로 생성되도록 하여 입력신호와 기준전압의 범위를 일치시켰으며, 추가적인 커패시터 및 기준전압을 사용하는 기존의 기준전압 스케일링 기법과 달리 68개의 커패시터만으로 정상적인 SAR 동작을 구현하였다.
- [0098] 상술한 바와 같이, 실시예에 따른 비동기 방식의 SAR ADC는 비 이진 가중치를 갖는 C-R 하이브리드 DAC 구조를 통해서 잔류 전압을 고속으로 정착할 수 있다.
- [0099] 또한, 실시예에 따른 비동기 방식의 SAR ADC는 비 이진 가중치를 갖는 C-R 하이브리드 DAC 구조, 입력신호 레인지 스케일링 기법을 적용하여 면적 및 전력 소모를 감소시킬 수 있다.
- [0100] 또한, 실시예에 따른 비동기 방식의 SAR ADC는 유휴(IDLE) 상태를 제거한 비동기 방식의 SAR 로직을 적용하여 고속 동작을 구현할 수 있다.

도면

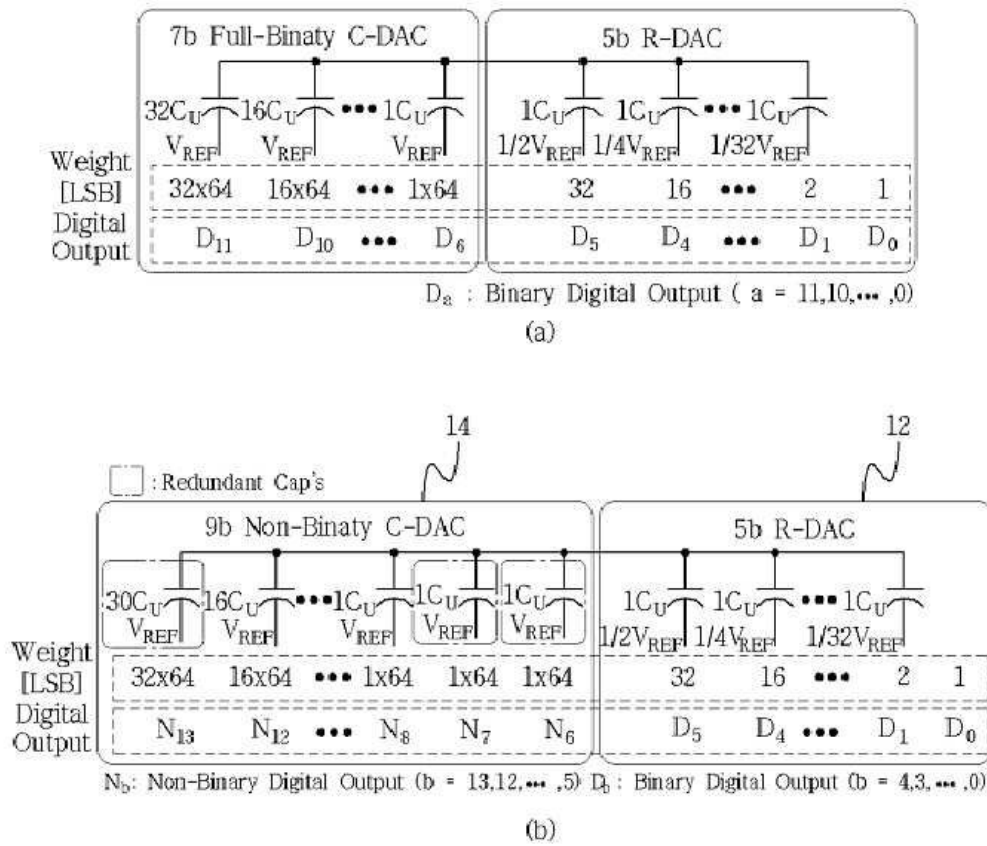
도면1



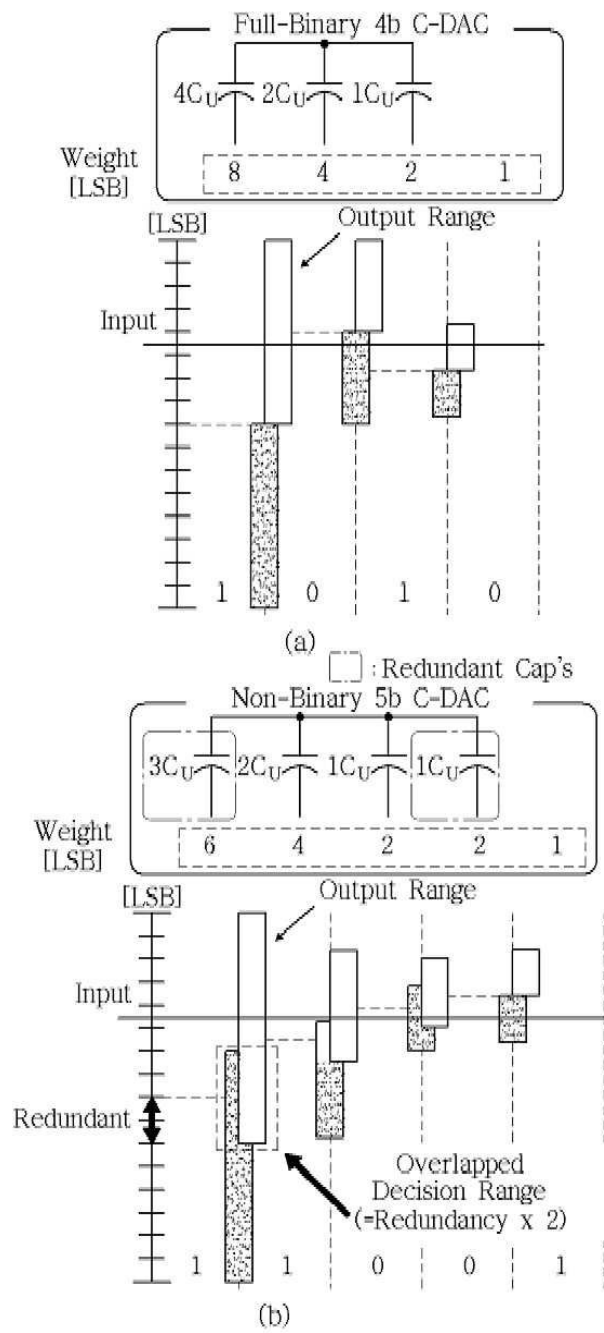
도면2



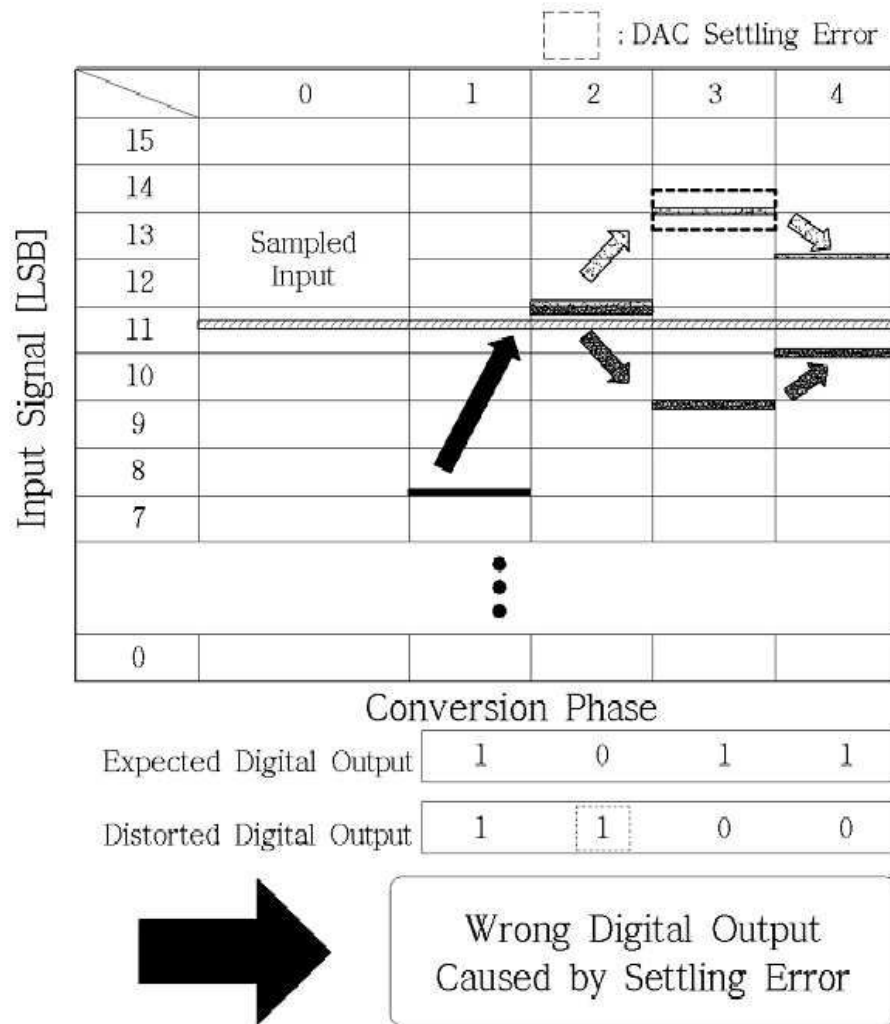
도면3



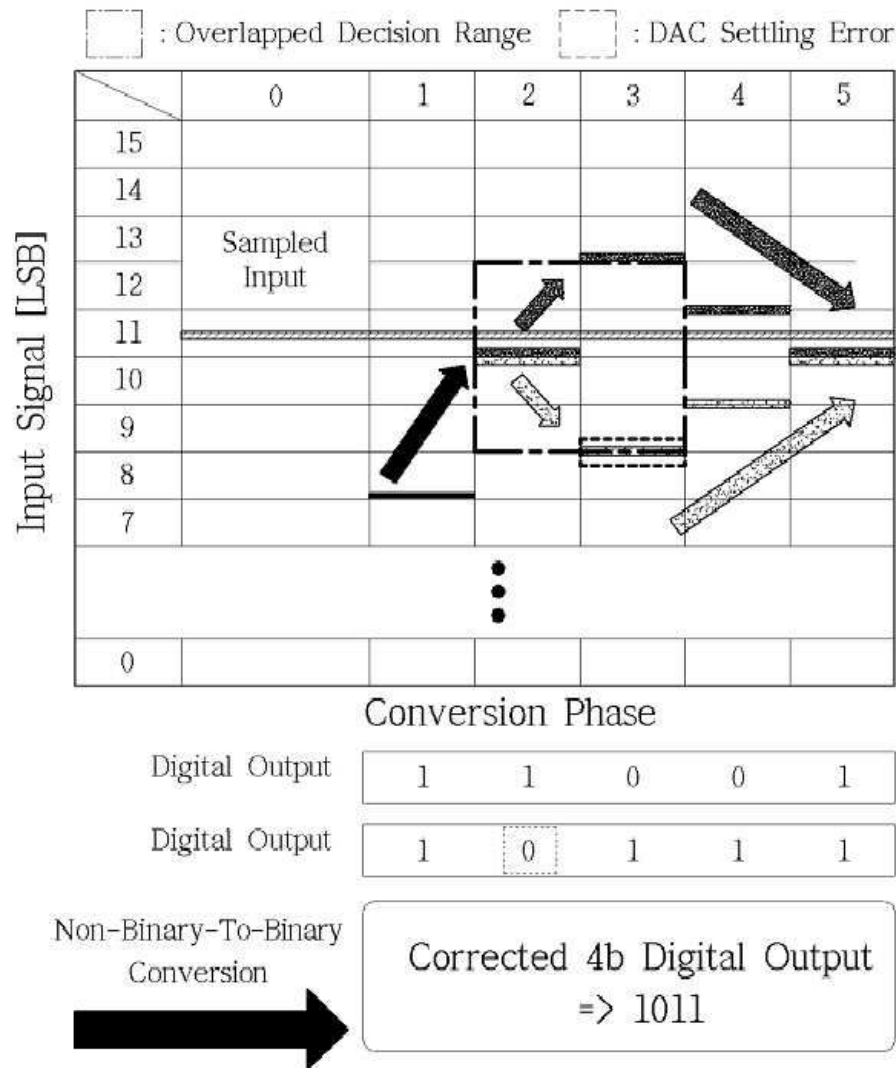
도면4



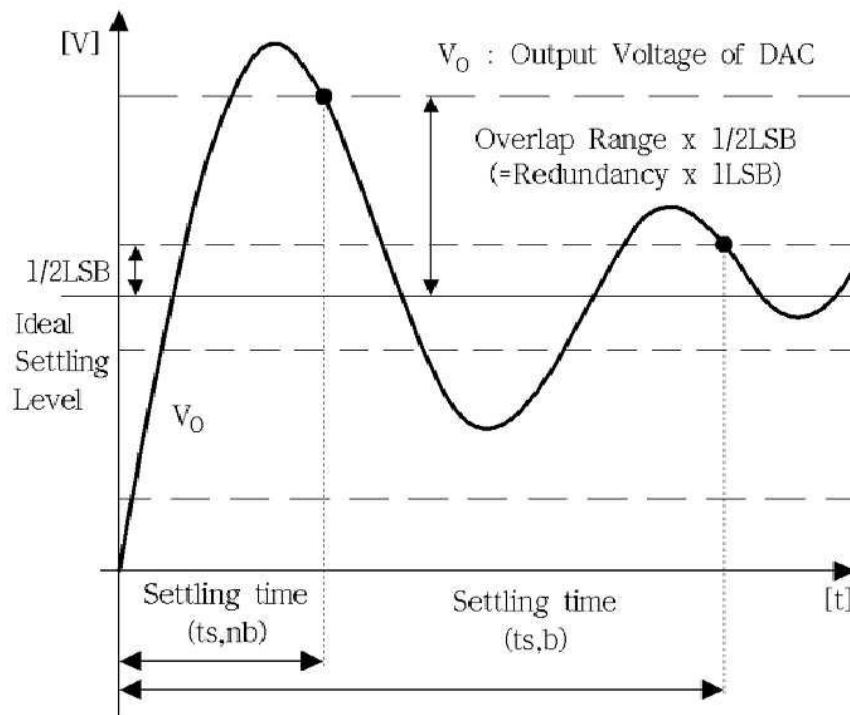
도면5



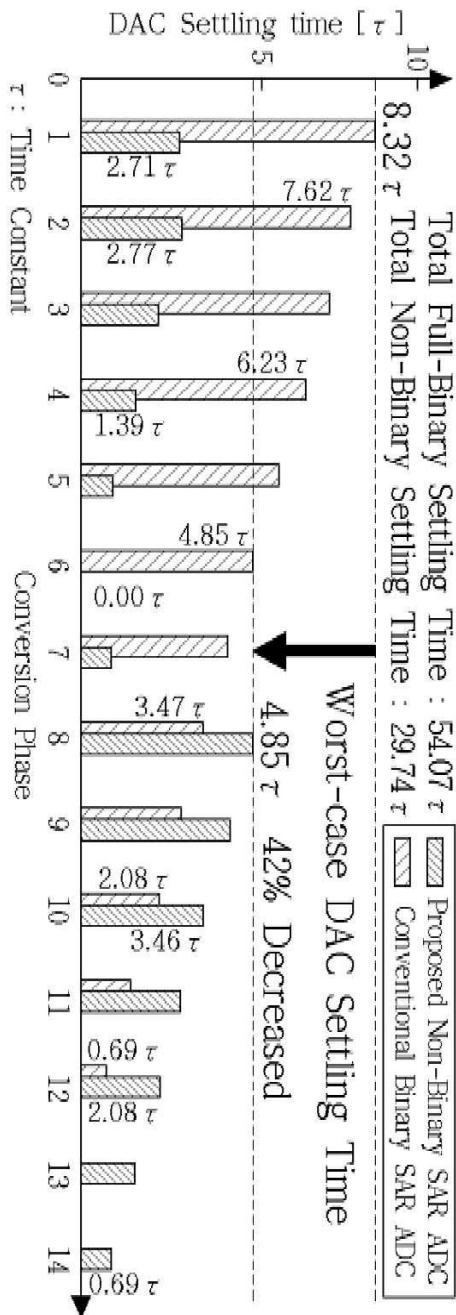
도면6



도면7



도면8



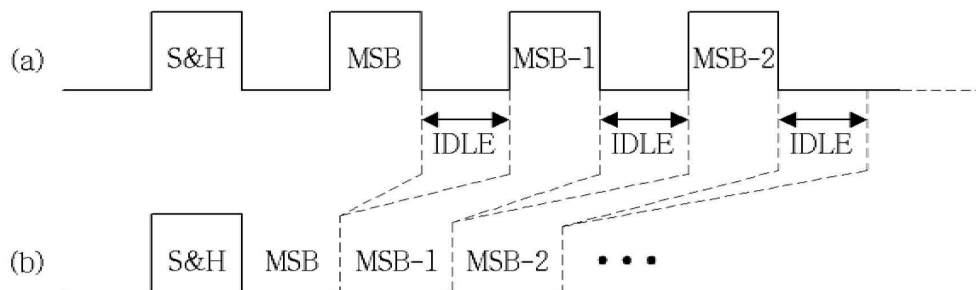
도면9

D_k : Binary Digital Output ($k=11, 10, \dots, 5$)
 N_k : Non-Binary Digital Output ($k=13, 12, \dots, 5$)

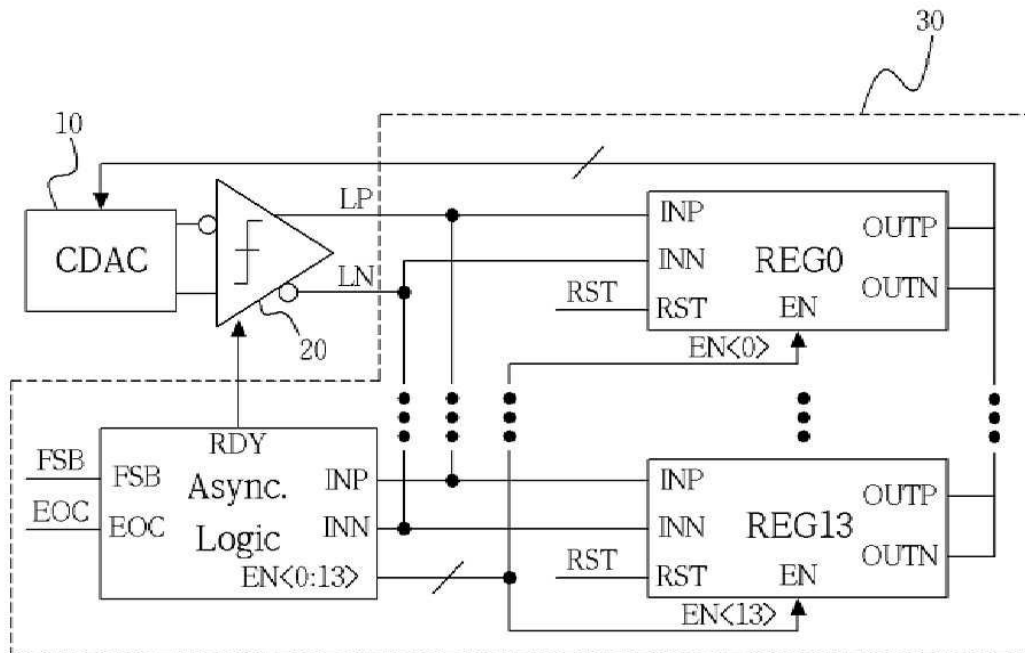
Weight	2048	1024	512	256	128	64	32
	N_{13}	N_{12}	N_{11}	N_{10}	N_9	N_8	N_5
+	0	0	0	0	$\overline{N_{13}}$	N_7	0
+	1	1	1	1	1	N_6	0
Binary Code	D_{11}	D_{10}	D_9	D_8	D_7	D_6	D_5

 : 7b Binary Adder  : -128 in 2's Complementary Value (=111110000000)

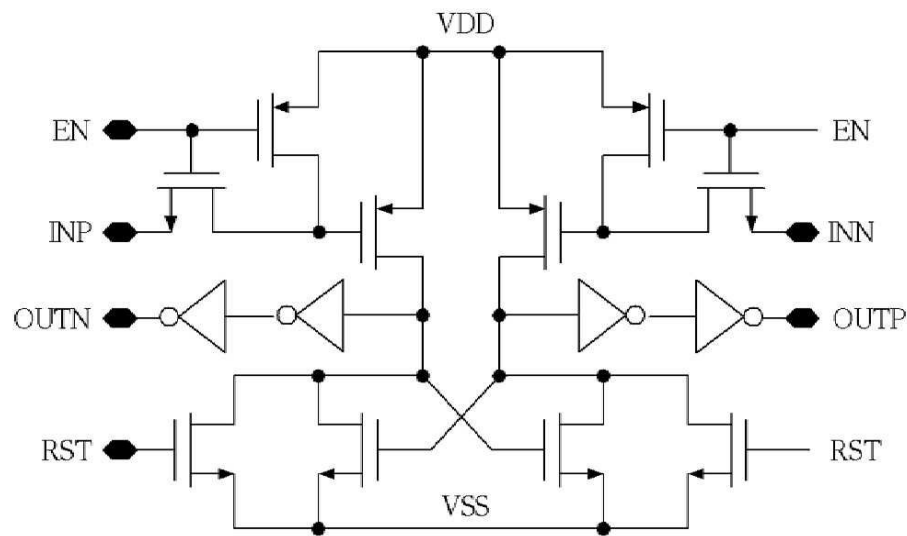
도면10



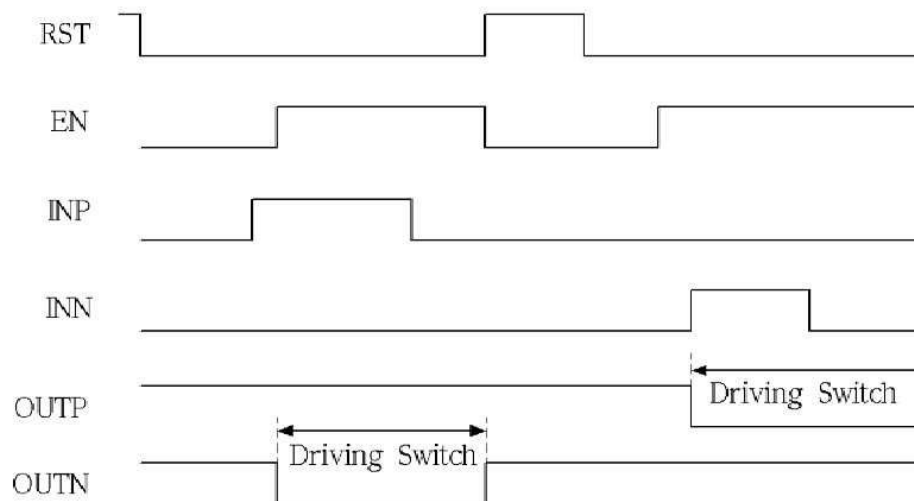
도면11



도면12

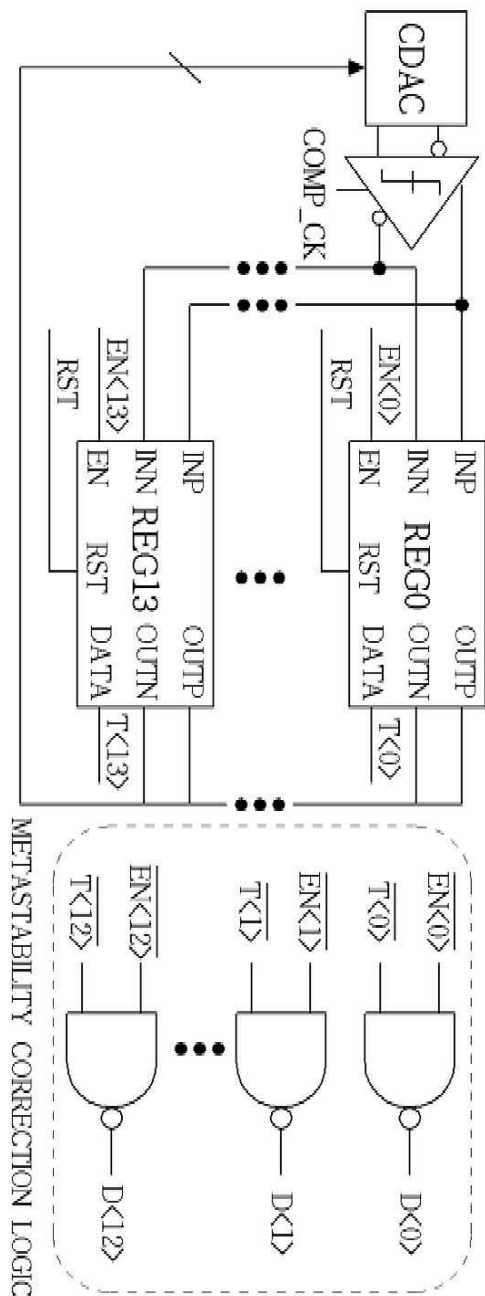


도면13



- * RST for Latch Reset
- * EN for Storing of Waiting Data
- * INP/N from Comparator Outputs

도면14



도면15

