



(12) 发明专利

(10) 授权公告号 CN 101558450 B

(45) 授权公告日 2012. 12. 05

(21) 申请号 200780039749. 5

(22) 申请日 2007. 12. 13

(30) 优先权数据

11/614, 879 2006. 12. 21 US

11/614, 884 2006. 12. 21 US

(85) PCT申请进入国家阶段日

2009. 04. 24

(86) PCT申请的申请数据

PCT/US2007/087481 2007. 12. 13

(87) PCT申请的公布数据

W02008/079725 EN 2008. 08. 14

(73) 专利权人 桑迪士克科技公司

地址 美国德克萨斯州

(72) 发明人 达娜·李 杰弗里·卢策

(74) 专利代理机构 北京律盟知识产权代理有限公司
11287

代理人 刘国伟

(51) Int. Cl.

G11C 16/10(2006. 01)

(56) 对比文件

CN 1670961 A, 2005. 09. 21,

US 6894924 B2, 2005. 05. 17, 说明书第 6 栏
28-31 行, 第 9 栏 64 行 - 第 10 栏 2 行, 第 10 栏
35-36 行、附图 6.

US 20040080980 A1, 2004. 04. 29,

US 20050162924 A1, 2005. 07. 28,

WO 02/096632 A2, 2002. 12. 05,

审查员 陈学元

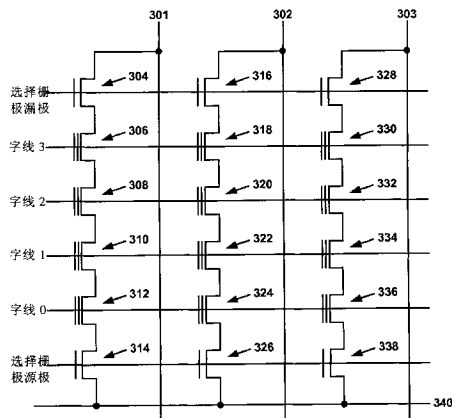
权利要求书 5 页 说明书 7 页 附图 10 页

(54) 发明名称

用于对非易失性存储器单元进行低电压编程的方法及系统

(57) 摘要

一种通过将热载流子从具有耦合到下一相邻字线 WL(n-1) 的栅极节点的注入存储器单元的漏极区注入到字线 WL(n) 上的选定非易失性存储器单元的浮动栅极中来编程存储器阵列中具有耦合到所述字线 WL(n) 的栅极节点及连接到选定位线的漏极节点的所述选定非易失性存储器单元的低电压方法及系统。



1. 一种低电压编程存储器阵列中具有耦合到字线 WL(n) 的栅极节点及连接到选定位线的漏极节点的选定非易失性存储器单元的方法,其包括:

(a) 将热载流子从具有耦合到下一相邻字线 WL(n-1) 的栅极节点的注入存储器单元的漏极区注入到所述字线 WL(n) 上的所述选定非易失性存储器单元的浮动栅极中,其包括:

向除了所述下一相邻字线 WL(n-1) 之外的所有未选定字线施加高通过电压 V_{passH} ;

向所述选定字线 WL(n) 施加编程电压 V_{pgm} ;及

将下一相邻字线 WL(n-1) 栅极节点电压从大约 0V 扫掠到大约 V_{read} 。

2. 如权利要求 1 所述的低电压编程方法,其进一步包括:

(b) 确定所述选定非易失性存储器单元的阈值电压;及

(c) 如果所述阈值电压大于目标阈值电压,那么封锁所述非易失性存储器单元。

3. 如权利要求 2 所述的低电压编程方法,当所述阈值电压小于所述目标阈值电压时,其进一步包括:

将所述选定位线保持为接地;

向所有未选定位线施加 V_{dd} ;

向漏极栅极选择线施加低通过电压 V_{passL} ;

向共用源极线施加 V_{pp} ;及

向源极栅极选择线施加所述高通过电压 V_{passH} 。

4. 如权利要求 3 所述的低电压编程方法,其进一步包括:

递增所述编程电压 V_{pgm} 和所述 V_{passH} 以及 V_{passL} 电压;及

返回到确定 (b)。

5. 如权利要求 3 所述的低电压编程方法,其中所述编程电压 V_{pgm} 的范围是从大约 8V 到大约 14V, V_{passL} 的范围是从大约 4V 到大约 10V, V_{passH} 的范围是从大约 5V 到大约 10V, V_{pp} 的范围是从大约 3.5V 到大约 5.5V 且 V_{dd} 的范围是从大约 1.8V 到大约 3.6V。

6. 如权利要求 2 所述的低电压编程方法,当所述阈值电压小于所述目标阈值电压时,其进一步包括:

将所述选定位线保持在 V_{pp} ;

将所有未选定位线接地;

向源极栅极选择线施加低通过电压 V_{passL} ;及

将共用源极线接地。

7. 如权利要求 5 所述的低电压编程方法,其进一步包括:

递增所述编程电压 V_{pgm} 和所述 V_{passH} 以及 V_{passL} 电压;及

返回到确定 (b)。

8. 如权利要求 6 所述的低电压编程方法,其中所述编程电压 V_{pgm} 的范围是从大约 8V 到大约 14V, V_{passL} 的范围是从大约 4V 到大约 10V, V_{passH} 的范围是从大约 5V 到大约 10V, V_{pp} 的范围是从大约 3.5V 到大约 5.5V, 且 V_{dd} 的范围是从大约 1.8V 到大约 3.6V。

9. 如权利要求 1 所述的低电压编程方法,其中所述存储器阵列是 NAND 型存储器阵列。

10. 一种低电压编程存储器阵列中具有耦合到字线 WL(n) 的栅极节点及连接到选定位线的漏极节点的选定非易失性存储器单元的方法,其包括:

如果所述选定非易失性存储器单元的阈值电压小于目标阈值电压,那么通过以下步骤

编程所述选定非易失性存储器单元，

将所述选定位线保持为接地；

向所有未选定位线施加 V_{dd} ；

向漏极栅极选择线施加低通过电压 V_{passL} ；

向共用源极线施加 V_{pp} ；

向除了下一相邻字线 $WL(n-1)$ 之外的所有未选定字线施加高通过电压 V_{passH} ；

向源极栅极选择线施加所述高通过电压 V_{passH} ；

向所述选定字线 $WL(n)$ 施加编程电压 V_{pgm} ；及

将下一相邻字线 $WL(n-1)$ 栅极节点电压从大约 0V 扫掠到大约 V_{read} ，其中将热载流子从具有耦合到下一相邻字线 $WL(n-1)$ 的栅极节点的注入存储器单元的漏极区注入到所述字线 $WL(n)$ 上的所述选定非易失性存储器单元的浮动栅极中。

11. 如权利要求 10 所述的低电压编程方法，其进一步包括：

如果所述阈值电压大于所述目标阈值电压，那么封锁所述非易失性存储器单元。

12. 如权利要求 11 所述的低电压编程方法，其进一步包括：

递增所述编程电压 V_{pgm} 和所述 V_{passH} 以及 V_{passL} 电压；及

如果所述阈值电压小于所述目标阈值电压，那么继续所述非易失性存储器单元的所述编程，否则封锁所述非易失性存储器单元。

13. 如权利要求 12 所述的低电压编程方法，其中所述编程电压 V_{pgm} 的范围是从大约 8V 到大约 14V， V_{passL} 的范围是从大约 4V 到大约 10V， V_{passH} 的范围是从大约 5V 到大约 10V， V_{pp} 的范围是从大约 3.5V 到大约 5.5V 且 V_{dd} 的范围是从大约 1.8V 到大约 3.6V。

14. 一种低电压编程存储器阵列中具有耦合到字线 $WL(n)$ 的栅极节点及连接到选定位线的漏极节点的选定非易失性存储器单元的方法，其包括：

如果所述选定非易失性存储器单元的阈值电压小于目标阈值电压，那么通过以下步骤编程所述选定非易失性存储器单元，

将所述选定位线保持在 V_{pp} ；

将所有未选定位线接地；

向漏极栅极选择线及除了下一相邻字线 $WL(n-1)$ 之外的未选定字线施加高通过电压 V_{passH} ；

向源极栅极选择线施加低通过电压 V_{passL} ；

将共用源极线接地；

向所述选定字线 $WL(n)$ 施加编程电压 V_{pgm} ；及

将下一相邻字线 $WL(n-1)$ 栅极节点电压从大约 0V 扫掠到大约 V_{read} ，其中热载流子从具有耦合到下一相邻字线 $WL(n-1)$ 的栅极节点的注入存储器单元的漏极区注入到所述字线 $WL(n)$ 上的所述选定非易失性存储器单元的浮动栅极中。

15. 如权利要求 14 所述的低电压编程方法，其进一步包括：

如果所述阈值电压大于所述目标阈值电压，那么封锁所述非易失性存储器单元。

16. 如权利要求 15 所述的低电压编程方法，其进一步包括：

递增所述编程电压 V_{pgm} 和所述 V_{passH} 以及 V_{passL} 电压；及

如果所述阈值电压小于所述目标阈值电压，那么继续所述非易失性存储器单元的所述

编程,否则封锁所述非易失性存储器单元。

17. 如权利要求 16 所述的低电压编程方法,其中所述编程电压 V_{pgm} 的范围是从大约 8V 到大约 14V, V_{passL} 的范围是从大约 4V 到大约 10V, V_{passH} 的范围是从大约 5V 到大约 10V, V_{pp} 的范围是从大约 3.5V 到大约 5.5V 且 V_{dd} 的范围是从大约 1.8V 到大约 3.6V。

18. 如权利要求 14 所述的低电压编程方法,其中所述存储器阵列为 NAND 型存储器阵列。

19. 一种用于提供对存储器阵列中具有耦合到字线 WL(n) 的栅极节点及连接到选定位线的漏极节点的选定非易失性存储器单元进行低电压编程的系统,其包括:

(a) 用于将热载流子从具有耦合到下一相邻字线 WL(n-1) 的栅极节点的注入存储器单元的漏极区注入到所述字线 WL(n) 上的所述选定非易失性存储器单元的浮动栅极中的装置,其包括:

用于向除了所述下一相邻字线 WL(n-1) 之外的所有未选定字线施加高通过电压 V_{passH} 的装置;

用于向所述选定字线 WL(n) 施加编程电压 V_{pgm} 的装置;及

用于将下一相邻字线 WL(n-1) 栅极节点电压从大约 0V 扫掠到大约 V_{read} 的装置。

20. 如权利要求 19 所述的系统,其进一步包括:

(b) 用于确定所述选定非易失性存储器单元的阈值电压的装置;及

(c) 用于如果所述阈值电压大于目标阈值电压就封锁所述非易失性存储器单元的装置。

21. 如权利要求 20 所述的系统,其进一步包括:当所述阈值电压小于所述目标阈值电压时,

用于将所述选定位线保持为接地的装置;

用于向所有未选定位线施加 V_{dd} 的装置;

用于向漏极栅极选择线施加低通过电压 V_{passL} 的装置;

用于向共用源极线施加 V_{pp} 的装置;及

用于向源极栅极选择线施加所述高通过电压 V_{passH} 的装置。

22. 如权利要求 21 所述的系统,其进一步包括:

用于递增所述编程电压 V_{pgm} 和所述 V_{passH} 以及 V_{passL} 电压的装置;及

用于返回到确定 (b) 的装置。

23. 如权利要求 21 所述的系统,其中所述编程电压 V_{pgm} 的范围是从大约 8V 到大约 14V, V_{passL} 的范围是从大约 4V 到大约 10V, V_{passH} 的范围是从大约 5V 到大约 10V, V_{pp} 的范围是从大约 3.5V 到大约 5.5V 且 V_{dd} 的范围是从大约 1.8V 到大约 3.6V。

24. 如权利要求 20 所述的系统,其进一步包括:当所述阈值电压小于所述目标阈值电压时,

用于将所述选定位线保持在 V_{pp} 的装置;

用于将所有未选定位线接地的装置;

用于向源极栅极选择线施加低通过电压 V_{passL} 的装置;及

用于将共用源极线接地的装置。

25. 如权利要求 23 所述的系统,其进一步包括:

用于递增所述编程电压 V_{pgm} 和所述 V_{passH} 以及 V_{passL} 电压的装置；及
用于返回到确定 (b) 的装置。

26. 如权利要求 24 所述的系统,其中所述编程电压 V_{pgm} 的范围是从大约 8V 到大约 14V, V_{passL} 的范围是从大约 4V 到大约 10V, V_{passH} 的范围是从大约 5V 到大约 10V, V_{pp} 的范围是从大约 3.5V 到大约 5.5V 且 V_{dd} 的范围是从大约 1.8V 到大约 3.6V。

27. 一种用于提供对存储器阵列中具有耦合到字线 WL(n) 的栅极节点及连接到选定位线的漏极节点的选定非易失性存储器单元进行低电压编程的系统,其包括:

用于如果所述选定非易失性存储器单元的阈值电压小于目标阈值电压就编程所述选定非易失性存储器单元的装置,其包括:

用于将所述选定位线保持为接地的装置;

用于向所有未选定位线施加 V_{dd} 的装置;

用于向漏极栅极选择线施加低通过电压 V_{passL} 的装置;

用于向共用源极线施加 V_{pp} 的装置;

用于向除了下一相邻字线 WL(n-1) 之外的所有未选定字线施加高通过电压 V_{passH} 的装置;

用于向源极栅极选择线施加所述高通过电压 V_{passH} 的装置;

用于向所述选定字线 WL(n) 施加编程电压 V_{pgm} 的装置;及

用于将下一相邻字线 WL(n-1) 栅极节点电压从大约 0V 扫掠到大约 V_{read} 的装置,其中将热载流子从具有耦合到下一相邻字线 WL(n-1) 的栅极节点的注入存储器单元的漏极区注入到所述字线 WL(n) 上的所述选定非易失性存储器单元的浮动栅极中,及

用于如果所述阈值电压大于目标阈值电压就封锁所述非易失性存储器单元的装置。

28. 如权利要求 27 所述的系统,其进一步包含:

用于递增所述编程电压 V_{pgm} 和所述 V_{passH} 以及 V_{passL} 电压的装置,及

用于如果所述阈值电压小于所述目标阈值电压就继续所述非易失性存储器单元的所述编程的装置。

29. 如权利要求 27 所述的系统,其中所述编程电压 V_{pgm} 的范围是从大约 8V 到大约 14V, V_{passL} 的范围是从大约 4V 到大约 10V, V_{passH} 的范围是从大约 5V 到大约 10V, V_{pp} 的范围是从大约 3.5V 到大约 5.5V 且 V_{dd} 的范围是从大约 1.8V 到大约 3.6V。

30. 如权利要求 27 所述的系统,其中所述存储器阵列为 NAND 型存储器阵列。

31. 一种用于提供对存储器阵列中具有耦合到字线 WL(n) 的栅极节点及连接到选定位线的漏极节点的选定非易失性存储器单元进行低电压编程的系统,其包括:

用于如果所述选定非易失性存储器单元的阈值电压小于目标阈值电压就编程所述选定非易失性存储器单元的装置,其包括:

用于将所述选定位线保持在 V_{pp} 的装置;

用于将所有未选定位线接地的装置;

用于向漏极栅极选择线及除了下一相邻字线 WL(n-1) 之外的未选定字线施加高通过电压 V_{passH} 的装置;

用于向源极栅极选择线施加低通过电压 V_{passL} 的装置;

用于将共用源极线接地的装置;

用于向所述选定字线 WL(n) 施加编程电压 V_{pgm} 的装置, 及

用于将下一相邻字线 WL(n-1) 栅极节点电压从大约 0V 扫掠到大约 V_{read} 的装置, 其中热载流子从具有耦合到下一相邻字线 WL(n-1) 的栅极节点的注入存储器单元的漏极区注入到所述字线 WL(n) 上的所述选定非易失性存储器单元的浮动栅极中, 及

用于如果所述阈值电压大于目标阈值电压就封锁所述非易失性存储器单元的装置。

32. 如权利要求 31 所述的系统, 其进一步包含:

用于递增所述编程电压 V_{pgm} 和所述 V_{passH} 以及 V_{passL} 电压的装置, 及

用于如果所述阈值电压小于所述目标阈值电压就继续所述非易失性存储器单元的所述编程的装置。

33. 如权利要求 31 所述的系统, 其中所述编程电压 V_{pgm} 的范围是从大约 8V 到大约 14V, V_{passL} 的范围是从大约 4V 到大约 10V, V_{passH} 的范围是从大约 5V 到大约 10V, V_{pp} 的范围是从大约 3.5V 到大约 5.5V 且 V_{dd} 的范围是从大约 1.8V 到大约 3.6V。

34. 如权利要求 31 所述的系统, 其中所述存储器阵列为 NAND 型存储器阵列。

用于对非易失性存储器单元进行低电压编程的方法及系统

技术领域

[0001] 本发明通常涉及用于编程存储器装置的技术。更特定来说,本发明涉及使用源极侧注入的低电压编程方案。

背景技术

[0002] 非易失性半导体存储器装置,且特定来说快闪存储器装置正成为越来越受欢迎的用于小装置(例如,数码相机、MP3 播放器、蜂窝式电话、个人数字助理(PDA)、膝上型计算机等)的存储构件。其它形式的非易失性存储器包含 EPROM(电可编程只读存储器)及 EEPROM(电可擦除及可编程只读存储器)。

[0003] 不同于标准的 MOS 晶体管,快闪存储器单元晶体管含有浮动栅极,所述浮动栅极为电隔离且位于控制栅极与通常 p- 类型衬底之间。对存储器单元进行编程引起作为电子穿过绝缘介电层被注入到浮动栅极中的结果的晶体管阈值上升到正值。相反,擦除引起作为电子从浮动栅极中被移除的结果的晶体管阈值降低到负值。以此方式,存储器单元的阈值指示其对应的逻辑状态。编程通常是通过使用三种主要机制中的一者来实现:福乐-诺德汉(Fowler-Nordheim)(FN)隧穿效应、源极侧(热电子)注入(SSI)及沟道或衬底热电子注入(CHEI 或 SHEI)。

[0004] 当编程存储器单元串时,存在往往引起非故意编程或擦除的各种扰乱机制。当试图编程字线上的一个单元而不编程同一字线上的其它单元时,此问题尤其重要。由于在对选定单元进行编程期间向字线上的所有单元施加编程电压,因此存在也可将未选定单元不注意地编程(或擦除)的可能性。此外,由于装置在大小上按比例缩小所致的较高电场及源极及漏极结变得愈加突变,可导致扰乱,例如引起栅极诱发漏极泄漏(GIDL)的漏极结击穿,借此电子泄漏到升压沟道中且特定来说泄漏到漏极结中。额外地,高电场也可导致通过 FN 隧穿效应、SSI 及 CHEI 对未选定单元进行非故意编程。

[0005] 例如自身升压、局域自身升压(LSB)及经擦除区域自身升压(EASB)的各种技术具有改善的编程扰乱抑制,但其仍遭受其自身的问题且不能在所有实例中防止编程扰乱。例如,在 EASB 中,如果向未选定字线施加的电压太低,那么沟道升压可不足以防止编程扰乱。相反,如果此电压太高,那么将存在作为隧穿效应的结果的对未选定字线上的存储器单元的非故意编程。上述三种技术(及其它已知但本文中未进行描述的技术)也遭受相依赖于是否编程源极侧相邻单元的扰乱机制。例如,如果编程源极侧相邻单元,那么其在浮动栅极上将具有负电荷。由于源极侧邻居的控制栅极处于 0V,因此在所述栅极下方形成经高度反向偏置的结。此可导致引起升压电势减少的 GIDL 现象,从而可最终导致编程扰乱(在此情况为擦除)。相反,如果擦除源极侧邻居,那么其阈值电压可能为负且单元的晶体管可不关断。

[0006] 随着 NAND 存储器装置按比例缩小到更小的几何形状,部分地由于由高电压及所得高电场所导致的栅极及沟道上的应力所致,这些及其它编程问题对于选定及被抑制单元两者而言变得更加疑难。典型的 NAND 存储器制造者尝试着使用多种方法来管理高电压及

电场,例如紧密分布、某些特征的选择性非按比例缩放或异物的引入。还有其它方法利用在低电压下的源极侧注入,遗憾的是,这些方法需要大的存储器单元、复杂的制造过程或所述两者。

[0007] 因此,所需要的是低电压非易失性存储器编程协议。

发明内容

[0008] 为实现本发明的前述及其它目标,本发明描述一种编程非易失性存储器单元的低电压方法。所描述的低电压编程方法是适合可靠地编程选定存储器单元同时消除编程扰乱的更强大协议。

[0009] 在本发明的一个方面中,所述编程存储器阵列中具有耦合到字线 WL(n) 的栅极节点及连接到选定位线的漏极节点的选定非易失性存储器单元的低电压方法包含至少以下操作:将热载流子从具有耦合到下一相邻字线 WL(n-1) 的栅极节点的注入存储器单元的漏极区注入到所述字线 WL(n) 上的所述选定非易失性存储器单元的浮动栅极中。

[0010] 在一个实施例中,向所述选定字线 WL(n) 施加 V_{pgm} ;将所述选定位线保持为接地;向除了所述下一相邻字线 WL(n-1) 之外的所有未选定字线施加高通过电压 V_{passH} ;向源极栅极选择(SGS) 线也施加所述高通过电压 V_{passH} ;将所有未选定位线接地;向共用源极线施加高电压 V_{pp} ;及将下一相邻字线 WL(n-1) 栅极节点电压从大约 0V 扫掠到大约 V_{read} 。

[0011] 在另一实施例中,向所述选定字线 WL(n) 施加 V_{pgm} ;将所述选定位线保持在 V_{pp} ;向除了所述下一相邻字线 WL(n-1) 之外的所有未选定字线施加高通过电压 V_{passH} ;向漏极栅极选择(SGD) 线也施加所述高通过电压 V_{passH} ;将所有未选定位线接地;将共用源极线接地;及将下一相邻字线 WL(n-1) 栅极节点电压从大约 0V 扫掠到大约 V_{read} 。

[0012] 在本发明的另一方面中,一种编程存储器阵列中具有耦合到字线 WL(n) 的栅极节点及连接到选定位线的漏极节点的选定非易失性存储器单元的低电压方法至少包含以下操作:如果所述选定非易失性存储器单元的阈值电压小于目标阈值电压,那么通过以下步骤编程所述选定非易失性存储器单元:将所述选定位线保持为接地;向所有未选定位线施加 V_{dd} ;向 SGD 线施加低通过电压 V_{passL} ;向共用源极线施加 V_{pp} ;向除了所述下一相邻字线 WL(n-1) 之外的所有未选定字线施加高通过电压 V_{passH} ;向源极栅极选择(SGS) 线施加所述高通过电压 V_{passH} ;向所述选定字线 WL(n) 施加 V_{pgm} ;及将下一相邻字线 WL(n-1) 栅极节点电压从大约 0V 扫掠到大约 V_{read} ,其中将热载流子从具有耦合到下一相邻字线 WL(n-1) 的栅极节点的注入存储器单元的漏极区注入到所述字线 WL(n) 上的所述选定非易失性存储器单元的浮动栅极中。

[0013] 在本发明的又另一方面中,一种编程存储器阵列中具有耦合到字线 WL(n) 的栅极节点及连接到选定位线的漏极节点的选定非易失性存储器单元的低电压方法,其包含至少以下操作:如果所述选定非易失性存储器单元的阈值电压小于目标阈值电压,那么通过以下步骤编程所述选定非易失性存储器单元:将所述选定位线保持在 V_{pp} ;将所有未选定位线接地;向 SGD 线及除了所述下一相邻字线 WL(n-1) 之外的未选定字线施加高通过电压 V_{passH} ;向 SGS 线施加低通过电压 V_{passL} ;将共用源极线接地;向所述选定字线 WL(n) 施加 V_{pgm} ;及将下一相邻字线 WL(n-1) 栅极节点电压从大约 0V 扫掠到大约 V_{read} ,其中将热载流子从具有耦合到下一相邻字线 WL(n-1) 的栅极节点的注入存储器单元的漏极区注入到所

述字线 WL(n) 上的所述选定非易失性存储器单元的浮动栅极中。在本发明的一个方面中,描述一种用于提供对存储器阵列中具有耦合到字线 WL(n) 的栅极节点及连接到选定位线的漏极节点的选定非易失性存储器单元进行低电压编程的系统,其包含:编程模块;接口,其经布置以将所述存储器阵列电耦合到所述编程模块;及处理器,其包含在所述编程模块中且电耦合到所述接口,所述处理器用于执行致使将热载流子从具有耦合到下一相邻字线 WL(n-1) 的栅极节点的注入存储器单元的漏极区注入到所述字线 WL(n) 上的所述选定非易失性存储器单元的浮动栅极中的编程指令。

[0014] 在一个实施例中,向所述选定字线 WL(n) 施加 V_{pgm} ;将所述选定位线保持为接地;向除了所述下一相邻字线 WL(n-1) 之外的所有未选定字线施加高通过电压 V_{passH} ;向源极栅极选择 (SGS) 线也施加所述高通过电压 V_{passH} ;将所有未选定位线接地;向共用源极线施加高电压 V_{pp} ;及将下一相邻字线 WL(n-1) 栅极节点电压从大约 0V 扫掠到大约 V_{read} 。

[0015] 在另一实施例中,向所述选定字线 WL(n) 施加 V_{pgm} ;将所述选定位线保持在 V_{pp} ;向除了所述下一相邻字线 WL(n-1) 之外的所有未选定字线施加高通过电压 V_{passH} ;向漏极栅极选择 (SGD) 线也施加所述高通过电压 V_{passH} ;将所有未选定位线接地;将共用源极线接地;及将下一相邻字线 WL(n-1) 栅极节点电压从大约 0V 扫掠到大约 V_{read} 。

[0016] 在本发明的另一方面中,一种用于提供对存储器阵列中具有耦合到字线 WL(n) 的栅极节点及连接到选定位线的漏极节点的选定非易失性存储器单元进行低电压编程的系统,其包含至少:编程模块;接口,其经布置以将所述存储器阵列电耦合到所述编程模块;及处理器,其包含在所述编程模块中且电耦合到所述接口,所述处理器用于仅在所述选定非易失性存储器单元的阈值电压小于目标阈值电压的情况下执行包含以下操作的编程指令:将所述选定位线保持为接地;向所有未选定位线施加 V_{dd} ;向 SGD 线施加低通过电压 V_{passL} ;向共用源极线施加 V_{pp} ;向除了所述下一相邻字线 WL(n-1) 之外的所有未选定字线施加高通过电压 V_{passH} ;向源极栅极选择 (SGS) 线施加所述高通过电压 V_{passH} ;向所述选定字线 WL(n) 施加 V_{pgm} 及将下一相邻字线 WL(n-1) 栅极节点电压从大约 0V 扫掠到大约 V_{read} ,借此致使将热载流子从具有耦合到下一相邻字线 WL(n-1) 的栅极节点的注入存储器单元的漏极区注入到所述字线 WL(n) 上的所述选定非易失性存储器单元的浮动栅极中,否则,如果所述阈值电压大于目标阈值电压,那么封锁所述非易失性存储器单元。

[0017] 在本发明的又另一方面中,一种用于提供对存储器阵列中具有耦合到字线 WL(n) 的栅极节点及连接到选定位线的漏极节点的选定非易失性存储器单元进行低电压编程的系统,其包含至少:编程模块;接口,其经布置以将所述存储器阵列电耦合到所述编程模块;及处理器,其包含在所述编程模块中且电耦合到所述接口,所述处理器用于仅在所述选定非易失性存储器单元的阈值电压小于目标阈值电压的情况下执行包含以下操作的编程指令:将所述选定位线保持在 V_{pp} ;将所有未选定位线接地;向 SGD 线及除了所述下一相邻字线 WL(n-1) 之外的未选定字线施加高通过电压 V_{passH} ;向 SGS 线施加低通过电压 V_{passL} ;将共用源极线接地;向所述选定字线 WL(n) 施加 V_{pgm} ;及当所述阈值电压小于所述目标电压时将下一相邻字线 WL(n-1) 栅极节点电压从大约 0V 扫掠到大约 V_{read} ,借此致使将热载流子从具有耦合到下一相邻字线 WL(n-1) 的栅极节点的存储器单元的漏极区注入到所述字线 WL(n) 上的所述选定非易失性存储器单元的浮动栅极中,否则在所述阈值电压大于目标阈值电压时,封锁所述非易失性存储器单元。

[0018] 在所描述的实施例中,所述非易失性存储器单元是经布置以形成适合存储数据的非易失性存储器阵列的多个非易失性存储器单元中的一者。将所述非易失性存储器阵列布置成具有多个字线及位线的 NAND 型存储器阵列架构。额外地,构想所描述的方法用在多层级类型存储器阵列上,其在对其进行编程时,以至少一个下页及至少一个相关联上页的形式存储数据。

附图说明

[0019] 通过结合附图参照下文说明可最佳地理解本发明及其其它目标及优点。

[0020] 图 1 图解说明具有浮动栅极的实例性 MOSFET。

[0021] 图 2 图解说明实例性非易失性存储器串。

[0022] 图 3 图解说明实例性非易失性存储器阵列。

[0023] 图 4 显示图解说明根据本发明实施例编程非易失性存储器单元的低电压方法的流程图。

[0024] 图 5 显示图 4 中所述的编程的图示。

[0025] 图 6 图解说明根据图 4 及 5 中所述的本发明实施例的代表性低电压编程电压偏置值。

[0026] 图 7 显示图解说明根据本发明实施例使用源极侧注入 (SSI) 使用下一相邻字线 WL(n-1) 作为热载流子注入极来编程位于字线 WL(n) 上的非易失性存储器单元的方法的流程图。

[0027] 图 8 显示图 7 中所述的编程的图示。

[0028] 图 9A 及 9B 图解说明根据相关于图 7 及 8 所述的本发明实施例的代表性低电压编程波形。

[0029] 在所述图式中,相同参考编号表示相同结构元件。同样,应理解所述图中的描绘未必按照比例。

[0030] 具体实施方式

[0031] 在下文说明中,阐述大量具体细节以提供对本发明的透彻理解。然而,所属领域的技术人员将明了:无需某些或全部所述具体细节也可实施本发明。在以下说明中,使用下一相邻字线作为用于提供热载流子的注入极来编程存储器单元。目的是使用低电压偏置来防止且因此大体上消除与高电压、小几何形状及所得的高电场有关的编程问题。

[0032] 参照图 1、2 及 3,将描述代表性非易失性存储器存储阵列。尽管在所描述的实施例中,非易失性存储器存储系统是具有 NAND 架构的快闪存储器芯片,但本发明可适用于其它形式的非易失性存储器(包含 EPROM 及 EEPROM)且额外地同样适用于 NOR 架构。在所描述的实施例中,所述阵列由是 p- 类型衬底浮动栅极 MOSFET 的非易失性存储器存储元件组成。图 1 图解说明(例如)用于此架构中的代表性浮动栅极 MOSFET,其具有衬底 102、源极 104、漏极 106、控制栅极 108、浮动栅极 110 及围绕所述浮动栅极的电介质 112。

[0033] 在 NAND 快闪存储器中,串联地布置多个此类晶体管,后文中也称作单元、存储器单元或存储器存储元件。在所述串联的存储器单元的任一侧上是称作选择晶体管或栅极的额外晶体管。将存储器单元及两个选择栅极集体地称作 NAND 串。通过图解说明,图 2 中图解说明 4- 晶体管 NAND 串的等效电路。将四个存储器单元标示为 206、208、210 及 212。第

一选择栅极 204(称作漏极栅极选择(SGD))将所述 NAND 串连接到位线 202。第二选择栅极 214(称作源极栅极选择(SGS))将所述 NAND 串连接到源极线 216。选择栅极 204 及 214 分别受控制栅极 218 及 236 控制。SGD 线控制选择栅极 204 的控制栅极 218,而 SGS 线控制选择栅极 214 的控制栅极 236。四个串联晶体管 206-212 各自具有控制栅极及浮动栅极两者。例如,晶体管 206 具有控制栅极 220 及浮动栅极 222;晶体管 208 具有控制栅极 224 及浮动栅极 226;晶体管 210 具有控制栅极 228 及浮动栅极 230;且晶体管 212 具有控制栅极 232 及浮动栅极 234。控制栅极 220、224、228 及 232 分别连接到字线 WL(3)、WL(2)、WL(1) 及 WL(0)。应注意,尽管所提供的实例描述包含四个存储器单元的 NAND 串,但可串联地布置并同样允许其它数目的单元。

[0034] 图 3 图解说明 NAND 串阵列的实例,其显示具有多得多的未显示的 NAND 串的存储器阵列的三个 NAND 串 301、302 及 303。与图 2 的串相同,图 3 的 NAND 串中的每一者均包含两个选择栅极及四个存储器单元。例如,NAND 串 301 包含选择栅极 304 及 314 以及存储器单元 306、308、310 及 312。类似地,NAND 串 302 包含选择栅极 316 及 326 以及存储器单元 318、320、322 及 324。最后,NAND 串 303 包含选择栅极 328 及 338 以及存储器单元 330、332、334 及 336。应注意,在给定行或字线中的所有控制栅极连接在一起。例如,WL0 连接存储器单元 312、324 及 336 的控制栅极。所述 NAND 串中的每一者还经由选择栅极 314、326 及 338 连接到同一源极线 340。SGS 线控制源极侧选择栅极 314、326 及 338,而 SGD 线控制将 NAND 串连接到其相应位线的选择栅极 304、316 及 328。

[0035] 尽管期望编程操作尽可能快地进行,但也期望 V_t 分布紧密(狭窄)以便获得较宽广的读取边际(所述分布之间的距离)。还应注意,如果发生例如 SSI、GIDL 或 SHEI 等多个效应,那么这些效应是协作的。即,SSI、GIDL 及 SHEI 全部使选定分布沿相同方向上移动。因此,即使存在多个效应,也不会发生不希望的扰乱。至多,这些效应将引起编程速率的改变。此外,由于未选定字线处于零或低偏置(V_{dd}),因此在未选定字线上不应发生 GIDL、SSI 及 SHEI。然而,确实存在确保 V_{pgm} 及 V_{pass} 足够低以防止由于隧穿效应所致的 V_{pass} 扰乱的需要。

[0036] 图 4 显示图解说明根据本发明实施例使用源极侧注入 (SSI) 使用下一相邻字线 WL(n-1) 作为热载流子注入极来编程位于字线 WL(n) 上的非易失性存储器单元的方法的流程图。应注意,SSI 是一种编程方法,借助此方法,将电子从一个晶体管的漏极注入到邻近晶体管的源极上方的栅极中。在所述实施例中,首先使将被编程的单元经受读取操作 402。在所述读取操作期间,验证存储器单元的阈值电压。然后在步骤 404 中确定是否达到目标验证电压电平, V_{target} 。如果所述存储器单元的阈值电压大于或等于 V_{target} ,那么在步骤 406 中,封锁所述单元。如果阈值电压小于 V_{target} ,那么在步骤 408 中,将未选定位线保持在 V_{dd} ,同时在步骤 410 中,将选定位线接地。在步骤 412 中,将 SGD 线保持在低通过电压 V_{passL} (约 2V),同时在步骤 414 中,将源极线保持在 V_{pp} (约 5V)。在步骤 416 中,将未选定字线及 SGS 线保持在高通过电压, V_{passH} (约 8V),且在步骤 418 中,通过偏置字线 WL(n) 来向选定存储器单元的控制栅极施加高的正编程电压, V_{pgm} ,且在步骤 420,将下一相邻字线 WL(n-1) 从大约 0V 扫掠到大约 V_{read} 。以此方式,字线 WL(n) 上的选定单元的浮动栅极担当电子集极且下一相邻字线 WL(n-1) 担当注入极。接下来,在步骤 422 中递增 V_{pgm} 和 $V_{pass,x}$ (V_{passH} 及 V_{passL} 两者) 且重复此过程直到满足条件 404 为止。应注意,样本偏置条件包含: V_{pgm} 的范围是从大约 8V

到大约 14V, V_{passL} 的范围是从大约 4V 到大约 10V, V_{passH} 的范围是从大约 5V 到大约 10V, V_{pp} 的范围是从大约 3.5V 到大约 5.5V 且 V_{dd} 的范围是从大约 1.8V 到大约 3.6V。

[0037] 图 5 中图解说明相对于相关于上述用于下一相邻字线 WL(n-1) 编程的过程 400 所述的实施例所述的偏置条件, 其中通过下一相邻字线 WL(n-1) 上的存储器单元 330 所提供的电子来编程 WL(n) 上的选定存储器单元 332。与单元 330 邻近的是连接到电压 VSGD 施加于其上的 SGD 线的漏极栅极选择 328。箭头 502 指示构成编程电流 I_{pgm} 的电子运动的方向。当字线 WL(n-1) 从 0 陡升为 V_{read} 时, 在其源极与漏极之间形成电子的传导沟道。向单元 332 的控制栅极施加大的 V_{pgm} 致使存储器单元 330 的源极中的电子被注入到单元 332 的浮动栅极中。

[0038] 图 6 图解说明根据图 4 及图 5 中所述的本发明实施例的代表性低电压编程偏置电压值。

[0039] 图 7 显示图解说明根据本发明实施例使用源极侧注入 (SSI) 使用下一相邻字线 WL(n-1) 作为热载流子注入极来编程位于字线 WL(n) 上的非易失性存储器单元的方法的流程图。应注意, “SSI” 中的“S”实际上是指“WL(n) 的源极区”, 其恰巧是与“WL(n-1) 的漏极区”相同的电节点。在所描述的实施例中, 首先使将被编程的存储器单元经受读取操作 702。在所述读取操作期间, 验证存储器单元的阈值电压。然后在步骤 704 中确定是否达到目标验证电压电平, V_{target} 。如果存储器单元的阈值电压大于或等于 V_{target} , 那么在步骤 706 中封锁所述单元。如果阈值电压小于 V_{target} , 那么在步骤 708 中, 将选定字线保持在 V_{pp} , 在步骤 710 中, 将未选定位线保持为接地或其它低电压 V_{dd} , 且在 712 处, 将未选定字线及 SGD 线保持在高通过电压, V_{passH} (约 8V)。在步骤 714 中, 将 SGS 线保持在低通过电压 V_{passL} (约 2V), 同时在步骤 716 中, 将源极线保持为接地且在步骤 718 中, 通过偏置字线 WL(n) 向选定存储器单元的控制栅极施加高的正编程电压, V_{pgm} 且在步骤 720 处, 将下一相邻字线 WL(n-1) 从大约 0V 扫掠到大约 V_{read} 。以此方式, 字线 WL(n) 上的选定单元的浮动栅极担当电子集极且下一相邻字线 WL(n-1) 担当注入极。接下来, 在步骤 722 中递增 V_{pgm} 和 V_{pass_x} (V_{passH} 及 V_{passL} 两者) 且重复所述过程直到满足条件 704 为止。

[0040] 图 8 中图解说明相对于相关于上述用于下一相邻字线 WL(n-1) 编程的过程 800 所述的实施例所述的偏置条件, 其中通过下一相邻字线 WL(n-1) 上的存储器单元 330 所提供的电子来编程 WL(n) 上的选定存储器单元 332。箭头 802 指示构成编程电流 I_{pgm} 的电子行进的方向。与以上相关于过程 400 相同, 当字线 WL(n-1) 从 0 陡升到 V_{read} 时, 在其源极与漏极之间形成电子的传导沟道。向单元 332 的控制栅极施加的大 V_{pgm} 致使存储器单元 330 的源极中的电子被注入到单元 332 的浮动栅极中。

[0041] 应注意, 在此项技术中众所周知用于用 SSI 编程的其它偏置方案, 且同样允许所述方案。例如, 存在用于对选定存储器单元中的沟道电压进行升压的若干基于升压的方案。在此类方案中, 通常偏置选定字线达到 V_{dd} 同时用大于 V_{pass} 的电压 V_{boost} 偏置未选定字线。此升压方案利用未选定单元的沟道电容。因此, 升压强度随着字线数目的增加而增加且随着装置几何形状按比例缩小而按比例缩小。另一选择为, 大得多的 BL 电容可用来提供升压。

[0042] 图 9A 及 9B 图解说明根据相关于图 7 及 8 所述的本发明实施例的代表性低电压编程波形及对应的偏置电压。

[0043] 额外应注意, SSI 在于接收电子的选定晶体管的沟道中产生热电子方面极有效且还提供将这些沟道热电子收集到浮动栅极中的极高效率。SSI 还需要比其它模式编程少得多的电流, 改善可靠性且允许使用芯片上电荷泵进行再编程。此外, 通过使用下一相邻字线作为注入极, 编程电压 V_{pgm} 对常规 FN 编程方法有所减少, 沟道电压 V_{pp} 减少, 不存在已存在的 NAND 架构中的改变, 不存在对隧道氧化物剥落的依赖, 且可使用多个编程协议中的任一者。

[0044] 尽管仅详细描述了本发明的若干实施例, 但应了解, 可以多种其它方式实施本发明, 此并不背离本发明的精神或范围。尽管已描述了具体特征及条件, 但应了解, 也可修改及采用各种实施方案 (例如偏置条件及方法组合)。另外, 尽管在实体构造中, 本发明在不做任何修改的情况下适用于常规非易失性存储器系统, 但所属领域的技术人员应了解, 可修改所述结构以增强本发明的效应。因此, 将本发明实施例视为说明性而非限制性, 并且本发明并非限于本文中所给出的细节, 而是可在所附权利要求书的范围内进行修改。

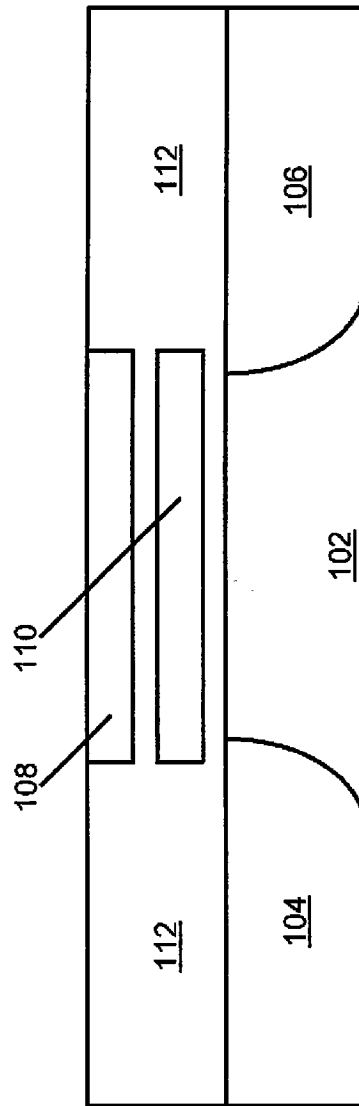


图 1

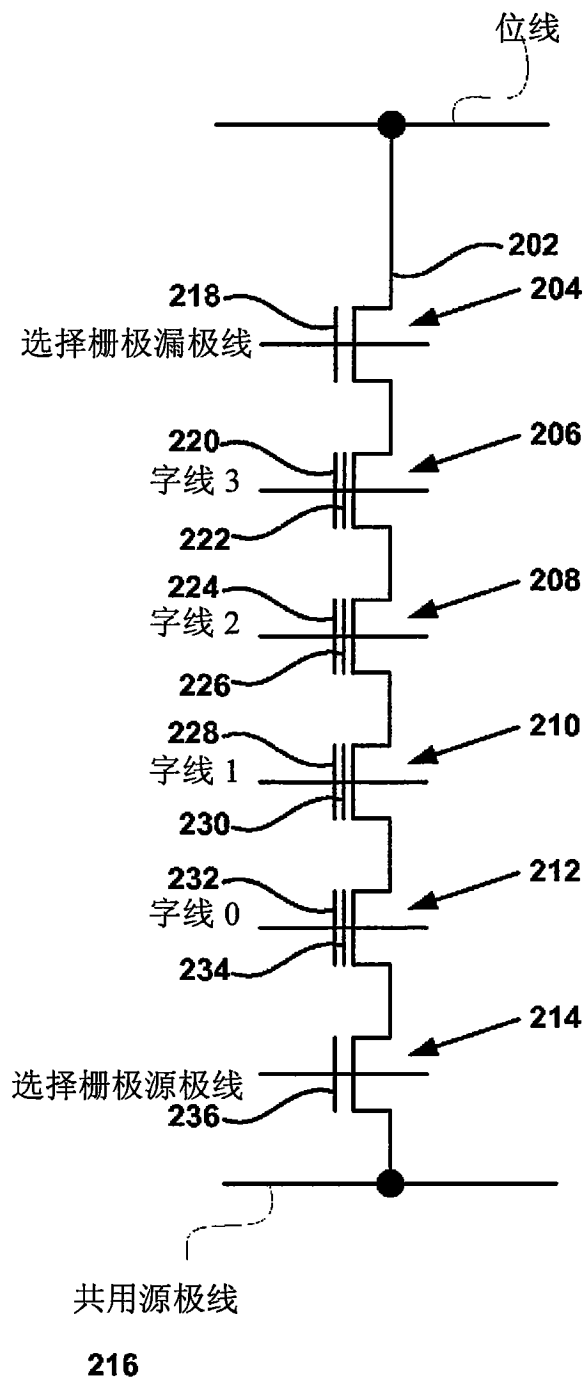


图 2

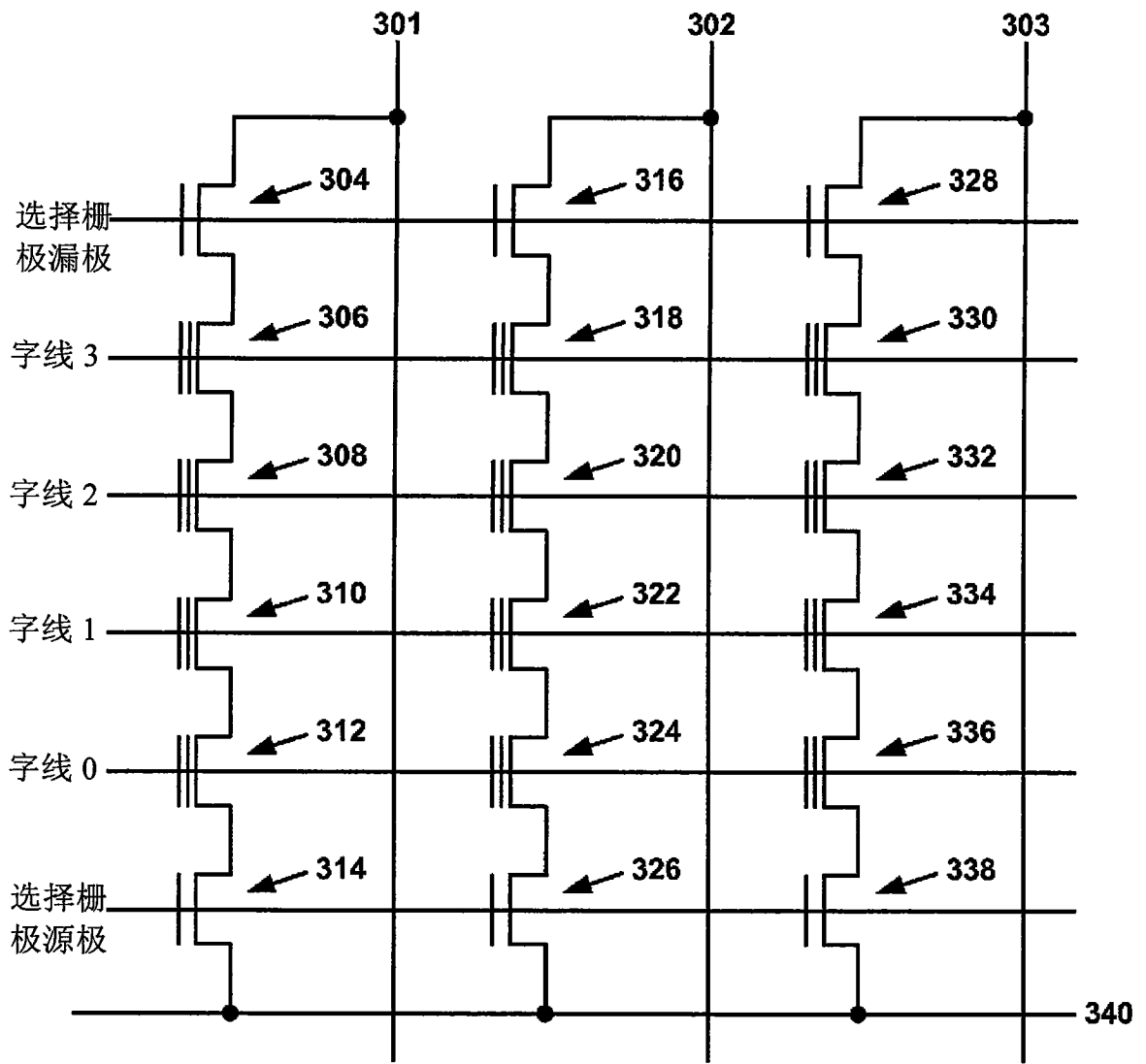


图 3

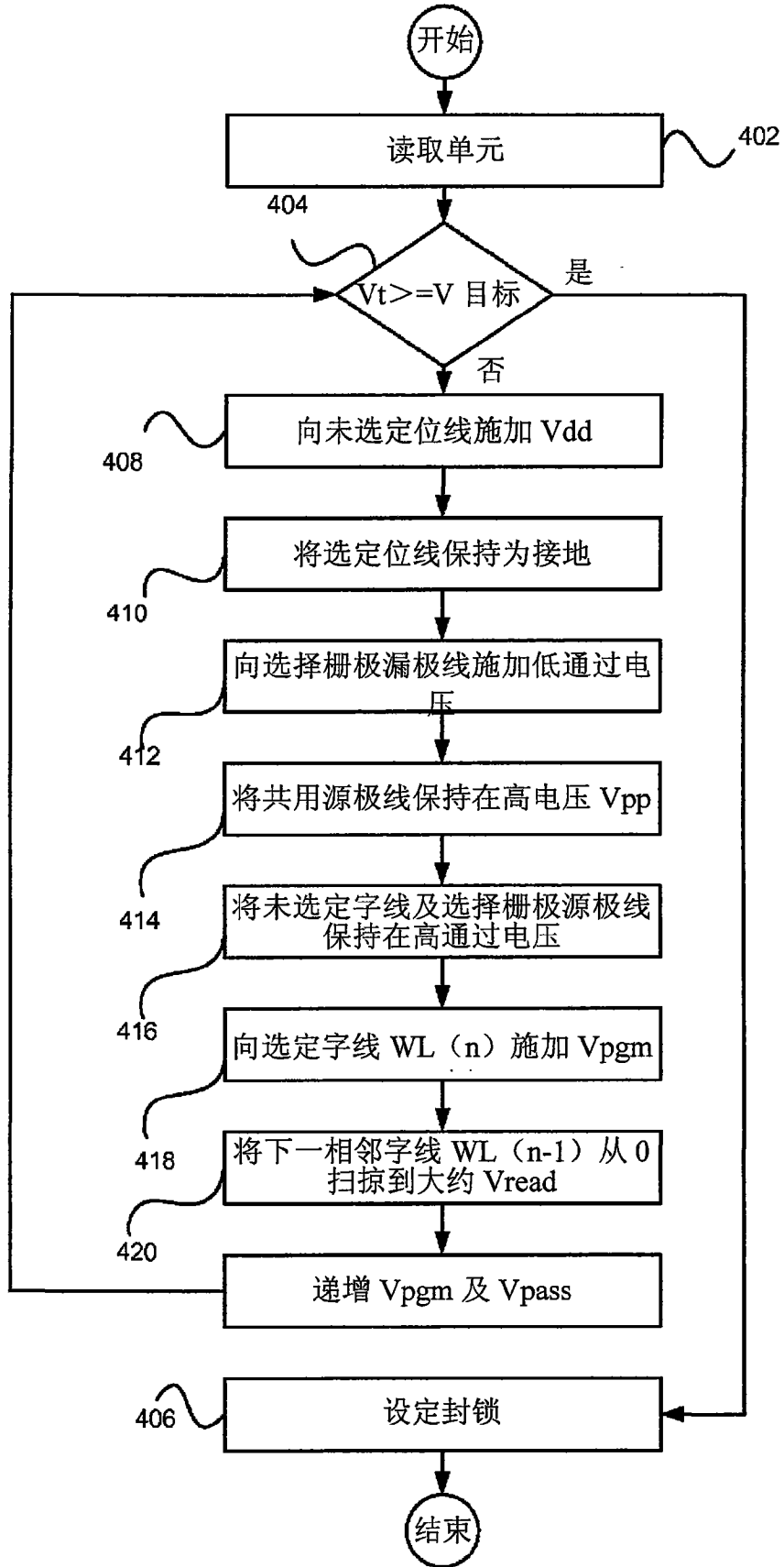


图 4

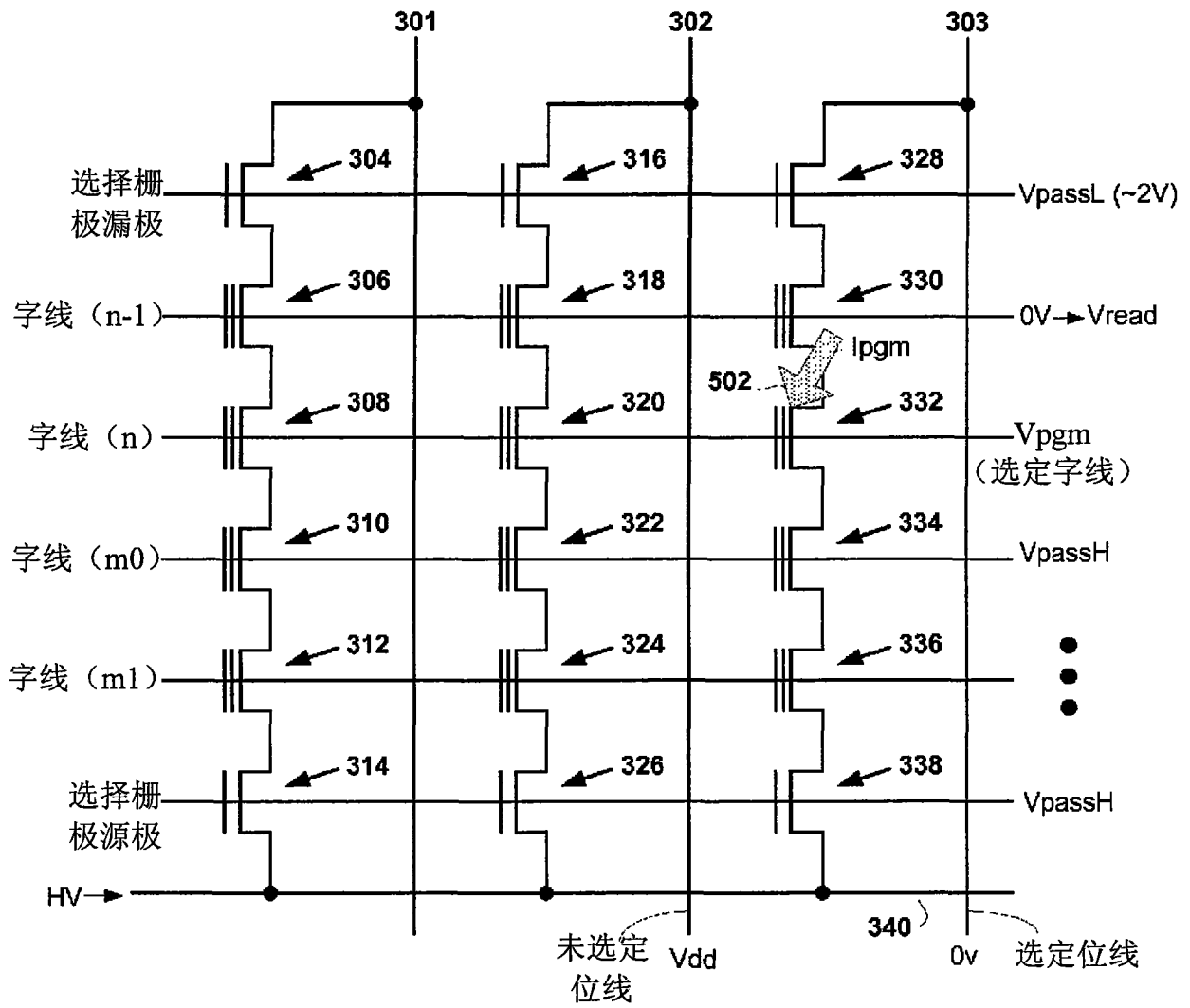


图 5

步骤	0	1	2	3	4	5	6	7	8	9
未选定位线	0	Vdd	Vdd	Vdd	Vdd	Vdd	Vdd	Vdd	Vdd	Vdd
选定位线	0	0	0	0	0	浮动	0	0	0	0
选编程电压	0	0	Vsgd (VI)	Vsgd (VI)	Vsgd (VI)	Vsgd (VI)	Vsgd (VI)	Vsgd (VI)	0	0
字线 (低)	0	0	VpassL	VpassL	VpassL	VpassL	VpassL	VpassL	0	0
字线 (n-1)	0	0	0	0	0	0	0	0	0	0
字线 (n)	0	0	VpassL	VpassH	VpassH	VpassH	VpassH	VpassH	0	0
字线 (高)	0	0	VpassL	VpassH	VpassH	VpassH	VpassH	VpassH	0	0
选编程电压	0	0	0	0	0	Vdd	Vsgs (HV)	Vsgs (HV)	0	0
SE	0	0	0	0	0	Vbp	Vbp	Vbp	Vdd	0
能量		$\frac{1}{2}N \cdot C_{bit} \cdot V_{dd}^2$				$\frac{1}{2}C_{bit} \cdot V_{dd}^2$				
备注							开始编程	编程正 Vt		

图 6

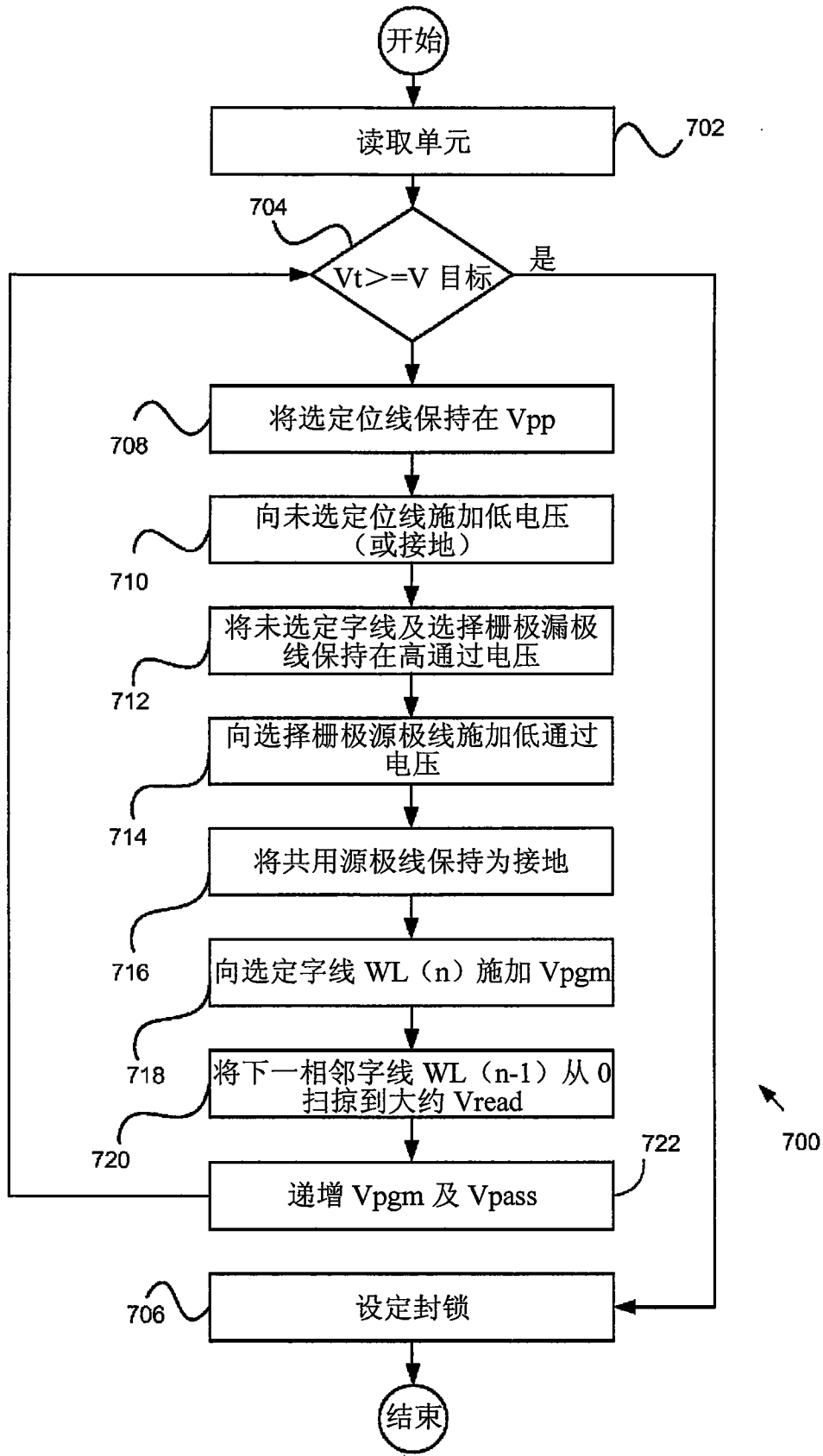


图 7

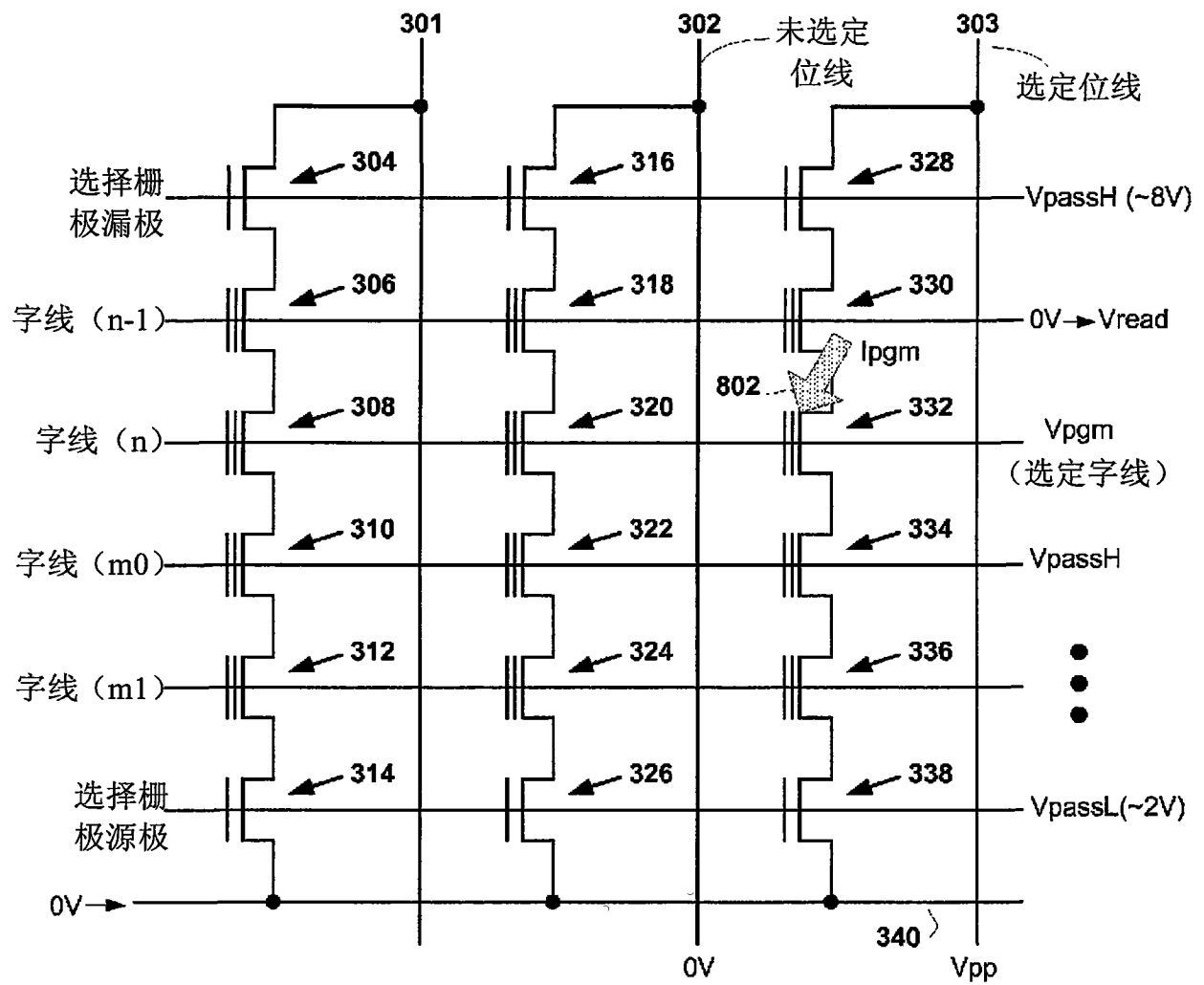


图 8

步骤	0	1	2	3	4	5	6	7	8
未选定位线	0	0	0	0	0	0	0	0	0
选定位线	0	0	Vpp [5V]	Vpp [5V]	Vpp [5V]	放电	放电	0	0
字线 (n-1)	0	0	0	Vsqd [8V]	Vsqd [8V]	Vsqd [8V]	Vsqd [8V]	Vsqd [8V]	0
字线 (n)	0	0	0	VpassH	VpassH	VpassH	VpassH	VpassH	0
字线 (n+1)	0	0	0	Vbpm	Vbpm	Vbpm	Vbpm	Vbpm	0
字线 (n+2)	0	0	0	0	0	0	扫描到 1V	扫描到 1V	0
字线 (n+3)	0	0	0	VpassL	VpassL	VpassL	VpassL	VpassL	0
字线 (n+4)	0	0	0	Vsqd [Vdd]	Vsqd [Vdd]	Vsqd [Vdd]	Vsqd [Vdd]	Vsqd [Vdd]	0
字线 (n+5)	0	Vdd	Vdd	Vdd	Vdd	0	0	0	0
能量		$\frac{1}{2}(C_s V_{dd}^2)$	$\frac{1}{2}(N \cdot C_b V_{pp}^2)$						
备注						针对负 Vt 开始编程	编程正 Vt	完成	

图 9A

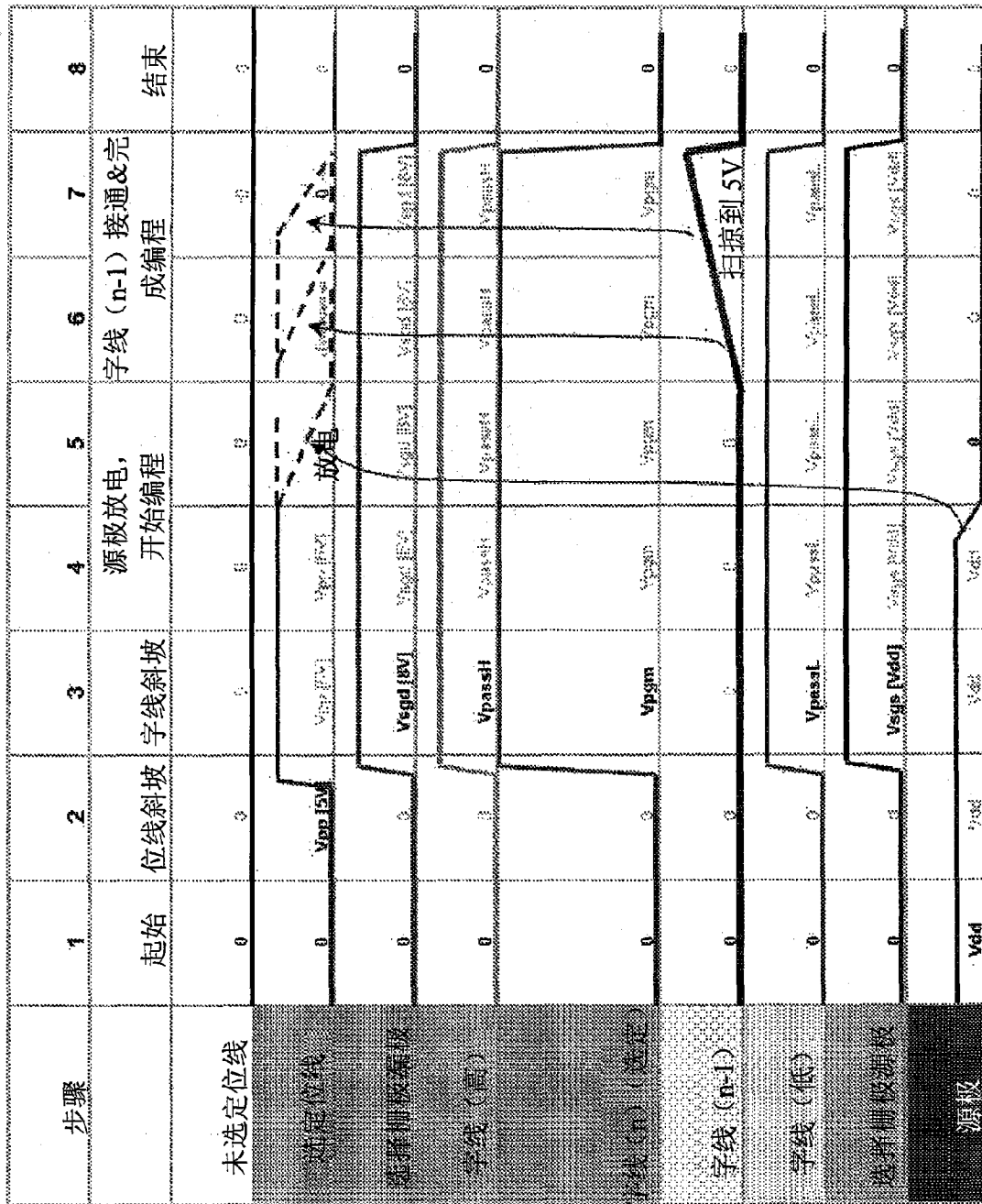


图 9B