

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2010年4月1日(01.04.2010)

PCT

(10) 国際公開番号  
WO 2010/035543 A1

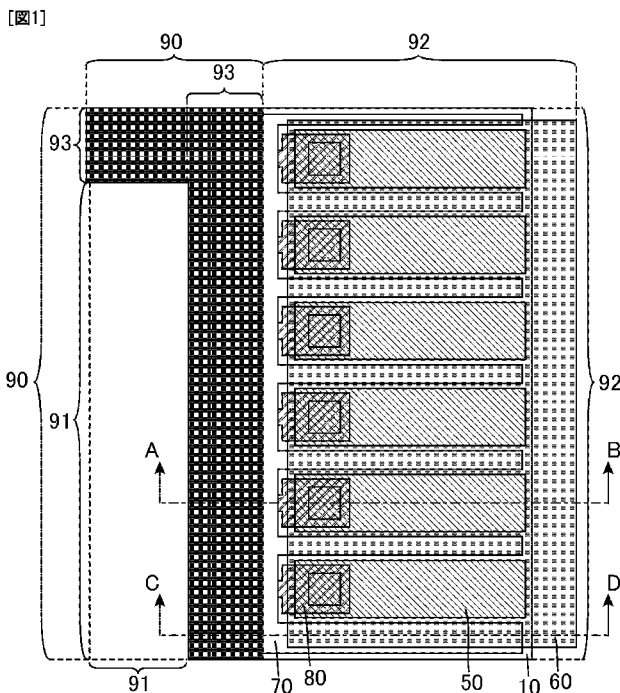
- (51) 国際特許分類:  
G09F 9/00 (2006.01) H01L 21/60 (2006.01)  
G02F 1/1345 (2006.01) H01L 23/52 (2006.01)  
G02F 1/1368 (2006.01) H01L 29/786 (2006.01)  
H01L 21/3205 (2006.01)
- (21) 国際出願番号: PCT/JP2009/058853
- (22) 国際出願日: 2009年5月12日(12.05.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2008-248424 2008年9月26日(26.09.2008) JP
- (71) 出願人(米国を除く全ての指定国について):  
シャープ株式会社 (Sharp Kabushiki Kaisha)  
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町  
2番22号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 森脇弘幸  
(MORIWAKI Hiroyuki) [JP/—].

- (74) 代理人: 特許業務法人 安富国際特許事務所  
(YASUTOMI & Associates); 〒5320003 大阪府大阪  
市淀川区宮原3丁目5番36号 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR,  
CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,  
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP,  
KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,  
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,  
MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT,  
RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY,  
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN,  
ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,  
NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア  
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ  
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,  
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,  
NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF,  
CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD,  
TG).

[続葉有]

(54) Title: CIRCUIT SUBSTRATE AND DISPLAY DEVICE

(54) 発明の名称: 回路基板及び表示装置



板である。

(57) Abstract: Provided is a circuit substrate which can integrate a circuit element without degrading wiring characteristic. Provided is also a display device using the circuit substrate. The circuit substrate includes: a transistor substrate (10) formed by a transistor (20) and an external connection terminal (50) arranged on a support substrate (1); and an external member (60) mounted on the transistor substrate (10). The external member (60) is electrically and physically connected to the external connection terminal (50) via a conductive member (3). The transistor (20) and the external connection terminal (50) are arranged side by side.

(57) 要約: 本発明は、配線の特性の劣化を生じさせることなく、回路素子の集積化を行うことが可能な回路基板、及び、該回路基板を備える表示装置を提供することを目的とする。本発明の回路基板は、支持基板(1)上にトランジスタ(20)及び外部接続端子(50)が配置されたトランジスタ基板(10)と、該トランジスタ基板(10)上に取り付けられた外付け部材(60)とを含んで構成される回路基板であって、上記外付け部材(60)は、導電部材(3)を介して外部接続端子(50)と電気的かつ物理的に接続されており、上記トランジスタ(20)は、外部接続端子(50)と横並びに配置されている回路基



---

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

**発明の名称：** 回路基板及び表示装置

### 技術分野

[0001] 本発明は、回路基板及び表示装置に関する。より詳しくは、携帯電話等のモバイル機器に好適な回路基板、及び、上記回路基板を備える表示装置に関するものである。

### 背景技術

[0002] 近年、液晶表示装置、有機エレクトロルミネッセンス表示装置等が実装される携帯電話、PDA等の携帯型の電子機器において、より一層の小型化及び軽量化が要求されている。それに伴い、表示領域周辺の小型化、すなわち、狭額縁化を図っていく傾向があり、盛んに開発が行われている。

[0003] また、薄型化やコスト削減等が図れることから、基板上にドライバ回路等の駆動に必要な周辺回路を形成するフルモノリシック型の回路基板を備える表示装置が増加の傾向にある。フルモノリシック型の回路基板を備える表示装置では、回路基板上に画素を駆動するための回路を形成するため、回路基板上の表示領域以外の領域（額縁領域）が増加する。そのため、狭額縁化を進めるための開発が行われている。

[0004] 従来の表示装置では、パネル内部の配線に低抵抗のアルミニウムを用い、該配線をパネル外部まで延伸させてその延伸部を外部接続端子として使用すると、露出したアルミニウム膜が腐食を生じるおそれがあった。そこで、パネル内部の配線に用いるアルミニウム膜を、アルミニウム膜より下の階層に配置された別の金属膜にパネル内部で接続し、該金属膜を用いてパネル内部の配線をパネル外部と接続させるといった工夫が行われていた（例えば、特許文献1参照。）。

[0005] また、特許文献1では、外部接続端子の腐食を防止する形態として、パネル内部の配線にアルミニウム膜を用い、アルミニウム膜をパネル外部まで延伸させて外部接続端子として使用し、アルミニウム膜のパネル外部への露出部

分をクロム（Cr）膜及び酸化インジウム錫（ITO）膜で覆うことによって、外部接続端子の腐食を防止する形態も開示されている。

## 先行技術文献

## 特許文献

[0006] 特許文献1：特開平3－58019号公報

## 発明の概要

## 発明が解決しようとする課題

[0007] しかしながら、特許文献1で開示されている形態のように、パネル内部の配線を該配線よりも下の階層に形成された別の金属膜と接続し、該金属膜を延伸させることによりその延伸部を外部接続端子として用いる場合には、外部接続端子となる領域とパネル内部の配線が配置される領域とを個別に設ける必要があり、額縁面積が増大する点で改善の余地があった。

[0008] 本発明者は、表示装置の挟額縁化に適した回路基板について種々検討したところ、外部接続端子の配置に着目した。そして、従来の表示装置では、パネル内部に用いられる配線を該配線よりも下の階層に配置された金属膜に接続し、該金属膜を延伸させてその延伸部を外部接続端子としていることから、外部接続端子として用いられる領域と配線領域とが個別に設けられることになり、額縁面積が増大していたことを見いだすとともに、回路基板が、外部接続端子の下層に配線を有する構成を有することで、外部接続端子と配線とを互いに重畳させることができ、額縁面積を削減することができることを見いだした。

[0009] しかしながら一方で、外部接続端子の下層に配線が配置された場合、外部接続端子と外付け部材とが、例えば、圧着等、一定の圧力が加えられて一体化されるような場合には、外部接続端子の下層に位置する配線に大きな負荷がかかることになり、配線間の短絡、又は、配線の特性の劣化を生じさせる要因となるため、表示装置の挟額縁化については未だ改善の余地があった。

[0010] 本発明は、上記現状に鑑みてなされたものであり、配線の特性の劣化を生じ

させることなく、回路素子の集積化を行うことが可能な回路基板、及び、該回路基板を備える表示装置を提供することを目的とするものである。

### 課題を解決するための手段

- [0011] 本発明者は、配線の特性の劣化を生じさせることなく回路素子の集積化を行う方法について種々検討を行ったところ、外部接続端子の下層に、幅の狭い回路配線が配置され、当該回路配線が少なくとも外部接続端子と外付け部材とを接続させるための導電部材の幅よりも狭い場合に、外部接続端子と外付け部材とを接続させる際に発生する圧力によって配線の劣化が起こりうることを見いだすとともに、このような微細回路配線については、外部接続端子と重ならないように、すなわち、横方向に並んで配列させる方法によれば、特性の劣化が起こりにくいことを見いだした。
- [0012] また、本発明者は、このような微細回路配線のほか、外部接続端子の下層にトランジスタが配置された場合であっても同様に、トランジスタに対し特性の劣化を生じさせることがあることを見いだすとともに、トランジスタについても同様に、外部接続端子とは重ならないように、すなわち、横方向に並んで配列させる方法によれば、トランジスタの特性劣化が起こりにくいことを見いだした。
- [0013] こうして、本発明者らは、外部接続端子と外付け部材とを重ね合わせることで回路素子の集積化を図るとともに、該外部接続端子と横並びに、幅の狭い配線及びトランジスタを配置させることで、配線及びトランジスタの特性の劣化を抑制することができることを見だし、上記課題をみごとに解決することができることに想到し、本発明に到達したものである。
- [0014] すなわち、本発明は、支持基板上にトランジスタ及び外部接続端子が載置されたトランジスタ基板と、該トランジスタ基板に取り付けられた外付け部材とを含んで構成される回路基板であって、上記外付け部材は、導電部材を介して外部接続端子と電気的かつ物理的に接続されており、上記トランジスタは、外部接続端子と横並びに配置されている回路基板（以下、本発明の第一の回路基板ともいう。）である。

[0015] また、本発明は、支持基板上に回路配線及び外部接続端子が載置された回路配線基板と、該回路配線基板上に取り付けられた外付け部材とを含んで構成される回路基板であって、上記外付け部材は、導電部材を介して外部接続端子と電気的かつ物理的に接続されており、上記回路配線は、導電部材の幅よりも狭い幅の微細回路配線を含み、上記微細回路配線は、外部接続端子と横並びに配置されている回路基板（以下、本発明の第二の回路基板ともいう。）でもある。

[0016] 以下に本発明の第一及び第二の回路基板について詳述する。

[0017] 本発明の第一の回路基板は、支持基板上にトランジスタ及び外部接続端子が載置されたトランジスタ基板と、上記トランジスタ基板上に取り付けられた外付け部材とを含んで構成される。また、本発明の第二の回路基板は、支持基板上に回路配線及び外部接続端子が載置された回路配線基板と、上記回路配線基板上に取り付けられた外付け部材とを含んで構成される。第一及び第二の回路基板のいずれにおいても、上記外付け部材は、導電部材を介して外部接続端子と電気的かつ物理的に接続されている。

[0018] 支持基板は、トランジスタ等の回路素子、回路配線等を載置するための基板であり、導電性を有する素子を複数載置できるように、絶縁性を有する材料で構成されていることが好ましい。また、導電性を有する基板の表面に絶縁膜が形成されたものであってもよい。トランジスタは、増幅作用及び／又はスイッチング作用を有する半導体素子をいい、バイポーラトランジスタ、電界効果トランジスタ（FET: Field Effect Transistor）等、種類は特に限定されない。回路配線は、電気的に接続されている経路が確保されている配線であれば特に限定されない。外部接続端子は、回路配線基板又はトランジスタ基板と外付け部材とを電気的に接続可能とするための導電性を有する部材をいう。外付け部材は、外部接続端子を介して回路配線基板又はトランジスタ基板と電気的に接続される部材をいう。外付け部材としては、例えば、抵抗器、コンデンサ、コイル、コネクタ、ダイオード、トランジスタ等の電子部品あるいはフレキシブルプリント基板（FP

C: Flexible Printed Circuits)、上記回路素子及び回路配線を含む集積回路(IC: Integrated Circuit)が搭載されたチップ(COG: Chip On Glass又はCOF: Chip On film)が挙げられる。また、その他には、プリント配線板(PWB: Printed Wiring Board)、プリント回路板(PCB: Printed Circuit Board)、テープキャリアパッケージ(TCP: Tape Carrier Package)が挙げられる。

[0019] このような外付け部材と外部接続端子とは、互いに電氣的に接続されるものであるため、外付け部材と外部接続端子との間に導電部材が介される必要があるが、更に物理的にも接続されるためには、上記導電部材自体が接着性を有している、又は、上記導電部材自体は接着性を有しないが、接着性を有する材料と混合されていることが好ましい。導電部材自体が接着性を有しているものとしては、例えば、半田が挙げられる。導電部材自体は接着性を有しないが、接着性を有する材料と混合されているものとしては、例えば、導電性微粒子を内部に含む異方性導電膜(ACF: Anisotropic Conductive Film)が挙げられ、導電性微粒子が上記導電部材に相当する。すなわち、上記導電部材は、異方性導電膜内の導電性微粒子であることが好ましい。例えば、表示装置等に用いられる画素電極(ITO: Indium Tin Oxide)を外部接続端子のバリアメタル(保護金属膜)として利用する場合、異方性導電膜は画素電極材料との密着性の点で好適である。異方性導電膜の導電性微粒子が導電部材を構成する場合には、異方性導電膜内の導電性微粒子単体が1つの導電部材を構成する。

[0020] 本発明の第一の回路基板において、上記トランジスタは、外部接続端子と横並びに配置されている。本明細書において「外部接続端子と横並びに配置されている」とは、基板主面に対し垂直な方向から見たときに、実質的にどの外部接続端子領域に対しても重ならず配置されていることをいう。なお、本明細書において「基板」とは、特に断りがなければ、トランジスタ基板、

回路配線基板又はトランジスタ回路基板を指すものとする。トランジスタ基板と外部接続端子とを接続する際には、例えば圧着を行う等、通常、一定の大きさの圧力がトランジスタ基板及び外部接続端子に加えられるが、このとき、その圧力が負荷される領域にトランジスタが存在していると、トランジスタの特性劣化を生じさせることがある。そのため、本発明の第一の回路基板においては、トランジスタは、外部接続端子と横並びに配置することで、そのような圧力の影響を受けにくくしており、これによれば、正常な動作を行うトランジスタを設けることができる。

[0021] 本発明の第二の回路基板において、上記回路配線は、導電部材の幅よりも狭い幅の微細回路配線を含み、上記微細回路配線は、外部接続端子と横並びに配置されている。回路配線の一部に幅の狭い微細回路配線を形成することで、回路素子の集積化を行うことができ、例えば、第二の回路基板を表示装置に適用したときに表示領域外の額縁領域を削減することが可能となる。しかしながら、上述と同様に、回路配線基板と外部接続端子とが圧着等、一定の大きさの圧力が加えられて接続が行われる際には、その圧力が負荷される領域に微細回路配線が存在していると、微細回路配線の特性劣化を生じさせることがある。そのため、本発明の第二の回路基板においては、微細回路配線は、外部接続端子と横並びに配置することで、そのような圧力の影響を受けにくくしており、これによれば、短絡及び特性の劣化の少ない正常な機能を持つ微細回路配線を設けることができる。なお、「導電部材の幅よりも狭い幅の微細回路配線」とは、基板主面に対して垂直の方向から見たときに導電部材が微細回路配線と重なるように配置させたときに、導電部材が回路配線の横幅全てを覆う、すなわち、導電部材が回路配線を横切ることが可能な程度の幅を有する回路配線をいい、本発明の第二の回路基板は、微細回路配線と外部接続端子とが重なった領域が実質的にどの領域にも存在しない回路基板である。本明細書において「導電部材の幅」とは、導電部材自体が接着性を有していない場合には、接着性を有する部位を除く導電部材の幅で定義され、例えば、異方性導電膜内の導電性微粒子が上記導電部材を構成する場合

には、導電性微粒子単体の粒径で定義されることとなる。一方、導電部材自体が接着性を有する場合には、当該導電部材が連続して形成された部位の任意の幅で定義され、微細回路配線と重なった部分において導電部材の幅は定義される。上記微細回路配線は、導電部材の幅が微細回路配線の幅より大きい場合に、通常の熱圧着を行ったときに、外部接続端子と重畳する導電部材によって微細回路配線が圧迫されて断線されやすいため、少なくとも上述のように定義される微細回路配線と外部接続端子とを重ねないようにする必要がある。

[0022] 本発明の第一及び第二の回路基板の構成としては、このような構成要素を必須として形成されるものである限り、その他の構成要素を含んでいても含んでいなくてもよい。例えば、上記トランジスタ基板又は上記回路基板を表示装置に適用する場合に、表示の制御に必要な回路を有する表示領域、該表示領域の制御に必要な回路を有する周辺回路領域との両方の領域を一つの基板上に形成する、いわゆるフルモノリシック型の基板とすることができる。周辺回路領域に形成されるトランジスタ回路の種類は特に限定されず、トランスマッションゲート、ラッチ回路、タイミングジェネレータ、電源回路等によるインバータ等の回路を含むドライバ回路のほか、バッファ回路、デジタルアナログ変換回路（DAC回路）、シフトレジスタ、サンプリングメモリ等の回路が挙げられる。ドライバ回路としては、ソースドライバ回路、ゲートドライバ回路等が挙げられる。

[0023] 本発明の第一及び第二の回路基板における好ましい形態について、以下に詳しく説明する。

[0024] 上記外付け部材は、外部接続端子と重なる領域に導電性突起物を備えることが好ましい。以下、このような導電性突起物を「外部接続配線」又は「バンプ」ともいう。外付け部材が外部接続端子と接続する専用の部材を備えることで回路基板の構成全体が簡略化されるが、このとき、上記専用の部材が導電性を有する突起物であることで、例えば、外部接続端子と外付け部材とを接続させる際の圧力を外部接続端子及び導電性突起物に集めやすくすること

ができ、外部接続端子と横並びに配置されたトランジスタ及び微細回路配線への影響を少なくすることができる。

[0025] 上記導電部材及び導電性突起物は、トランジスタ基板と外付け部材とを支える支柱となることが好ましい。また、上記導電部材及び導電性突起物は、回路配線基板と外付け部材とを支える支柱となることが好ましい。外部接続端子と重なる領域に位置する導電部材及び導電性突起物を、トランジスタ基板又は回路配線基板と外付け部材とを支える支柱の役割を果たすように配置することで、外部接続端子と横並びに配置されたトランジスタ及び微細配線への影響を少なくすることができる。トランジスタ基板又は回路配線基板と外付け部材とを支える支柱とは、トランジスタ基板又は回路配線基板と外付け部材とを直接重ね合わせたときに、最も圧力の負荷される部位をいう。なお、導電部材が上記異方性導電膜（ACF）内の導電性微粒子である場合には、導電性微粒子もまた、その弾性により、支柱としての役割を果たすものとして好適である。

[0026] 上記トランジスタは、外付け部材と重なる領域に位置することが好ましい。また、上記微細回路配線は、外付け部材と重なる領域に位置することが好ましい。本発明の構成によれば、たとえ集積化を目的としてトランジスタ及び微細回路配線と重なる領域に外付け部材が配置されたとしても、トランジスタ及び微細回路配線が外部接続端子と横並びに配置されているので、外部接続端子と外付け部材とを接続する際に負荷される圧力の影響を受けにくい。したがって、例えば、トランジスタ及び微細回路配線に対する圧力の影響を避ける目的でトランジスタを外付け部材とずらした場合と比べ、回路素子が占める面積を少なくすることができる。

[0027] 上記トランジスタ基板と外付け部材との間の距離は、トランジスタと重なる領域よりも外部接続端子と重なる領域で短いことが好ましい。また、上記回路配線基板と外付け部材との間の距離は、微細回路配線と重なる領域よりも外部接続端子と重なる領域で短いことが好ましい。本明細書において「重なる領域」とは、基板の主面に対して垂直の方向から見たときに、その対象物

と重なる領域の一部又は全体をいう。したがって、例えば、「外部接続端子と重なる領域」とは、基板の主面に対して垂直の方向から見たときに、外部接続端子と重なる領域の一部又は全体をいい、平面だけでなく、その奥行きも含む概念である。すなわち、本形態は、基板と外付け部材との間のスペースが、トランジスタと重なる領域、又は、微細回路配線と重なる領域よりも、外部接続端子と重なる領域で厚みが小さく形成されている形態である。これによれば、基板と外付け部材とを圧着させる際に、トランジスタ及び微細回路配線よりも外部接続端子に大きな圧力が負荷されることとなるので、外部接続端子と横並びに配置されたトランジスタ及び微細回路配線への影響を少なくすることができる。なお、本明細書において「よりも」とは、比較となる値が同じものを含まない。

[0028] 上記トランジスタ基板と外付け部材との間の距離は、外部接続端子と重なる領域で最も短いことが好ましい。また、上記回路配線基板と外付け部材との間の距離は、外部接続端子と重なる領域で最も短いことが好ましい。基板と外付け部材との間のスペースが外部接続端子上で最短距離を有することで、外部接続端子に最も圧力を集中させ、外部接続端子と重なる領域に基板と外付け部材とを支える支柱を設けることができるので、外部接続端子と横並びに配置されたトランジスタ及び微細回路配線への影響を少なくすることができる。

[0029] 上記外部接続端子は、複数の導電膜が積層された積層体であることが好ましい。外部接続端子が他の部材よりも大きな膜厚を有することにより、基板と外付け部材とを支える支柱として位置づけることが容易となる。外部接続端子を複数の導電膜が積層された積層体とすることで、外部接続端子の膜厚を確保しやすくなるので、これにより、外部接続端子と横並びに配置されたトランジスタ及び微細回路配線への影響を減少させやすくなることができる。

[0030] 上記積層体は、トランジスタを構成する材料を含む導電膜を備えることが好ましい。また、上記積層体は、回路配線を構成する材料を含む導電膜を有することが好ましい。上述のように、外部接続端子を複数の導電膜が積層され

た積層体とすることで、外部接続端子の膜厚を確保しやすくなるが、このとき、本発明のトランジスタ基板が備えるトランジスタ、又は、回路配線基板が備える回路配線を構成する材料を外部接続端子の積層体に含ませることで、例えば、同一の工程でトランジスタと外部接続端子の積層体の一部とを一度に形成することが可能となるので、効率的な構成となる。

[0031] 本発明のトランジスタ基板が更に回路配線を含む、又は、本発明の回路配線基板が更にトランジスタを含む場合には、上記積層体は、トランジスタを構成する材料を含む導電膜、及び、回路配線を構成する材料を含む導電膜の両方を含むことが好ましい。上述の、トランジスタを構成する材料、及び、回路配線を構成する材料を積層体の一部として用いる場合と同様、トランジスタを構成する材料を含む導電膜、及び、回路配線を構成する材料を含む導電膜の両方を含ませることで、更に効率的な構成とすることが可能となる。

[0032] 上記導電部材は、異方性導電膜内の導電性微粒子であり、上記トランジスタと重なる領域におけるトランジスタ基板と外付け部材との間の距離は、導電性微粒子の粒径よりも大きいことが好ましい。また、上記導電部材は、異方性導電膜内の導電性微粒子であり、上記微細回路配線と重なる領域における回路配線基板と外付け部材との間の距離は、導電性微粒子の粒径よりも大きいことが好ましい。上述のように、本発明で用いる導電部材は、異方性導電膜内の導電性微粒子であることが好ましいが、基板と外付け部材との接着の観点からは、異方性導電膜が配置される面積はより広いことが好ましい。そのため、異方性導電膜がトランジスタと重なる領域、及び／又は、微細回路配線と重なる領域に配置されることが好ましいが、このとき、トランジスタ上及び／又は微細回路配線上の回路基板と外付け部材との間の距離が導電性微粒子の粒径以下であると、回路基板と外付け部材との接続時に導電性微粒子の弾性により、大きな圧力がトランジスタ及び微細回路配線に負荷されることがある。本形態によれば、そのように導電性微粒子によって受ける圧力の影響を減らすことができるので、十分な接着力を保持しつつ、トランジスタ及び微細回路配線の特性劣化を回避することができる。なお、本明細書に

において「粒径」とは、導電性微粒子 1 つあたりの最も大きい部分の径をいう。このような粒径は、例えば、光学顕微鏡を用いて計測することができる。

[0033] 上記導電部材は、異方性導電膜内の導電性微粒子であり、上記外部接続端子と重なる領域におけるトランジスタ基板と外付け部材との間の距離は、導電性微粒子の粒径以下であることが好ましい。また、上記導電部材は、異方性導電膜内の導電性微粒子であり、上記外部接続端子と重なる領域における回路配線基板と外付け部材との間の距離は、導電性微粒子の粒径以下であることが好ましい。導電性微粒子の影響によりトランジスタ及び／又は微細回路配線に一定の大きさの圧力が負荷されることがあることは上述のとおりであるが、トランジスタ及び／又は微細回路配線と重なる領域において導電性微粒子の粒径よりも大きい幅を確保する好適な手段としては、外部接続端子と重なる領域における基板と外付け部材との間の距離、すなわち、外部接続端子と重なる領域に配置された異方性導電膜の厚さを導電性微粒子の粒径以下とする手段が挙げられる。これにより、回路基板の他の領域と外付け部材との間のスペースには十分な距離が確保され、トランジスタ及び微細回路配線の特性劣化を回避することができる。

[0034] 上記回路配線は、少なくとも 1 つの屈曲部を含む引き回し配線を含むことが好ましい。回路配線は、適宜必要な場所に集約される必要がある。そのため、一直線状のものとするだけでなく、一部に屈曲部を形成することで、適切な場所に回路配線を導くことができる。また、屈曲部を設けることで、容易に引き回し配線を外部接続端子の周りに迂回させることができ、外部接続端子と引き回し配線とが重なって形成されることを回避することができる。引き回し配線が有する屈曲部の数は特に限定されない。引き回し配線としては、例えば、外部接続端子からトランジスタ回路等を介して表示領域へ信号を伝達する配線、外部接続端子から電源を供給する配線として用いることができる。引き回し配線を形成することにより、例えば、第二の回路基板を表示装置に適用したときに、表示領域の適切な部位に回路配線を導くことができ、かつ、額縁領域の大きさを小さくまとめることが容易に可能となる。なお

、集積化の観点からは、上記引き回し配線は、微細回路配線を含むことが好ましい。また、本発明によれば、このような微細回路配線を形成したとしても、該微細回路配線の特性の劣化を抑制することが可能である。

[0035] 上記引き回し配線は、外部接続端子から延伸された端子引き出し配線から更に延伸されていることが好ましい。本明細書において「端子引き出し配線」とは、外部接続端子から直接引き出された配線をいう。端子引き出し配線については外部接続端子と直接接続されているため、一定幅を確保する必要がある等、設計の自由度が落ちてしまうが、引き回し配線についてはむしろ、幅を小さくすることが集積度の向上及び額縁領域の縮小の観点から好ましい。したがって、引き回し配線を、一旦外部接続端子から引き出された端子引き出し配線から更に延伸させるといったように、段階的に配線を形成することで、設計の自由度が向上し、集積化が容易となる。

[0036] 上記回路基板は、外部接続端子の、外付け部材が接続される側の面と逆側の面の直下に無機絶縁膜を有することが好ましい。外部接続端子の直下に感光性アクリル樹脂等の有機絶縁膜を配置した場合には、外部接続端子と外付け部材とを接続する工程においてリワークの必要が生じたときに、上記有機絶縁膜が剥がれる、又は、上記有機絶縁膜に傷がつくことが起こりうる。また、剥がれた有機絶縁膜の塵等により、外付け部材との接触不良を起こすこともある。そのため、外部接続端子の直下に配置される絶縁膜としては、有機絶縁膜よりも硬直性を有する無機絶縁膜が用いられることが好ましい。

[0037] 上記回路基板は、トランジスタ基板と外付け部材との物理的な接続を補助する副柱を備えることが好ましい。また、上記回路基板は、回路配線基板と外付け部材との物理的な接続を補助する副柱を備えることが好ましい。トランジスタ基板又は回路配線基板と外付け部材とを接続させる際に、例えば、上記外部接続端子と重なる領域にのみ集中して圧力が負荷される場合、トランジスタ基板又は回路配線基板と外付け部材との接続が不十分となる場合がある。また、トランジスタ基板又は回路配線基板に対して外付け部材を平坦に接続させることが困難となる場合もある。そのような場合には、適宜必要な

場所に副柱を配置することで、トランジスタ基板又は回路配線基板と外付け部材とをバランスよく接続させることができるようになり、基板としての信頼性が向上する。上記副柱としては、例えば、バンプ等の外付け部材が備える突起物が挙げられるが、導電性の有無は特に限定されない。なお、上記副柱は、上記導電部材と重ならないように配置することが、トランジスタ及び微細回路配線への影響を少なくする観点からはより好ましい。

[0038] 上記外部接続端子は、横並びに複数配置されて直線状又は千鳥状（ジグザグ状）の一連の列を構成することが好ましい。回路基板が複数の外部接続端子を含む場合には、これらの外部接続端子は、一列に並んで配置されることが、集積度の向上の観点から好ましい。また、上記一連の列は、外付け部材の片側の辺に沿って配置されていることが好ましい。これにより、外部接続端子がより集約されることになるので、更なる集積度の向上を実現することができる。

[0039] 上記回路基板は、入力用の外部接続端子と出力用の外部接続端子とを備え、上記入力用の外部接続端子と出力用の外部接続端子とは、交互に配置されて一連の列を構成することが好ましい。すなわち、本形態は、複数の外部接続端子が入力用と出力用とに分けられたときの好ましい形態である。複数の外部接続端子が一つの基板に形成される場合、一つの列を構成することが、集積度の向上の観点からは好ましいが、更に入力用の外部接続端子と出力用の外部接続端子とを交互に配置することで、これらが一つの回路で用いられる場合に、回路を一方向に向かわせることが容易となるため、装置構成が更に効率化され、集積度が向上する。

[0040] 上記回路基板は、表示領域と周辺回路領域とを含んで構成される表示装置用回路基板であり、上記外付け部材は、周辺回路領域に配置されていることが好ましい。本発明の回路基板を表示装置用回路基板として用いた場合には、トランジスタ等の回路素子の特性の劣化を起こすことなく周辺回路領域の面積が大幅に削減されることになるので、表示装置に適用した場合に、性能に優れ、かつ額縁面積の小さな表示装置を得ることができる。

- [0041] 上記引き回し配線は、外部接続端子から表示領域と遠ざかる方向に延伸され、屈曲部を経て表示領域に向かって延伸されていることが好ましい。回路基板の設計によっては、引き回し配線は、外部接続端子から一旦、表示領域と逆方向に向かって延伸することが好ましい場合があるが、そのような場合であっても、本発明の回路基板の構成によれば、効率よく引き回し配線を形成することができる。
- [0042] 本発明は更に、支持基板上に、回路配線及びトランジスタを含むトランジスタ回路、並びに、外部接続端子が載置されたトランジスタ回路基板と、該トランジスタ回路基板上に取り付けられた外付け部材とで構成される回路基板であって、上記外付け部材は、導電部材を介して外部接続端子と電気的かつ物理的に接続されており、上記トランジスタ回路は、外部接続端子と横並びに配置されている回路基板（以下、本発明の第三の回路基板ともいう。）でもある。すなわち、本発明の第三の回路基板は、本発明の第一の回路基板が備えるトランジスタの特徴を含んだ形態であり、したがって、本発明の第三の回路基板は、上述までの本発明の第一の回路基板における好ましい形態のいずれも適用することができる。また、本発明の第三の回路基板が備える回路配線が、本発明の第二の回路基板のように、微細回路配線を含む場合には、上述までの本発明の第二の回路基板における好ましい形態のいずれも適用することができる。なお、本発明の第三の回路基板が備える回路配線は、上記微細回路配線を含むことが好ましい。これにより、回路配線の機能を保持しつつ、回路配線が占める面積を削減することができる。
- [0043] 上記トランジスタ回路は、横並びに複数配置されて構成されて一つの列を構成することが好ましい。また、上記外部接続端子は、横並びに複数配置されて構成されて一つの列を構成することが好ましい。回路基板が複数のトランジスタ回路又は外部接続端子を含む場合には、これらのトランジスタ回路又は外部接続端子は、いずれも一列に並んで配置されることが、集積度の向上の観点から好ましい。
- [0044] 上記トランジスタ回路と外部接続端子とは、交互に配置されて一連の列を構

成することが好ましい。回路基板が、複数のトランジスタ回路、及び、複数の外部接続端子を含む場合には、これらは、交互に横並びに配置された複数列となることが、トランジスタ回路と外部接続端子とを効率的に接続し、かつ、これらの占有面積を少なくする点で好ましい。

[0045] 本発明はまた、上記回路基板を備える表示装置であって、上記回路基板は、表示領域と周辺回路領域とで構成され、上記外付け部材は、周辺回路領域に配置されている表示装置でもある。本発明の第一、第二又は第三の回路基板を表示装置に適用することで、トランジスタ及び回路配線の特性の劣化が抑制され、かつ狭額縁化が実現された表示装置を得ることができる。

### 発明の効果

[0046] 本発明の回路基板の構成によれば、トランジスタ及び／又は微細回路配線が、外部接続端子と横並びに配置されることになるため、外部接続端子に対して外付け部材を圧着させる際に負荷される圧力の影響がトランジスタ及び／又は微細回路配線に及ぶことを効果的に減少させることができ、結果として、トランジスタ及び微細回路配線の特性の劣化を生じさせにくくすることができる。また、例えば、本発明の回路基板を表示装置に適用させた場合には、これらトランジスタ及び微細回路配線の特性の劣化を引き起こすことなく、額縁領域の減少を実現することができる。

### 図面の簡単な説明

[0047] [図1]実施形態1の回路基板の平面模式図である。

[図2]実施形態1の回路基板の断面模式図であり、図1のA－B線の切断面を示す。

[図3]実施形態1の回路基板の平面模式図であり、図1のC－D線の切断面を示す。

[図4]実施形態2の回路基板の平面模式図である。

[図5]実施形態2の回路基板の断面模式図であり、図4のE－F線の切断面を示す。

[図6]実施形態3の回路基板の平面模式図である。

[図7]実施形態3の回路基板の断面模式図であり、図6のG－H線の切断面を示す。

[図8]参考例1の回路基板の平面模式図である。

[図9]参考例1の回路基板の断面模式図であり、図8のI－J線の切断面を示す。

### 発明を実施するための形態

[0048] 以下に実施形態を掲げ、本発明について図面を参照して更に詳細に説明するが、本発明はこれらの実施形態のみに限定されるものではない。

[0049] (実施形態1)

図1は、実施形態1の回路基板の平面模式図である。実施形態1の回路基板は、トランジスタ及び外部接続端子を有するトランジスタ基板を含むという点では本発明の第一の回路基板であり、微細回路配線を含む回路配線及び外部接続端子を有する回路配線基板を含むという点では本発明の第二の回路基板であり、回路配線、トランジスタ及び外部接続端子を有するトランジスタ回路基板を含むという点では本発明の第三の回路基板である。

[0050] 図1に示すように、実施形態1の回路基板は、表示領域90と周辺回路領域92とで構成されている。表示領域90は、画素領域91と、その周囲を取り囲むシール領域93とで構成されている。実施形態1の回路基板は、表示領域90と周辺回路領域92とのいずれにも回路が形成されているため、表示素子の制御を行う回路と該表示素子の制御を行う回路を制御する周辺回路とが一つの支持基板上に設けられたフルモノリシック型の回路基板である。また、周辺回路領域92において、外付け部材60を備えているので、一つの支持基板上に複数の回路が載置されたトランジスタ回路基板10と、該トランジスタ回路基板10と接続される外付け部材60とで構成された回路基板でもある。なお、このように一つのトランジスタ回路基板10に表示素子の制御を行うことができる表示領域90と、該表示領域90を制御する周辺回路領域92とが構成されていることから、実施形態1の回路基板は表示装置用の基板として好適に用いられる。

[0051] 周辺回路領域 92 には、外付け部材 60 と接続された外部接続端子 50 が複数、互いに横並びに配列されており、表示領域 90 と周辺回路領域 92 との境界線に沿って列をなしている。各外部接続端子 50 には、回路配線及びトランジスタを含む回路（以下、トランジスタ回路ともいう。）70 が端子引き出し配線 80 を介して接続されており、外部接続端子 50 は、該トランジスタ回路 70 を介して表示領域 90 を構成する画素領域 91 に接続されている。トランジスタ回路 70 もまた、互いに横並びに設けられており、表示領域 90 と周辺回路領域 92 との境界線に沿って列をなしている。これら複数のトランジスタ回路 70 は、表示領域 90 と周辺回路領域 92 との境界線付近で一体化されている。このように複数のトランジスタ回路 70 が互いに接続されることで、一つの大きな回路を構成することができる。周辺回路領域 92 に形成されるトランジスタ回路 70 の種類は特に限定されず、トランスミッションゲート、ラッチ回路、タイミングジェネレータ、電源回路等によるインバータ等の回路を含むドライバ回路のほか、バッファ回路、デジタル－アナログ変換回路（DAC 回路）、シフトレジスタ、サンプリングメモリ等の回路が挙げられる。ドライバ回路としては、ソースドライバ回路、ゲートドライバ回路等が挙げられる。なお、外部接続端子 50 とトランジスタ回路 70 とはこのように横並びに配置されているため、実質的に互いに重なって配置されていない。

[0052] このように、外部接続端子 50 及びトランジスタ回路 70 のいずれもが表示領域 90 と周辺回路領域 92 との境界線に沿って列をなしているが、これらは横並びに交互に配置されており、トランジスタ回路 70 と外部接続端子 50 とで構成される一つの複合列をなしている。これら外部接続端子 50 及びトランジスタ回路 70 で構成される列は、周辺回路領域 92 の面積を少なくするために、周辺回路領域 92 の中でも比較的表示領域 90 に近い側の領域に構成されている。ただし、トランジスタ回路 70 については外部接続端子 50 よりも広い面積を確保する必要があり、表示領域 90 側と離れた額縁側にまで広がって形成されている。このように外部接続端子 50 とトランジスタ

タ回路 70 とが交互に横並びに形成される形態は、外部接続端子 50 とトランジスタ回路 70 とを横並びに配置し、互いが重ならないように配置するという制限を考慮すると、周辺回路領域 92 の面積（額縁面積）を減らす点で効率的な配置形態といえる。

[0053] 複数の外部接続端子 50 のそれぞれは外付け部材 60 と接続されている。外部接続素子 50 は、いずれも導電性を有する部材を用いて構成されており、外付け部材 60 が備える導電性を有する部材と重ね合わせることで、互いに電氣的に接続することが可能となる。実施形態 1 において外付け部材 60 は、導電性の突起物（バンプ又は外部接続配線）を備えるフレキシブルプリント基板（FPC）60 が用いられている。実施形態 1 において用いられる外付け部材 60 の例としては、FPC の他に、抵抗器、コンデンサ、コイル、コネクタ、ダイオード、トランジスタ等の回路素子からなる電子部品、あるいは、これらの回路素子を含む集積回路（IC）が搭載されたチップ（COG 又は COF）が挙げられる。また、その他にプリント配線板（PWB）、プリント回路板（PCB）、テープキャリアパッケージ（TCP）が挙げられる。

[0054] 周辺回路領域 92 においては、これら外部接続端子 50 及びトランジスタ回路 70 のいずれに対しても、トランジスタ回路基板 10 の主面に対し垂直の方向から見たときに、外部接続端子 50 と接続されるフレキシブルプリント基板（FPC）60 が重なって配置されている。これにより、周辺回路領域 92 の面積（額縁面積）を効果的に減らすことができる。一方、実施形態 1 の回路基板では、外部接続端子 50 とトランジスタ回路 70 とは、トランジスタ回路基板 10 の主面に対し垂直の方向から見たときに、横並びに、すなわち、実質的に互いに重ならないように配置されている。そのため、トランジスタ回路 70 に対し FPC 60 が重なるように配置されたとしても、トランジスタ回路基板 10 に対し FPC 60 が圧着される際のトランジスタ回路 70 内への圧力の負荷によるトランジスタ回路内の微細回路配線の短絡及びトランジスタの特性の劣化を抑制することができる。

[0055] 表示領域 90 のうちシール領域 93 は、表示素子を構成する部材を複数互いに張り合わせるための封止部材が用いられる領域であり、実際には表示に寄与しない領域である。一方、表示領域 90 のうち画素領域 91 は、表示領域 90 を構成する複数の小さな単位である画素が形成された領域であり、実際に表示に寄与する領域である。表示領域 90 内に複数の画素が形成され、かつ、画素領域 91 内に形成されたトランジスタ回路によって各画素が駆動制御されることで、精密度の高い良好な表示を得ることができる。そして、周辺回路領域 92 に形成されたトランジスタ回路 70 は、このような画素領域 91 の駆動制御を更に制御するドライバブロック回路となりうるものである。

[0056] 図 2 は、実施形態 1 の回路基板の断面模式図であり、図 1 の A-B 線の切断面を示す。A-B 線による切断面は、外部接続端子を含む。図 2 に示すように、実施形態 1 においてトランジスタ回路基板 10 は、支持基板 1 上にベースコート膜（第一の絶縁膜）11 が一面に形成され、その上に、各種配線、トランジスタ、外部接続端子等が適宜絶縁膜を介して配置されている。支持基板 1 としては、絶縁膜を有する材料が用いられていることが好ましく、例えば、ガラス、樹脂等が挙げられる。また、支持基板 1 は、導電性を有する基材の表面に絶縁膜が形成されたものであってもよい。

[0057] トランジスタとしては、三端子型の電界効果トランジスタ（FET）である薄膜トランジスタ（TFT）20 が用いられている。実施形態 1 においてトランジスタ回路基板 10 は複数の TFT 20 を備え、これら複数の TFT 20 は、それぞれ、半導体層 2、並びに、ゲート電極 31、ソース電極及びドレイン電極の 3 つの電極を備える。半導体層 2 とゲート電極 31 との間にはゲート絶縁膜（第二の絶縁膜）12 が形成されており、支持基板 1 側から、半導体層 2、第二の絶縁膜 12 及びゲート電極 31 の順にこれらが積層されている。ゲート電極 31 が配置されている層と同じ層の TFT 20 横の位置には、ゲート電極 31 と同じ材料で構成される回路配線 32 が形成されている。ゲート電極 31 上には更に無機層間絶縁膜（第三の絶縁膜）13 が一層

以上で形成されている。ソース電極及びドレイン電極 4 1 は、第三の絶縁膜 1 3 上に配置されており、第二の絶縁膜 1 2 及び第三の絶縁膜 1 3 から構成される多層絶縁膜内に設けられたコンタクトホールを介して半導体層 2 と電氣的に接続されている。また、ソース電極及びドレイン電極 4 1 は、一部が延伸されて回路配線 4 2 となり、隣接する T F T 間を接続させている。T F T 2 0 は、ソース電極又はドレイン電極 4 1 より延伸された端子引き出し配線 8 0 を介して外部接続端子 5 0 と接続されている。

[0058] ソース電極及びドレイン電極 4 1 上にある絶縁膜が有機層間絶縁膜（第四の絶縁膜）1 4 であり、第四の絶縁膜 1 4 上には有機層間絶縁膜（第五の絶縁膜）1 5 が形成されている。そして、第五の絶縁膜 1 5 上に、シール部材 8 が配置されている。

[0059] 外部接続端子 5 0 は、複数の導電膜が積層された積層体で構成されている。実施形態 1 においてトランジスタ回路基板 1 0 が備える外部接続端子 5 0 の積層体は、支持基板 1 側から、アルミニウム（A l）、及び、モリブデン（M o）又はインジウム酸化亜鉛（I Z O : I n d i u m   Z i n c   O x i d e）の順に積層された第一導電膜 5 1、並びに、インジウム酸化スズ（I T O : I n d i u m   T i n   O x i d e）で構成される第二導電膜 5 2 が積層されて構成されたものであり、周辺回路領域の他の回路素子、又は、画素領域における回路素子に用いられる材料（A l、M o、I Z O）及び画素電極（I T O）に用いられる材料と同じ材料が用いられている。そのため、例えば、同一の工程で回路配線と外部接続端子の積層体の一部とを一度に形成することが可能となるので、効率的な構成といえる。なお、外部接続端子は、基板主面に対して垂直の方向から見たときに、縦方向に 3 0 0 ~ 3 0 0 0  $\mu$  m、横方向に 2 0 ~ 3 0 0  $\mu$  m の幅で設計されている。また、端子引き出し配線 8 0 の線幅は、基板主面に対して垂直の方向から見たときに、5 ~ 3 5 0  $\mu$  m である。

[0060] 外部接続端子 5 0 は、外付け部材である F P C 6 0 と接続されている。F P C 6 0 は、支持基板 6 1 と該支持基板 6 1 上に形成されたバンプ（導電性突

起物) 62とを含んで構成されている。FPC60は、外部接続端子50と重なる領域にバンプ62を有し、バンプ62と外部接続端子50との間には、バンプ62と外部接続端子50とを物理的かつ電氣的に接続させるための異方性導電膜(ACF)3及び導電性微粒子4が配置されている。ACF3は、外部接続端子50同士が互いに電氣的に接続されないように配置されている。実施形態1のFPC60が備えるバンプ62は、FPC60が備える配線であり、例えば、銅(Cu)、金(Au)等で構成されている。実施形態1において配線(バンプ)62の線幅は、基板主面に対して垂直の方向から見たときに、20~300 $\mu$ mである。また、配線(バンプ)の厚さは、1~50 $\mu$ mである。ACF3としては、例えば、エポキシ、アクリル等の樹脂と熱硬化反応剤とを含む樹脂組成物に、直径2~10 $\mu$ m程度の樹脂ボールにニッケル(Ni)、金(Au)等のメッキを施した導電性微粒子4を一定の割合で含有させたものを用いることができる。このような樹脂組成物に一定の熱を加えることで、ACF3は接着剤として機能する。したがって、トランジスタ回路基板10が備える外部接続端子50とFPC60が備えるバンプ62との間にACF3を貼り付け、一定の熱を与えながらこれらを押し当てて一定圧力を加える、いわゆる熱圧着を行うことで、トランジスタ回路基板10とFPC60とは電氣的かつ物理的に接続されることになる。

[0061] このように、外部接続端子50とFPC60とは、例えば、圧着により一体化させることが可能であるが、圧着時においては、外部接続端子50、ACF3及びバンプ62の3つが重なっている部位が、トランジスタ回路基板10とFPC(外付け部材)60とを支える支柱となり、この領域において最も大きな圧力が負荷される。また、この支柱となる部位は、トランジスタ回路基板10とFPC60との間の距離の中で最も短い距離を有する部位である。また、圧着時には、外部接続端子50とバンプ62との間の距離は、導電性微粒子4の粒径以下の大きさとなるので、外部接続端子と重なる領域に位置するACF3内の導電性微粒子4はその圧力により、図2に示すように、形状が楕円形となり、外部接続端子50には図2中の黒矢印の方向に一定

量の圧力が負荷されることになる。このとき、トランジスタ回路70と外部接続端子50とが互いに重なっていれば、圧着時の圧力によってトランジスタ回路70内の微細回路配線及びトランジスタ20に特性劣化が生じうるが、実施形態1においてトランジスタ回路70と外部接続端子50とは、横並びに配置され、実質的に互いに重ならないように配置されているため、トランジスタ基板10とFPC60との圧着が要因となって生じうる回路配線の短絡、及び、トランジスタ20の特性の劣化を抑制することができる。

[0062] 図3は、実施形態1の回路基板の断面模式図であり、図1のC-D線の切断面を示す。C-D線による切断面は、回路配線及びトランジスタを含む。図3に示すように、実施形態1においてトランジスタ回路基板10は、複数のトランジスタ20を含んで構成されるトランジスタ回路70を含んで構成されており、該トランジスタ回路70と重なる位置にFPC60が配置されている。また、トランジスタ回路基板10とFPC60との間にはACF3が形成されているが、トランジスタ20と重なる領域におけるトランジスタ回路基板10とFPC60との間の距離は、外部接続端子50と重なる領域におけるトランジスタ回路基板10とFPC60との間の距離よりも短くなっている。したがって、図3中の白抜き矢印が示すように、トランジスタ回路70と重なる領域においてACF3には十分なスペースが形成されており、下層に位置するトランジスタ回路70に対して導電性微粒子4によって圧迫される影響は少ない。そのため、外部接続端子50に対しFPC60の圧着を行ったとしても、この領域においてはトランジスタ回路70に負荷される圧力が少ない。また、上記図2（A-B線の断面図）で示されたバンプ62と外部接続端子50との間で十分に電気的かつ物理的な圧着が行われるため、トランジスタ回路70と重なる領域において外部接続端子とFPCとの間に負荷される大きさと同等の圧力が負荷される必要もない。

[0063] （実施形態2）

図4は、実施形態2の回路基板の平面模式図である。実施形態2の回路基板は、トランジスタ及び外部接続端子を有するトランジスタ基板を含むという

点では本発明の第一の回路基板であり、微細回路配線を含む回路配線及び外部接続端子を有する回路配線基板を含むという点では本発明の第二の回路基板であり、回路配線、トランジスタ及び外部接続端子を有するトランジスタ回路基板を含むという点では本発明の第三の回路基板である。

[0064] 図4に示すように、実施形態2の回路基板は、表示領域90と周辺回路領域92とで構成されている。表示領域90は、画素領域91と、その周囲を取り囲むシール領域93とで構成されている。実施形態2の回路基板は、表示領域90と周辺回路領域92とのいずれにも回路が形成されているため、表示素子の制御を行う回路と該表示素子の制御を行う回路を制御する周辺回路とが一つの支持基板上に設けられたフルモノリシック型の回路基板である。また、周辺回路領域92において、3つの外付け部材、フレキシブルプリント基板（FPC）160、ICが搭載されたCOG260、及び、抵抗器、コンデンサ、コイル、コネクタ、ダイオード、トランジスタ等の単一の電子部品360を備えているので、一つの支持基板上に複数の回路が載置されたトランジスタ回路基板10と、該トランジスタ回路基板10と接続される外付け部材とで構成された回路基板でもある。なお、このように一つのトランジスタ回路基板10に、表示素子の制御を行うことができる表示領域90と、該表示領域90を制御する周辺回路領域92とが構成されていることから、実施形態2の回路基板は表示装置用の基板として好適に用いられる。

[0065] 実施形態2の回路基板が備える外部接続端子は、FPC160と接続される第一の外部接続端子150と、COG260と接続される第二の外部接続端子250と、電子部品360と接続される第三の外部接続端子350との3種に分けられる。周辺回路領域92には、これら複数の外部接続端子150、250、350が互いに横並びに配置されており、表示領域90と周辺回路領域92との境界線に沿って複数の列をなしている。このように外部接続端子150、250、350をそれぞれ一列に並べることは、集積度の向上及び額縁領域の減少の観点から好ましい。実施形態2の回路基板においては、外部接続端子で構成される列が2列配列されている。また、この2列のい

ずれもが、各外付け部材 160、260、360 の片側の辺に沿って配置されている。このうち、よりトランジスタ回路基板 10 の額縁側に位置する外部接続端子の列は第一の外部接続端子 150 で構成されており、よりトランジスタ回路基板 10 の表示領域 90 側に位置する外部接続端子の列は第二の外部接続端子 250 及び第三の外部接続端子 350 で構成されている。また、各外付け部材は、各外部接続端子と重なって配置されているため、狭額縁化が実現されている。なお、図 4 においてこれら外部接続端子の列はいずれも直線状に配置されているが、一連の列をなす限り、例えば、千鳥状（ジグザグ状）に配置されていてもよい。

[0066] 第一の外部接続端子 150 と、第二の外部接続端子 250 又は第三の外部接続端子 350 との間には、第一の端子引き出し配線 81 が設けられている。第一の端子引き出し配線 81 は、第一の外部接続端子 150 から画素領域 91 の方向に延伸された配線である。

[0067] 周辺回路領域 92 には、回路配線とともにトランジスタを含む 2 つの回路（トランジスタ回路）が、互いに横並びに、表示領域 90 と周辺回路領域 92 との境界線に沿って列をなして形成されている。このうち一方は、COG 260 と重なって配置されたトランジスタ回路（以下、第一のトランジスタ回路ともいう。）170 であり、もう一方は、電子部品 360 と重なって配置されたトランジスタ回路（以下、第二のトランジスタ回路ともいう。）270 である。これら第一のトランジスタ回路 170 と第二のトランジスタ回路 270 との間には引き回し配線 5 が形成されており、互いに接続されることで、一つの大きな回路を構成することができる。なお、第一の外部接続端子 150 と第三の外部接続端子 350 との間にもトランジスタ回路（以下、第三のトランジスタ回路ともいう。）370 が形成されている。第三のトランジスタ回路 370 によって、第一の端子引き出し配線 81 は二つに分割されている。周辺回路領域 92 に形成されるトランジスタ回路の種類は特に限定されず、トランスミッションゲート、ラッチ回路、タイミングジェネレータ、電源回路等によるインバータ等の回路を含むドライバ回路のほか、バッフ

ア回路、デジタルーアナログ変換回路（DAC回路）、シフトレジスタ、サンプリングメモリ等の回路が挙げられる。ドライバ回路としては、ソースドライバ回路、ゲートドライバ回路等が挙げられる。

[0068] 第二の外部接続端子250は、COG260を介して、隣接する他の第二の外部接続端子250と接続されている。第一の端子引き出し配線81と直接接続されている第二の外部接続端子が入力用外部接続端子250aであり、該隣接する他の第二の外部接続端子が出力用外部接続端子250bである。また、第二の外部接続端子（出力用外部接続端子）250bは、第二の外部接続端子（出力用外部接続端子）250bから画素領域91に向かって延伸された第二の端子引き出し配線82を介して第一のトランジスタ回路170と接続されている。そして、第一のトランジスタ回路170から延伸された引き回し配線5によって、第一のトランジスタ回路170は、画素領域91と接続される。第一のトランジスタ回路170からは、直線で（最短距離で）画素領域91に向かって複数の引き回し配線5が延伸されている。

[0069] 第三の外部接続端子350は、電子部品360を介して、隣接する他の第三の外部接続端子350と接続されている。第一の端子引き出し配線81と直接接続されている第三の外部接続端子が入力用外部接続端子350aであり、該隣接する他の第三の外部接続端子が出力用外部接続端子350bである。また、第三の外部接続端子（出力用外部接続端子）350bは、第三の外部接続端子（出力用外部接続端子）350bから画素領域91に向かって延伸された第二の端子引き出し配線82を介して第二のトランジスタ回路270と接続されている。そして、第二のトランジスタ回路270から延伸された引き回し配線5によって、第二のトランジスタ回路270は、画素領域91と接続される。第二のトランジスタ回路270からは、直線で（最短距離で）画素領域に向かって引き回し配線5が延伸されている。

[0070] 実施形態2において第一の外部接続端子150は、基板主面に対して垂直の方向から見たときに、縦方向に300～3000 $\mu$ m、横方向に20～300 $\mu$ mの幅で設計されている。また、第二の外部接続端子250及び第三の

外部接続端子 350 はいずれも、基板主面に対して垂直の方向から見たときに、縦方向に  $50 \sim 500 \mu\text{m}$ 、横方向に  $20 \sim 100 \mu\text{m}$  の幅で設計されている。第二の外部接続端子 250 と第三の外部接続端子 350 とを比較すると、これらの面積は同程度であり、第一の外部接続端子 150 と第二の外部接続端子 250 及び第三の外部接続端子 350 とを比較すると、面積は第一の外部接続端子 150 の方が大きい。

[0071] 実施形態 2 において第二の外部接続端子 250 及び第三の外部接続端子 350 は、入力用の外部接続端子 250 a, 350 a と出力用の外部接続端子 250 b, 350 b とが横並びに交互に配置されており、かつ、COG の額縁側（画素領域 91 と逆側）に集められて配置されているので、回路を一方向に向かうように設計しやすくなっており、集積度の向上及び額縁領域の減少を更に図ることができる。

[0072] 第二の外部接続端子（出力用外部接続端子）250 b のいくつかは、トランジスタ回路を介さずに画素領域 91 と接続されている。トランジスタ回路を介さずに画素領域 91 と接続される第二の外部接続端子（出力用外部接続端子）250 b は、第三の端子引き出し配線 83、及び、該第三の端子引き出し配線 83 と接続された引き回し配線 5 を介して画素領域と接続されている。引き回し配線 5 は微細回路配線であり、外部接続端子と横並びに配置されることで、外部接続端子と実質的に重ならないものとなっている。なお、本実施形態においては、導電部材として、後述するように異方性導電膜（ACF）内の導電性微粒子が用いられており、この導電性微粒子単体が 1 つの導電部材を構成しており、この導電部材は、引き回し配線（微細回路配線）5 と重ね合わせたときに、引き回し配線（微細回路配線）5 を横切ることが可能な程度の幅を有する。なお、導電部材の幅は、 $2 \sim 10 \mu\text{m}$  程度である。引き回し配線 5 を細く形成することで、額縁領域の縮小化を行うことができる。なお、実施形態 2 における引き回し配線 5 のうち、幅の狭い部分の線幅は、 $2 \sim 3 \text{ nm}$  である。引き回し配線 5 は、一定の長さで延伸された後、直角に曲がり、画素領域 91 の適切な部位に集約されるよう設計がなされている。

る。第二の外部接続端子（出力用外部接続端子）250bから延伸された第三の端子引き出し配線83は、隣接する他の第二の外部接続端子（出力用外部接続端子）250bから延伸された第三の端子引き出し配線83と延伸長さが異なっている。このように長さを変えることにより、引き回し配線5を効率よく形成することができるようになり、集積度の向上及び額縁面積の削減が実現される。

[0073] 以上のように、実施形態2においては、FPC160から、以下の3種の経路によって画素領域まで接続されている。第一の経路は、FPC160から、第一の外部接続端子150、第一の端子引き出し配線81、第二の外部接続端子（入力用外部接続端子）250a、COG260、第二の外部接続端子（出力用外部接続端子）250b、第二の端子引き出し配線82、第一のトランジスタ回路170、及び、引き回し配線5を介して画素領域91まで接続される経路である。第二の経路は、FPC160から、第一の外部接続端子150、第一の端子引き出し配線81、第二の外部接続端子（入力用外部接続端子）250a、COG260、第二の外部接続端子（出力用外部接続端子）250b、第三の端子引き出し配線82、及び、引き回し配線5を介して画素領域91まで接続される経路である。第三の経路は、FPC160から、第一の外部接続端子150、第一の端子引き出し配線81、第三のトランジスタ回路370、第一の端子引き出し配線81、第三の外部接続端子（入力用外部接続端子）350a、電子部品360、第三の外部接続端子（出力用外部接続端子）350b、第二の端子引き出し配線82、第二のトランジスタ回路270、及び、引き回し配線5を介して画素領域91まで接続される経路である。

[0074] このように、（1）トランジスタ回路と外部接続端子とが横並びに配置され、トランジスタ回路基板の主面に対し垂直の方向から見たときに、実質的に互いに重ならず配置されていること、（2）外部接続端子を外付け部材の片側の辺に沿って一連の列で配列すること、（3）外付け部材を介して互いに接続される入力用及び出力用の2つの外部接続端子については隣接する箇

所に（交互に）配置すること、（４）外付け部材を介して互いに接続される入力用及び出力用の２つの外部接続端子のいずれについてもＣＯＧの額縁側（画素領域と反対側）に配置すること、（５）外付け部材をトランジスタ等の回路素子と重なるように配置すること等の工夫を行っており、これらによって、外部接続端子と外付け部材とが圧着される際に生じうる微細回路配線の短絡及びトランジスタの特性の劣化を防ぎつつ、周辺回路領域の面積を削減することを可能としている。

[0075] 画素領域 91 には複数の画素が形成されており、各画素に対し、周辺回路領域から延伸されてきた配線が接続されている。したがって、画素領域においては複数の配線が配置されている。また、画素領域において各配線には適宜トランジスタが設けられていてもよく、例えば、画素を駆動するためのスイッチング素子等の役割を果たすものとなる。そして、周辺回路領域に形成された第一のトランジスタ回路 170 及び第二のトランジスタ回路 270 は、このような画素領域 91 の駆動制御を更に制御するドライバブロック回路となりうるものである。

[0076] 図 5 は、実施形態 2 の回路基板の断面模式図であり、図 4 の E-F 線の切断面を示す。図 5 に示すように、実施形態 2 においてトランジスタ回路基板 10 は、支持基板 1 上にベースコート膜（第一の絶縁膜） 11 が一面に形成され、その上に、各種配線、トランジスタ、外部接続端子等が適宜絶縁膜を介して配置されて構成されている。支持基板 1 としては、絶縁膜を有する材料が用いられていることが好ましく、例えば、ガラス、樹脂等が挙げられる。また、支持基板 1 は、導電性を有する基材の表面に絶縁膜が形成されたものであってもよい。

[0077] トランジスタとしては、三端子型の電界効果トランジスタ（FET）である薄膜トランジスタ（TFT） 20 が用いられている。実施形態 2 においてトランジスタ回路基板 10 は複数の TFT 20 を備え、これら複数の TFT 20 は、それぞれ、半導体層 2、並びに、ゲート電極 31、ソース電極及びドレイン電極の 3 つの電極を備える。半導体層 2 とゲート電極 31 との間にはゲ

ート絶縁膜（第二の絶縁膜）１２が形成されており、支持基板１側から、半導体層２、第二の絶縁膜１２及びゲート電極３１の順にこれらが積層されている。ゲート電極３１が配置されている層と同じ層のＴＦＴ２０横の位置には、ゲート電極３１と同じ材料で構成される回路配線３２が形成されている。ゲート電極３１上には更に無機層間絶縁膜（第三の絶縁膜）１３が一層以上で形成されている。ソース電極及びドレイン電極４１は、第三の絶縁膜１３上に配置されており、第二の絶縁膜１２及び第三の絶縁膜１３から構成される多層絶縁膜内に設けられたコンタクトホールを介して半導体層２と電氣的に接続されている。また、ソース電極及びドレイン電極４１が配置されている層と同じ層のＴＦＴ横の位置には、ソース電極及びドレイン電極４１と同じ材料で構成される回路配線４２が形成されている。この回路配線４２は、一部が延伸されて引き回し配線５となり、画素領域９１に接続されている。

[0078] ソース電極及びドレイン電極４１上にある絶縁膜が有機層間絶縁膜（第四の絶縁膜）１４であり、第四の絶縁膜１４上には有機層間絶縁膜（第五の絶縁膜）１５が形成されている。そして、第五の絶縁膜１５上に、シール部材８が配置されている。第四の絶縁膜１４上には、ＴＦＴ上回路配線４５が配置されており、第四の絶縁膜１４に設けられたコンタクトホールを介して隣接するＴＦＴ２０同士等を接続させている。

[0079] 実施形態２のトランジスタ回路基板が備える外部接続端子は、第一の外部接続端子１５０、第二の外部接続端子２５０、及び、第三の外部接続端子３５０の３種類であり、Ｅ－Ｆ線による切断面は、第一の外部接続端子１５０と第二の外部接続端子２５０とを含む。第一の外部接続端子１５０及び第二の外部接続端子２５０は、いずれも複数の導電膜が積層された積層体で構成されている。また、該積層体は、上述のＴＦＴ２０及び回路配線３２、４２を構成する材料を含んでおり、支持基板１側から、ゲート電極３１を構成する材料を含む導電膜２５１、ソース電極及びドレイン電極４１を構成する材料を含む導電膜２５２、ＴＦＴ上配線４５を構成する材料を含む導電膜２５３

、及び、画素領域 91 に用いられる透明性を有する導電膜 254 がこの順に積層されて構成されている。なお、実施形態 2 のトランジスタ回路基板 10 が備える外部接続端子 150、250、350 は、これら以外の材料で形成された導電膜を含んでいてもよい。

[0080] ゲート電極を構成する材料を含む導電膜 251 は、支持基板 1 側からタンタル (Ta) 層、タングステン (W) 層の順に積層された構造を有し、タンタル (Ta) 層の膜厚は 50 nm、タングステン (W) 層の膜厚は 350 nm である。ソース電極及びドレイン電極 41 を構成する材料を含む導電膜 252 は、支持基板 1 側からチタン (Ti) 層、アルミニウム (Al) 層、チタン (Ti) 層の順に積層された構造を有し、チタン (Ti) 層の膜厚はいずれも 100 nm、アルミニウム (Al) 層の膜厚は 500 nm である。TF T 上配線 45 を構成する材料を含む導電膜 253 は、支持基板 1 側からアルミニウム (Al) 層、モリブデン (Mo) 層の順に積層された構造を有し、アルミニウム (Al) 層の膜厚は 400 nm、モリブデン (Mo) 層の膜厚は 100 nm である。画素領域 91 に用いられる透明性を有する導電膜 254 は ITO 層で構成されており、ITO 層の膜厚は 100 nm である。

[0081] このように導電膜が積層して形成された外部接続端子 150、250 は、外付け部材 160、260 とトランジスタ回路基板 10 との間の距離を短くするための膜厚を一定量確保することができる。これにより、外部接続端子 150、250 と重なる領域をトランジスタ回路基板 10 と FPC 160 又は COG 260 との間の距離の中で最も短い距離を有する部位とすることができる。なお、実施形態 2 において導電膜が積層して形成された外部接続端子 150、250 は、トランジスタ回路、画素電極等、他の構成要素に用いる材料で構成されているので、それらの製造工程とは別に製造工程を行う必要がなく、効率的である。

[0082] 実施形態 2 において FPC 160 は、支持基板 161 と、該支持基板 161 上に形成された外部接続配線 (導電性突起物) 162 とを含んで構成されている。また、COG 260 は、支持基板 261 と、該支持基板 261 上に形

成されたバンプ（導電性突起物）262とを含んで構成されている。第一の外部接続端子150はFPC160と、第二の外部接続端子250はCOG260とそれぞれ接続されている。外部接続端子150とFPC160とは、外部接続配線162と外部接続端子150との間に配置され、かつ外部接続配線162と外部接続端子150とを物理的かつ電氣的に接続させるための異方性導電膜（ACF）3及び導電性微粒子4を介して互いに接続されている。また、外部接続端子250とCOG260とは、バンプ262と外部接続端子250との間に配置され、かつバンプ262と外部接続端子250とを物理的かつ電氣的に接続させるための異方性導電膜（ACF）3及び導電性微粒子4を介して接続されている。ACF3は、外部接続端子150、250、350同士が互いに電氣的に接続されないように配置されている。なお、導電部材としては、ACF3内の導電性微粒子4の代わりに、例えば半田を用いることもできる。実施形態2においてFPC160が備える外部接続配線162は、支持基板161上に形成された配線であり、例えば、銅（Cu）、金（Au）等で構成されている。また、COG260が備えるバンプ262は、支持基板261上に形成された電極であり、例えば、銅（Cu）、金（Au）等で構成されている。

[0083] 第一の外部接続端子150と接続される外部接続配線162の幅は、基板主面から垂直方向に見たときに、 $50 \sim 300 \mu\text{m}$ であり、外部接続配線162の厚さは、 $1 \sim 100 \mu\text{m}$ である。また、第二の外部接続端子250と接続されるバンプ262の幅は、基板主面に対して垂直の方向から見たときに、 $1 \sim 100 \mu\text{m}$ であり、バンプ262の厚さは、 $2 \sim 10 \mu\text{m}$ である。外部接続配線162、262としては、外付け部材に専用の電極又は配線を新たに設けたものであっても、外付け部材がもともと備える電極又は配線をそのまま利用したものであってもよい。ACF3としては、例えば、エポキシ、アクリル等の樹脂と熱硬化反応剤との樹脂組成物に、直径 $2 \sim 10 \mu\text{m}$ 程度の樹脂ボールにニッケル（Ni）、金（Au）等のメッキを施した導電性微粒子4を一定の割合で含有させたものを用いることができる。このような

樹脂組成物に一定の熱を加えることで、ACF 3は接着剤として機能する。したがって、トランジスタ回路基板 10が備える外部接続端子 150, 250とFPC 160が備える外部接続配線 162及びCOG 260が備えるバンプ 262との間にACF 3を貼り付け、一定の熱を与えながらこれらを押し当てて一定圧力を加える、いわゆる熱圧着を行うことで、これらトランジスタ回路基板 10とFPC 160及びCOG 260とは電気的かつ物理的に接続されることになる。

[0084] このように、外部接続端子 150, 250とFPC 160及びCOG 260とは、例えば、圧着により一体化させることが可能であるが、圧着時には、外部接続端子 150、ACF 3及び外部接続配線 162の3つが重なっている部位、並びに、外部接続端子 250、ACF 3及びバンプ 262の3つが重なっている部位が、それぞれFPC 160及びCOG 260とトランジスタ回路基板 10とを接続するための支柱となり、この領域において図5中の黒矢印の方向に最も大きな圧力が負荷される。このとき、トランジスタ回路 170と外部接続端子 150, 250とが互いに重なっている場合には、圧着時の圧力によってトランジスタ回路 170内の微細回路配線及びトランジスタに特性劣化が生じうるが、実施形態2においてトランジスタ回路 170と外部接続端子 150, 250とは、横並びに配置され、実質的に互いに重ならないように配置されているため、外部接続端子 150, 250とFPC 160又はCOG 260との圧着が要因となって生じうる微細回路配線の短絡、及び、トランジスタの特性の劣化を抑制することができる。

[0085] 実施形態2においては、トランジスタ回路 170と重なる領域にCOG 260が配置されている。また、第一外部接続端子 150から延伸された第一端子引き出し配線 81と重なる領域において、FPC 160が配置されている。これらトランジスタ回路と重なる領域、及び、端子引き出し配線と重なる領域においても、トランジスタ回路基板 10とFPC 160及びCOG 260の間にはACF 3が形成されているが、このACF 3内には、導電性微粒子 4の粒径よりも大きな高さを持つ十分なスペースがある。そのため、外

部接続端子 150, 250 に対し FPC 160 及び COG 260 の圧着を行ったとしても、トランジスタ回路基板 10、すなわち、その下に形成されているトランジスタ回路 170 及び端子引き出し配線（回路配線）81 への圧力の負荷が少ない。また、外部接続配線 162, 262 と外部接続端子 150, 250 との間で十分に電気的かつ物理的な圧着が行われるため、トランジスタ回路 170 が配置された領域において外部接続端子 150, 250 と FPC 160 又は COG 260 との間に負荷される大きさと同等の圧力が負荷される必要もない。

[0086] 実施形態 2 の回路基板においては、COG 260 と重なる領域において、第五の絶縁膜 15 上に支柱用のバンプ 262 よりも小さなサイズのダミーバンプ 263 を備えている。このダミーバンプ 263 の幅は、基板主面に対して垂直の方向から見たときに、 $2 \sim 20 \mu\text{m}$  であり、ダミーバンプ 263 の厚さは、 $5 \sim 20 \mu\text{m}$  である。このように下の回路の隙間を縫うようにダミーバンプ 263 を配置することで、圧着時においても、その下に形成されている微細回路配線やトランジスタに与える影響を少なくすることができる。ダミーバンプ 263 は、支柱となる外部接続端子 250 と重なる領域に位置するバンプ 262 に対して、COG 260 をトランジスタ回路基板 10 に対し互いに面が平行にバランスよく配置されるための副柱として設けられるものである。なお、ダミーバンプ 263 は、ACF 3 を介して配置されていない。そのため、ダミーバンプによって ACF 内の導電性微粒子 4 が圧着時にダミーバンプによって圧迫される影響は少ない。

[0087] （実施形態 3）

図 6 は、実施形態 3 の回路基板の平面模式図である。実施形態 3 の回路基板は、トランジスタ及び外部接続端子を有するトランジスタ基板を含むという点では本発明の第一の回路基板であり、微細回路配線を含む回路配線及び外部接続端子を有する回路配線基板を含むという点では本発明の第二の回路基板であり、回路配線、トランジスタ及び外部接続端子を有するトランジスタ回路基板を含むという点では本発明の第三の回路基板である。

[0088] 図6に示すように、実施形態3の回路基板は、表示領域90と周辺回路領域92とで構成されている。表示領域90は、画素領域91と、その周囲を取り囲むシール領域93とで構成されている。実施形態3の回路基板は、表示領域90と周辺回路領域92とのいずれにも回路が形成されているため、表示素子の制御を行う回路と該表示素子の制御を行う回路を制御する周辺回路とが一つの支持基板上に設けられたフルモノリシック型の回路基板である。また、周辺回路領域92において、3つの外付け部材、フレキシブルプリント基板（FPC）160、ICが搭載されたCOG460、及び、抵抗器、コンデンサ、コイル、コネクタ、ダイオード、トランジスタ等の単一の電子部品560を備えているので、一つの支持基板上に複数の回路が載置されたトランジスタ回路基板10と、該トランジスタ回路基板10と接続される外付け部材とで構成された回路基板でもある。なお、このように一つのトランジスタ回路基板10に、表示素子の制御を行うことができる表示領域90と、該表示領域90を制御する周辺回路領域92とが構成されていることから、実施形態3の回路基板は表示装置用の基板として好適に用いられる。

[0089] 実施形態3の回路基板が備える外部接続端子は、FPC160と接続される第一の外部接続端子150と、COG460と接続される第二の外部接続端子250と、電子部品560と接続される第三の外部接続端子350との3種に分けられる。周辺回路領域92には、これら複数の外部接続端子150、250、350が、互いに横並びに配置されており、表示領域90と周辺回路領域92との境界線に沿って複数の列をなしている。実施形態3の回路基板においては、外部接続端子で構成される列が3列配列されている。また、この3列のいずれもが、各外付け部材160、460、560の片側の辺に沿って配置されている。このうち、トランジスタ回路基板10の最も額縁側に位置する列は第一の外部接続端子150で構成されており、より表示領域90側に位置する2つの列は第二の外部接続端子250及び第三の外部接続端子350で構成されている。また、このように各外付け部材は外部接続端子と重なって配置されているため、狭額縁化が実現されている。なお、図

6においてこれら外部接続端子の列はいずれも直線状に配置されているが、一連の列をなす限り、例えば、千鳥状（ジグザグ状）に配置されていてもよい。

[0090] 第一の外部接続端子 150 と第二の外部接続端子 250 又は第三の外部接続端子 350 との間には、第一の端子引き出し配線 81 が設けられている。第一の端子引き出し配線 81 は、第一の外部接続端子 150 から画素領域の方向に延伸された配線である。

[0091] 周辺回路領域 92 には、回路配線とともにトランジスタを含む 2 つの回路（トランジスタ回路）が、互いに横並びに、表示領域 90 と周辺回路領域 92 との境界線に沿って列をなして形成されている。このうち一方は、COG460 と重なって配置された第一のトランジスタ回路 170 であり、もう一方は、電子部品 560 と重なって配置された第二のトランジスタ回路 270 である。これら第一のトランジスタ回路 170 と第二のトランジスタ回路 270 との間には引き回し配線 5 が形成されており、互いに接続されることで、一つの大きな回路を構成することができる。なお、第一の外部接続端子 150 と第三の外部接続端子 350 との間には、第三のトランジスタ回路 370 が形成されており、これにより、第一の端子引き出し配線 81 は二つに分割されている。周辺回路領域 92 に形成されるトランジスタ回路の種類は特に限定されず、トランスミッションゲート、ラッチ回路、タイミングジェネレータ、電源回路等によるインバータ等の回路を含むドライバ回路のほか、バッファ回路、デジタルーアナログ変換回路（DAC 回路）、シフトレジスタ、サンプリングメモリ等の回路が挙げられる。ドライバ回路としては、ソースドライバ回路、ゲートドライバ回路等が挙げられる。

[0092] 第二の外部接続端子 250 は、COG460 を介して、第一のトランジスタ回路 170 を挟んで対向する他の第二外部接続端子と接続されている。第一の端子引き出し配線 81 と直接接続されている第二の外部接続端子が入力用外部接続端子 250a であり、該対向する他の第二の外部接続端子が出力用外部接続端子 250b である。また、第二の外部接続端子（出力用外部接続

端子) 250bは、該第二の外部接続端子(出力用外部接続端子) 250bから額縁方向(画素領域と逆方向)に延伸された第二の端子引き出し配線82を介して第一のトランジスタ回路170と接続されている。そして、第一のトランジスタ回路170と接続された引き回し配線5によって、第一のトランジスタ回路170は、画素領域91と接続される。第一のトランジスタ回路170からは、直線で(最短距離で)画素領域91に向かって複数の引き回し配線5が延伸されている。

[0093] 第三の外部接続端子350は、電子部品560を介して、第二のトランジスタ回路270を挟んで対向する他の第三の外部接続端子と接続されている。第一の端子引き出し配線81と直接接続されている第三の外部接続端子が入力用外部接続端子250aであり、該対向する他の第三の外部接続端子が出力用外部接続端子250bである。また、第三の外部接続端子(出力用外部接続端子) 350bは、該第三の外部接続端子(出力用外部接続端子) 350aから額縁方向(画素領域と逆方向)に延伸された第二の端子引き出し配線82を介して第二のトランジスタ回路270と接続されている。そして、第二のトランジスタ回路270と接続された引き回し配線5によって、第二のトランジスタ回路270は、画素領域91と接続される。第二のトランジスタ回路270からは、直線で(最短距離で)画素領域91に向かって複数の引き回し配線5が延伸されている。

[0094] 実施形態3において第一の外部接続端子150は、基板主面に対して垂直の方向から見たときに、縦方向に300~3000 $\mu$ m、横方向に20~300 $\mu$ mの幅で設計されている。また、第二の外部接続端子250及び第三の外部接続端子350は、入力用外部接続端子250a, 350aについてはいずれも、基板主面に対して垂直の方向から見たときに、縦方向に400~800 $\mu$ m、横方向に100~300 $\mu$ mの幅で設計されている。出力用外部接続端子250b, 350bについてはいずれも、基板主面に対して垂直の方向から見たときに、縦方向に100~200 $\mu$ m、横方向に20~40 $\mu$ mの幅で設計されている。第二の外部接続端子250及び第三の外部接続

端子 350 の面積を比較すると、入力用外部接続端子 250 a, 350 a についてはこれらの面積は同程度であり、出力用外部接続端子 250 b, 350 b についても、これらの面積は同程度である。一方、入力用外部接続端子 250 a, 350 a と出力用外部接続端子 250 b, 350 b とを比較すると、面積は入力用外部接続端子 250 a, 350 a の方が大きい。第一の外部接続端子 150 と第二の外部接続端子 250 及び第三の外部接続端子 350 とを比較すると、面積は第一の外部接続端子 150 の方が大きい。

[0095] 第二の外部接続端子（出力用外部接続端子）250 b のいくつかは、トランジスタ回路を介さずに画素領域 91 と接続されている。トランジスタ回路を介さずに画素領域 91 と接続される第二の外部接続端子（出力用外部接続端子）250 b は、第三の端子引き出し配線 83 及び該第三の端子引き出し配線 83 と接続された引き回し配線 5 を介して画素領域 91 と接続されている。第二の外部接続端子（出力用外部接続端子）250 b から延伸された第三の端子引き出し配線 83 は、額縁方向（画素領域と逆方向）に向かって延伸されているため、該第三の端子引き出し配線 83 と接続された引き回し配線 5 は、2 度直角に屈曲して第二の外部接続端子（出力用外部接続端子）250 b を迂回することで、画素領域 91 の適切な部位に集約されるよう設計がなされている。このように、実施形態 3 において引き回し配線 5 は、外部接続端子から一旦画素領域 91（表示領域 90）と遠ざかる方向に延伸され、屈曲部を 2 箇所経て、画素領域 91（表示領域 90）に向かって延伸されている。引き回し配線 5 は微細回路配線であり、外部接続端子と横並びに配置されることで、外部接続端子と実質的に重ならないものとなっている。なお、本実施形態においては、導電部材として、後述するように異方性導電膜（ACF）内の導電性微粒子が用いられており、この導電性微粒子単体が 1 つの導電部材を構成しており、この導電部材は、引き回し配線（微細回路配線）5 と重ね合わせたときに、引き回し配線（微細回路配線）5 を横切ることが可能な程度の幅を有する。なお、導電部材の幅は、2 ～ 10  $\mu\text{m}$  程度である。引き回し配線 5 を細く形成することで、額縁領域の縮小化を行うことが

できる。なお、実施形態 3 において引き回し配線 5 の狭い部分での線幅は、  
2 ～ 3 n m である。

[0096] 以上のように、実施形態 3 においては、F P C 1 6 0 から、以下の 3 種の経路によって画素領域まで接続されている。第一の経路は、F P C 1 6 0 から、第一の外部接続端子 1 5 0、第一の端子引き出し配線 8 1、第二の外部接続端子（入力用外部接続端子）2 5 0 a、C O G 4 6 0、第二の外部接続端子（出力用外部接続端子）2 5 0 b、第三の端子引き出し配線 8 3、第一のトランジスタ回路 1 7 0、及び、引き回し配線 5 を介して画素領域まで接続される経路である。第二の経路は、F P C 1 6 0 から、第一の外部接続端子 1 5 0、第一の端子引き出し配線 8 1、第二の外部接続端子（入力用外部接続端子）2 5 0 a、C O G 4 6 0、第二の外部接続端子（出力用外部接続端子）2 5 0 b、第三の端子引き出し配線 8 3、及び、引き回し配線 5 を介して画素領域まで接続される経路である。第三の経路は、F P C 1 6 0 から、第一の外部接続端子 1 5 0、第一の端子引き出し配線 8 1、第三のトランジスタ回路 3 7 0、第一の端子引き出し配線 8 1、第三の外部接続端子（入力用外部接続端子）2 5 0 a、電子部品 5 6 0、第三の外部接続端子（出力用外部接続端子）2 5 0 b、第三の端子引き出し配線 8 3、第二のトランジスタ回路 2 7 0 及び引き回し配線 5 を介して画素領域まで接続される経路である。

[0097] このように、（１）トランジスタ回路と外部接続端子とが横並びに配置され、トランジスタ回路基板の主面に対し垂直の方向から見たときに、実質的に互いに重ならないように配置されていること、（２）外部接続端子を外付け部材の片側の辺に沿って横並びに配列すること、（３）外付け部材を介して互いに接続される外部接続端子についてはトランジスタ回路を挟んで対向する箇所に配置すること、（４）外付け部材をトランジスタ等の回路素子と重なるように配置すること等の工夫を行っており、これらによって、外部接続端子と外付け部材とが圧着される際に生じうる微細回路配線の短絡及びトランジスタの特性の劣化を防ぎつつ、周辺回路領域の面積を削減することを可

能としている。

[0098] 画素領域 9 1 には複数の画素が形成されており、各画素に対し、周辺回路領域 9 2 から延伸されてきた配線がそれぞれ接続されている。したがって、画素領域 9 1 においては複数の配線が配置されている。画素領域 9 1 において各配線には適宜トランジスタが設けられていてもよく、例えば、画素を駆動するためのスイッチング素子等の役割を果たすものとなる。そして、周辺回路領域 9 2 に形成された第一のトランジスタ回路 1 7 0 及び第二のトランジスタ回路 2 7 0 は、このような画素領域の駆動制御を更に制御するドライバブロック回路となりうるものである。

[0099] 図 7 は、実施形態 3 の回路基板の断面模式図であり、図 6 の G-H 線の切断面を示す。図 7 に示すように、実施形態 3 においてトランジスタ回路基板 1 0 は、支持基板 1 上にベースコート膜（第一の絶縁膜） 1 1 が一面に形成され、その上に、各種配線、トランジスタ、外部接続端子等が適宜絶縁膜を介して配置されている。支持基板 1 としては、絶縁膜を有する材料が用いられていることが好ましく、例えば、ガラス、樹脂等が挙げられる。また、支持基板 1 は、導電性を有する基材の表面に絶縁膜が形成されたものであってもよい。

[0100] トランジスタとしては、三端子型の電界効果トランジスタ（FET）である薄膜トランジスタ（TFET） 2 0 が用いられている。実施形態 3 においてトランジスタ回路基板 1 0 は複数の TFET 2 0 を備え、これら複数の TFET 2 0 は、それぞれ、半導体層 2、並びに、ゲート電極 3 1、ソース電極及びドレイン電極の 3 つの電極を備える。半導体層 2 とゲート電極 3 1 との間にはゲート絶縁膜（第二の絶縁膜） 1 2 が形成されており、支持基板 1 側から、半導体層 2、第二の絶縁膜 1 2 及びゲート電極 3 1 の順にこれらが積層されている。ゲート電極 3 1 が配置されている層と同じ層の TFET 横の位置には、ゲート電極と同じ材料で構成される回路配線 3 2 が形成されている。ゲート電極 3 1 上には更に無機層間絶縁膜（第三の絶縁膜） 1 3 が一層以上で形成されている。ソース電極及びドレイン電極 4 1 は、第三の絶縁膜 1 3 に配

置されており、第二の絶縁膜 1 2 及び第三の絶縁膜 1 3 から構成される多層絶縁膜内に設けられたコンタクトホールを介して半導体層 2 と電氣的に接続されている。また、ソース電極及びドレイン電極 4 1 が配置されている層と同じ層の T F T 横の位置には、ソース電極及びドレイン電極 4 1 と同じ材料で構成される回路配線 4 2 が形成されている。この回路配線 4 2 は、一部が延伸されて T F T 上配線を構成し、隣接する T F T を互いに接続させている。

[0101] ソース電極及びドレイン電極 4 1 上にある絶縁膜 1 4 が有機層間絶縁膜（第四の絶縁膜）であり、第四の絶縁膜 1 4 上には有機層間絶縁膜（第五の絶縁膜）1 5 が形成されている。そして、第五の絶縁膜 1 5 上に、シール部材 8 が配置されている。

[0102] 実施形態 3 のトランジスタ回路基板が備える外部接続端子は、第一の外部接続端子 1 5 0、第二の外部接続端子 2 5 0、及び、第三の外部接続端子 3 5 0 の 3 種類であり、G－H 線の切断面は、第一の外部接続端子 1 5 0 と第二の外部接続端子 2 5 0 とを含む。第二の外部接続端子 2 5 0 は、更に、入力用の外部接続端子 2 5 0 a と出力用の外部接続端子 2 5 0 b とに分けられる。第一の外部接続端子 1 5 0 及び第二の外部接続端子 2 5 0 は、いずれも複数の導電膜が積層された積層体で構成されている。また、該積層体は、上述の T F T 2 0 及び回路配線 3 2, 4 2 を構成する材料を含んでおり、支持基板 1 側から、ゲート電極 3 1 を構成する材料を含む導電膜 1 5 1, 2 5 1 a, 2 5 1 b、ソース電極及びドレイン電極 4 1 を構成する材料を含む導電膜 1 5 2, 2 5 2 a, 2 5 2 b、T F T 上配線を構成する材料を含む導電膜 1 5 3, 2 5 3 a, 2 5 3 b、及び、画素領域 9 1 において用いられる透明性を有する導電膜 1 5 4, 2 5 4 a, 2 5 4 b がこの順に積層されて構成されている。なお、外部接続端子 1 5 0, 2 5 0 は、これら以外の材料で形成された導電膜を含んでいてもよい。

[0103] 第一の外部接続端子 1 5 0 と第二の外部接続端子 2 5 0 とは、第一の端子引き出し配線 8 1 を介して互いに接続されている。第一の端子引き出し配線 8

1を構成する材料は、ゲート電極31を構成する材料を含む導電膜で構成されている。

[0104] ゲート電極31を構成する材料を含む導電膜151, 251a, 251bは、支持基板1側からタンタル(Ta)層、タングステン(W)層の順に積層された構造を有し、タンタル(Ta)層の膜厚は50nm、タングステン(W)層の膜厚は350nmである。ソース電極及びドレイン電極41を構成する材料を含む導電膜152, 252a, 252bは、支持基板1側からチタン(Ti)層、アルミニウム(Al)層、チタン(Ti)層の順に積層された構造を有し、チタン(Ti)層の膜厚はいずれも100nm、アルミニウム(Al)層の膜厚は500nmである。TFT上配線を構成する材料を含む導電膜153, 253a, 253bは、ガラス基板側からアルミニウム(Al)層、モリブデン(Mo)層の順に積層された構造を有し、アルミニウム(Al)層の膜厚は400nm、モリブデン(Mo)層の膜厚は100nmである。画素領域91において用いられる透明性を有する導電膜154, 254a, 254bはITO層で構成されており、ITO層の膜厚は100nmである。

[0105] 実施形態3においてFPC160は、支持基板161と、該支持基板161上に形成された外部接続配線(導電性突起物)162とを含んで構成されている。また、COG460は、支持基板461と、該支持基板461上に形成されたバンプ(導電性突起物)462, 463とを含んで構成されている。第一の外部接続端子150はFPC160と、第二の外部接続端子250a, 250bはCOG460とそれぞれ接続されている。FPC160は、第一の外部接続端子150と重なる領域に外部接続配線162を有し、外部接続端子150とFPC160とは、外部接続配線162と外部接続端子150との間に配置され、かつ外部接続配線162と外部接続端子150とを物理的かつ電氣的に接続させるための異方性導電膜(ACF)3及び導電性微粒子4を介して互いに接続されている。また、COG460は、外部接続端子と重なる領域にバンプ462, 463を有し、外部接続端子250とC

COG 460とは、バンプ462、463と外部接続端子250a、250bとの間に配置され、かつバンプ462と外部接続端子250a、250bとを物理的かつ電氣的に接続させるための異方性導電膜（ACF）3及び導電性微粒子4を介して接続されている。ACF3は、外部接続端子150、250、350同士が互いに電氣的に接続されないように配置されている。なお、導電部材としては、ACF3内の導電性微粒子4の代わりに、例えば半田を用いることもできる。実施形態3においてFPC160が備える外部接続配線162は、支持基板161上に形成された配線であり、例えば、銅（Cu）、金（Au）等で構成されている。また、COG460が備えるバンプ462、463は、支持基板461上に形成された電極であり、例えば、銅（Cu）、金（Au）等で構成されている。

- [0106] 第一の外部接続端子150と接続される外部接続配線162の幅は、基板主面から垂直方向に見たときに、 $50 \sim 300 \mu\text{m}$ であり、外部接続配線162の厚さは、 $1 \sim 100 \mu\text{m}$ である。また、第二の外部接続端子250と接続されるバンプ462の幅は、基板主面に対して垂直の方向から見たときに、 $20 \sim 100 \mu\text{m}$ であり、バンプ462の厚さは、 $1 \sim 100 \mu\text{m}$ である。更に、第二の外部接続端子250と接続されるバンプ463の幅は、基板主面に対して垂直の方向から見たときに、 $20 \sim 100 \mu\text{m}$ であり、バンプ463の厚さは、 $1 \sim 100 \mu\text{m}$ である。外部接続配線162及びバンプ462、463としては、外付け部材に専用の電極又は配線を新たに設けたものであっても、外付け部材がもともと備える電極又は配線をそのまま利用したものであってもよい。ACF3としては、例えば、エポキシ、アクリル等の樹脂と熱硬化反応剤との樹脂組成物に、直径 $2 \sim 10 \mu\text{m}$ 程度の樹脂ボールにニッケル（Ni）、金（Au）等のメッキを施した導電性微粒子4を一定の割合で含有させたものを用いることができる。このような樹脂組成物に一定の熱を加えることで、ACF3は接着剤として機能する。したがって、トランジスタ回路基板10が備える外部接続端子150、250a、250bとFPC160及びCOG460が備える外部接続配線162又はバンプ

462, 463との間にACF3を貼り付け、一定の熱を与えながらこれら  
を押し当てて一定圧力を加える、いわゆる熱圧着を行うことで、これらトラ  
ンジスタ回路基板10とFPC160及びCOG460とは電氣的、かつ物  
理的に接続されることになる。

[0107] このように、外部接続端子150, 250a, 250bとFPC160及び  
COG260とは、例えば、圧着により互いを一体化させることが可能であ  
るが、圧着時においては、外部接続端子には図7中の黒矢印の方向に一定量  
の圧力が負荷されることになる。

[0108] 実施形態3において導電膜が積層して形成された外部接続端子150, 250a, 250bは、トランジスタ回路基板10と外付け部材160, 460との間の距離を短くするための膜厚を一定量確保することができる。これにより、外部接続端子150, 250a, 250bと重なる領域をトランジスタ回路基板10と外付け部材160, 460との間の距離の中で最も短い距離を有する部位とすることができる。そして、外部接続端子150, 250a, 250bが配置された領域がトランジスタ回路基板10と外付け部材160, 460とを接続するための支柱となり、圧着時に最も圧力が負荷される部分となる。実施形態3の回路基板を構成するトランジスタ回路基板10の外付け部材160, 460と重なる部分においては、外部接続端子150, 250a, 250b、ACF3、及び、外部接続配線162又はバンプ462, 463の3つが重なっている部位が、トランジスタ回路基板10と外付け部材160, 460とを支える支柱となる部位である。なお、実施形態3において導電膜が積層して形成された外部接続端子150, 250は、トランジスタ回路、画素電極等、他の構成要素に用いる材料で構成されているので、それらの製造工程とは別に製造工程を行う必要をなくすことができ、効率的である。

[0109] トランジスタ回路170と外部接続端子150, 250a, 250bとが互いに重なっている場合には、圧着時の圧力によってトランジスタ回路170内の微細回路配線及びトランジスタに特性劣化が生じうるが、実施形態3に

においてトランジスタ回路 170 と外部接続端子 150, 250a, 250b とは、横並びに配置され、実質的に互いに重ならないように配置されているため、外部接続端子 150, 250a, 250b と外付け部材 160, 460 との圧着が要因となって生じうる回路配線の短絡、及び、トランジスタの特性の劣化を抑制することができる。

[0110] 実施形態 3 においては、トランジスタ回路 170 と重なる領域に COG 460 が配置されている。また、第一外部接続端子 150 から延伸された端子引き出し配線 81 と重なる領域において、FPC 160 が配置されている。これらトランジスタ回路と重なる領域、及び、端子引き出し配線と重なる領域においても、トランジスタ回路基板 10 と FPC 160 及び COG 460 との間に ACF 3 が形成されているが、この ACF 3 内には、導電性微粒子 4 の粒径よりも大きな高さを持つ十分なスペースがある。そのため、外部接続端子 150, 250a, 250b に対し FPC 160 及び COG 460 の圧着を行ったとしても、トランジスタ回路基板 10、すなわち、その下に形成されているトランジスタ回路 170 及び端子引き出し配線（回路配線）81 への圧力の負荷が少ない。また、外部接続配線 162 又はバンプ 462, 463 と外部接続端子 150, 250 との間で十分に電気的かつ物理的な圧着が行われるため、トランジスタ回路 170 が配置された領域において外部接続端子 150, 250 と FPC 160 又は COG 460 との間に負荷される大きさと同等の圧力が負荷される必要もない。

[0111] （参考例 1）

参考例 1 の回路基板は、実施形態 1～3 の回路基板と異なり、基板主面に対して垂直の方向から見たときに外部接続端子とトランジスタ回路とが重なって配置された形態である。図 8 に示すように、参考例 1 の回路基板は、表示領域 90 と周辺回路領域 92 とで構成されている。表示領域 90 は、画素領域 91 と、その周囲を取り囲むシール領域 93 とで構成されている。参考例 1 の回路基板は、表示領域 90 と周辺回路領域 92 とのいずれにも回路が形成されているため、表示素子の制御を行う回路と該表示素子の制御を行う回

路を制御する周辺回路とが一つの支持基板上に設けられたフルモノリシック型の回路基板である。また、周辺回路領域 92 において、外付け部材 60 を備えているので、一つの支持基板上に複数の回路が載置されたトランジスタ回路基板 10 と、該トランジスタ回路基板 10 と接続される外付け部材 60 とで構成された回路基板でもある。

[0112] 参考例 1 において外付け部材は、フレキシブルプリント基板 (FPC) 60 が用いられている。周辺回路領域 92 には、配線とともにトランジスタを含む回路 (トランジスタ回路) 70 が複数設けられている。トランジスタ回路 70 上には、層間絶縁膜 14 を介して外部接続端子 50 が配置されており、トランジスタ回路 70 と外部接続端子 50 とが重なっている。外部接続端子 50 上には、更に FPC 60 が配置されており、これらは、FPC 60 が備える導電性を有する突起物 (外部接続配線) 62 及び ACF 3 を介して互いに電気的かつ物理的に接続されている。

[0113] 周辺回路領域 92 には、FPC 60 と接続された外部接続端子 50 が複数、互いに横並びに配列されており、表示領域 90 と周辺回路領域 92 との境界線に沿って列をなしている。参考例 1 において外部接続端子 50 の一つ一つは、表示領域 90 と周辺回路領域 92 との境界線と直交する方向に、すなわち、画素領域 91 から額縁側 (表示領域と反対側) に向かって広がって配置されている。各外部接続端子 50 には、トランジスタ回路 70 が接続されており、外部接続端子 50 は、該トランジスタ回路 70 を介して表示領域 90 を構成する画素領域 91 に接続されている。トランジスタ回路 70 は、周辺回路領域全体に形成されており、外部接続端子 50 とトランジスタ回路 70 とは互いに重なって配置されている。

[0114] 周辺回路領域 92 においてこれら外部接続端子 50 及びトランジスタ回路 70 のいずれに対しても、トランジスタ回路基板 10 の主面に対し垂直の方向から見たときに、外部接続端子 50 と接続される FPC 60 が重なって配置されている。これにより、周辺回路領域 92 の面積 (額縁面積) を効果的に減らすことができる。しかしながら、参考例 1 の回路基板では、外部接続端

子50とトランジスタ回路70とは、トランジスタ回路基板10の主面に対し垂直の方向から見たときに互いに重なるように配置されている。そのため、トランジスタ回路基板10に対しFPC60が圧着される際に、トランジスタ回路70内に対し強力な負荷がかかり、トランジスタ回路70内の微細回路配線の短絡及びトランジスタの特性の劣化を引き起こすおそれがある。

[0115] 表示領域90のうちシール領域93は、表示素子を構成する部材を複数互いに張り合わせるための封止部材が用いられる領域であり、実際には表示に寄与しない領域である。（但し、封止部材の下に周辺回路を積載してもよい。）一方、表示領域90のうち画素領域91は、表示領域90を構成する複数の小さな単位である画素が形成された領域であり、実際に表示に寄与する領域である。表示領域90内に複数の画素が形成され、かつ、表示素子の内部に形成されたトランジスタ回路によって各画素が駆動制御される。そして、周辺回路領域92に形成されたトランジスタ回路70は、このような画素領域91の駆動制御を更に制御するドライバブロック回路となりうるものである。

[0116] 図9は、参考例1の回路基板の断面模式図であり、図8のI-J線の切断面を示す。図9に示すように、参考例1においてトランジスタ回路基板10は、外部接続端子50と重なる領域において、支持基板1上にベースコート膜（第一の絶縁膜）11が一面に形成され、その上に、各種配線、トランジスタ、外部接続端子等が適宜絶縁膜を介して配置されている。支持基板1としては、例えば、ガラス基板、樹脂基板等が挙げられる。

[0117] 外部接続端子50は、外付け部材であるFPC60と接続されている。FPC60は、支持基板61と、該支持基板61上に形成されたバンプ62とで構成されている。外部接続端子50と重なる領域に外部接続配線62を有し、外部接続端子50とFPC60とは、外部接続配線と外部接続端子との間に配置され、外部接続配線62と外部接続端子50とを物理的かつ電氣的に接続させるための異方性導電膜（ACF）3及び導電性微粒子4を介して接続されている。ACF3は、外部接続端子50同士が互いに電氣的に接続さ

れないように配置されている。実施形態 1 の F P C が備える外部接続配線 62 は、F P C 60 が備える配線であり、例えば、銅 (C u)、金 (A u) 等で構成されている。なお、参考例 1 においてバンプ 62 の幅は、基板主面に対して垂直の方向から見たときに、 $20 \sim 300 \mu\text{m}$  であり、バンプ 62 の厚さは、 $1 \sim 100 \mu\text{m}$  である。A C F 3 としては、例えば、エポキシ、アクリル等の樹脂と熱硬化反応剤とを含む樹脂組成物に、直径  $2 \sim 10 \mu\text{m}$  程度の樹脂ボールにニッケル (N i)、金 (A u) 等のメッキを施した導電性微粒子 4 を一定の割合で含有させたものを用いることができる。このような樹脂組成物に一定の熱を加えることで、A C F 3 は接着剤として機能する。したがって、トランジスタ回路基板 10 が備える外部接続端子 50 と F P C 60 が備えるバンプ 62 との間に A C F 3 を貼り付け、一定の熱を与えながらこれらを押し当てて一定圧力を加える、いわゆる熱圧着を行うことで、これらトランジスタ回路基板 10 と F P C 60 とは電気的かつ物理的に接続されることになる。

- [0118] トランジスタとしては、三端子型の電界効果トランジスタ (F E T) である薄膜トランジスタ (T F T) 20 が用いられている。参考例 1 においてトランジスタ回路基板 10 は複数の T F T 20 を備え、これら複数の T F T 20 は、それぞれ、半導体層 2、並びに、ゲート電極 31、ソース電極及びドレイン電極の 3 つの電極を備える。半導体層 2 とゲート電極 31 との間にはゲート絶縁膜 (第二の絶縁膜) 12 が形成されており、支持基板 1 側から、半導体層 2、第二の絶縁膜 12 及びゲート電極 31 の順にこれらが積層されている。ゲート電極 31 が配置されている層と同じ層の T F T 20 横の位置には、ゲート電極 31 と同じ材料で構成される回路配線 32 が形成されている。ゲート電極 31 上には更に無機層間絶縁膜 (第三の絶縁膜) 13 が一層形成されている。ソース電極及びドレイン電極 41 は、第三の絶縁膜 13 に配置されており、第二の絶縁膜 12 及び第三の絶縁膜 13 から構成される多層絶縁膜内に設けられたコンタクトホールを介して半導体層 2 と電気的に接続されている。また、ソース電極及びドレイン電極 41 は、一部が延伸されて

回路配線 42 を構成し、隣接する T F T と接続されている。ソース電極及びドレイン電極 41 上にある絶縁膜が有機層間絶縁膜（第四の絶縁膜）14 であり、第四の絶縁膜 14 上には有機層間絶縁膜（第五の絶縁膜）15 が形成されている。そして、第五の絶縁膜 15 上に、シール部材 8 が配置されている。

[0119] 外部接続端子 50 は、複数の導電膜が積層された積層体で構成されている。実施形態 1 においてトランジスタ回路基板 10 が備える外部接続端子 50 の積層体の材料は、支持基板 1 側から、アルミニウム（Al）及びモリブデン（Mo）の第一導電膜 51、並びに、インジウム酸化スズ（ITO）で構成される第二導電膜 52 であり、これらには、画素領域 91 における回路素子に用いられる材料（Al, Mo）、画素電極（ITO）に用いられる材料と同じ材料が用いられている。外部接続端子 50 は、層間絶縁膜 14 に設けられたコンタクトホールを介してトランジスタ回路 70 と接続されている。

[0120] このように、外部接続端子 50 と F P C 60 とは、例えば、圧着により互いを一体化させることが可能であるが、圧着時には、外部接続端子 50 には図 9 中の黒矢印の方向に一定量の圧力が負荷されることになる。参考例 1 の回路基板において、外部接続端子 50、A C F 3 及びバンプ 62 の 3 つが重なっている部位が、トランジスタ回路基板 10 と F P C 60 とを支える支柱となる部位であり、この領域において最も大きな圧力が負荷される。また、この支柱となる部位は、トランジスタ回路基板 10 と F P C 60 との間の距離の中で最も短い距離を有する部位である。したがって、圧着時には、導電性微粒子 4 から図 9 に示す黒矢印の方向に大きな圧力が加えられることになる。参考例 1 においては、トランジスタ回路 10 と外部接続端子 50 とは互いに重なって形成されている。そのため、圧着時の圧力によってトランジスタ回路 70 内の微細回路配線の短絡、及び、トランジスタの特性の劣化を引き起こすおそれがある。

[0121] （実施形態 4）

実施形態 1 ～ 3 の回路基板を実装した表示装置について、以下に詳述する。

実施形態１～３の回路基板は、画素領域が複数の画素で構成されているため、これらの回路基板を表示装置に適用させた場合には、精密度の高い良好な表示を有する表示装置を得ることができる。実施形態４で用いられる表示装置としては、液晶表示装置、エレクトロルミネッセンス（ＥＬ）表示装置、プラズマ表示装置、ブラウン管（ＣＲＴ）表示装置等が挙げられる。画素は画素領域を構成する表示単位であり、表示装置の種類によって定義が異なる。例えば、液晶表示装置であれば、画素電極及び該画素電極と対応して配置されたカラーフィルタが一つの画素を構成する。

[0122] 実施形態１～３の回路基板を表示装置として適用するためには、画素領域と重なる位置に表示素子を配置する必要がある。実施形態１～３の回路基板が備えるシール部材は、例えば、表示素子を封止するために配置されるものであり、熱硬化性又は光硬化性のエポキシ樹脂、アクリル樹脂等で構成されている。表示素子としては、液晶層、有機ＥＬ層、無機ＥＬ層、蛍光体等が挙げられる。また、実施形態４の表示装置は、自発光型の表示素子を有しない場合には、別個表示に用いるための光源を配置する必要がある。

[0123] （実施形態５）

以下に、実施形態１～３の回路基板の製造方法について説明する。また、これらの回路基板を適用した実施形態４の液晶表示装置の製造方法について説明する。以下は、特に断りがなければ各製造方法の共通点について説明するものであるが、各製造方法の特有な点については、適宜説明を加える。

[0124] まず、支持基板１に対して、前処理として、洗浄とプレアニールとを行う。支持基板の種類は特に限定されないが、低コストとする観点からは、ガラス基板及び樹脂基板が好適である。次に、以下（１）～（１５）の工程を行う。

[0125] （１）ベースコート膜（第一の絶縁膜）１１の形成工程

支持基板１上に、プラズマ化学気相成長（Plasma Enhanced Chemical Vapor Deposition: PECVD）法により膜厚５０nmのSiON膜と、膜厚１００nmのSiO<sub>x</sub>膜とをこの

順に成膜し、ベースコート膜を形成する。SiON膜形成のための原料ガスとしては、モノシラン ( $\text{SiH}_4$ )、亜酸化窒素ガス ( $\text{N}_2\text{O}$ ) 及びアンモニア ( $\text{NH}_3$ ) の混合ガス等が挙げられる。なお、 $\text{SiO}_x$ 膜は、原料ガスとして正珪酸四エチル (Tetra Ethyl Ortho Silicate : TEOS) ガスを用いて形成されることが好ましい。また、ベースコート膜は、原料ガスとしてモノシラン ( $\text{SiH}_4$ ) 及びアンモニア ( $\text{NH}_3$ ) の混合ガス等を用いて形成された窒化シリコン ( $\text{SiN}_x$ ) 膜を含んでもよい。

[0126] (2) 半導体層2の形成工程

PECVD法により、膜厚50nmのアモルファスシリコン (a-Si) 膜を形成する。a-Si膜形成のための原料ガスとしては、例えば、 $\text{SiH}_4$ 、ジシラン ( $\text{Si}_2\text{H}_6$ ) 等が挙げられる。PECVD法により形成したa-Si膜には水素が含まれているため、約500°Cでa-Si膜中の水素濃度を低減する処理 (脱水素処理) を行う。続いて、レーザアニールを行い、a-Si膜を熔融、冷却及び結晶化させることにより、ポリシリコン (p-Si) 膜を形成する。レーザアニールには、例えば、エキシマレーザを用いる。p-Si膜の形成には、レーザアニールの前処理として、連続粒界結晶シリコン (CG-シリコン) 化するため、脱水素処理せずニッケル等の金属触媒を塗布して、熱処理による固相成長を行ってもよい。また、a-Si膜の結晶化としては、熱処理による固相成長のみを行ってもよい。次に、四フッ化炭素 ( $\text{CF}_4$ ) 及び酸素 ( $\text{O}_2$ ) の混合ガスによるドライエッチングを行い、p-Si膜をパターンニングし、半導体層を形成する。

[0127] (3) ゲート絶縁膜 (第二の絶縁膜) 12の形成工程

次に、原料ガスとしてTEOSガスを用いて、膜厚45nmの酸化シリコンからなるゲート絶縁膜を形成する。ゲート絶縁膜の材質としては特に限定されず、 $\text{SiN}_x$ 膜、SiON膜等を用いてもよい。SiN<sub>x</sub>膜及びSiON膜形成のための原料ガスとしては、ベースコート膜の形成工程で述べたものと同様の原料ガスが挙げられる。また、ゲート絶縁膜は、上記複数の材料か

らなる積層体でもよい。

[0128] (4) イオンドーピング工程

TFTの閾値を制御するために、イオンドーピング法、イオン注入法等により、半導体層に対してボロン等の不純物をドーピングする。より具体的には、Nチャネル型TFT及びPチャネル型TFTとなる半導体層に対してボロン等の不純物をドーピングした後（第一のドーピング工程）、Pチャネル型TFTとなる半導体層をレジストによりマスクした状態で、Nチャネル型となる半導体層に対して更にボロン等の不純物をドーピングする（第二のドーピング工程）。なお、Pチャネル型TFTの閾値制御が必要でない場合は、第一のドーピング工程は行わなくてもよい。

[0129] (5) ゲート電極31、回路配線32、外部接続端子50、150、250を構成する導電膜151、151a、151b、251、251a、251b、及び、端子引き出し配線81、82、83（以下、ゲート電極等ともいう。）の形成工程

次に、スパッタリング法を用いて、膜厚50nmの窒化タンタル（Ta<sub>2</sub>N<sub>5</sub>）膜と膜厚350nmのタングステン（W）膜とをこの順に成膜し、続いて、フォトリソグラフィ法によりレジスト膜を所望の形状にパターニングすることによってレジストマスクを形成した後、アルゴン（Ar）、六フッ化硫黄（SF<sub>6</sub>）、四フッ化炭素（CF<sub>4</sub>）、酸素（O<sub>2</sub>）、塩素（Cl<sub>2</sub>）等の混合ガス分量を調整したエッチングガスを用いてドライエッチングを行い、ゲート電極等を形成する。ゲート電極等の材料としては、タンタル（Ta）、モリブデン（Mo）、モリブデントングステン（MoW）等の表面が平坦で特性の安定した高融点金属や、アルミニウム（Al）等の低抵抗金属が挙げられる。また、上記ゲート電極等は、上記複数の材料からなる積層体であってもよい。なお、パターニングの際には、TFT横に上記材料で構成された回路配線を設けてもよい。

[0130] (6) ソース領域及びドレイン領域の形成工程

次に、TFTのソース領域及びドレイン領域を形成するため、ゲート電極を

マスクとして、半導体層に対して、Nチャネル型TFTではリン等の不純物を、Pチャネル型TFTではボロン等の不純物をイオンドーピング法、イオン注入法等により高濃度にドーピングする。このとき、必要に応じて、LDD (Lightly Doped Drain) 領域を形成してもよい。続いて、半導体層中に存在している不純物イオンを活性化させるために、約700℃、6時間の熱活性化処理を行う。これにより、ソース領域及びドレイン領域の電気伝導性を向上させることができる。なお、活性化の方法としては、エキシマレーザを照射する方法等も挙げられる。

[0131] (7) 無機層間絶縁膜 (第三の絶縁膜) 13の形成工程

次に、絶縁基板全面にPECVD法により、膜厚700nmのSiNx膜と、膜厚250nmのTEOS膜とを成膜することによって、無機層間絶縁膜を形成する。無機層間絶縁膜としては、SiON膜等を用いてもよい。また、トランジェント劣化等によりTFT特性が低下するのを抑制するとともに、TFTの電気特性を安定化するため、無機層間絶縁膜の下層には50nm程度の薄いキャップ膜 (例えば、TEOS膜等) を形成してもよい。

[0132] (8) コンタクトホール形成工程

次に、フォトリソグラフィ法によりレジスト膜を所望の形状にパターニングすることによってレジストマスクを形成した後、フッ酸系のエッチング溶液を用いてゲート絶縁膜及び無機層間絶縁膜のウェットエッチングを行い、コンタクトホールを形成し、その後、約400℃で1時間熱処理を行う。なお、エッチングには、ドライエッチングを用いてもよい。

[0133] (9) ソース電極及びドレイン電極41、回路配線42、引き回し配線5、端子引き出し配線80 (実施形態1) 並びに、外部接続端子150、250を構成する導電膜152、152a、152b、252、252a、252b (実施形態2、3) (以下、ソース電極及びドレイン電極等ともいう。) の形成工程

次に、スパッタ法等で、膜厚100nmのチタン (Ti) 膜と、膜厚500nmのアルミニウム (Al) 膜と、膜厚100nmのTi膜とをこの順で成

膜する。次に、フォトリソグラフィ法によりレジスト膜を所望の形状にパターンニングすることによってレジストマスクを形成した後、ドライエッチングによりTi／Al／Tiの金属積層膜をパターンニングし、ソース電極及びドレイン電極等を形成する。なお、ソース電極及びドレイン電極等を構成する金属としては、Alに代えてAl-Si合金等を用いてもよい。なお、ここでは、配線の低抵抗化のためにAlを用いたが、高耐熱性が必要であり、かつ抵抗値のある程度の増加が許される場合（例えば、短い配線構造にする場合）は、ソース電極及びドレイン電極等を構成する金属として、上述したゲート電極材料（Ta、Mo、MoW、W、TaN等）を用いてもよい。

[0134] (10) 有機層間絶縁膜（第四の絶縁膜）14の形成工程

次に、スピコート法等により、膜厚2.5  $\mu\text{m}$ の感光性アクリル樹脂膜等の感光性樹脂を成膜（塗布）することによって、有機層間絶縁膜を形成する。有機層間絶縁膜の材料としては、非感光性アクリル樹脂等の非感光性樹脂や感光性又は非感光性のポリアルキルシロキサン系やポリシラザン系、ポリイミド系パレリン系の樹脂等を用いてもよい。また、有機層間絶縁膜の材料としては、メチル含有ポリシロキサン（MSQ）系材料や多孔質MSQ系材料も挙げられる。エッチングは、感光性材料の場合は、現像処理により行う。

[0135] (11) TFT上配線45（実施形態2）、外部接続端子150、250を構成する導電膜153、153a、153b、253、253a、253b（実施形態2、3）、及び、外部接続端子50を構成する第一の導電膜51（実施形態1）（以下、TFT上配線等ともいう。）の形成工程

次に、スパッタ法等により、膜厚400 nmのアルミニウム（Al）膜と、膜厚100 nmのモリブデン（Mo）膜とをこの順で成膜する。なお、モリブデンの代わりにIZOを用いてもよい。次に、フォトリソグラフィ法によりレジスト膜を所望の形状にパターンニングすることによってレジストマスクを形成した後、ドライエッチングによりパターンニングし、TFT上配線等を形成する。なお、TFT上配線等を構成する金属としては、Alに代えてA

I-Si合金等を用いてもよい。なお、ここでは、配線の低抵抗化のためにAlを用いたが、高耐熱性が必要であり、かつ抵抗値のある程度の増加が許される場合（例えば、短い配線構造にする場合）は、TFT上配線等を構成する金属として、上述したゲート電極材料（Ta、Mo、MoW、W、TaN等）を用いてもよい。

- [0136] (12) 画素電極、外部接続端子150、250を構成する導電膜154、154a、154b、254、254a、254b（実施形態2、3）、及び、外部接続端子50を構成する第二の導電膜52（実施形態1）

次に、スパッタ法等により、膜厚100nmのインジウム酸化スズ等の透明性を有する金属酸化膜（ITO膜）を成膜する。次に、フォトリソグラフィ法によりレジスト膜を所望の形状にパターニングすることによってレジストマスクを形成した後、ドライエッチングによりITO膜をパターニングし、画素電極等を形成する。なお、画素電極等を構成する金属酸化物として、IZO等を用いてもよい。

- [0137] (13) 有機層間絶縁膜（第五の絶縁膜）15の形成工程

次に、スピンコート法等により、膜厚2.5μmの感光性アクリル樹脂膜を成膜することによって、有機層間絶縁膜を形成する。有機層間絶縁膜としては、非感光性アクリル樹脂膜等の非感光性樹脂膜や感光性又は非感光性のポリアルキルシロキサン系やポリシラザン系、ポリイミド系パレリン系の樹脂等を用いてもよい。また、有機絶縁膜の材料としては、メチル含有ポリシロキサン（MSQ）系材料や多孔質MSQ系材料も挙げられる。

- [0138] (14) パネル組み立て工程（液晶表示パネルの製造方法）

次に、シール部材8を介したトランジスタ回路基板10（アレイ基板）及びカラーフィルタ基板の貼り合わせ工程と、液晶材料の注入工程と、分断（パネル化）工程と、偏光板の貼り付け工程とを行うことによって液晶表示パネルを作製する。なお、液晶表示パネルの液晶モードとして特に限定されず、例えば、TN（Twisted Nematic）モード、IPS（In Plane Switching）モード、VA（Vertical Al

i g n m e n t) モード等が挙げられる。また、液晶表示パネルは、配向分割されたものであってもよい。更に、液晶表示パネルは、透過型であっても、反射型であっても、半透過型（反射透過両用型）であってもよい。液晶表示パネルの駆動方式は、アクティブマトリクス型であっても、パッシブマトリクス型であってもよい。

[0139] (15) 外付け部材 (FPC、COG及び電子部品) 60, 160, 260, 360, 460の貼り付け工程

次に、樹脂接着剤（例えば、熱硬化性エポキシ系樹脂等の熱硬化性樹脂）中に導電性微粒子4が分散されたACF（異方性導電膜）3を介して、パネルと外付け部材とを熱圧着する。これにより、TFT基板と外付け部材とが接続及び固定される。

[0140] 更に、液晶表示パネルと実装基板及びバックライトユニットとを組み合わせることによって、液晶表示装置を完成することができる。

[0141] 以上、本実施形態の液晶表示装置によれば、信頼性の向上と、額縁領域の削減化とが可能になる。

[0142] なお、本願は、2008年9月26日に出願された日本国特許出願2008-248424号を基礎として、パリ条約ないし移行する国における法規に基づく優先権を主張するものである。該出願の内容は、その全体が本願中に参照として組み込まれている。

## 符号の説明

- [0143] 1 : 支持基板  
2 : 半導体層  
3 : 異方性導電膜 (ACF)  
4 : 導電性微粒子 (導電部材)  
5 : 引き回し配線  
8 : シール部材  
10 : トランジスタ回路基板  
11 : ベースコート膜 (第一の絶縁膜)

- 1 2 : ゲート絶縁膜 (第二の絶縁膜)
- 1 3 : 無機層間絶縁膜 (第三の絶縁膜)
- 1 4 : 有機層間絶縁膜 (第四の絶縁膜)
- 1 5 : 有機層間絶縁膜 (第五の絶縁膜)
- 2 0 : T F T
- 3 1 : ゲート電極
- 3 2 : 回路配線
- 4 1 : ソース電極及びドレイン電極
- 4 2 : 回路配線
- 4 5 : T F T 上配線
- 5 0 : 外部接続端子
- 5 1 : 第一の導電膜
- 5 2 : 第二の導電膜
- 6 0, 1 6 0 : フレキシブルプリント基板 (F P C) (外付け部材)
- 6 1, 1 6 1, 2 6 1, 4 6 1 : 支持基板
- 6 2, 2 6 2, 4 6 2, 4 6 3 : バンプ (導電性突起物)
- 7 0 : トランジスタ回路
- 8 0 : 端子引き出し配線
- 8 1 : 第一の端子引き出し配線
- 8 2 : 第二の端子引き出し配線
- 8 3 : 第三の端子引き出し配線
- 9 0 : 表示領域
- 9 1 : 画素領域
- 9 2 : 周辺回路領域
- 9 3 : シール領域
- 1 5 0 : 第一の外部接続端子
- 1 5 1, 1 5 1 a, 1 5 1 b, 2 5 1, 2 5 1 a, 2 5 1 b : ゲート電極を構成する材料を含む導電膜

152, 152a, 152b, 252, 252a, 252b : ソース電極及びドレイン電極を構成する材料を含む導電膜

153, 153a, 153b, 253, 253a, 253b : TFT上配線を構成する材料を含む導電膜

154, 154a, 154b, 254, 254a, 254b : 画素電極を構成する材料を含む導電膜

162 : 外部接続配線（導電性突起物）

170 : 第一のトランジスタ回路

250 : 第二の外部接続端子

250a : 第二の外部接続端子（入力側）

250b : 第二の外部接続端子（出力側）

260, 460 : COG（外付け部材）

263 : ダミーバンプ

270 : 第二のトランジスタ回路

350 : 第三の外部接続端子

350a : 第三の外部接続端子（入力側）

350b : 第三の外部接続端子（出力側）

360, 560 : 電子部品（外付け部材）

370 : 第三のトランジスタ回路

## 請求の範囲

- [請求項1] 支持基板上にトランジスタ及び外部接続端子が載置されたトランジスタ基板と、該トランジスタ基板上に取り付けられた外付け部材とを含んで構成される回路基板であって、  
該外付け部材は、導電部材を介して外部接続端子と電気的かつ物理的に接続されており、該トランジスタは、外部接続端子と横並びに配置されている  
ことを特徴とする回路基板。
- [請求項2] 支持基板上に回路配線及び外部接続端子が載置された回路配線基板と、該回路配線基板上に取り付けられた外付け部材とを含んで構成される回路基板であって、  
該外付け部材は、導電部材を介して外部接続端子と電気的かつ物理的に接続されており、該回路配線は、導電部材の幅よりも狭い幅の微細回路配線を含み、  
該微細回路配線は、外部接続端子と横並びに配置されている  
ことを特徴とする回路基板。
- [請求項3] 前記外付け部材は、外部接続端子と重なる領域に導電性突起物を備えることを特徴とする請求項 1 又は 2 記載の回路基板。
- [請求項4] 前記導電部材及び導電性突起物は、トランジスタ基板と外付け部材とを支える支柱となることを特徴とする請求項 3 記載の回路基板。
- [請求項5] 前記導電部材及び導電性突起物は、回路配線基板と外付け部材とを支える支柱となることを特徴とする請求項 3 記載の回路基板。
- [請求項6] 前記トランジスタは、外付け部材と重なる領域に位置することを特徴とする請求項 1 記載の回路基板。
- [請求項7] 前記微細回路配線は、外付け部材と重なる領域に位置することを特徴とする請求項 2 記載の回路基板。
- [請求項8] 前記トランジスタ基板と外付け部材との間の距離は、トランジスタと重なる領域よりも外部接続端子と重なる領域で短いことを特徴とする

請求項 6 記載の回路基板。

- [請求項9] 前記回路配線基板と外付け部材との間の距離は、微細回路配線と重なる領域よりも外部接続端子と重なる領域で短いことを特徴とする請求項 7 記載の回路基板。
- [請求項10] 前記トランジスタ基板と外付け部材との間の距離は、外部接続端子と重なる領域で最も短いことを特徴とする請求項 6 記載の回路基板。
- [請求項11] 前記回路配線基板と外付け部材との間の距離は、外部接続端子と重なる領域で最も短いことを特徴とする請求項 7 記載の回路基板。
- [請求項12] 前記外部接続端子は、複数の導電膜が積層された積層体であることを特徴とする請求項 1 又は 2 記載の回路基板。
- [請求項13] 前記積層体は、トランジスタを構成する材料を含む導電膜を有することを特徴とする請求項 1 2 記載の回路基板。
- [請求項14] 前記積層体は、回路配線を構成する材料を含む導電膜を有することを特徴とする請求項 1 2 記載の回路基板。
- [請求項15] 前記導電部材は、異方性導電膜内の導電性微粒子であり、前記トランジスタと重なる領域におけるトランジスタ基板と外付け部材との間の距離は、導電性微粒子の粒径よりも大きいことを特徴とする請求項 6 記載の回路基板。
- [請求項16] 前記導電部材は、異方性導電膜内の導電性微粒子であり、前記微細回路配線と重なる領域における回路配線基板と外付け部材との間の距離は、導電性微粒子の粒径よりも大きいことを特徴とする請求項 7 記載の回路基板。
- [請求項17] 前記導電部材は、異方性導電膜内の導電性微粒子であり、前記外部接続端子と重なる領域におけるトランジスタ基板と外付け部材との間の距離は、導電性微粒子の粒径以下であることを特徴とする請求項 6 記載の回路基板。
- [請求項18] 前記導電部材は、異方性導電膜内の導電性微粒子であり、前記外部接続端子と重なる領域における回路配線基板と外付け部材と

の間の距離は、導電性微粒子の粒径以下であることを特徴とする請求項 7 記載の回路基板。

[請求項19] 前記回路配線は、少なくとも 1 つの屈曲部を含む引き回し配線を含むことを特徴とする請求項 2 記載の回路基板。

[請求項20] 前記引き回し配線は、微細回路配線を含むことを特徴とする請求項 1 9 記載の回路基板。

[請求項21] 前記引き回し配線は、外部接続端子から延伸された端子引き出し配線から更に延伸されていることを特徴とする請求項 1 9 記載の回路基板。

[請求項22] 前記回路基板は、外部接続端子の、外付け部材が接続される側の面と逆側の面の直下に無機絶縁膜を有することを特徴とする請求項 1 又は 2 記載の回路基板。

[請求項23] 前記回路基板は、トランジスタ基板と外付け部材との物理的な接続を補助する副柱を備えることを特徴とする請求項 1 記載の回路基板。

[請求項24] 前記回路基板は、回路配線基板と外付け部材との物理的な接続を補助する副柱を備えることを特徴とする請求項 2 記載の回路基板。

[請求項25] 前記外部接続端子は、横並びに複数配置されて直線状又は千鳥状の一連の列を構成することを特徴とする請求項 1 又は 2 記載の回路基板。

[請求項26] 前記一連の列は、外付け部材の片側の辺に沿って配置されていることを特徴とする請求項 2 5 記載の回路基板。

[請求項27] 前記回路基板は、入力用の外部接続端子と出力用の外部接続端子とを備え、  
該入力用の外部接続端子と出力用の外部接続端子とは、交互に配置されて一連の列を構成することを特徴とする請求項 1 又は 2 記載の回路基板。

[請求項28] 前記回路基板は、表示領域と周辺回路領域とを含んで構成される表示装置用回路基板であり、  
前記外付け部材は、周辺回路領域に配置されている

ことを特徴とする請求項 1 又は 2 記載の回路基板。

[請求項29] 前記回路配線は、少なくとも 1 つの屈曲部を含む引き回し配線を含み、

該引き回し配線は、外部接続端子から表示領域と遠ざかる方向に延伸され、屈曲部を経て表示領域に向かって延伸されていることを特徴とする請求項 28 記載の回路基板。

[請求項30] 支持基板上に、回路配線及びトランジスタを含むトランジスタ回路、並びに、外部接続端子が載置されたトランジスタ回路基板と、該トランジスタ回路基板上に取り付けられた外付け部材とで構成される回路基板であって、

該外付け部材は、導電部材を介して外部接続端子と電気的かつ物理的に接続されており、該トランジスタ回路は、外部接続端子と横並びに配置されている

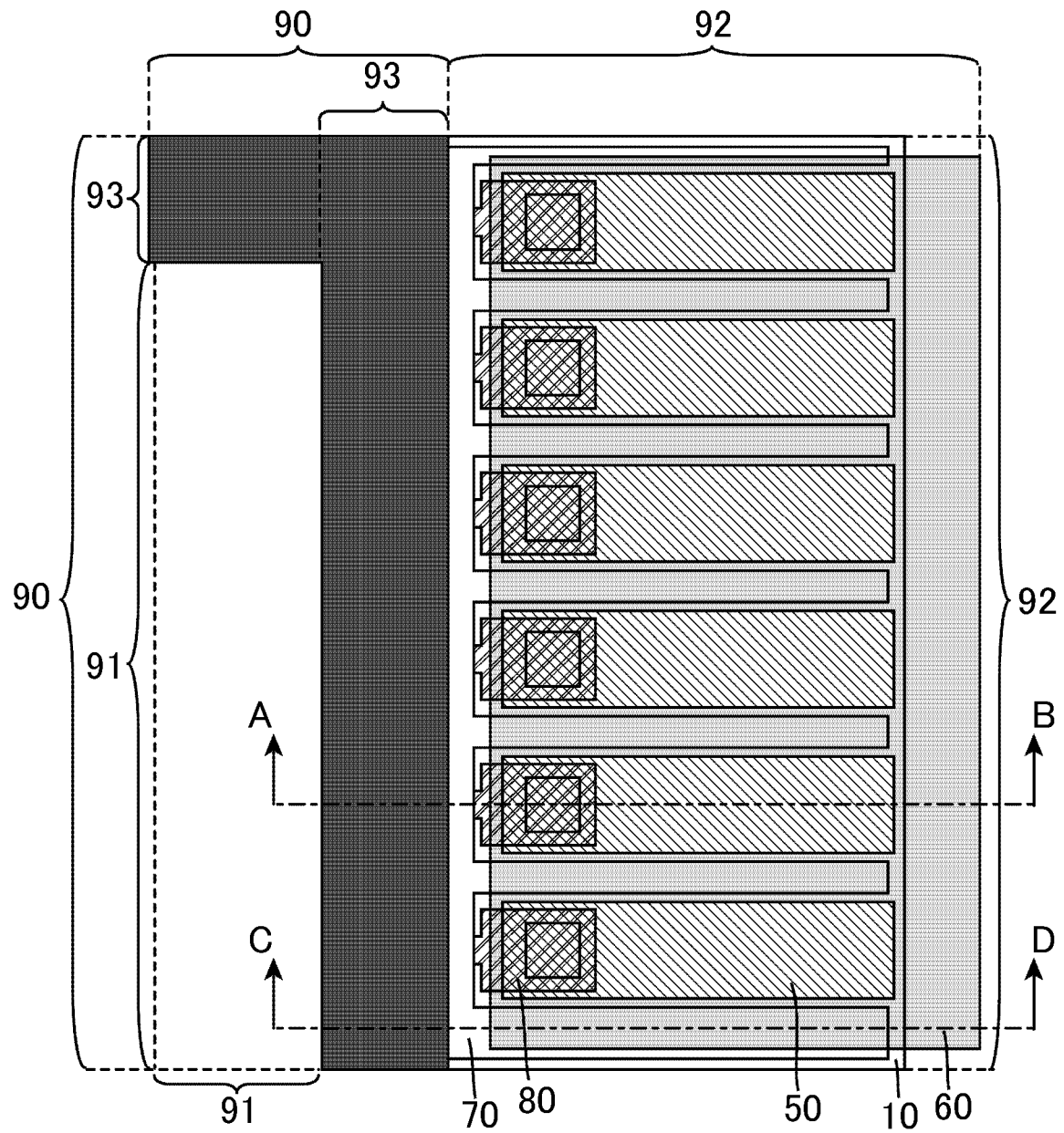
ことを特徴とする回路基板。

[請求項31] 前記トランジスタ回路は、横並びに複数配置されて一つの列を構成することを特徴とする請求項 30 記載の回路基板。

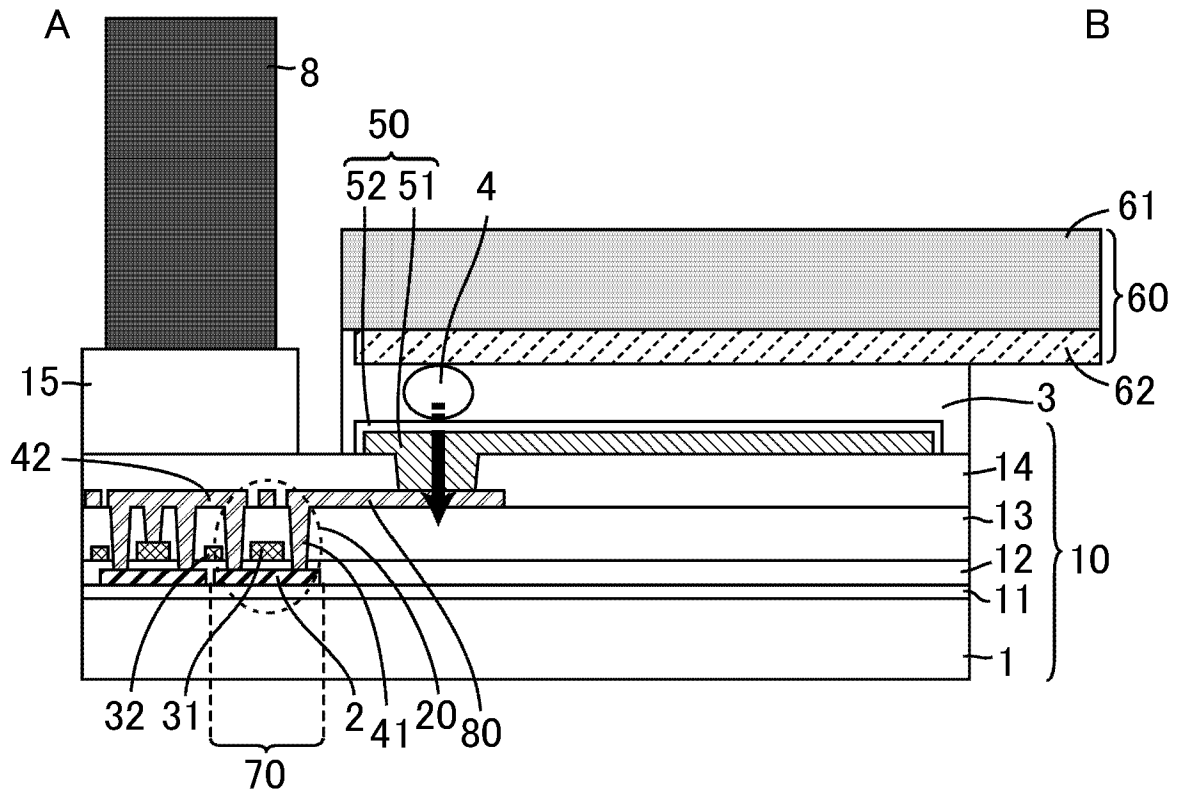
[請求項32] 前記トランジスタ回路と外部接続端子とは、交互に配置されて一連の列を構成することを特徴とする請求項 30 記載の回路基板。

[請求項33] 請求項 1、2 又は 30 記載の回路基板を備える表示装置であって、前記回路基板は、表示領域と周辺回路領域とで構成され、前記外付け部材は、周辺回路領域に配置されていることを特徴とする表示装置。

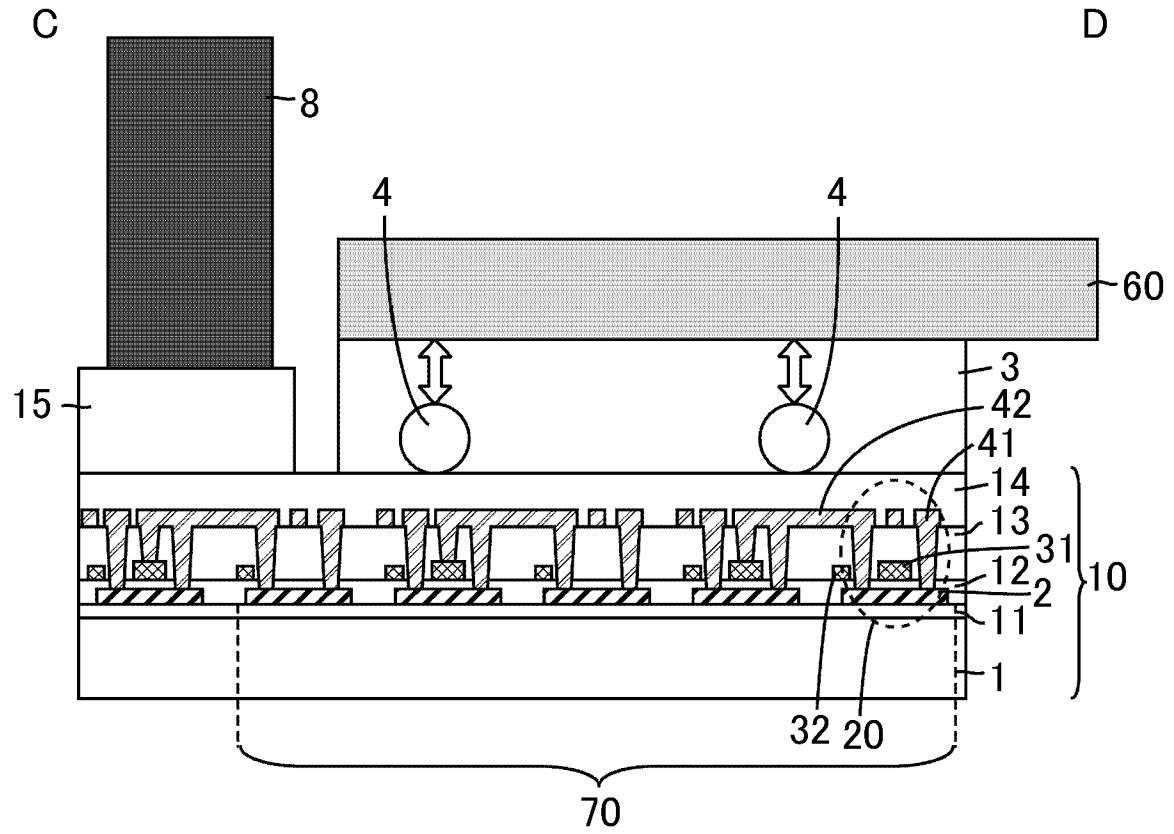
[図1]



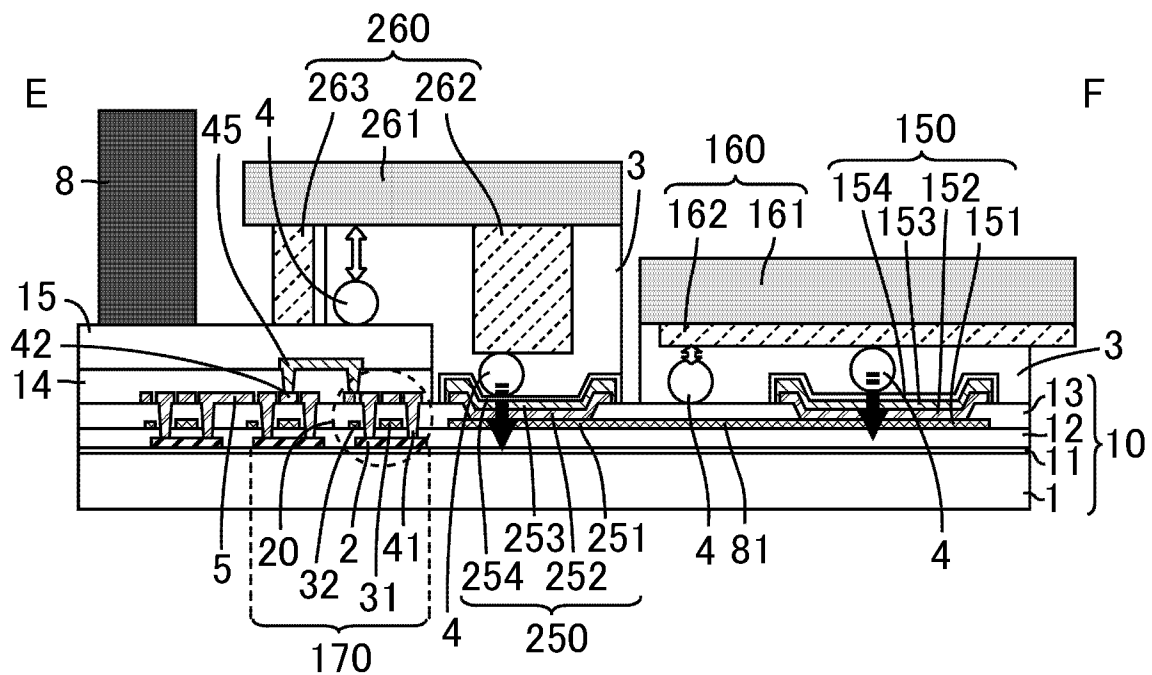
[図2]



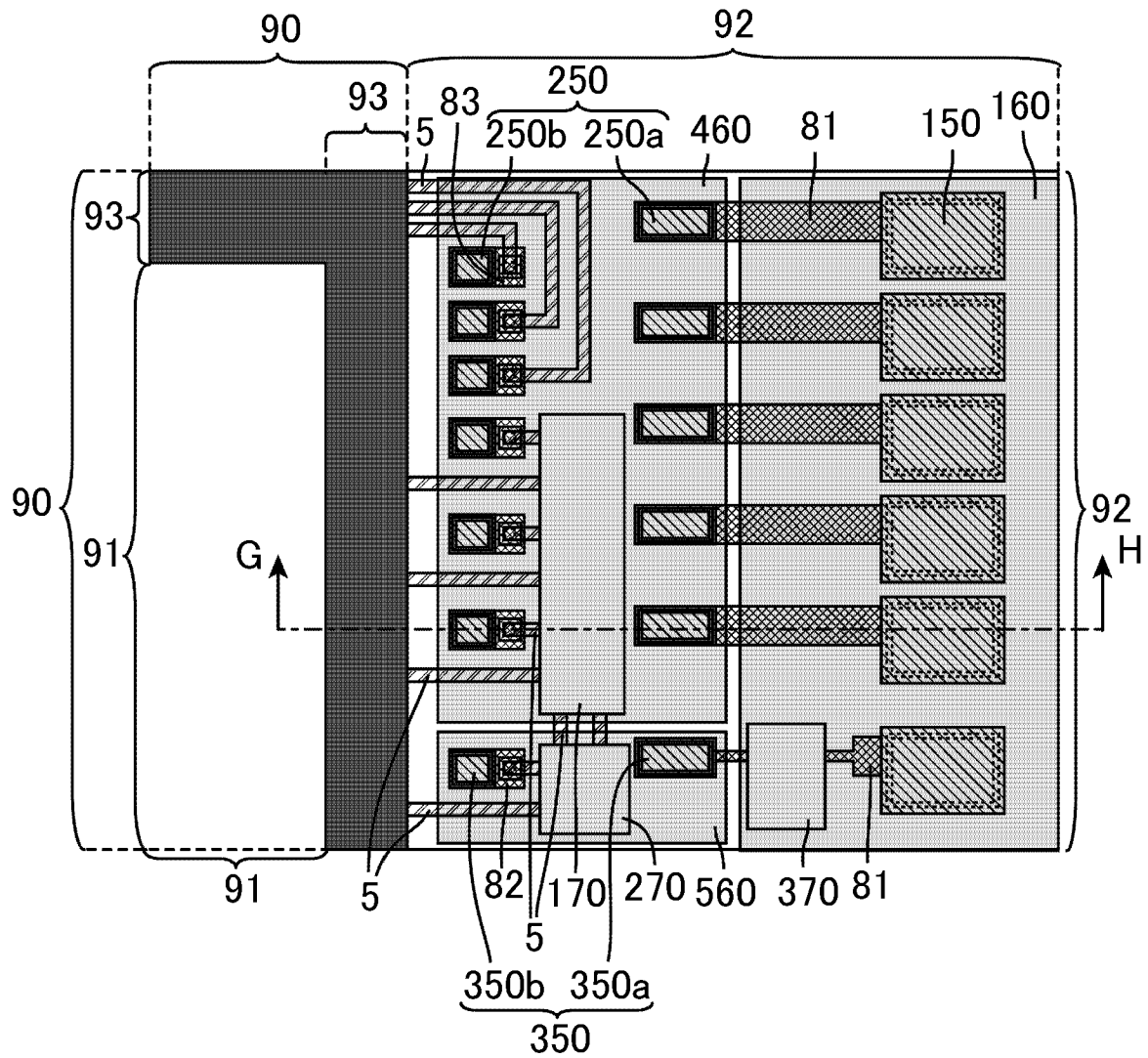
[図3]



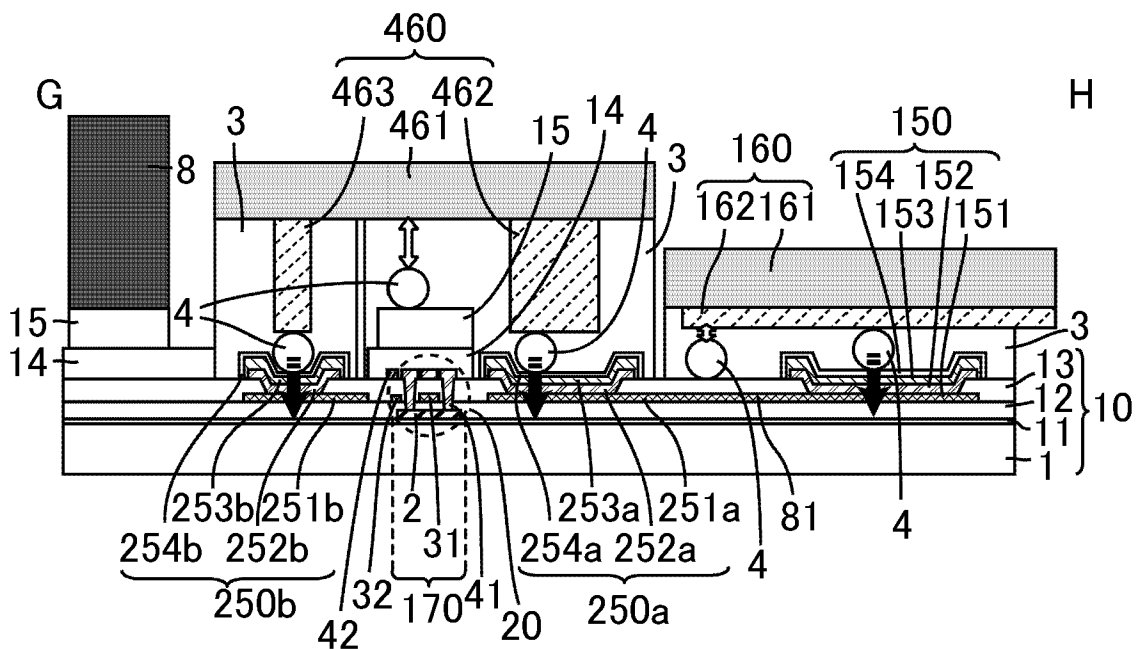
[図5]



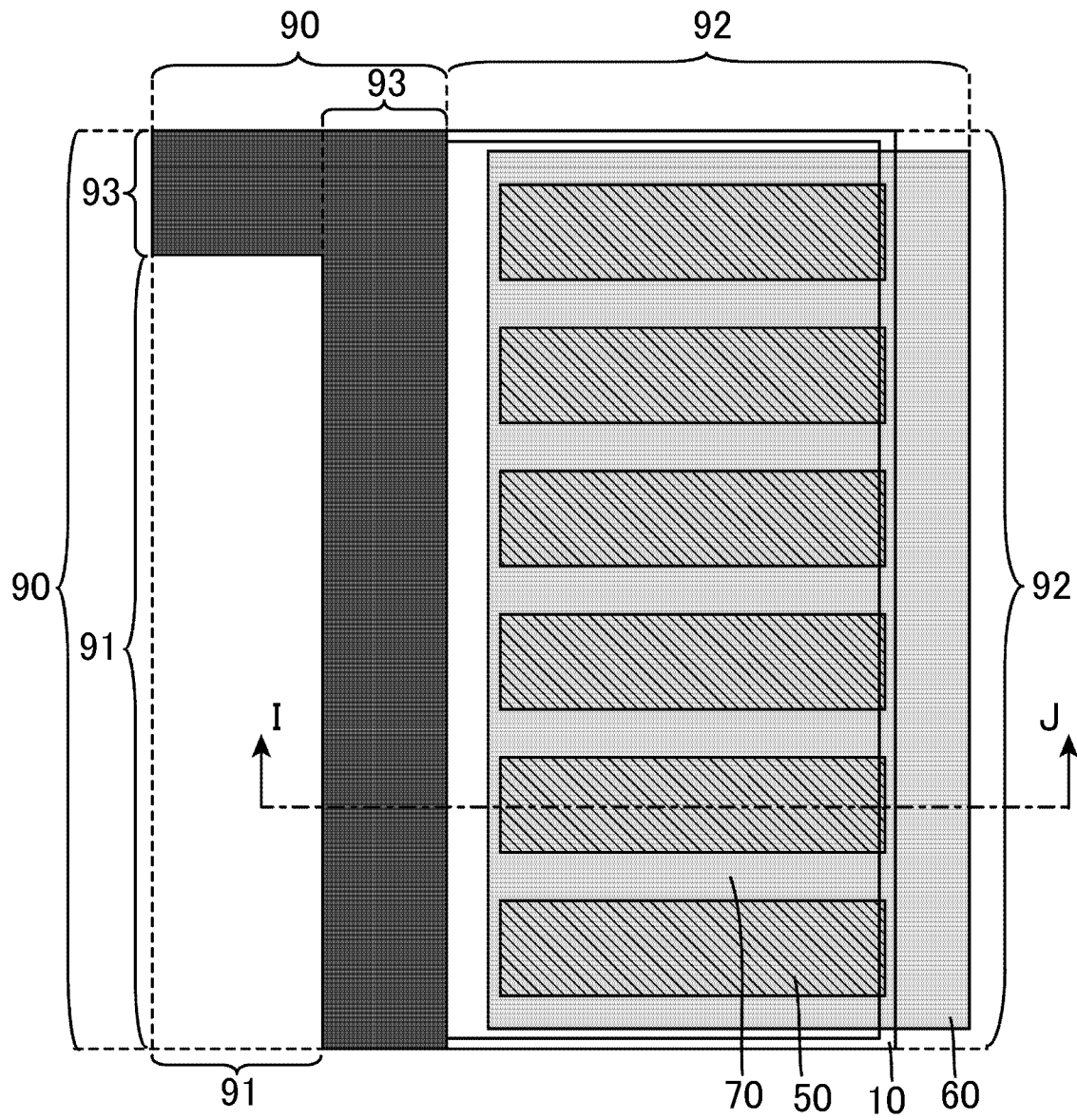
[図6]

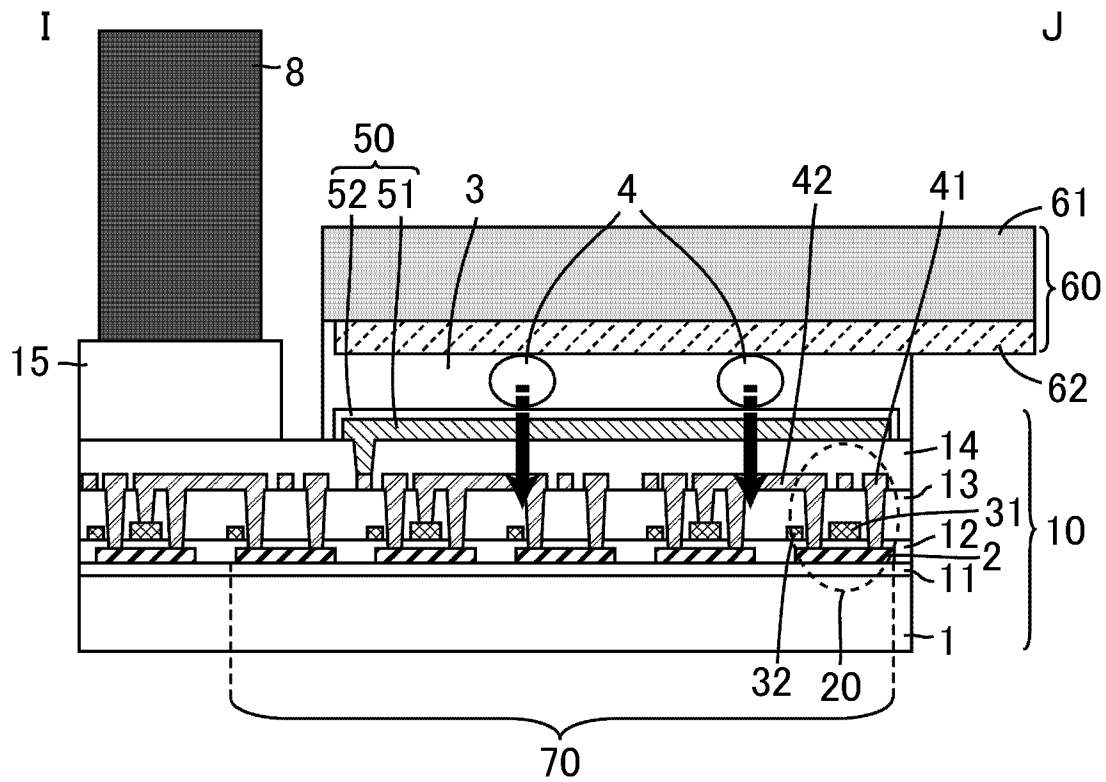


[図7]



[図8]





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/058853

## A. CLASSIFICATION OF SUBJECT MATTER

G09F9/00(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i,  
H01L21/3205(2006.01)i, H01L21/60(2006.01)i, H01L23/52(2006.01)i,  
H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/00, G02F1/1345, G02F1/1368, H01L21/3205, H01L21/60, H01L23/52,  
H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2009 |
| Kokai Jitsuyo Shinan Koho | 1971-2009 | Toroku Jitsuyo Shinan Koho | 1994-2009 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                               | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | JP 2003-167265 A (Advanced Display Inc.),<br>13 June, 2003 (13.06.03),<br>Abstract; Par. Nos. [0010] to [0011], [0013];<br>Fig. 3<br>& US 2003/0155943 A1 & TW 263825 B                                          | 1, 3-4, 30            |
| X         | JP 2001-154218 A (Matsushita Electric<br>Industrial Co., Ltd.),<br>08 June, 2001 (08.06.01),<br>Par. Nos. [0086] to [0090]; Figs. 9 to 10<br>& US 6961111 B1 & WO 2001/018596 A1<br>& CN 1321261 A & TW 285782 B | 1, 30                 |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
03 August, 2009 (03.08.09)

Date of mailing of the international search report  
11 August, 2009 (11.08.09)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2009/058853

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                          | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 10-282522 A (Toshiba Electronic Engineering Corp.),<br>23 October, 1998 (23.10.98),<br>Par. No. [0017]<br>(Family: none) | 1,3-4,30              |

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/058853

## Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The technical feature common to the inventions of claims 1-33 relates to "a circuit substrate formed by: a substrate having an external connection terminal arranged on a support substrate; and an external member mounted on the substrate; wherein the external member is electrically and physically connected to the external connection terminal via a conductive member."

(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1, 3-4, 30

**Remark on Protest**  
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2009/058853

Continuation of Box No.III of continuation of first sheet (2)

However, the search has revealed that the aforementioned technical feature is not novel since it is disclosed in Document 1: JP 2003-167265 A; and Document 2: JP 2001-154218 A. Accordingly, it is obvious that the inventions of claims 1, 3-4, 30, the inventions of claims 2, 5, 7, 9, 11-14, 16, 18-22, 24-29, 33, the inventions of claims 6, 8, 10, 15, 17, the invention of claim 23, the invention of claim 31, and the invention of claim 32 do not satisfy the requirement of unity of invention.

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09F9/00(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i, H01L21/3205(2006.01)i, H01L21/60(2006.01)i, H01L23/52(2006.01)i, H01L29/786(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09F9/00, G02F1/1345, G02F1/1368, H01L21/3205, H01L21/60, H01L23/52, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 0 9 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 0 9 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 0 9 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                         | 関連する<br>請求項の番号  |
|-----------------|-------------------------------------------------------------------------------------------------------------------------------------------|-----------------|
| X               | JP 2003-167265 A（株式会社アドバンスト・ディスプレイ）<br>2003.06.13, 要約、[0010] - [0011]、[0013] 及び図<br>3 & US 2003/0155943 A1 & TW 263825 B                  | 1、3 - 4、<br>3 0 |
| X               | JP 2001-154218 A（松下電器産業株式会社）2001.06.08, [008<br>6] - [0090] 及び図9 - 10 & US 6961111 B1 & W0 2001/018596<br>A1 & CN 1321261 A & TW 285782 B | 1、3 0           |
| A               | JP 10-282522 A（東芝電子エンジニアリング株式会社）1998.10.23,                                                                                               | 1、3 - 4、        |

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

|                                                                               |                                     |  |             |
|-------------------------------------------------------------------------------|-------------------------------------|--|-------------|
| 国際調査を完了した日<br>0 3 . 0 8 . 2 0 0 9                                             | 国際調査報告の発送日<br>1 1 . 0 8 . 2 0 0 9   |  |             |
| 国際調査機関の名称及びあて先<br>日本国特許庁（I S A／J P）<br>郵便番号1 0 0－8 9 1 5<br>東京都千代田区霞が関三丁目4番3号 | 特許庁審査官（権限のある職員）<br>渡邊 吉喜            |  | 2 I 3 4 0 6 |
|                                                                               | 電話番号 0 3－3 5 8 1－1 1 0 1 内線 3 2 7 3 |  |             |

| C (続き) . 関連すると認められる文献 |                                   |                |
|-----------------------|-----------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する<br>請求項の番号 |
|                       | [0017] (ファミリーなし)                  | 30             |

## 第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2. ☐ 請求項 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 \_\_\_\_\_ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

請求項1－33に係る発明の共通の事項は、「支持基板上に外部接続端子が載置された基板と、該基板上に取り付けられた外付け部材とを含んで構成される回路基板であって、該外付け部材は、導電部材を介して外部接続端子と電気的かつ物理的に接続されていること」である。

しかしながら、調査の結果、上記事項は、文献1：JP 2003-167265 A、文献2：JP 2001-154218 Aに開示されているから、新規でないことが事後的に明らかになった。よって、請求項1、3－4、30、請求項2、5、7、9、11－14、16、18－22、24－29、33、請求項6、8、10、15、17、請求項23、請求項31、請求項32に係る発明とは、発明の単一性の要件を満たしていないことは明らかである。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

1、3－4、30

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。