

申請日期	90.12.7
案 號	90130374
類 別	HOIL 29/868, 31/675

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新 型 名 稱	中 文	側邊多晶矽PIN二極體以及其製造方法
	英 文	LATERAL POLYSILICON PIN DIODE AND METHOD FOR SO FABRICATING
二、發明 創 作 人	姓 名	1.大衛 R. 格林伯格 DAVID R. GREENBERG 2.達爾 K. 傑都斯 DALE K. JADUS 3.希夏爾卓 索巴納 SESHADRI SUBBANNA 4.凱斯 M. 瓦特 KEITH M. WALTER
	國 籍	1.2.4均美國 3.印度
三、申請人	住、居所	1.美國紐約州白色平原市南百老匯路95號405室 2.美國紐約州瓦屏葛斯瀑布市美景大道325號 3.美國紐約州布里斯特市康維翠路105號 4.美國紐約州瓦奇爾市山邊路31號
	姓 名 (名 稱)	美商萬國商業機器公司 INTERNATIONAL BUSINESS MACHINES CORPORATION
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路
	代 表 人 姓 名	傑拉德 羅森賽 GERALD ROSENTHAL

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
美國 2000.12.12 09/734,624 ☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明(1)

發明領域

本發明關於PIN二極體，特別是一種結構，其中各種導電區係側邊設置的。

發明背景

對於多種不同應用而言，電子開關是關鍵，尤其是在非常多用戶的無線電1-2GHz市場中用於在接收和傳送電路之間切換之行動電話天線。好的開關必須具有若干重要特性。首先，當開關開啟時電阻應當小。其次，當開關閉閉時絕緣應當好。最後，開關應當能控制足夠強度的信號而不使其失真(即，與其內部狀態相比，信號自身不會引起開關額外之開啟或關閉)。

在高頻方面已經非常成功的一種開關是P型一本質一N型(PIN)二極體，它由夾在P型和N型區之間的本質或“I”區所組成。當此二極體為反向偏壓時(與N型區相比較，P型區處於負電壓)，開關閉閉。當二極體為順向偏壓時，開關導通。另外，大量的電荷儲存在裝置的“I”區。此電荷用於兩個目的—它幫助減小開關的電阻，並且因為必須去除電荷以關閉開關，所以它減緩了開關可以從開啟到關閉的速度。這是重要的，因為這意味著經過開關的高頻信號不會影響開關自身的開啟/關閉狀態(即大信號振幅不會將開關閉閉)。因而，好的PIN二極體性能的一個重要因數是儲存電荷的量。儲存電荷的量又涉及兩個數值：I區的體積；以及I區內載子的壽命。

在本領域中，一般標準是製造包括大I區的單獨而離散的

五、發明說明(2)

PIN二極體。然而，消費者愈來愈要求整合的解決方案。因成本、可靠性和精緻化的原因，消費者想要將開關直接放在實現其RF發射機和接收機的晶片上，以製造完全的或部分的系統晶片(systems-on-a-chip)。

RF技術的當前狀態，例如矽鍺BiCMOS，趨向於在基板頂部上的薄磊晶層內形成所有的電晶體和其他線路前端(front-end-of-the-line)裝置。現有技藝限制了I區的大小，因而透過磊晶層的厚度限制了諸如垂直設置的PIN二極體的先前技藝的電荷容量。典型地，該製程以一基板開始，重度摻雜的 N^+ 次集極層被注入該基板中。在該 N^+ 層上生長一薄的且通常小於1微米的磊晶層。 N^+ 層向上擴散留下最多0.5微米的層以構成I區。但沒有足夠的材料厚度以在PIN二極體內透過在垂直方向上生長I層而製造大的I區。

業界需要一種PIN二極體，它具有能被整合入現代RF製程中的充分大的I區。

業界需要一種這樣的PIN二極體，它能利用當前製造這種RF裝置的技藝中的典型的製程步驟製造。於是這種PIN二極體將採用當前的製程步驟而基本上自然的獲得。

其他目的和優點將從下面的揭示中更加顯而易見。

發明概要

本發明揭示一種改良而新穎的側邊PIN二極體結構，此結構側邊擴展本質區，藉此延展電荷儲存面積。

本發明透過將二極體設置在氧化物層上而提供減小的寄生電容。

五、發明說明(3)

本發明揭示一種側邊PIN二極體，它包括大晶粒多晶矽並具有形成在厚氧化物隔離層上的擴展的本質區。

參照圖2，本發明揭示一擴展的電荷儲存，側邊PIN二極體包括：第一導電類型的第一半導體層(1)；形成在該第一半導體層的主表面上的場隔離裝置(2)；形成在該場隔離裝置的主表面上及上方的第二半導體層(4)，其中該第二半導體層包括N型、本質和P型區，且其中該本質區位於該N型和該P型區之間並與之毗鄰；形成在該第二半導體層的主表面上的氧化物膜(7)；以及形成在該氧化物膜的主表面上的掩膜模組(masking module)，該掩膜模組選擇性地可以是射極模組，其中該掩膜模組在該本質區上方對準，且其中該掩膜模組遮蔽N型和P型區的邊緣。

本發明揭示一擴大電荷儲存的側邊PIN二極體，它選擇性地包括：穿過該場隔離裝置而與該第一半導體層連通的開口，其中該第二半導體層的一部分填充該選擇性開口並毗鄰該第一半導體層。

本發明揭示之PIN裝置在第一具體實施例中包括大晶粒矽，在較佳具體實施例中包括單晶矽。

本發明揭示一種製造具有擴大的I區的PIN二極體的方法，使得其可以被整合入現代RF製程中。本發明中電流橫向而非垂流通動，並且透過擴大P和N區間的橫向尺寸而增大I區。

本發明使用典型RF裝置製造的典型的製程步驟，使得大部分PIN二極體可以用現有的製程而自然地獲得。本發明無

五、發明說明(4)

需額外步驟地使用這樣的步驟。首先，PIN二極體的主體由放置雙極電晶體的基極和/或FET的閘極的層而形成。然後，本發明中射極模組用於在二極體的P和N接觸部的後續植入的過程中遮蔽I區。

本發明將多晶矽用作製造PIN主體的初始材料。因為載子可以在晶粒邊界再結合，所以多晶矽不具有長的載子壽命。這用於減少儲存的電荷，以抑制製造大的I層。

本發明的第一具體實施例提供一PIN，它被整合入RF晶片中並用傳統的製程步驟自然地獲得。此具體實施例提供一植入物以使多晶矽非晶化，然後提供一退火步驟以將其重新生長為大晶粒多晶矽以減小晶粒邊界並增加載子壽命。

在本發明的第二具體實施例中，使包含PIN二極體層的多晶矽穿過下部介電層中的開口而接觸單晶基板。非晶化並退火多晶矽。單晶矽的表面用作在稱作固相磊晶生長的製程中造成PIN二極體層再結晶成單晶矽的晶種層。於是，將使PIN二極體的I層具有高的載子壽命。

透過在隔離氧化物(或其他電介質)層上形成PIN二極體於其自己的層內，而不是將PIN二極體形成在主體矽中的優點，本發明進一步提供減小的寄生電容。

從下面的詳細描述中，本領域的技術人員將會更容易地明白本發明的其他目的和優點，下面的詳細描述簡單地借助於對實現本發明所認為最佳模式的說明而示出並描述了本發明的較佳具體實施例。將認識到，在不背離本發明的

五、發明說明(5)

情況下，本發明可以是其他和不同的具體實施例，並且在各種顯而易見的方面，它的各種細節可以修改。因而，本質上，該描述將被認為是說明性的而非限制性的。

圖式簡述

本發明將從下文結合附圖的詳細說明中得到最好地理解。需要強調的是，根據一般的習慣，附圖的各個特徵沒有依實際比例大小而繪製。相反，為了清晰，各個裝置的尺寸被任意地放大或減小。包括在圖示中各圖分別為：

圖1說明傳統的PIN二極體；

圖2說明第一具體實施例中的側邊PIN二極體；

圖3-6說明本發明創新的PIN結構的第二具體實施例的製造步驟；以及

圖7說明完成佈線的側邊擴展的本質PIN二極體。

較佳具體實施例之詳述

參照附圖以說明實施本發明所選之具體實施例和較佳模式。在各圖中，相似的參考數字代表相似的元件。應當理解的是，本發明並不因此而受限於圖中所描述的這些方面。

具體實施例 1

現在參照圖2。第一種方案來自磊晶基極的雙極電晶體製程，例如矽鍺BiCMOS技術。約2800Å的氧化物層2設置在標準的半導體基板1頂部表面上。基極多晶矽(base polysilicon)用於形成PIN二極體的主體，並被適當掩蔽和摻雜以產生N⁺3、本質(I)4和P⁺5區。射極-基極鈍化層7用

五、發明說明(6)

於形成多晶矽的鈍化層，以透過使用高品質熱氧化物介面來幫助減小表面再結合。射極多晶矽6形成防止將來的植入物進入二極體主體的掩膜層。在此多晶矽層上，界定用於PIN二極體主體的每個側面上的 P^+ 和 N^+ 植入物的掩膜邊緣。先前技藝的PIN二極體被磊晶層厚度限制在約0.5 Å的I區，該二極體在該磊晶層中形成。透過側邊佈置I區，本發明實現了在寬度上約5-10微米的I區。在較佳具體實施例中，射極模組多晶矽和射極一基極鈍化層遮蔽了注入，因而界定了I區。這一具體實施例來自BiCMOS製程。然而，在不需要具有射極模組的地方，包括臨時光掩膜的其他結構可以被替代。因而，為了本發明揭示的目的，術語“射極模組(emitter module)”和掩膜模組(masking module)可被互換地用於描述為了植入的目的而掩蔽和定義I區的邊緣的結構。

眾所周知，多晶中的晶粒邊界將比單晶矽者引發更高的再結合。然而，在PIN二極體的情形中，只要漏洩依然是可接受的，裝置干擾的減少將導致更好的性能。諸如氫退火的特殊技術可被用於減少再結合中心，或者另一種方案是透過在600-650°C的長時間退火的晶粒尺寸生長。透過例如非晶化該層，然後在中間溫度退火，晶粒尺寸可以增大。

具體實施例 2

在另一具體實施例中，透過射極一基極鈍化層，可以使用額外的掩膜以開放單晶基極上的基極多晶矽區。於是可以用沈積和退火用於鈍化層的非晶矽層。這導致非晶矽自單

五、發明說明(7)

晶基極上的晶種區的磊晶側邊生長。這導致減少再結合電流的單晶結構。在與第一具體實施例相似的方式中，可以在頂部形成鈍化和掩膜層，且 P^+ 和 N^+ 植入物可以被限定在二極體主體的相對端內。

現在參照圖3，其描述用於第二具體實施例的製造的步驟順序。此描述係關於基板是矽的較佳具體實施例。因而，描述矽專用方法，例如矽專用隔離和製程步驟。然而，需要理解的是，本發明可以在除了矽的其他基板上實現，並可以使用適合於其他基板的方法，包括適當隔離和製程步驟。因而，該描述將被理解成說明性的而非限制性的。

提供一層單晶半導體材料1。此單晶層可以包括塊狀基板或可以包括磊晶層。此層的材料可以包括矽或砷化鎵。場隔離層2塗覆在半導體層1上。場隔離層較佳地包括厚氧化物，典型地是從約1000至約5000Å厚且較佳為2800Å厚的二氧化矽。與矽製程相容的其他介電膜可以使用，例如氮化矽。本發明的一個特徵是，此電介質可以作為諸如淺槽(shallow trench)或LOCOS的隔離氧化物。在當前描述的具體實施例中，我們採用在電介質上形成開口3。進行掩蔽以使得開口在被形成時將直接在後續形成的PIN二極體主體的一側。典型地，開口將被設置在距離PIN二極體主體的邊緣約1至約10微米處。穿過電介質2蝕刻開口3一直向下到矽1。為了形成側邊PIN二極體主體，沈積和圖樣化多晶矽膜4。在出現開口3的地方，必須圖樣化此膜，使得它進入開口3並接觸下部的矽1。在本製程的最有效的植入中，將與

五、發明說明(8)

現存的BiCMOS製程步驟(FET閘極多晶矽層、雙極基極層、或在雙重多晶基極製程中的雙極非本質基極接觸層)共用膜4。於是，此膜在此製程中可“自然(free)”獲得。

另一方式是，多晶矽膜4的晶粒結構被擴大。例如矽或鍺的非摻雜物種被植入膜4內，以破壞晶粒結構並使之非晶化。退火步驟將該膜再結晶成大晶粒多晶矽。當選擇性開口3出現時，從開口3開始而朝已圖樣化邊緣的終端橫向發展，矽表面1將導致膜4經歷固態磊晶生長而成單晶矽。晶粒尺寸的控制允許增加的電荷載子的壽命。

現在參照圖4，其描述射極模組的製造。考慮到製程效率，這些步驟可以與BiCMOS製程中用於形成雙極電晶體的多晶矽射極的步驟結合。於是，這些步驟“自然地”來自該製程。在多晶矽膜上形成SiO₂層7。較佳地，此層>300Å，且更佳地它應當是約500Å厚。層7應當是原生的或熱氧化物，而不是沈積的。沈積多晶矽膜9，該膜通常約1000-5000Å厚。圖樣化膜9以產生等於PIN二極體主體的所欲側邊尺寸的寬度，通常為1-10微米。I區側邊尺寸的上限由固相磊晶製程的有效距離決定。膜9可以非多晶矽的材料沈積和圖樣化取代，例如其他的電介質或臨時光阻材料膜。這種替換性步驟將不能從典型的BiCMOS製程中“自然”獲得。

現在參照圖5，其描述PIN的N區6和N植入物(implant)10的形成。塗覆例如光阻材料13的臨時掩膜，並將重度n型摻雜劑(例如磷或砷)植入到二極體主體的一側。被選擇的特定

五、發明說明(9)

側是設計選擇的問題。膜4中最終的摻雜劑濃度應當超過 1×10^{18} 原子/釐米³。為了製程效率，植入步驟可以與例如CMOS NFET的源極/汲極植入步驟共用，於是它可以在BiCMOS製程中“自然”獲得。“自然”來自雙極電晶體或BiCMOS製程的頂部多晶矽9用於遮蔽植入物11使之不能進入更下部的矽膜4，PIN二極體的主體區，於是將植入物自行對準PIN二極體主體的一個邊緣。

參照圖6，其描述PIN的P區15和P植入物11的製造。塗覆例如光阻材料14的臨時掩膜，並將例如硼的重度p型摻雜劑植入到二極體主體的一側。除了它必須是植入n型摻雜劑的一側的相對側外，植入p型摻雜劑的一側是非實質性的。被選擇的特定側是設計選擇的問題。膜4中最終的摻雜劑濃度應當超過 1×10^{18} 原子/釐米³。為了製程效率，植入步驟可以與例如CMOS PFET的源極/汲極植入步驟共用，於是它可以在BiCMOS製程中“自然”獲得。“自然”來自雙極電晶體或BiCMOS製程的頂部多晶矽9用於遮蔽植入物11使之不能進入更下部的矽膜4，即PIN二極體的主體區，於是將植入物自行對準PIN二極體主體的一個邊緣。注意，多晶矽9遮罩了區域5，該區域5於是成為PIN二極體的本質區。

現在，參照圖7，其描述完成的PIN二極體。

在晶圓上形成其他裝置的後續製程步驟之後，可以將電接觸放置在將側邊PIN二極體與其他裝置連接的地方。為了良好的電連接，透過在金屬沈積前使用短時間的濕蝕刻劑

五、發明說明(10)

浸漬(例如在氫氟酸內，HF)，可以在接觸部下方立即除去下部矽/大晶粒多晶矽層頂部的氧化物膜。另一方式是，為了更好的接觸，接觸部下方的矽/大晶粒多晶矽可以被矽化(用鈦或鈷沈積，接著退火以與矽化學反應)。Ti或Co矽化物的形成在任何現代矽製程設備中是一標準製程步驟，因而此處不描述。

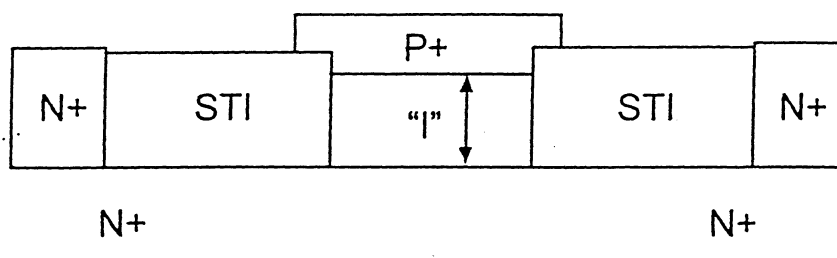
於是，從本發明所揭示之內容中獲益的本領域的技術人員將意識到，本發明可以製造延伸的側邊PIN二極體。另外，需要理解的是，所示和該的本發明的形式將被當作當前的較佳具體實施例。可以對每個製程步驟作各種修改和變化，對從本發明內容中獲益的技術人員而言是顯而易知的。以下的申請專利範圍被解釋為包含所有這樣的修改和變化，因而將在說明性而非限制性的意義上考慮本說明書和圖式。此外，所附申請專利範圍包括替換性具體實施例。特別是具體到以矽製程的術語揭示本發明，並要求保護其申請專利範圍。然而，需要理解的是，本發明可以非矽的半導體材料實現。

四、中文發明摘要(發明之名稱: 側邊多晶矽PIN二極體以及其製造方法)

本發明揭示了一種具有側邊延伸的I區的PIN二極體。本發明還揭示了一種製造創新的PIN二極體的方法，該方法與諸如矽鍺BiCMOS製程的現代RF技術相容。

英文發明摘要(發明之名稱: LATERAL POLYSILICON PIN DIODE AND
METHOD FOR SO FABRICATING)

The invention provides a PIN diode having a laterally extended I-region. The invention also provides a method of fabricating the inventive PIN diode compatible with modern RF technologies such as silicon-germanium BiCMOS processes.



P - 基板

圖 1

先前技藝

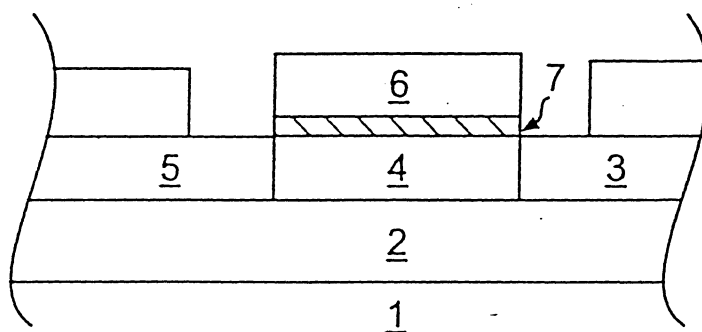


圖 2

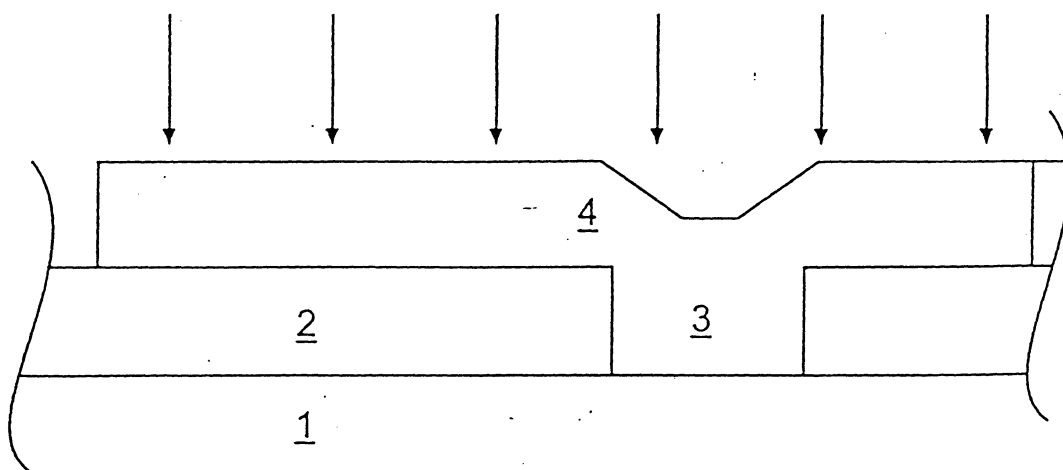


圖 3

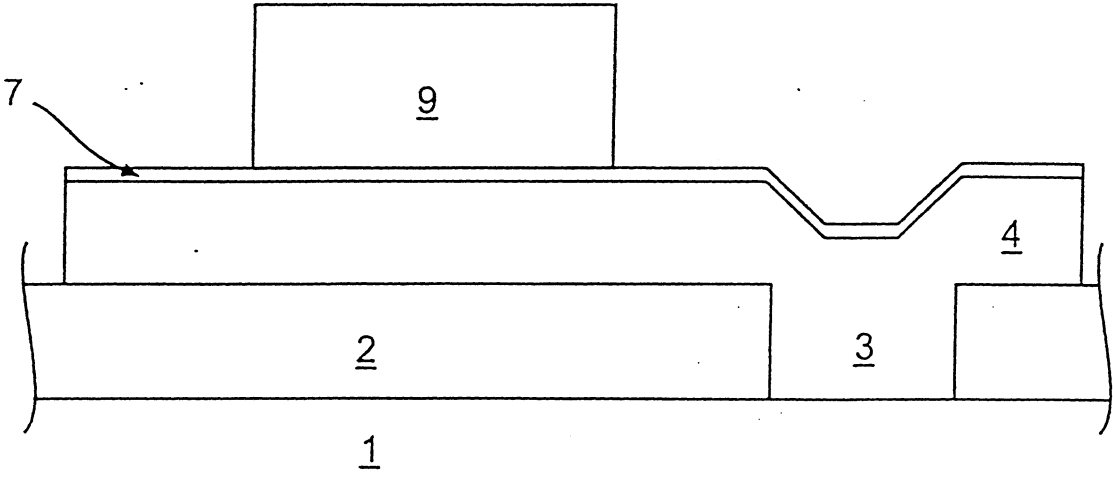


圖 4

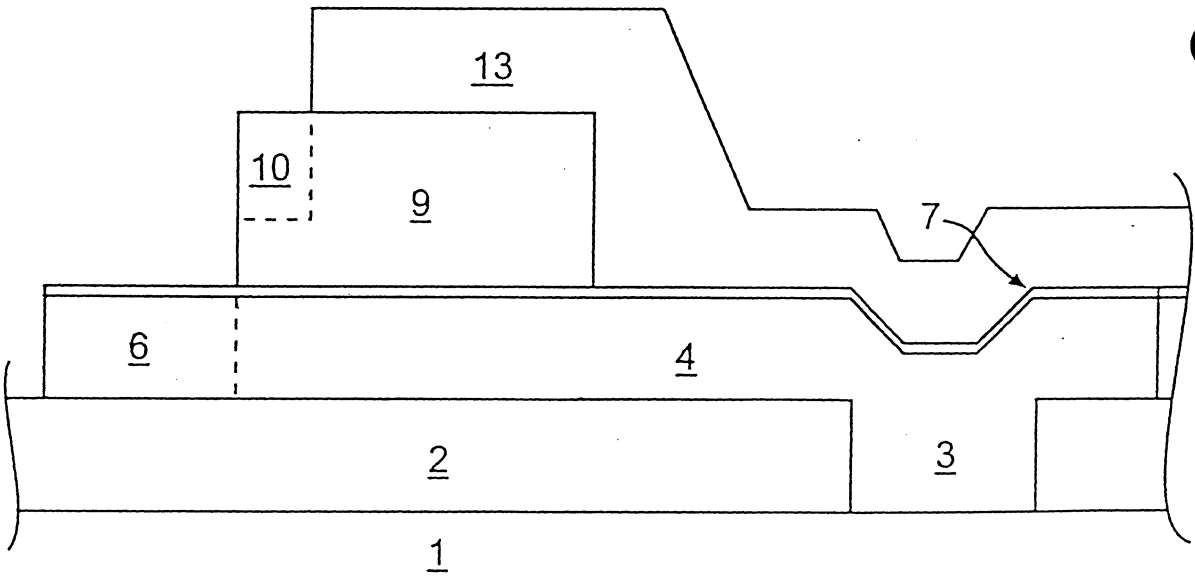


圖 5

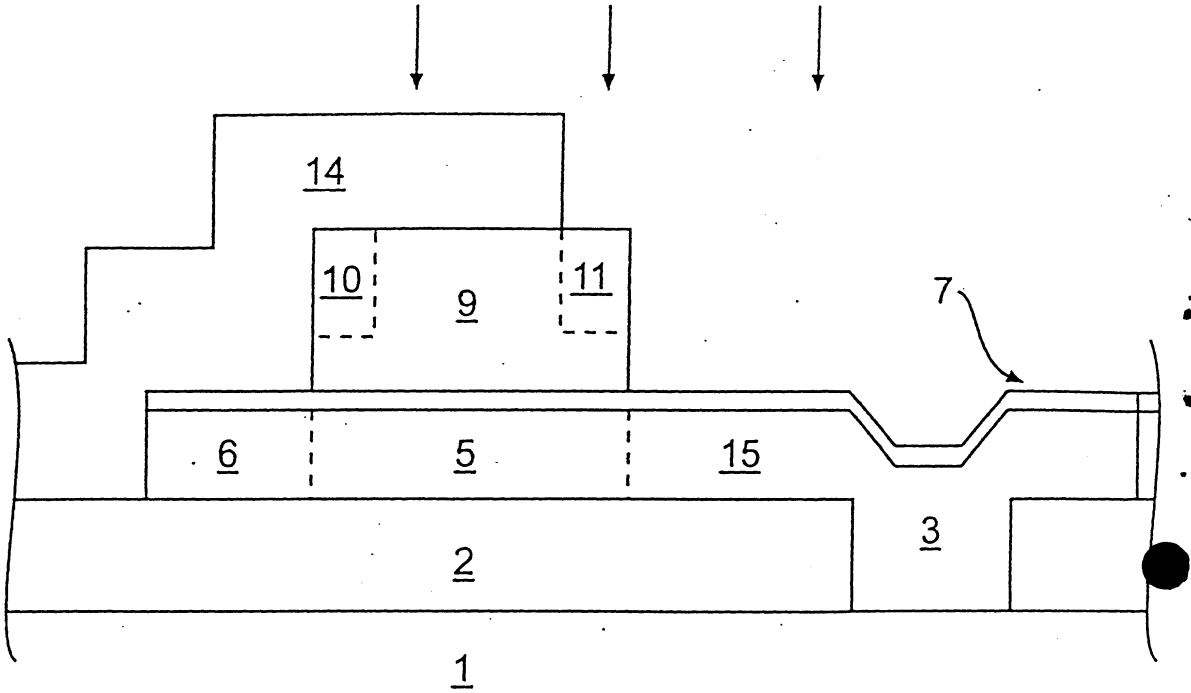


圖 6

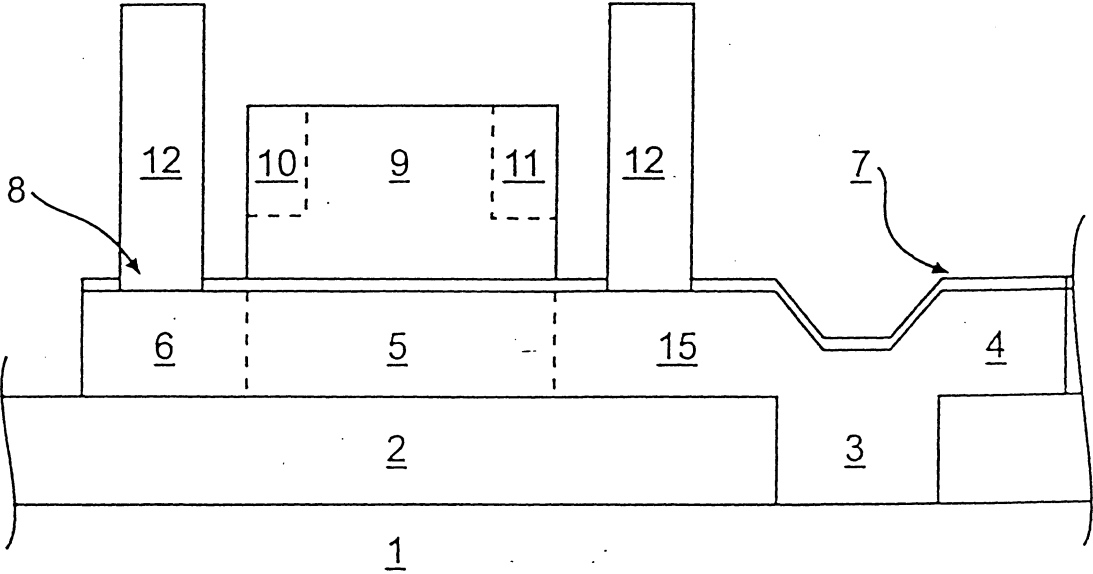


圖 7

六、申請專利範圍

1. 一種側邊 PIN 二極體，包括：

半導體基板；

形成在該半導體基板的主表面上的場隔離裝置；

在該場隔離裝置的主表面上及上方形成的 PIN 二極體主體，其中該 PIN 二極體主體包括 N 型、本質和 P 型區，且其中該本質區位於該 N 型和該 P 型區之間並與之毗鄰；

形成在該 PIN 二極體主體的主表面上的氧化物膜(7)；以及

形成在該氧化物膜的主表面上的掩膜模組，其中該掩膜模組對準該本質區，並且其中該掩膜模組具有界定於其內部的 N 型和 P 型邊緣植入物，其中該每個植入物與該第二半導體層的各個類型區靠近。

2. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該半導體基板包括單晶材料。

3. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該單晶材料從由矽和砷化鎵所組成的群組中選出。

4. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該半導體基板來自於矽雙極或 BiCMOS 製程。

5. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該場隔離裝置包括與矽製程相容的電介質材料。

6. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該場隔離裝置由二氧化矽和氮化矽所組成的群組中選出的材料所組成。

7. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該場隔

六、申請專利範圍

離裝置包括隔離氧化物。

8. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該隔離氧化物由淺槽隔離和 LOCOS 所組成的群組中選出。
9. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該場隔離裝置選擇性地形成至少一個穿過其中而與該半導體基板連通的開口。
10. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該 PIN 二極體主體包括大晶粒多晶矽。
11. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該 PIN 二極體主體包括單晶矽。
12. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該 N 型、本質和 P 型區共平面。
13. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該本質區的寬度從約 1 微米至約 10 微米。
14. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該本質區的長度從約 1 微米至約 10 微米。
15. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該氧化物膜包括 SiO_2 。
16. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該氧化物膜的厚度從約 300Å 至約 1000Å。
17. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該掩膜模組實質上具有與該本質區相同的橫截面。
18. 如申請專利範圍第 1 項之側邊 PIN 二極體，其中該掩膜模組是射極模組。