



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년11월27일
(11) 등록번호 10-1466205
(24) 등록일자 2014년11월21일

- (51) 국제특허분류(Int. Cl.)
G06N 3/063 (2006.01)
- (21) 출원번호 10-2013-7003040
- (22) 출원일자(국제) 2011년07월07일
심사청구일자 2013년02월05일
- (85) 번역문제출일자 2013년02월05일
- (65) 공개번호 10-2013-0036313
- (43) 공개일자 2013년04월11일
- (86) 국제출원번호 PCT/US2011/043259
- (87) 국제공개번호 WO 2012/054109
국제공개일자 2012년04월26일
- (30) 우선권주장
12/831,871 2010년07월07일 미국(US)
- (56) 선행기술조사문헌
W02009113993 A1
- Bernhard Nessler et al. STDP enables spiking neurons to detect hidden causes of their inputs. NIPS 2009, Vancouver, Canada, 2009. 12. 7-10.*
- Terry Elliott. Discrete States of Synaptic Strength in a Stochastic Model of Spike-Timing-Dependent Plasticity. Neural Computation, Vol.22, No.1, pp.244-272, 2009.12.11.*
- *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
켈컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
아파린, 블라디미르
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- 벤카트라만, 수브라마니암
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인
특허법인 남앤드남

전체 청구항 수 : 총 27 항

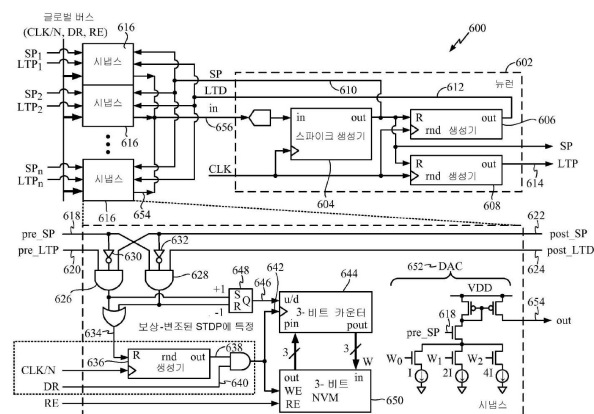
심사관 : 안병철

(54) 발명의 명칭 전기 회로, 디지털 뉴럴 프로세싱 유닛을 구현하기 위한 방법 및 장치

(57) 요약

본 발명의 특정한 실시형태들은 이산-레벨 시냅스들 및 확률적 시냅스 가중치 트레이닝을 이용한 디지털 뉴럴 프로세서의 구현을 지원한다.

대표도



특허청구의 범위

청구항 1

전기 회로로서,

하나 또는 그 초과 시냅스들 및 상기 시냅스들에 접속된 포스트-시냅스(post-synaptic) 뉴런 회로를 갖는 디지털 뉴럴(neural) 프로세싱 유닛을 포함하고,

각각의 시냅스는, 시간에 걸쳐 지수적으로 감쇄하는 정의된 시간 간격에서 발생할 각각의 펄스의 확률로 펄스 신호를 생성하기 위해, 적어도 부분적으로 스파이크들 중 하나에 의하여 트리거링되는 생성기 회로를 더 포함하고,

상기 생성기 회로는 복수의 서브-생성기들을 포함하고, 각각의 서브-생성기는 링 오실레이터를 포함하며, 각각의 서브-생성기의 출력력은 상기 생성기 회로의 원하는(desired) 로직 확률을 생성하기 위해 로직 함수들을 이용하여 함께 결합되고, 상기 로직 함수들은 분석 확률 공식들:

$$P(A \cdot B) = P(A) \cdot P(B),$$

$$P(A + B) = P(A) + P(B) - P(A) \cdot P(B),$$

을 이용하여 선택되며,

상기 시냅스의 가중치는, 상기 시냅스에 접속된 프리-시냅스(pre-synaptic) 뉴런 회로 및 상기 포스트-시냅스 뉴런 회로로부터 발생된 한 쌍의 스파이크들 사이에서 경과된 시간에 의존하는 확률로, 이산 레벨들에서 값을 변경하는, 전기 회로.

청구항 2

제 1 항에 있어서,

상기 확률은 상기 경과된 시간의 함수로서 지수적으로 감쇄하는, 전기 회로.

청구항 3

제 1 항에 있어서,

상기 포스트-시냅스 뉴런 회로는,

시간에 걸쳐 지수적으로 감쇄하는 정의된 시간 간격에서 발생할 각각의 펄스의 확률로 적어도 하나의 펄스 신호를 생성하기 위해 상기 스파이크들 중 하나에 의하여 트리거링되는 적어도 하나의 생성기 회로를 더 포함하는, 전기 회로.

청구항 4

제 3 항에 있어서,

상기 펄스들 중 하나는 상기 가중치 값을 감소시키는, 전기 회로.

청구항 5

제 3 항에 있어서,

상기 펄스들 중 하나는 상기 뉴럴 프로세싱 유닛에 접속된 다른 시냅스의 다른 가중치 값을 정의된 이산 레벨만큼 증가시키는, 전기 회로.

청구항 6

제 3 항에 있어서,

상기 생성기 회로들 각각은 링 오실레이터들을 포함하는, 전기 회로.

청구항 7

삭제

청구항 8

제 1 항에 있어서,

상기 펄스들 중 하나 및 게이트 신호는 상기 가중치 값을 증가시키는, 전기 회로.

청구항 9

제 1 항에 있어서,

상기 펄스들 중 하나 및 게이트 신호는 상기 가중치 값을 감소시키는, 전기 회로.

청구항 10

삭제

청구항 11

제 1 항에 있어서,

상기 시냅스는,

상기 포스트-시냅스 뉴런 회로로 입력될 전기 전류를 생성하는 상기 스파이크들 중 하나에 의해 게이팅된 디지털-아날로그 변환 회로(digital-to-analog conversion circuit)를 더 포함하며,

상기 전기 전류의 값은 상기 시냅스의 가중치 값에 기초하는, 전기 회로.

청구항 12

디지털 뉴럴 프로세싱 유닛을 구현하기 위한 방법으로서,

상기 뉴럴 프로세싱 유닛의 적어도 하나의 시냅스와 상기 뉴럴 프로세싱 유닛의 포스트-시냅스 뉴런 회로를 접속시키는 단계;

시간에 걸쳐 지수적으로 감쇄하는 정의된 시간 간격에서 발생할 각각의 펄스의 확률로 펄스 신호를 생성하는 것을 시작하기 위해 상기 시냅스 내의 생성기 회로를, 적어도 부분적으로 스파이크들 중 하나에 의해, 트리거링하는 단계 - 상기 생성기 회로는 복수의 서브-생성기들을 포함하고, 각각의 서브-생성기는 링 오실레이터를 포함하며, 각각의 서브-생성기의 출력들은 선택된 로직 함수들을 이용하여 함께 게이팅되고, 상기 로직 함수는 상기 생성기 회로의 원하는 로직 확률을 생성하기 위해 분석 확률 공식들:

$$P(A \cdot B) = P(A) \cdot P(B),$$

$$P(A + B) = P(A) + P(B) - P(A) \cdot P(B),$$

을 사용하여 선택됨 -; 및

상기 시냅스에 접속된 프리-시냅스 뉴런 회로 및 상기 포스트-시냅스 뉴런 회로로부터 발생된 한 쌍의 스파이크들 사이에서 경과된 시간에 의존하는 확률로, 상기 시냅스의 가중치 값을 이산 레벨들에서 변경하는 단계를 포함하는, 디지털 뉴럴 프로세싱 유닛을 구현하기 위한 방법.

청구항 13

제 12 항에 있어서,

상기 확률은 상기 경과된 시간의 함수로서 지수적으로 감쇄하는, 디지털 뉴럴 프로세싱 유닛을 구현하기 위한 방법.

청구항 14

제 12 항에 있어서,

시간에 걸쳐 지수적으로 감쇄하는 정의된 시간 간격에서 발생할 각각의 펄스의 확률로 적어도 하나의 펄스 신호를 생성하는 것을 시작하기 위해 상기 포스트-시냅스 뉴런 회로 내의 적어도 하나의 생성기 회로를 상기 스파이크들 중 하나에 의해 트리거링하는 단계를 더 포함하는, 디지털 뉴럴 프로세싱 유닛을 구현하기 위한 방법.

청구항 15

제 14 항에 있어서,

상기 펄스들 중 하나는 상기 가중치 값을 감소시키는, 디지털 뉴럴 프로세싱 유닛을 구현하기 위한 방법.

청구항 16

제 14 항에 있어서,

상기 펄스들 중 하나는 상기 뉴럴 프로세싱 유닛에 접속된 다른 시냅스의 다른 가중치 값을 정의된 이산 레벨만큼 증가시키는, 디지털 뉴럴 프로세싱 유닛을 구현하기 위한 방법.

청구항 17

제 14 항에 있어서,

상기 생성기 회로들 각각은 링 오실레이터들을 포함하는, 디지털 뉴럴 프로세싱 유닛을 구현하기 위한 방법.

청구항 18

삭제

청구항 19

제 12 항에 있어서,

상기 펄스들 중 하나 및 게이트 신호는 상기 가중치 값을 증가시키는, 디지털 뉴럴 프로세싱 유닛을 구현하기 위한 방법.

청구항 20

제 12 항에 있어서,

상기 펄스들 중 하나 및 게이트 신호는 상기 가중치 값을 감소시키는, 디지털 뉴럴 프로세싱 유닛을 구현하기 위한 방법.

청구항 21

삭제

청구항 22

제 12 항에 있어서,

상기 스파이크들 중 하나에 의해 게이팅된 상기 시냅스 내의 디지털-아날로그 변환 회로에 의해, 상기 포스트-시냅스 뉴런 회로로 입력될 전기 전류를 생성하는 단계를 더 포함하고,

상기 전기 전류의 값은 상기 시냅스의 가중치 값에 기초하는, 디지털 뉴럴 프로세싱 유닛을 구현하기 위한 방법.

청구항 23

디지털 뉴럴 프로세싱 유닛을 구현하기 위한 장치로서,

상기 뉴럴 프로세싱 유닛의 적어도 하나의 시냅스와 상기 뉴럴 프로세싱 유닛의 포스트-시냅스 뉴런 회로를 접

속시키기 위한 수단;

시간에 걸쳐 지수적으로 감쇄하는 정의된 시간 간격에서 발생할 각각의 펄스의 확률로 펄스 신호를 생성하는 것을 시작하기 위해 상기 시냅스 내의 생성기 회로를, 적어도 부분적으로 스파이크들 중 하나에 의해, 트리거링하기 위한 수단 — 상기 생성기 회로는 복수의 서브-생성기들을 포함하고, 각각의 서브-생성기는 링 오실레이터를 포함하며, 각각의 서브-생성기의 출력들은 선택된 로직 함수들을 이용하여 함께 게이팅되고, 상기 로직 함수는 상기 생성기 회로의 원하는 로직 확률을 생성하기 위해 분석 확률 공식들:

$$P(A \cdot B) = P(A) \cdot P(B),$$

$$P(A + B) = P(A) + P(B) - P(A) \cdot P(B);$$

을 이용하여 선택됨 —; 및

상기 시냅스에 접속된 프리-시냅스 뉴런 회로 및 상기 포스트-시냅스 뉴런 회로로부터 발생된 한 쌍의 스파이크들 사이에서 경과된 시간에 의존하는 확률로, 상기 시냅스의 가중치 값을 이산 레벨들에서 변경하기 위한 수단을 포함하는, 디지털 뉴런 프로세싱 유닛을 구현하기 위한 장치.

청구항 24

제 23 항에 있어서,

상기 확률은 상기 경과된 시간의 함수로서 지수적으로 감쇄하는, 디지털 뉴런 프로세싱 유닛을 구현하기 위한 장치.

청구항 25

제 23 항에 있어서,

시간에 걸쳐 지수적으로 감쇄하는 정의된 시간 간격에서 발생할 각각의 펄스의 확률로 적어도 하나의 펄스 신호를 생성하는 것을 시작하기 위해 상기 포스트-시냅스 뉴런 회로 내의 적어도 하나의 생성기 회로를 상기 스파이크들 중 하나에 의해 트리거링하기 위한 수단을 더 포함하는, 디지털 뉴런 프로세싱 유닛을 구현하기 위한 장치.

청구항 26

제 25 항에 있어서,

상기 펄스들 중 하나는 상기 가중치 값을 감소시키는, 디지털 뉴런 프로세싱 유닛을 구현하기 위한 장치.

청구항 27

제 25 항에 있어서,

상기 펄스들 중 하나는 상기 뉴런 프로세싱 유닛에 접속된 다른 시냅스의 다른 가중치 값을 정의된 이산 레벨만큼 증가시키는, 디지털 뉴런 프로세싱 유닛을 구현하기 위한 장치.

청구항 28

제 25 항에 있어서,

상기 생성기 회로들 각각은 링 오실레이터들을 포함하는, 디지털 뉴런 프로세싱 유닛을 구현하기 위한 장치.

청구항 29

삭제

청구항 30

제 23 항에 있어서,

상기 펄스들 중 하나 및 게이트 신호는 상기 가중치 값을 증가시키는, 디지털 뉴런 프로세싱 유닛을 구현하기

위한 장치.

청구항 31

제 23 항에 있어서,

상기 펄스들 중 하나 및 게이트 신호는 상기 가중치 값을 감소시키는, 디지털 뉴럴 프로세싱 유닛을 구현하기 위한 장치.

청구항 32

삭제

청구항 33

제 23 항에 있어서,

상기 스파이크들 중 하나에 의해 게이팅된 상기 시냅스 내의 디지털-아날로그 변환 회로에 의해, 상기 포스트-시냅스 뉴런 회로로 입력될 전기 전류를 생성하기 위한 수단을 더 포함하며,

상기 전기 전류의 값은 상기 시냅스의 가중치 값에 기초하는, 디지털 뉴럴 프로세싱 유닛을 구현하기 위한 장치.

명세서

기술 분야

[0001] 본 발명의 특정한 실시형태들은 일반적으로 뉴럴 시스템 엔지니어링에 관한 것으로, 더 상세하게는 이산-레벨 시냅스들 및 확률적 시냅스 가중치 트레이닝(training)을 이용하여 디지털 뉴럴 프로세서를 구현하기 위한 방법에 관한 것이다.

배경 기술

[0002] 뉴럴 시스템의 뉴런들을 접속시키는 시냅스들은 통상적으로 작은 수의 이산 강도 레벨들만을 나타낸다. 예를 들어, 해마(hippocampus) 뉴럴 구조의 뇌회전(Cornu Ammonis) CA3-CA1 경로 내의 시냅스들은 2진(binary) 또는 3진(ternary) 중 어느 하나일 수 있다. 3진 시냅스의 경우에서, 하나의 강도 레벨은, 예를 들어, 장기 저하(long-term depression)(LTD)에 의해 유도된 저하된 상태에 대응할 수 있고, 또 다른 강도 레벨은 장기 강화(long term potentiation)(LTP)에 의해 유도된 강화된 상태에 대응할 수 있으며, 제 3 강도 레벨은 LTD 또는 LTP를 적용하기 전에 존재하는 비-자극된(un-stimulated) 상태에 대응할 수 있다. 시냅스 강도의 이산 레벨들 사이의 전이들은 스위칭형 방식으로 발생할 수 있다.

[0003] 뉴런모방형(neuromorphic) 프로세서들은 아날로그, 디지털 또는 혼합된 신호 도메인에서 구현될 수 있다. 통상적으로, 시냅스들은 결정적 스파이크-타이밍-의존 가소성(spike-timing dependent plasticity)(STDP) 법칙을 사용하여 트레이닝되며, 이는 시냅스 가중치들을 저장하기 위한 아날로그 또는 멀티-레벨 디지털 메모리를 요구한다. 이들 2개의 타입들의 메모리들 중 어느 하나는 기술적 문제들을 나타낸다. 아날로그 메모리는 불량한 기억력(retention) 및 복제 능력을 갖는다. 또한, 그것은 STDP 감쇄들을 구현하기 위해 큰 다이 영역을 요구한다. 한편, 멀티-레벨 디지털 메모리는 많은 수의 비트들을 요구하며, 이는 주어진 정확도의 시냅스 가중치 증분들을 구현하기 위해 많은 수의 병렬 상호접속 배선들을 유도한다.

발명의 내용

[0004] 본 발명의 특정한 실시형태들은 전기 회로를 제공한다. 전기 회로는 일반적으로, 하나 또는 그 초과 시냅스들을 갖는 디지털 뉴럴 프로세싱 유닛, 및 시냅스들에 접속된 포스트-시냅스 뉴런 회로를 포함하며, 여기서, 시냅스들 중 하나의 가중치는, 시냅스에 접속된 포스트-시냅스 뉴런 회로 및 프리-시냅스 뉴런 회로로부터 발생된 한 쌍의 스파이크들 사이에서 경과된 시간에 의존한 확률을 이용하여 이산 레벨들에서 값을 변경시킨다.

[0005] 본 발명의 특정한 실시형태들은 디지털 뉴럴 프로세싱 유닛을 구현하기 위한 방법을 제공한다. 방법은 일반적으로, 뉴럴 프로세싱 유닛의 포스트-시냅스 뉴런 회로를 뉴럴 프로세싱 유닛의 적어도 하나의 시냅스와 접속시키는 단계, 및 시냅스에 접속된 포스트-시냅스 뉴런 회로 및 프리-시냅스 뉴런 회로로부터 발생된 한 쌍의 스파

이크들 사이에서 경과된 시간에 의존한 확률을 이용하여 시냅스들 중 하나의 가중치 값을 이산 레벨들에서 변경시키는 단계를 포함한다.

[0006] 본 발명의 특정한 실시형태들은 디지털 뉴럴 프로세싱 유닛을 구현하기 위한 장치를 제공한다. 장치는 일반적으로, 뉴럴 프로세싱 유닛의 포스트-시냅스 뉴런 회로를 뉴럴 프로세싱 유닛의 적어도 하나의 시냅스와 접속시키기 위한 수단, 및 시냅스에 접속된 포스트-시냅스 뉴런 회로 및 프리-시냅스 뉴런 회로로부터 발생된 한 쌍의 스파이크들 사이에서 경과된 시간에 의존한 확률을 이용하여 시냅스들 중 하나의 가중치 값을 이산 레벨들에서 변경시키기 위한 수단을 포함한다.

[0007] 본 발명의 상기-열거된 특성들이 상세히 이해될 수 있는 방식으로, 상기 간략하게 요약된 더 구체적인 설명이 실시형태들을 참조하여 행해질 수도 있는데, 그 실시형태들 중 일부는 첨부된 도면들에 도시되어 있다. 그러나, 상기 설명은 다른 균등하게 유효한 실시형태들에 허용될 수도 있기 때문에, 첨부된 도면들이 본 발명의 특정한 통상적인 실시형태들만을 도시하며, 따라서, 본 발명의 범위를 제한하는 것으로 고려되지 않음을 유의할 것이다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 특정한 실시형태들에 따른 예시적인 뉴럴 시스템을 도시한다.

도 2는 본 발명의 특정한 실시형태들에 따른 결정적 및 확률적 시냅스 가중치 변화들의 일 예를 도시한다.

도 3은 본 발명의 특정한 실시형태들에 따른, 상이한 수들의 강도 레벨들에 대한 복수의 프리- 및 포스트-시냅스 스파이크 쌍들에 걸친 시냅스 강도의 평균적인 상대적 변화들의 일 예를 도시한다.

도 4는 본 발명의 특정한 실시형태들에 따른 예시적인 펄스 폭 변조된(PWM) 시냅스 가중치 변화를 도시한다.

도 5는 본 발명의 특정한 실시형태들에 따른 예시적인 확률적 시냅스 가중치 변화를 도시한다.

도 6은 본 발명의 특정한 실시형태들에 따른, 이산-레벨 시냅스들 및 확률적 가중치 트레이닝을 이용한 뉴럴 프로세싱 유닛의 예시적인 블록도를 도시한다.

도 7은 본 발명의 특정한 실시형태들에 따른 로지컬 1의 지수적으로 감쇄하는 확률을 갖는 랜덤 2진 생성기의 예시적인 블록도를 도시한다.

도 8은 본 발명의 특정한 실시형태들에 따른 이산-레벨 시냅스들 및 확률적 가중치 트레이닝을 이용하여 뉴럴 프로세서를 구현하기 위한 예시적인 동작들을 도시한다.

도 8a는 도 8에 도시된 동작들을 수행할 수 있는 예시적인 컴포넌트들을 도시한다.

도 9(a)-(b)는 본 발명의 특정한 실시형태들에 따른 시뮬레이션들을 위해 사용되는 뉴런들 및 시냅스들의 예시적인 구성들을 도시한다.

도 10a-10b는 본 발명의 특정한 실시형태들에 따른 결정적 시냅스 가중치 트레이닝의 예시적인 시뮬레이션 결과들을 도시한다.

도 11a-11b는 본 발명의 특정한 실시형태들에 따른 확률적 시냅스 가중치 트레이닝의 예시적인 시뮬레이션 결과들을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0009] 본 발명의 다양한 실시형태들이 첨부한 도면들을 참조하여 더 완전히 후술된다. 그러나, 본 발명은 많은 상이한 형태들로 구현될 수도 있으며, 본 발명 전반에 걸쳐 제공되는 임의의 특정한 구조 또는 기능에 제한되는 것으로 해석되지는 않아야 한다. 오히려, 이들 실시형태들은 본 발명이 철저하고 완전하도록 제공되며, 당업자들에게 본 발명의 범위를 완전히 전달할 것이다. 여기에서의 교시들에 기초하여, 당업자는, 본 발명의 임의의 다른 실시형태와 독립적으로 구현되거나 또는 그와 결합되는지에 관계없이, 본 발명의 범위가 여기에 기재된 본 발명의 임의의 실시형태를 커버링하도록 의도됨을 인식해야 한다. 예를 들어, 여기에 기재된 임의의 수의 실시형태들을 사용하여 장치가 구현될 수도 있거나 방법이 실시될 수도 있다. 부가적으로, 본 발명의 범위는, 여기에 기재된 본 발명의 다양한 실시형태들에 부가하여 또는 그 이외의 다른 구조, 기능, 또는 구조 및 기능을 사용하여 실시되는 그러한 장치 또는 방법을 커버링하도록 의도된다. 여기에 기재된 본 발명의 임의의 실시형태가 청구항의 하나 또는 그 초과항의 엘리먼트들에 의해 구현될 수도 있음을 이해해야 한다.

- [0010] "예시적인"이라는 단어는 "예, 예시, 또는 예증으로서 기능하는"을 의미하도록 여기에서 사용된다. "예시적인" 것으로서 여기에 설명된 임의의 실시형태는 다른 실시형태들보다 바람직하거나 유리한 것으로서 해석될 필요는 없다.
- [0011] 특정한 실시형태들이 여기에 설명되지만, 이들 실시형태들의 다양한 변경들 및 치환들은 본 발명의 범위 내에 있다. 선호되는 실시형태들의 몇몇 이점들 및 장점들이 언급되지만, 본 발명의 범위는 특정한 이점들, 사용들 또는 목적들로 제한되도록 의도되지 않는다. 오히려, 본 발명의 실시형태들은 상이한 기술들, 시스템 구성들, 네트워크들 및 프로토콜들에 광범위하게 적용가능하도록 의도되며, 이들 중 몇몇은 도면들 및 선호되는 실시형태들의 다음의 설명에서 예로서 예시된다. 상세한 설명 및 도면들은 제한보다는 본 발명을 단지 예시할 뿐이며, 본 발명의 범위는 첨부된 청구항들 및 그들의 등가물들에 의해 정의된다.
- [0012] 예시적인 뉴럴 시스템
- [0013] 도 1은 본 발명의 특정한 실시형태들에 따른 다수의 레벨들의 뉴런들을 갖는 예시적인 뉴럴 시스템(100)을 도시한다. 뉴럴 시스템(100)은 시냅스 접속들(104)의 네트워크를 통해 또 다른 레벨(106)의 뉴런들에 접속된 일 레벨(102)의 뉴런들을 포함할 수도 있다. 간략화를 위해, 단지 2개의 레벨들의 뉴런들만이 도 1에 도시되지만, 더 많은 레벨들의 뉴런들이 통상적인 뉴럴 시스템에 존재할 수도 있다.
- [0014] 도 1에 도시된 바와 같이, 레벨(102) 내의 각각의 뉴런은, (도 1에 도시되지 않은) 이전의 레벨의 복수의 뉴런들에 의해 생성될 수도 있는 입력 신호(108)를 수신할 수도 있다. 신호(108)는 레벨(102)의 뉴런의 입력 전류를 표현할 수도 있다. 이러한 전류는 멤브레인 전위를 충전시키기 위해 뉴런 멤브레인 상에 누산될 수도 있다. 멤브레인 전위가 그의 임계값에 도달할 경우, 뉴런은 화이어(fire)할 수도 있으며, 다음 레벨(예를 들어, 레벨(106))의 뉴런들로 전달될 스파이크를 출력할 수도 있다.
- [0015] 도 1에 도시된 바와 같이, 하나의 레벨의 뉴런들로부터 또 다른 것으로의 스파이크들의 전달은 시냅스 접속들 (또는 간단히 "시냅스들")(104)의 네트워크를 통해 달성될 수도 있다. 시냅스들(104)은 레벨(102)의 뉴런들로부터 출력 신호들(즉, 스파이크들)을 수신하고, 조정가능한 시냅스 가중치들 $w_1^{(i,i+1)}, \dots, w_P^{(i,i+1)}$ (여기서, P는 레벨들(102 및 106)의 뉴런들 사이의 시냅스 접속들의 총 수임)에 따라 그들 신호들을 스케일링하며, 레벨(106) 내의 각각의 뉴런의 입력 신호로서 그 스케일링된 신호들을 결합할 수도 있다. 레벨(106) 내의 모든 뉴런은, 대응하는 결합된 입력 신호에 기초하여 출력 스파이크들(110)을 생성할 수도 있다. 그 후, 출력 스파이크들(110)은 (도 1에 도시되지 않은) 시냅스 접속들의 또 다른 네트워크를 사용하여 또 다른 레벨의 뉴런들로 전달될 수도 있다.
- [0016] 뉴럴 시스템(100)은 전기 회로에 의해 에뮬레이팅(emulate)될 수도 있고, 패턴 인식, 머신 학습 및 모터 제어와 같은 넓은 범위의 애플리케이션들에서 이용될 수도 있다. 뉴럴 시스템(100) 내의 각각의 뉴런은 뉴런 회로로서 구현될 수도 있다. 출력 스파이크를 개시하는 임계값으로 충전되는 뉴런 멤브레인은, 자신을 통해 흐르는 전기 전류를 통합하는 커패시터로서 구현될 수도 있다.
- [0017] 커패시터는 뉴런 회로의 전기 전류 통합 디바이스로서 제거될 수도 있으며, 멤리스터(memristor) 엘리먼트가 그 장소에서 사용될 수도 있다. 이러한 접근법은 뉴런 회로들 뿐만 아니라, 거대한(bulky) 커패시터들이 전기 전류 통합기들로서 이용되는 다양한 다른 애플리케이션에 적용될 수도 있다. 부가적으로, 시냅스들(104)의 각각은 멤리스터 엘리먼트에 기초하여 구현될 수도 있으며, 여기서, 시냅스 가중치 변화들은 멤리스터 저항의 변화들에 관련될 수도 있다. 나노미터 피쳐-사이즈 멤리스터들을 이용하여, 뉴런 회로 및 시냅스들의 영역이 실질적으로 감소될 수도 있으며, 이는 매우 큰-스케일의 뉴럴 시스템 하드웨어 구현의 구현을 실용적이게 할 수도 있다.
- [0018] 본 발명의 특정한 실시형태들은 뉴럴 시스템(100)의 뉴런 및 그의 관련 시냅스들을 에뮬레이팅하는 디지털 뉴럴 프로세싱 유닛의 구현을 제공한다. 뉴럴 프로세싱 유닛의 시냅스 가중치들은 양자화된 레벨들을 포함할 수도 있으며, 스파이크-타이밍-의존 가소성(STDP)에 기초한 가중치 트레이닝은 확률 속성을 가질 수도 있다. 즉, 프리- 및 포스트-시냅스 스파이크들의 모든 쌍이 대응하는 시냅스의 강화 또는 저하를 유도하지는 않을 수도 있다. 시냅스들은, 예를 들어, 3개 또는 심지어 2개의 레벨들의 강도(즉, 2진 시냅스들)만을 포함할 수도 있다. 수학적으로, 2진 시냅스들은 앙상블(ensemble)로 연속하는 STDP 법칙을 구현할 수 있을 수도 있으며, 여기서, 개별 시냅스들은 확률적인 스위치형 강화 또는 저하를 경험할 수도 있다. 확률적 STDP는 디지털 뉴럴 프로세싱 유닛의 더 간단한 하드웨어 구현을 유도할 수도 있다.

- [0019] 예시적인 이산-레벨 시냅스들 및 확률 가중치 변화
- [0020] 종래의 결정적 STDP에서, 시냅스 가중치에서의 변화 Δw 는 도 2a에 도시된 바와 같이, 프리-시냅스 스파이크와 포스트-시냅스 스파이크 사이의 시간차 Δt 의 함수일 수도 있다. 대신, 도 2b에 도시된 바와 같이, 시냅스 가중치 변화 Δw 는 일정하게 유지될 수도 있지만, 가중치 변화의 확률은 프리-시냅스 및 포스트-시냅스 스파이크들 사이의 시간차의 함수일 수도 있다. 이러한 접근법은 확률적 STDP로서 지칭될 수 있다. 많은 수의 스파이크들에 걸쳐, 결정적 및 확률적 STDP 접근법들은 동일한 결과로 수렴할 수도 있다. 그러나, 확률적 STDP는 하드웨어로 구현하기에 더 용이할 수도 있다.
- [0021] STDP의 광범위하게 수용된 이론에 따르면, 개별 시냅스들은, 단일 프리-시냅스/포스트-시냅스 스파이크 쌍에 대한 이상형(biphasic)의 지수적으로 감쇄하는 커브들에 따라 변경될 수도 있다. 따라서, 시냅스 강도와 연관된 이산 레벨들의 가정은 등급이 매겨진 STDP의 이론과 모순된다. 그러나, 이러한 이론은, 시냅스 변화들이 많은 시냅스들에 걸쳐 및 다수의 스파이크 쌍들에 걸쳐 측정되었던 실험들에 기초하여 개발되었다. 지수적으로 감쇄하는 LTP 및 LTD 커브들이 시냅스들의 집단(population)에 속하면, 이들 커브들은 확률적(추측 통계적) STDP에 의해 트레이닝된 이산-상태 시냅스들을 이용하여 실현될 수도 있다. 개별 시냅스들은, 스파이크 타이밍에 의존할 수도 있는 확률로 1 단계 강화 또는 저하를 경험할 수도 있으며, 프리-시냅스 및 포스트-시냅스 스파이크들 사이의 더 큰 시간차는 더 작은 시간차들에 비해 확률을 감소시킨다.
- [0022] 전술된 이산-단계 확률적 STDP를 이용하면, 시냅스 강도가 이진이더라도, 수입관(afferent)과 타겟 사이의 전체 폴리시냅스 프로젝션은 등급이 매겨진 STDP를 여전히 나타낼 수도 있지만, 개별 시냅스들은 그렇지 않을 수도 있다. 단일 시냅스가 수 개의 강도 레벨들을 포함하면, 시냅스는, 강도 레벨들의 수에 의존하여, 다수의 스파이크 쌍들에 걸쳐 있지만 상위 또는 하위 강도 레벨들에서 가능한 포화를 갖는 등급이 매겨진 STDP를 나타낼 수도 있다.
- [0023] 도 3은 상이한 수들의 강도 레벨들(즉, 강도 레벨들의 수 s 는 10, 30, 60, 90, 및 90 초과일 수 있음)에 대한 많은 프리- 및 포스트-시냅스 스파이크 쌍들에 걸친 단일 시냅스 강도의 평균의 상대적인 변경의 예시적인 그래프(300)를 도시한다. 특히, 더 적은 수들의 강도 레벨들에 대해 상위 시냅스 강도 레벨들에서 포화가 관측될 수 있다 (예를 들어, 각각, 10 및 30과 동일한 s 에 대한 플롯들(308 및 310)을 참고함). 추가적으로, 모든 수들의 강도 레벨들에 대해, 프리-시냅스 및 포스트 시냅스 스파이크들 사이의 시간이 더 커짐에 따라, 시냅스 강도의 변화가 실질적으로 감소할 수도 있음이 관측될 수 있다.
- [0024] 멤리스티브(memristive) 시냅스들의 결정적 STDP 기반 트레이닝은 통상적으로, 시간에 걸쳐 감쇄하는 펄스 폭 변조된(PWM) 신호에 의존할 수도 있다. 도 4는 본 발명의 특정한 실시형태들에 따른 예시적인 PWM-기반 멤리스티브 시냅스 가중치 변화를 도시한다. 프리-시냅스 뉴런의 스파이크가 시간에 걸쳐 감쇄하는 PWM 신호(402)를 갖는 것으로 표현될 수도 있음이 관측될 수 있다. 시냅스에 걸친 전압(406)이 포스트-시냅스 스파이크(404) 동안 임계 레벨(408)을 초과할 경우, 그것은 시냅스 가중치(410)에서 변화를 초래할 수도 있다. 따라서, 시냅스 가중치에서의 변화는 프리-시냅스 스파이크(402)와 포스트-시냅스 스파이크(404) 사이의 시간차의 함수일 수도 있다.
- [0025] 도 5는 본 발명의 특정한 실시형태들에 따른 예시적인 확률적 시냅스 가중치 변화를 도시한다. 확률에서 감쇄하는 일정한 폭 펄스(502)가 이용될 수도 있으며, 그 펄스는 프리-시냅스 스파이크 이후의 경과된 시간의 함수일 수도 있다. 시냅스에 걸친 전압(506)이 포스트-시냅스 스파이크(504) 및 확률적 프리-시냅스 펄스(502) 동안 임계 레벨(508)을 초과할 경우, 시냅스 가중치 변화(510)가 발생할 수도 있다. 많은 수의 시도들에 걸쳐, 이러한 확률적 접근법은 도 4에 도시된 PWM 방식과 동일한 시냅스 가중치 변화를 유도할 수도 있다. 그러나, 도 5로부터의 확률적 방식은 하드웨어로 구현하는데 더 용이할 수도 있다.
- [0026] 확률적 STDP를 적용함으로써, 시냅스 가중치들을 표현하기 위한 최하위 비트(LSB)의 유효값이 감소할 수도 있고, 시냅스 가중치들이 더 적은 비트들을 갖는 것으로 표현될 수도 있다. 부가적으로, 하나의 방향으로의 나노-디바이스들의 비선형 스위칭을 벌충하기 위해 시냅스 가중치에 영향을 주는 펄스의 확률이 조정될 수도 있다 (예를 들어, 더 작은 값으로 셋팅될 수도 있다). 또한, 가중치 학습이 느린 시간 스케일들에 걸쳐서 많은 수십 또는 수백 스파이크들에 걸쳐 발생할 수도 있으므로, 확률적 STDP이 학습 법칙들에 적용가능할 수도 있다.
- [0027] 예시적인 경우, 충분한 리던던시가 시냅스들의 네트워크에 존재하면 확률적 STDP를 이용한 2진 시냅스들이 이용될 수도 있으며, 즉, 다수의 2진 디바이스들은 임의의 수들의 강도 레벨들의 임의의 시냅스를 구성할 수도 있다. 또한, 2진 나노-디바이스들의 스위칭 임계치가 매우 가변이면(매우 타당한 시나리오임), 이들 2진 시냅

스들이 적절할 수도 있다. 추가적으로, 전자 디바이스 그 자체에서의 스위칭이 확률적이면 (예를 들어, 스핀 토크 전달 RAM(랜덤 액세스 메모리)), 확률적 STDP는 지속적으로 감소하는 확률로 펄스들을 생성하도록 회로에게 요구하지 않으면서 시냅스들을 구현하는데 사용될 수도 있다.

[0028] 예시적인 뉴럴 프로세싱 유닛 아키텍처

[0029] 본 발명의 특정한 실시형태들은, 가중치 트레이닝이 전술된 확률적 STDP에 기초할 수도 있는 동안, 양자화된 레벨들의 시냅스 가중치들을 갖는 디지털 뉴럴 프로세싱 유닛을 구현하는 것을 지원한다. 도 6은 본 발명의 특정한 실시형태들에 따른, 8레벨(즉, 3비트) 시냅스들 및 확률적 STDP를 갖는 뉴럴 프로세싱 유닛(600)의 예시적인 아키텍처를 도시한다.

[0030] 뉴런(602)은 장기 강화(LTP) 및 장기 저하(LTD) 각각에 대한 2개의 랜덤 2진 생성기 회로들(606 및 608) 및 스파이크 생성기(604)를 포함할 수도 있다. 생성기 회로들(606-608)은 뉴런(602)과 연관된 스파이크 신호(610)에 의해 리셋(트리거링)될 수도 있으며, 그들은, 리셋된 순간으로부터 시간에 걸쳐 지속적으로 감쇄하는 정의된 시간 간격으로 발생할 로직 "1" (즉, 펄스)의 확률로 2진 코드들(즉, 펄스 신호들)(612-614)을 생성할 수도 있다. 확률적 펄스 신호들(612 및 614)은 LTD 및 LTP 트레이닝 신호들을 각각 표현할 수도 있다. 확률의 감쇄 시간 상수는 STDP 특성의 LTP 및 LTD 부분들에 특정될 수도 있다 (예를 들어, 통상적인 값들은 LTP 및 LTD 각각에 대해 $\tau_+ = 16.8\text{ms}$ 및 $\tau_- = 33.7\text{ms}$ 일 수도 있음). 확률적 LTP 신호(614)가 뉴럴 프로세싱 유닛(600)에 접속된 또 다른 시냅스의 또 다른 가중치 값으로 하여금 정의된 이산 레벨만큼 증가하게 할 수도 있음을 유의해야 한다.

[0031] 각각의 시냅스(616)는 프리-시냅스 스파이크(618) 및 프리-시냅스 LTP 신호(620) 뿐만 아니라 포스트-시냅스 스파이크(622) 및 포스트-시냅스 LTD 신호(624)를 수신할 수도 있다. 포스트-시냅스 스파이크(622)가 스파이크 신호(610)에 대응할 수도 있고, 포스트-시냅스 LTD 신호(624)가 확률적 2진 코드 신호(612)에 대응할 수도 있음이 도 6으로부터 관측될 수 있다. 2개의 AND 게이트들(626-628) 및 2개의 인버터들(630-632)로 구성된 로직이 트레이닝 이벤트를 검출할 수도 있다. 프리-시냅스 LTP 신호(620)가 로직 "1" 과 동일하고, 포스트-시냅스 스파이크 신호(622)가 로직 "1" 과 동일하며, 프리-시냅스 스파이크 신호(618)가 로직 "0" 과 동일할 경우, LTP 트레이닝 이벤트가 검출될 수도 있다. 한편, 포스트-시냅스 LTD 신호(624)가 로직 "1" 과 동일하고, 프리-시냅스 스파이크 신호(618)가 로직 "1" 과 동일하며, 포스트-시냅스 스파이크 신호(622)가 로직 "0" 과 동일할 경우, LTD 트레이닝 이벤트가 검출될 수도 있다.

[0032] 이러한 로직에 따르면, 프리- 및 포스트-시냅스 뉴런들 양자가 동시에 스파이크할 경우 (즉, 프리-시냅스 스파이크 신호(618) 및 포스트-시냅스 스파이크 신호(622) 양자가 로직 "1" 과 동일할 경우) 어떠한 트레이닝도 발생하지 않을 수도 있다. 보상-변조된(reward-modulated) STDP의 경우, 가중치 트레이닝은 상기 조건들이 충족될 경우 즉시 발생하지는 않을 수도 있다. 대신, 트레이닝-이벤트 검출기의 출력(634)이 시냅스(616)의 랜덤 생성기 회로(636)를 리셋(즉, 트리거링)할 수도 있으며, 그 후, 그 생성기 회로는, 리셋된 순간으로부터 시간에 걸쳐 지속적으로 감쇄하는 로직 "1"의 확률로 2진 코드(638)를 생성하는 것을 시작할 수도 있다. 확률의 감쇄 시간 상수는 보상-변조된 STDP의 적격성 트레이스(eligibility trace)에 특정될 수도 있다.

[0033] 랜덤 2진 생성기(636)의 출력(638)은 말단 보상(DR) 게이트 신호(640)에 의해 게이팅될 수도 있으며, 그 후, 그 출력은 시냅스(616)의 현재 가중치 값을 저장하는 업다운(up-down) 카운터(644)에 클럭 신호(642)로서 적용될 수도 있다. 검출된 트레이닝 이벤트가 LTP에 대응하면 (즉, SR 래치(648)의 출력(646)이 로직 "1" 과 동일하면), 카운터(644)의 상태는 증분될 수도 있다. 한편, 검출된 트레이닝 이벤트가 LTD에 대응하면 (즉, SR 래치(648)의 출력(646)이 로직 "0" 과 동일하면), 카운터 상태는 감분될 수도 있다.

[0034] 또한, 랜덤 생성기(636)의 게이팅된 출력(642)은 비-휘발성 메모리(NVM)(650)로의 카운터 상태의 전달을 트리거링하는데 이용될 수도 있다. 또한, 업다운 카운터(644)에 저장된 시냅스 가중치는 2진-가중된 디지털-투-아날로그 변환(DAC) 회로(652)에 대한 입력으로서 사용될 수도 있다. DAC(652)의 출력 전류(654)는, 뉴런 회로(602)의 입력(656)에 접속된 다른 시냅스들의 출력 전류들과 합산되기 전에 프리-시냅스 스파이크 신호(618)에 의해 게이팅될 수도 있다.

[0035] 예시적인 랜덤 2진 생성기

[0036] 로직 "1"의 지속적으로 감쇄하는 확률을 갖는 랜덤 2진 생성기(636)는 도 6에 도시된 뉴럴 프로세싱 유닛(600)의 본질적인 부분을 표현할 수도 있다. 이러한 생성기의 하나의 가능한 구현은 도 7에 도시되어 있다. 랜덤 2

진 생성기(700)는, 더 새로운 비트들의 로직 "1"의 감쇄하는 확률을 이용하여 4비트 시리얼 2진 넘버를 생성하기 위한 링 오실레이터들(704)에 기초하여 랜덤 서브-생성기들(702₁-702₄)을 이용할 수도 있다.

[0037] 서브-생성기들(702₁-702₄) 각각 내의 링 오실레이터(704)는 높은 지터 및 높은 드리프트 주파수로 오실레이팅할 수도 있으며, 이는, 오실레이션이 외부 클록 기간(즉, 외부 클록(708)의 기간)의 고정된 간격들로 D 플립-플롭(706)에 의해 샘플링될 경우 랜덤 2진 신호를 생성하는 것을 도울 수도 있다. 전력 소비를 감소시키기 위해, 서브-생성기들(702₁-702₄) 각각 내의 링 오실레이터(704)는, NAND 게이트(710)에 의해 링 내의 인버터들 중 하나를 대체함으로써 디스에이블될 수도 있다.

[0038] 랜덤 생성기(700)는 리셋 신호(712)에 의해 트리거링될 수도 있으며, 그 리셋 신호는 4개의 서브-생성기들(702₁-702₄)의 4개의 링 오실레이터들(704)을 인에이블시킬 수도 있다. 또한, 이러한 리셋 신호는 시간 카운터(714)를 리셋할 수도 있다. 리셋 신호(710) 이후의 출력(716)에서의 제 1 출력 비트는 간단히 제 1 서브-생성기(702₁)의 출력(718)일 수도 있다. 출력(716)에서의 제 2 출력 비트는 제 1 서브-생성기(702₁)의 출력(718) 및 제 2 서브-생성기(702₂)의 출력(720) 등의 AND 함수로서 획득될 수도 있다.

[0039] 설명된 랜덤 생성기(700)의 로직 "1"의 확률은, 제 1 출력 비트에 대한 0.5로부터 제 4 출력 비트에 대한 0.0625로 감쇄할 수도 있다. 이러한 확률은 서브-생성기들(702₁-702₄)의 출력들의 상이한 로직 함수들을 사용함으로써 변경될 수도 있다. AND 게이트는 로직 1들의 발생들의 확률을 감소시킬 수도 있다. 한편, OR 게이트는 로직 1들의 발생을 증가시킬 수도 있다. 따라서, 특정한 확률들의 유도는 2개의 기본적인 분석 확률 공식들을 통해 달성될 수도 있다.

수학식 1

[0040]
$$P(A \cdot B) = P(A) \cdot P(B)$$

수학식 2

[0041]
$$P(A + B) = P(A) + P(B) - P(A) \cdot P(B)$$

[0042] 도 8은 본 발명의 특정한 실시형태들에 따른 이산-레벨 시냅스들 및 확률적 가중치 트레이닝을 이용하여 (도 6으로부터의 프로세싱 유닛(600)과 같은) 디지털 뉴런 프로세서를 구현하기 위한 예시적인 동작들(800)을 도시한다. (802)에서, 뉴런 프로세싱 유닛의 뉴런 회로(예를 들어, 포스트-시냅스 뉴런 회로(602))는 뉴런 프로세싱 유닛의 적어도 하나의 시냅스(예를 들어, 시냅스들(616))와 접속될 수도 있다.

[0043] (804)에서, 시냅스들 중 하나의 가중치 값은, 시냅스에 접속된 뉴런 회로로부터 발생된 스파이크(예를 들어, 스파이크(610))와 또 다른 뉴런 회로로부터(즉, 프리-시냅스 뉴런 회로로부터) 발생된 스파이크(예를 들어, 스파이크(618)) 사이의 시간에 의존한 확률을 이용하여 이산 레벨들에서 변경될 수도 있다. 포스트-시냅스 뉴런 회로는, 시간에 걸쳐 지수적으로 감쇄하는 정의된 시간 간격에서 발생할 각각의 펄스의 확률을 이용하여 적어도 하나의 펄스 신호를 생성하기 위하여 스파이크들 중 하나에 의해 트리거링되는 적어도 하나의 생성기 회로(예를 들어, 랜덤 생성기들(606 및 608) 중 적어도 하나)를 포함할 수도 있다. 펄스들 중 하나(예를 들어, LTD 신호(612)의 펄스)는 가중치 값이 감소하게 할 수도 있다.

[0044] 이산-레벨 시냅스들 및 확률적 STDP를 이용하는 제안된 디지털 뉴런모방형 프로세서는, 결정적 STDP를 이용한 아날로그 및 디지털 구현들보다 수 개의 이점들을 제공할 수도 있다. 첫째, 그 프로세서는 더 적은 수의 이산 레벨들의 시냅스 강도를 요구할 수도 있으며; 심지어 2개 또는 3개의 레벨들의 시냅스 강도가 충분할 수도 있다. 이것은 시냅스 메모리에 저장될 더 적은 비트들을 요구할 수도 있다. 둘째로, 시냅스들의 구현은 더 적은 하드웨어를 요구할 수도 있으며, 따라서, 시냅스 접속들이 더 적은 다이 영역을 점유할 수도 있다. 셋째로, 시냅스들은 일비트 LTP, LTD 및 스파이크 입력들에 의한 멀티-비트 LTD 및 LTP 입력들의 대체의 덕택으로 결정적 디지털 구현에서의 시냅스들보다 더 적은 입력들을 포함할 수도 있다. 더 적은 시냅스 입력들은 더 용이한

배선 및 가능하다면 다이 영역 절약들로 변환될 수도 있다.

- [0045] "결정적"이라는 용어가 스파이크 시그널링이 아니라 시냅스 트레이닝에만 적용될 수도 있음을 유의해야 한다. 일단 시냅스들이 확률적으로 트레이닝되면, 트레이닝 프로세서는 턴오프될 수도 있으며, 뉴럴 시스템은 모호한 작동을 회피하기 위해 결정적으로 계속 동작할 수도 있다.
- [0046] 예시적인 시뮬레이션 결과들
- [0047] 결정적 STDP 및 디지털적으로 구현된 확률적 STDP가 동일한 결과로 수렴할 수도 있다는 것을 나타내도록 시뮬레이션들이 수행될 수 있다. 도 9(a)-(b)는, 본 발명의 특정한 실시형태들에 따른 시뮬레이션들에서 사용되는 시냅스들을 갖는 예시적인 뉴런들(900)을 도시한다. 뉴런들(902₁-902₃)은, 예를 들어, 5Hz의 평균 파이어링(firing) 레이트로 랜덤 스파이크들을 제공할 수도 있으며, 뉴런들(904₁-904₂)은 테스트 하에서 시냅스(906)와 접속될 수도 있다.
- [0048] 도 9(a)에 도시된 실험에서, 뉴런들(904₁-904₂) 양자는 동일한 프리-시냅스 뉴런(902₂)에 접속될 수도 있으며, 여기서, 포스트-시냅스 뉴런(904₂)은, 시냅스(908)와 동일한 가중치의 시냅스(910)와 비교하여 5ms 지연을 갖는 시냅스(908)를 통해 프리-시냅스 뉴런(902₂)과 접속할 수도 있다. 따라서, 뉴런들(904₁-904₂)은 상관된 스파이크들을 수신할 수도 있으며, 시냅스(906)는 STDP로 인해 강화할 수도 있다. 한편, 도 9(b)에 도시된 실험에서, 시냅스들(914 및 916)을 통해 뉴런들(912₁-912₂)로 전달된 입력들은 상호간에 완전하게 랜덤일 수도 있으며, 따라서, 시냅스(918)의 가중치 값은 대략 동일한 값을 유지하거나 저하되도록 기대될 수도 있다.
- [0049] 도 10a-10b는, 결정적 STDP가 적용될 경우 도 9(a)-(b)로부터의 시뮬레이션된 전송된 실험의 결과들(1000)을 도시한다. 시냅스들(906 및 918)이 기대된 것으로 강화할 수도 있음이 관측될 수 있다. 동일한 실험은 확률적 STDP를 사용하여 반복되며, 대응하는 시뮬레이션 결과들(1100)이 도 11a-11b에 도시되어 있다. 가중치 변화가 현재 양자화되며, 프리- 및 포스트-시냅스 스파이크 시간들 사이의 시간차에 의해 주어진 확률로 스파이크들의 일부 상에서만 발생할 수 있다. 시냅스들(906 및 918)에 대한 최종 가중치 값들이 결정적 STDP 값을 사용하여 획득된 도 10a-10b에 주어진 최종 가중치 값들에 매우 근접할 수 있다는 것이 도 11a-11b로부터 관측될 수 있다.
- [0050] 상술된 방법들의 다양한 동작들은 대응하는 기능들을 수행할 수 있는 임의의 적절한 수단에 의해 수행될 수도 있다. 수단은, 회로, 주문형 집적 회로(ASIC), 또는 프로세서를 포함하는(하지만 이에 제한되지 않음) 다양한 하드웨어 및/또는 소프트웨어 컴포넌트(들) 및/또는 모듈(들)을 포함할 수도 있다. 일반적으로, 도면들에 도시된 동작들이 존재하는 경우, 그들 동작들은 유사한 넘버링을 갖는 대응하는 대응부 수단-플러스-기능 컴포넌트들을 가질 수도 있다. 예를 들어, 도 8에 도시된 동작들(800)은 도 8a에 도시된 컴포넌트들(800a)에 대응한다.
- [0051] 여기에 사용된 바와 같이, "결정하는"이라는 용어는 광범위하게 다양한 동작들을 포함한다. 예를 들어, "결정하는"은 계산, 컴퓨팅, 프로세싱, 도출, 조사, 룩업(예를 들어, 표, 데이터베이스 또는 또 다른 데이터 구조에서의 룩업), 확인 등을 포함할 수도 있다. 또한, "결정하는"은 수신(예를 들어, 정보를 수신), 액세스(예를 들어, 메모리의 데이터에 액세스) 등을 포함할 수도 있다. 또한, "결정하는"은 해결, 선정, 선택, 설정 등을 포함할 수도 있다.
- [0052] 여기에서 사용된 바와 같이, 일 리스트의 아이템들 "중 적어도 하나"를 지칭하는 어구는 단일 멤버들을 포함하는 그들 아이템들의 임의의 조합을 지칭한다. 일 예로서, "a, b, 또는 c 중 적어도 하나"는 a, b, c, a-b, a-c, b-c, 및 a-b-c를 커버링하도록 의도된다.
- [0053] 본 발명과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들 및 회로들은 범용 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적 회로(ASIC), 필드 프로그래밍가능 게이트 어레이 신호(FPGA) 또는 다른 프로그래밍가능 논리 디바이스(PLD), 이산 게이트 또는 트랜지스터 논리, 이산 하드웨어 컴포넌트들 또는 여기에 설명된 기능들을 수행하도록 설계된 이들의 임의의 조합으로 구현 또는 수행될 수도 있다. 범용 프로세서는 마이크로프로세서일 수도 있지만 대안적으로, 프로세서는 임의의 상업적으로 이용가능한 프로세서, 제어기, 마이크로제어기 또는 상태 머신일 수도 있다. 또한, 프로세서는 컴퓨팅 디바이스들의 결합, 예를 들어, DSP와 마이크로프로세서의 결합, 복수의 마이크로프로세서들, DSP 코어와 결합한 하나 또는 그 초과 마이크로프로세서들, 또는 임의의 다른 그러한 구성으로서 구현될 수도 있다.
- [0054] 본 발명과 관련하여 설명된 방법 또는 알고리즘의 단계들은 직접 하드웨어로, 프로세서에 의해 실행되는 소프트

웨어 모듈로, 또는 이 둘의 조합으로 구현될 수도 있다. 소프트웨어 모듈은 당업계에 공지된 임의의 형태의 저장 매체에 상주할 수도 있다. 사용될 수도 있는 저장 매체들의 일부 예들은 랜덤 액세스 메모리(RAM), 판독 전용 메모리(ROM), 플래시 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드 디스크, 착탈형 디스크, CD-ROM 등을 포함한다. 소프트웨어 모듈은 단일 명령 또는 다수의 명령들을 포함할 수도 있으며, 상이한 프로그램들 중에서 수 개의 상이한 코드 세그먼트들에 걸쳐, 그리고 다수의 저장 매체들에 걸쳐 분산될 수도 있다. 저장 매체는 프로세서에 커플링될 수도 있어서, 프로세서가 저장 매체로부터 정보를 판독할 수 있고 저장 매체에 정보를 기입할 수 있게 한다. 대안적으로, 저장 매체는 프로세서와 통합될 수도 있다.

[0055] 여기에 기재된 방법들은 설명된 방법을 달성하기 위해 하나 또는 그 초과 단계들 또는 동작들을 포함한다. 방법 단계들 및/또는 동작들은 청구항들의 범위를 벗어나지 않으면서 서로 상호교환될 수도 있다. 즉, 단계들 또는 동작들의 특정 순서가 특정되지 않으면, 특정 단계들 및/또는 동작들의 순서 및/또는 사용은 청구항들의 범위를 벗어나지 않으면서 변형될 수도 있다.

[0056] 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 조합으로 구현될 수도 있다. 소프트웨어로 구현되면, 기능들은 컴퓨터-판독가능 매체 상에 하나 또는 그 초과 명령들로서 저장될 수도 있다. 저장 매체들은 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체들일 수도 있다. 제한이 아닌 예로서, 그러한 컴퓨터-판독가능 매체들은 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장부, 자기 디스크 저장부 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 운반 또는 저장하는데 사용될 수 있고 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 여기에 사용된 바와 같이, 디스크(disk) 및 디스크(disc)는 콤팩트 디스크(disc)(CD), 레이저 디스크(disc), 광학 디스크(disc), DVD(digital versatile disc), 플로피 디스크(disk) 및 블루-레이[®] 디스크(disc)를 포함하며, 여기서, 디스크(disk)들은 일반적으로 데이터를 자기적으로 재생하지만, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다.

[0057] 따라서, 특정한 실시형태들은 여기에 제공되는 동작들을 수행하기 위한 컴퓨터 프로그램 물건을 포함할 수도 있다. 예를 들어, 그러한 컴퓨터 프로그램 물건은 명령들이 저장된 (및/또는 인코딩된) 컴퓨터 판독가능 매체를 포함할 수도 있으며, 명령들은 여기에 설명된 동작들을 수행하기 위해 하나 또는 그 초과 프로세서들에 의하여 실행가능하다. 특정한 실시형태들에 대해, 컴퓨터 프로그램 물건은 패키징 재료를 포함할 수도 있다.

[0058] 또한, 소프트웨어 또는 명령들이 송신 매체를 통해 송신될 수도 있다. 예를 들어, 소프트웨어가 동축 케이블, 광섬유 케이블, 연선(twisted pair), 디지털 가입자 라인(DSL), 또는 (적외선, 무선, 및 마이크로파와 같은) 무선 기술들을 사용하여 웹사이트, 서버, 또는 다른 원격 소스로부터 송신되면, 동축 케이블, 광섬유 케이블, 연선, DSL, 또는 (적외선, 무선, 및 마이크로파와 같은) 무선 기술들은 송신 매체의 정의에 포함된다.

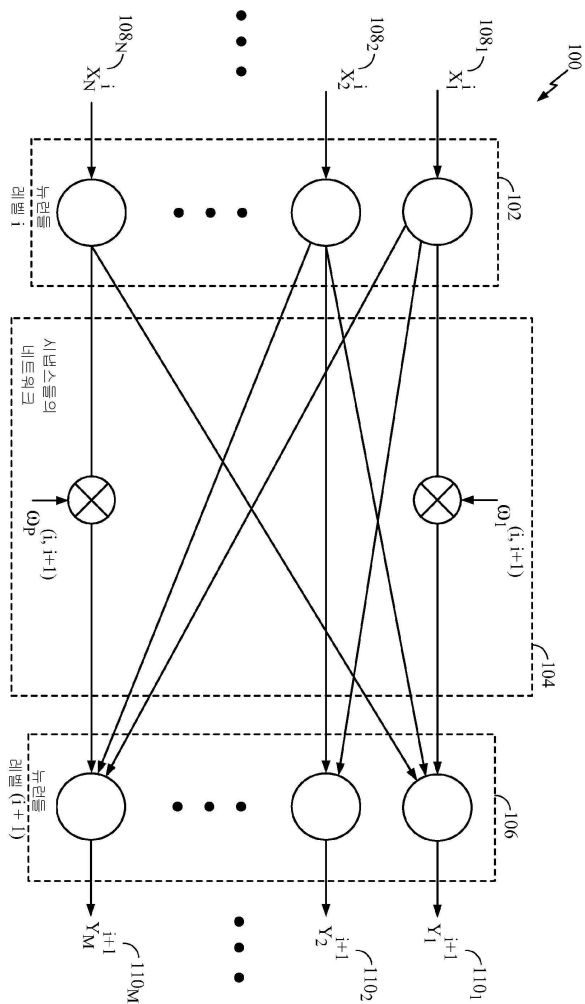
[0059] 추가적으로, 여기에 설명된 방법들 및 기술들을 수행하기 위한 모듈들 및/또는 다른 적절한 수단이 적용가능함에 따라 사용자 단말 및/또는 기지국에 의해 다운로드될 수 있고 및/또는 그렇지 않으면 획득될 수 있음을 인식하여야 한다. 예를 들어, 그러한 디바이스는 여기에 설명된 방법들을 수행하기 위한 수단의 전달을 용이하게 하기 위해 서버에 커플링될 수 있다. 대안적으로, 여기에 설명된 다양한 방법들은 저장 수단(예를 들어, RAM, ROM, 콤팩트 디스크(CD) 또는 플로피 디스크와 같은 물리적 저장 매체 등)을 통해 제공될 수 있어서, 사용자 단말 및/또는 기지국이 저장 수단을 디바이스에 커플링하거나 제공할 시에 다양한 방법들을 획득할 수 있게 한다. 또한, 여기에 설명된 방법들 및 기술들을 디바이스에 제공하기 위한 임의의 다른 적절한 기술이 이용될 수 있다.

[0060] 청구항들이 상기에 예시되는 정밀한 구성 및 컴포넌트들에 제한되지 않음을 이해할 것이다. 다양한 변형들, 변경들 및 변화들이 청구항들의 범위를 벗어나지 않으면서 상술된 방법들 및 장치의 배열, 동작 및 세부사항들에서 행해질 수도 있다.

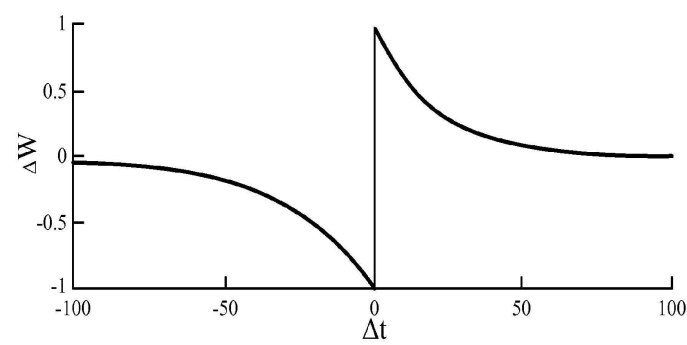
[0061] 전술한 것이 본 발명의 실시형태들에 관한 것이지만, 본 발명의 다른 및 추가적인 실시형태들은 본 발명의 기본적인 범위를 벗어나지 않고도 고안될 수도 있으며, 본 발명의 범위는 후속하는 청구항들에 의해 결정된다.

도면

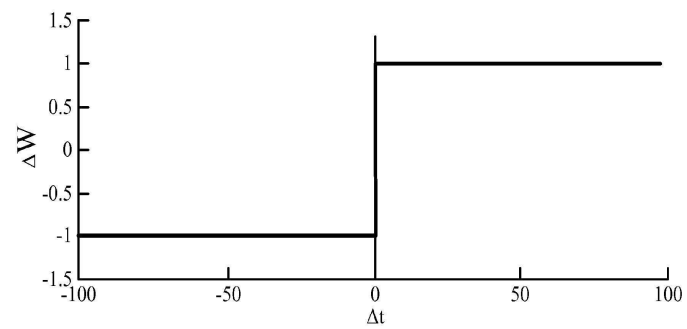
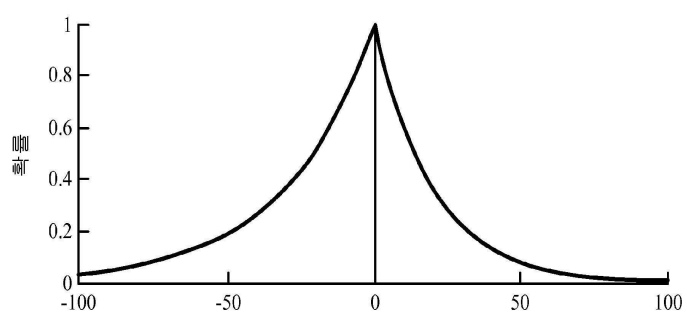
도면1



도면2

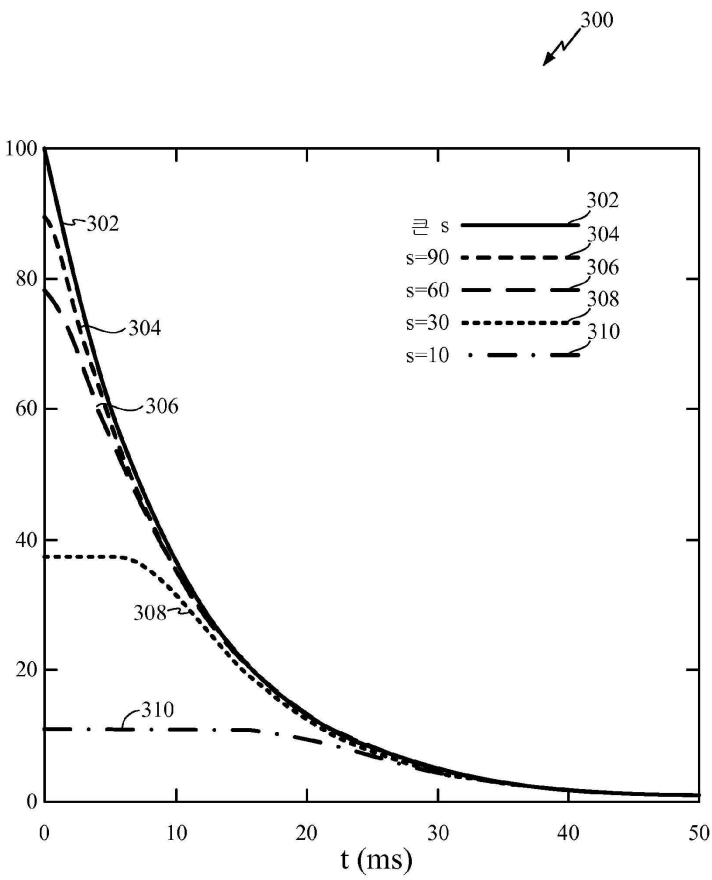


(a)

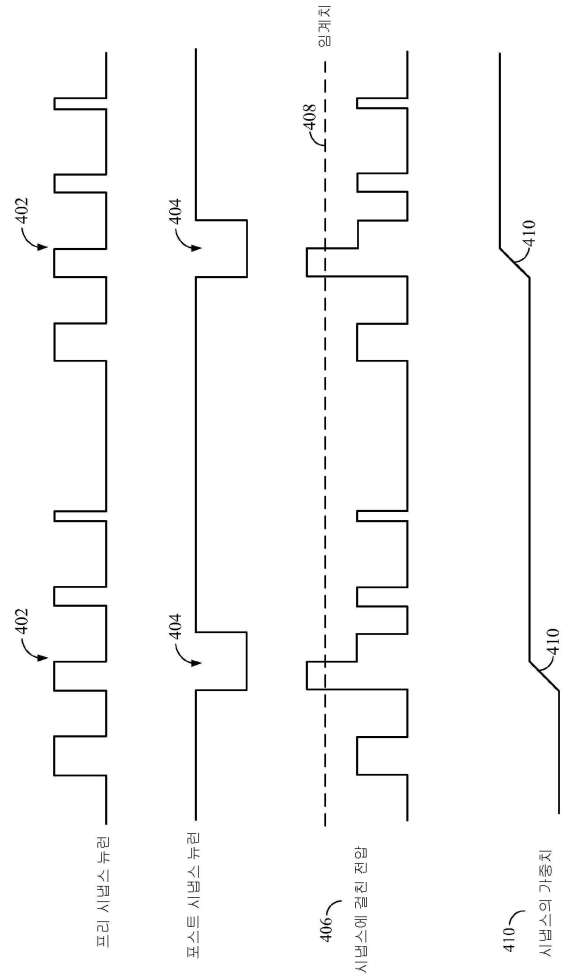


(b)

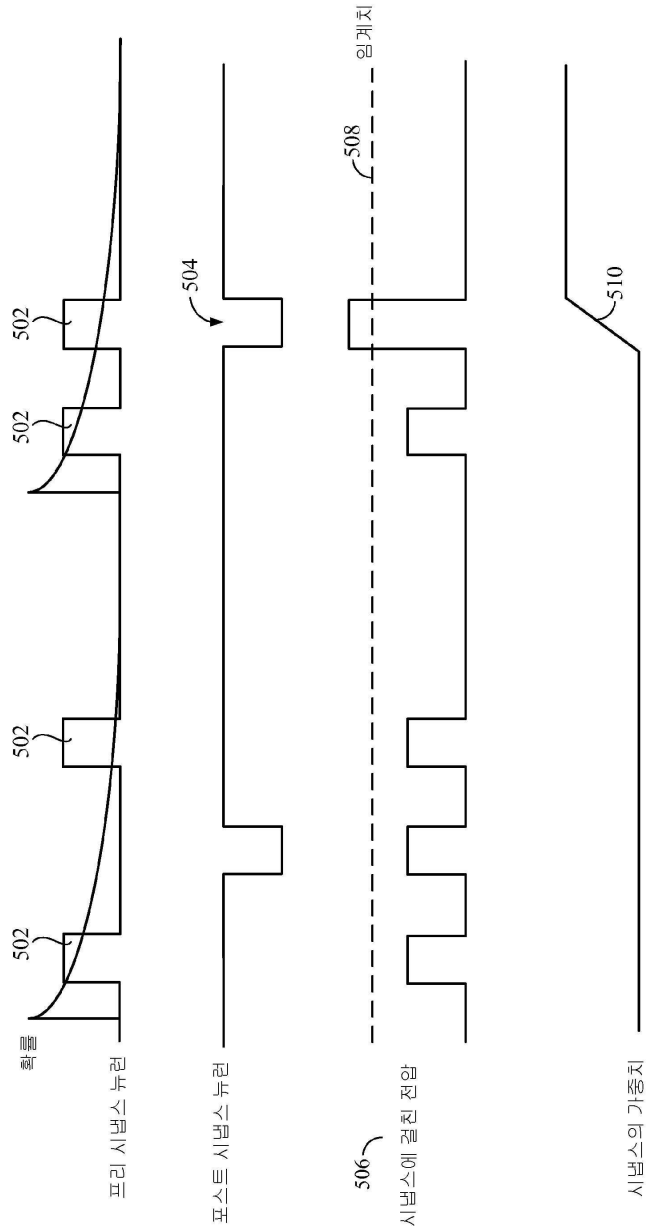
도면3



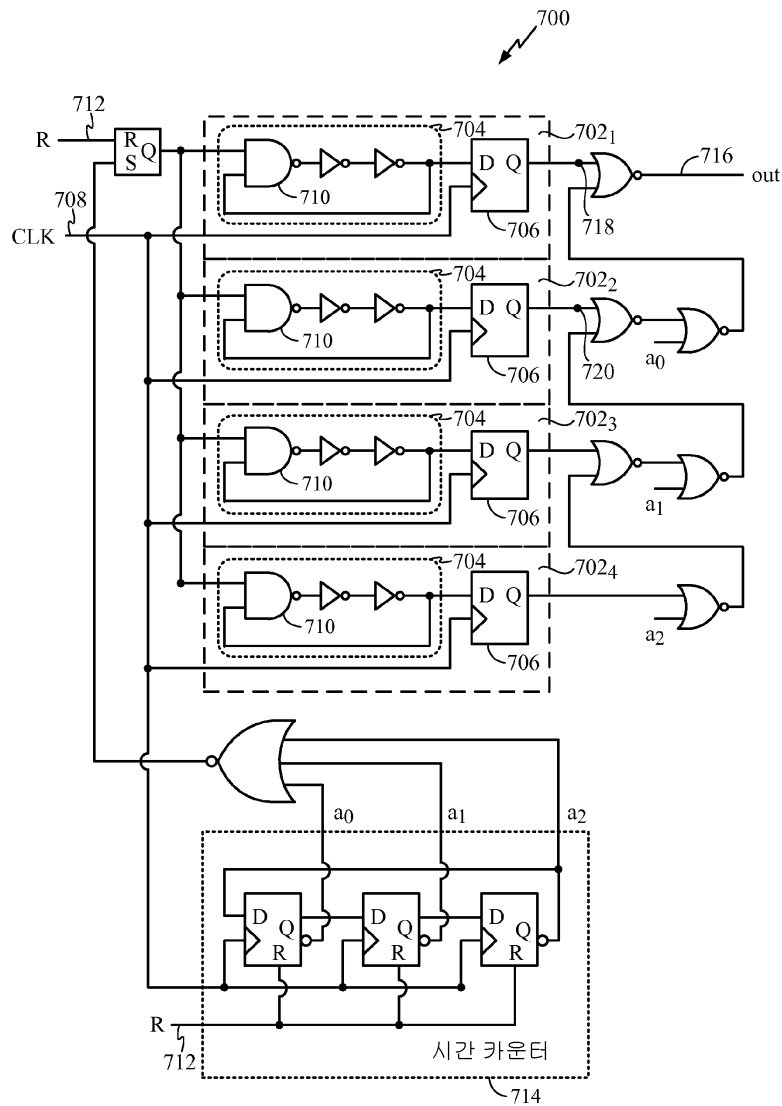
도면4



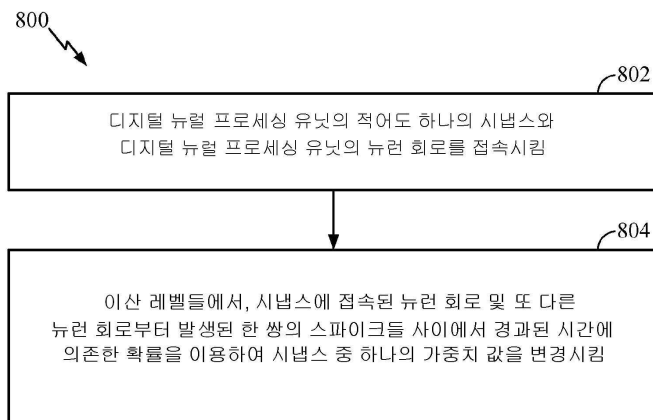
도면5



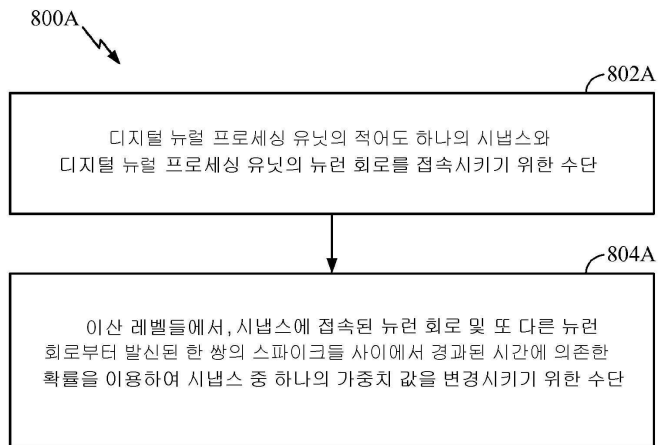
도면7



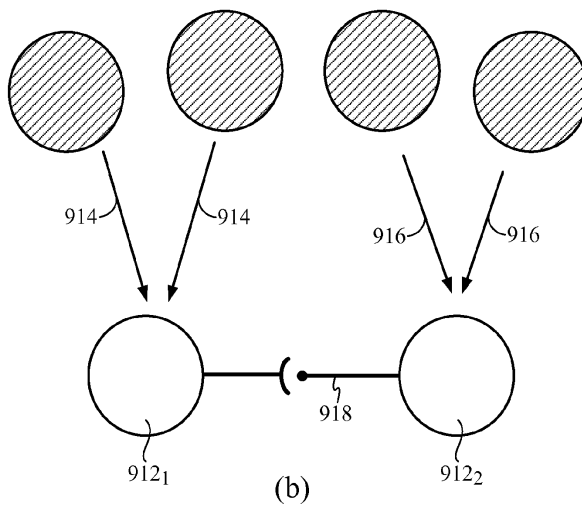
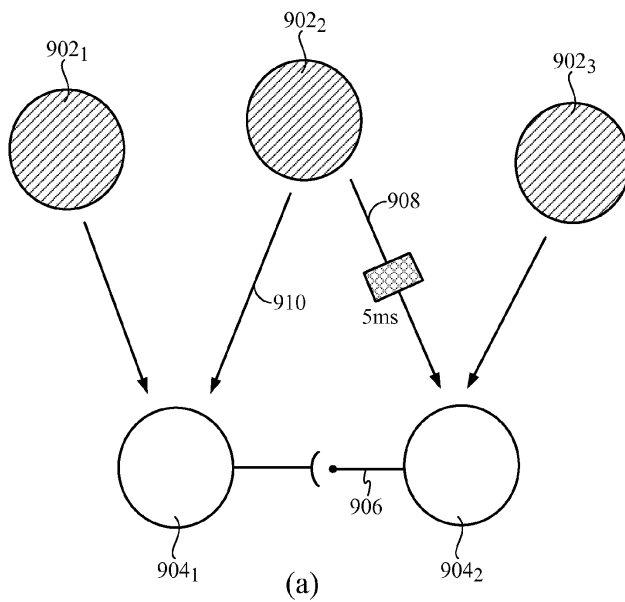
도면8



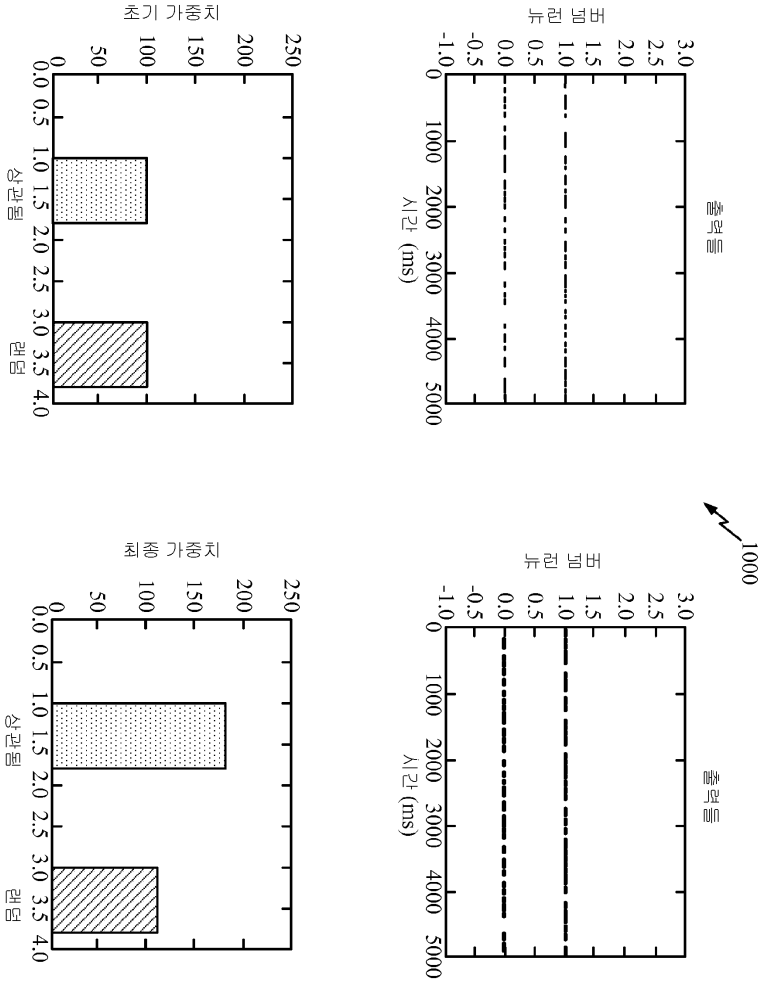
도면8a



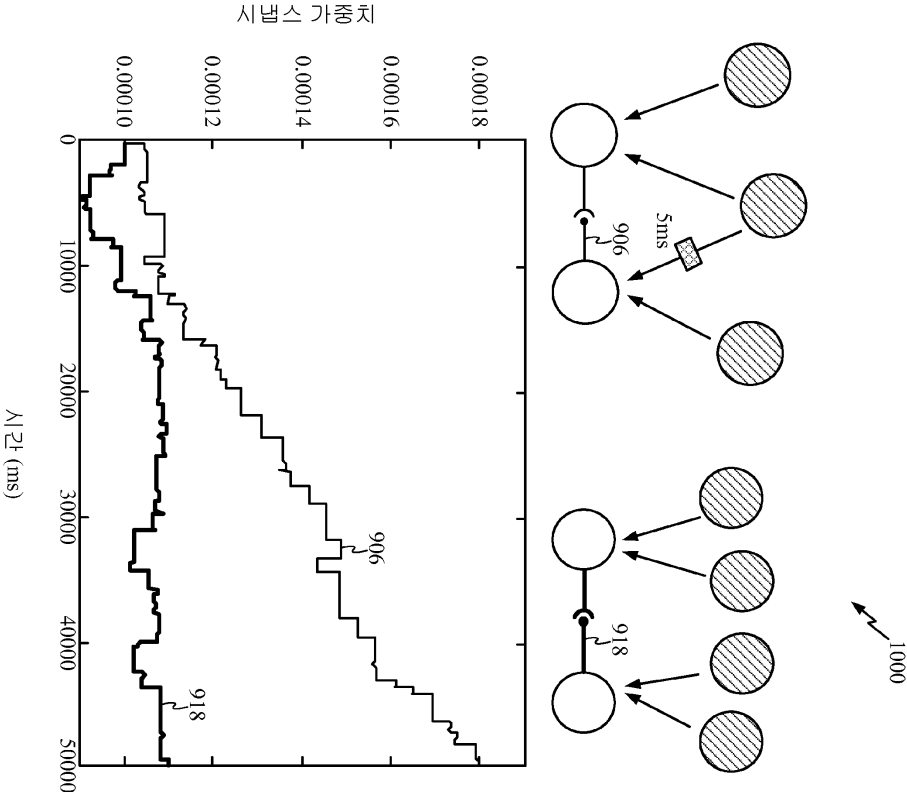
도면9



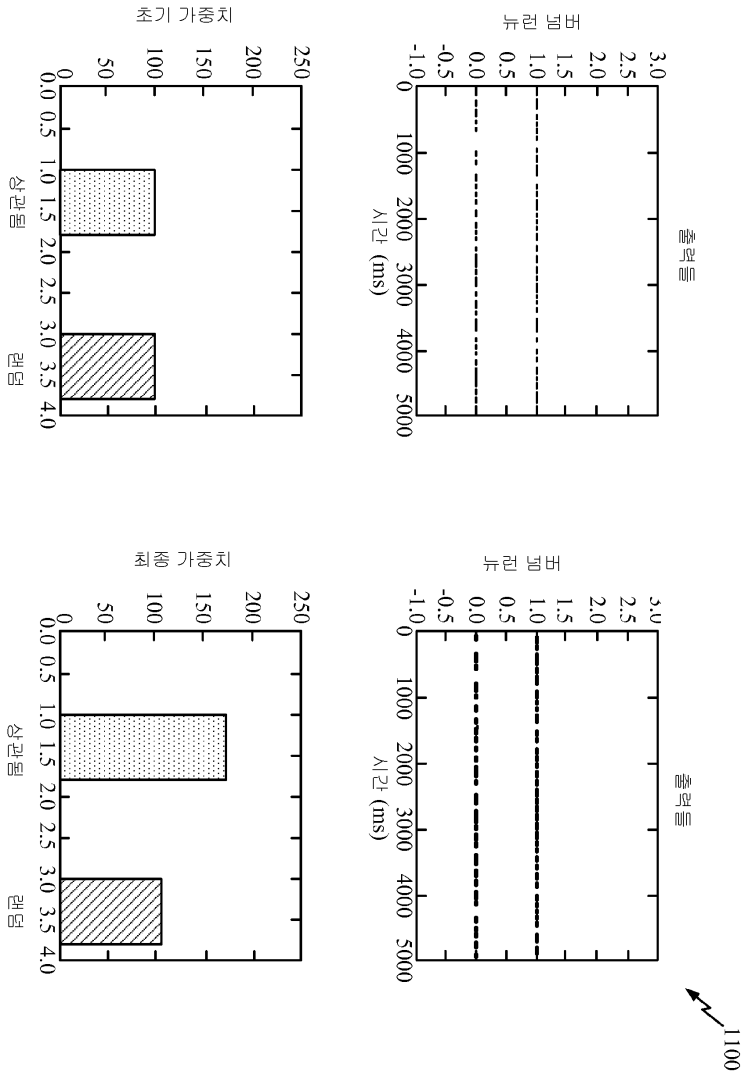
도면10a



도면10b



도면11a



도면11b

