

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成21年11月19日 (2009.11.19)

【公表番号】特表2001-516146(P2001-516146A)

【公表日】平成13年9月25日 (2001.9.25)

【出願番号】特願2000-510165(P2000-510165)

【国際特許分類】

H 0 1 L 21/3205 (2006.01)

H 0 1 L 23/52 (2006.01)

H 0 1 L 21/768 (2006.01)

【F I】

H 0 1 L 21/88 B

H 0 1 L 21/88 R

H 0 1 L 21/88 K

H 0 1 L 21/90 C

【誤訳訂正書】

【提出日】平成21年9月28日 (2009.9.28)

【誤訳訂正 1】

【訂正対象書類名】明細書

【訂正対象項目名】特許請求の範囲

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項 1】デュアルダマシンパイア及びワイヤ輪郭を有する誘電体層中にデュアルダマシン相互接続部を形成する方法において、前記方法が：

a) 前記誘電体層の露出表面上にバリヤ層を堆積するステップと；

b) 第 1 の堆積方法とアニールステップと第 2 の堆積方法とを用いて前記バリヤ層上に導電性金属を堆積して、前記ダマシンパイア及びワイヤ輪郭を充填するステップと；

c) 前記導電性金属とバリヤ層とを平坦化するステップと；

を含み、

前記第 1 の堆積方法及び前記アニールステップは、前記導電性金属の第 1 部分を堆積して、前記ダマシンパイア輪郭を充填し、

前記第 2 の堆積方法は、前記導電性金属の第 2 部分を堆積して、前記ダマシンワイヤ輪郭を充填し、

前記第 1 の堆積方法と前記第 2 の堆積方法とは同じ方法ではない、方法。

【請求項 2】前記導電性金属が銅又はドーピングされた銅である請求項 1 に記載の方法。

【請求項 3】前記導電性金属が銅、アルミニウム、ドーピングされた銅、ドーピングされたアルミニウム及びこれらの混合物からなる群から選択される請求項 1 に記載の方法。

【請求項 4】ステップ (a) とステップ (b) とが統合処理システム中で実行される請求項 1 に記載の方法。

【請求項 5】前記平坦化ステップが化学機械的研磨方法によって実行される請求項 1 に記載の方法。

【請求項 6】前記バリヤ層が、チタン、窒化チタン、窒化シリコンチタン、窒化タンゲステン、窒化シリコンタンゲステン、タンタル、窒化タンタル、窒化シリコンタンタル、ドーピングされたシリコン、アルミニウム及び酸化アルミニウムからなる群から選択される材料を含む請求項 1 に記載の方法。

【請求項 7】デュアルダマシンパイア及びワイヤ輪郭を有する誘電体層中にデュアルダ

マシン相互接続部を形成する方法において、前記方法が：

- a) 前記誘電体層の露出表面上にバリヤ層を堆積するステップと；
 - b) 前記バリヤ層上に導電性金属のコンフォーマルな第 1 部分を化学的気相堆積して、前記バイア輪郭を充填するステップと；
 - c) 前記導電性金属の前記第 1 部分上に前記導電性金属の第 2 部分を物理的気相堆積して、前記ワイヤ輪郭を充填するステップと；
 - d) 前記導電性金属、バリヤ層及び誘電体層を平坦化して、導電性ワイヤを輪郭決めするステップと；
- を含む方法。

【請求項 8】 前記導電性金属が銅又はドーピングされた銅である請求項 7 に記載の方法。

【請求項 9】 前記導電性金属が銅、アルミニウム及びこれらの混合物からなる群から選択される請求項 7 に記載の方法。

【請求項 10】 ステップ (a) からステップ (d) が統合処理システム中で実行される請求項 7 に記載の方法。

【請求項 11】 前記バリヤ層がチタン、窒化チタン、窒化シリコンチタン、窒化タングステン、窒化シリコンタングステン、タンタル、窒化タンタル、窒化シリコンタンタル、ドーピングされたシリコン、アルミニウム及び酸化アルミニウムからなる群から選択された材料を含む請求項 7 に記載の方法。

【請求項 12】 前記化学的気相堆積の後でそして前記物理的気相堆積の前に前記導電性金属をアニールするステップをさらに含む請求項 7 に記載の方法。

【請求項 13】 デュアルダマシンバイア及びワイヤ輪郭を有する誘電体層中にデュアルダマシン相互接続部を形成する方法において、前記方法が：

- a) 前記誘電体層の露出表面上にバリヤ層を堆積するステップと；
 - b) 前記バリヤ層上に導電性金属のコンフォーマルな第 1 部分を化学的気相堆積するステップと；
 - c) 前記導電性金属の前記第 1 部分をアニールして前記バイア輪郭を充填するステップと；
 - d) 前記導電性金属の前記第 1 部分上に前記導電性金属の第 2 部分を物理的気相堆積して前記ワイヤ輪郭を充填するステップと；
 - e) 前記導電性金属、バリヤ層及び誘電体層を平坦化して、導電性ワイヤを輪郭決めするステップと；
- を含む方法。

【請求項 14】 前記平坦化ステップが化学機械的研磨法によって実行される請求項 13 に記載の方法。

【請求項 15】 前記バリヤ層が、チタン、窒化チタン、窒化シリコンチタン、窒化タングステン、窒化シリコンタングステン、タンタル、窒化タンタル、窒化シリコンタンタル、ドーピングされたシリコン、アルミニウム及び酸化アルミニウムからなる群から選択された材料を含む請求項 13 に記載の方法。

【請求項 16】 前記導電性金属が銅又はドーピングされた銅である請求項 13 に記載の方法。

【請求項 17】 デュアルダマシンバイア及びワイヤ輪郭を有する誘電体層中にデュアルダマシン相互接続部を形成する方法において、前記方法が：

- a) 前記誘電体層の露出表面上にバリヤ層を堆積するステップと；
 - b) 前記バリヤ層上で導電性材料の第 1 部分を電気メッキして、前記バイア輪郭を充填するステップと；
 - c) 前記導電性材料の前記第 1 部分上に前記導電性材料の第 2 部分を物理的気相堆積して、前記ワイヤ輪郭を充填するステップと；
 - d) 前記導電性材料と前記バリヤ層とを平坦化するステップと；
- を含む方法。

【請求項 18】 物理的気相堆積法によって堆積された前記導電性材料の前記第 2 部分がドーピングされた導電性材料を含む請求項 17 に記載の方法。

【請求項 19】 電気メッキによって堆積された前記導電性材料の前記第 1 部分がアニールされる請求項 18 に記載の方法。

【請求項 20】 前記バリア層がチタン、窒化チタン、窒化シリコンチタン、窒化タンゲステン、窒化シリコンタンゲステン、タンタル、窒化タンタル、窒化シリコンタンタル、ドーピングされたシリコン、アルミニウム及び酸化アルミニウムからなる群から選択された金属を含む請求項 17 に記載の方法。

【請求項 21】 デュアルダマシンプайア及びワイヤ輪郭を有する誘電体層中にデュアルダマシン相互接続部を形成する方法において、前記方法が：

- a) 前記誘電体層の露出表面上にバリア層を堆積するステップと；
- b) 前記バリア層上に導電性材料の第 1 部分を電気メッキするステップと；
- c) 前記導電性材料の前記第 1 部分をアニールして、前記パイア輪郭を充填するステップと；
- d) 前記導電性材料の前記第 1 部分上に前記導電性材料の第 2 部分を物理的気相堆積して、前記ワイヤ輪郭を充填するステップと；
- e) 前記導電性材料と前記バリア層とを平坦化するステップと；

を含む方法。

【請求項 22】 前記物理的気相堆積された導電性材料が銅又はドーピングされた銅である請求項 21 に記載の方法。

【請求項 23】 前記バリア層がチタン、窒化チタン、窒化シリコンチタン、窒化タンゲステン、窒化シリコンタンゲステン、タンタル、窒化タンタル、窒化シリコンタンタル、ドーピングされたシリコン、アルミニウム及び酸化アルミニウムからなる群から選択された材料を含む請求項 22 に記載の方法。

【請求項 24】 デュアルダマシンプайア及びワイヤ輪郭を有する誘電体層中にデュアルダマシン相互接続部を形成する方法において、前記方法が：

- a) 前記誘電体層の露出表面上にバリア層を堆積するステップと；
- b) 前記バリア層上に導電性金属のコンフォーマルな第 1 部分を化学的気相堆積するステップと；
- c) 前記導電性金属のコンフォーマルな前記第 1 部分をアニールして、前記導電性金属のコンフォーマルな前記第 1 部分の表面を平滑化するステップと；
- d) 前記導電性金属の前記第 1 部分上に前記導電性金属の第 2 部分を電気メッキして前記パイア及びワイヤ輪郭を充填するステップと；
- e) 前記導電性金属と前記バリア層とを平坦化するステップと；

を含む方法。

【請求項 25】 前記導電性金属が銅又はドーピングされた銅である請求項 24 に記載の方法。

【請求項 26】 前記バリア層がチタン、窒化チタン、窒化シリコンチタン、窒化タンゲステン、窒化シリコンタンゲステン、タンタル、窒化タンタル、窒化シリコンタンタル、ドーピングされたシリコン、アルミニウム及び酸化アルミニウムからなる群から選択された材料を含む請求項 24 に記載の方法。

【請求項 27】 デュアルダマシンプайア及びワイヤ輪郭を有する誘電体層中にデュアルダマシン相互接続部を形成する方法において、前記方法が：

- a) 前記誘電体層の露出表面上にバリア層を堆積するステップと；
- b) 前記バリア層上に導電性金属のコンフォーマルな第 1 部分を化学的気相堆積するステップと；
- c) 前記導電性金属をアニールして前記パイア輪郭を充填するステップと；
- d) 前記アニールされた導電性金属の第 1 部分上に前記導電性金属のコンフォーマルな第 2 部分を化学的気相堆積するステップと；
- e) 前記導電性金属をアニールして前記ワイヤ輪郭を充填するステップと；

f) 前記導電性金属、バリア層及び誘電体層を平坦化して導電性ワイヤを輪郭決めするステップと；
を含む方法。

【請求項 28】 前記平坦化ステップが化学機械的研磨法によって実行される請求項 27 に記載の方法。

【請求項 29】 前記バリア層がチタン、窒化チタン、窒化シリコンチタン、窒化タンゲステン、窒化シリコンタンゲステン、タンタル、窒化タンタル、窒化シリコンタンタル、ドーピングされたシリコン、アルミニウム及び酸化アルミニウムからなる群から選択された材料を含む請求項 27 に記載の方法。

【請求項 30】 前記導電性金属のコンフォーマルな第 1 部分を化学的気相堆積する前に、前記バリア層をプラズマ処理に晒すステップをさらに含む請求項 7 に記載の方法。

【請求項 31】 前記導電性金属のコンフォーマルな第 1 部分を化学的気相堆積する前に、前記バリア層をプラズマ処理に晒すステップをさらに含む請求項 13 に記載の方法。

【請求項 32】 前記導電性金属のコンフォーマルな第 1 部分を化学的気相堆積する前に、前記バリア層をプラズマ処理に晒すステップをさらに含む請求項 24 に記載の方法。

【請求項 33】 前記導電性金属のコンフォーマルな第 1 部分を化学的気相堆積する前に、前記バリア層をプラズマ処理に晒すステップをさらに含む請求項 27 に記載の方法。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】0018

【訂正方法】変更

【訂正の内容】

【0018】

PVD 銅堆積と比較して、ブランケット CVD プロセスによって堆積された薄膜は通常はコンフォーマルであり、段差を優れて覆うようになる、すなわち、基板上に形成されたあらゆるアパーチャ、それが非常に小さな形状のアパーチャであっても、その側部及び基底部上の層の厚さが均一になる。したがって、通常は、ブランケット CVD がアパーチャを充填するために用いられる方法である。しかしながら、ブランケット CVD プロセスに関連して 2 つの主要な困難な点がある。第 1 に、ブランケット CVD による膜はアパーチャ中のすべての側部から成長し、この結果、堆積層はアパーチャの上部の角から上向きにそして外向きに成長し、これによって、アパーチャが完全に充填される前にアパーチャの上部表面を橋渡しする（すなわち、橋渡し又はクラウニングする）ので、充填されたアパーチャに空隙を残す。また、連続核生成層、すなわち、CVD 層を上確実に堆積するためのアパーチャ壁上に堆積された基板の全表面の上方で核生成がなされることを保証するための連続膜層によってアパーチャの幅がさらに減少し、このため、空隙無しでアパーチャを充填する困難さが増す。第 2 に、ブランケット CVD によって堆積された膜は、膜が堆積される表面の微細構造に、それが非方向性であったりランダム方向性であったりすると、適合しやすく、この結果、膜の結晶構造の方位がランダムになり、また、低反射性特性となり、電子移動性能が悪化する。

【誤訳訂正 3】

【訂正対象書類名】明細書

【訂正対象項目名】0031

【訂正方法】変更

【訂正の内容】

【0031】

バリア層とぬれ性層の合成層は、プロセス気体の流れを変えて、CVD 銅に対する固着性を向上させることによって生成することができる。例えば WF_6 、 N_2 、 H_2 及び SiH_4 を反応させて WN を CVD 堆積させることによって、誘電体層に対する固着性が優れたものとなる。堆積の間に窒素の流れを遮断することによって、CVD による WN 層と続いて得られる CVD による銅層に固着する CVD による W の最終的なバリア/ぬれ性層が得ら

れる。同様に、窒素流を遮断することによって、TaN層をTa層と組み合わせたりTiN層をTi層と組み合わせたりできる。この合成層はCVDによる銅に対する固着性が向上し、これによって、パイア又は溝中に堆積した材料に対するテクスチャが向上する。代替例としては、WN、TaN又はTiNのバリア/ぬれ性層をH₂、Ar又はHeのプラズマで事前処理してCVDによる銅層を核生成して固着性を向上させることもできる。

CVD / PVD 充填

本発明による一実施形態40では、図2(c)～(e)にさらに示すように、より低い抵抗率とより大きい電子移動抵抗性を有するデュアルダマシンプラグと相互接続部とを形成する方法が提供される。このサブ半ミクロンのパイアはコンフォーマルCVDによる銅によって空隙無しで充填され、次に溝が、ドーパントとして錫を包含するのが好ましいPVD銅で充填される。堆積後は、このドーパントがCVD銅層中に移動して電子移動抵抗性を向上させる。ワイヤは構造体を平坦化することによって完了される。

【誤訳訂正4】

【訂正対象書類名】明細書

【訂正対象項目名】0032

【訂正方法】変更

【訂正の内容】

【0032】

図2(c)を参照すると、コンフォーマルバリア層54を有するデュアルシンパイア/ワイヤ輪郭の断面図が、パイアが銅プラグ60によって完全に充填されるまではフィールド領域56と側壁58との上に均一に堆積されるコンフォーマルCVD銅層55を含んでいるところが図示されている。

【誤訳訂正5】

【訂正対象書類名】明細書

【訂正対象項目名】0034

【訂正方法】変更

【訂正の内容】

【0034】

図2(e)を参照すると、次に、望ましくは化学機械的研磨法(CMP)(例えば、カリフォルニア州サンタクララのアプライドマテリアルズ社(Applied Materials)から入手可能なMirra(登録商標)システム)によって構造体の頂部部分が平坦化される。この平坦化プロセス中に、銅62とバリア材料54と誘電体42との各部分が構造体の頂部から除去されて、導電性ワイヤ64と66が内部に形成された完全に平坦化された表面が残る。

CVD / アニール / PVD 充填

本発明による別の実施形態70では、図3(a)～(e)に示すように、サブ半ミクロンのパイアがコンフォーマルCVD銅によって部分的に充填されて次にアニールされてパイアを充填している。次に、既述したように溝がPVD銅で充填される。溝の幅が小さい場合、このアニールステップもまた溝を充填する。溝は、溝を下地層に接続するパイアと同じ幅を有してもよい。PVD銅ステップはまた用いてドーパントを提供したり、構造体を平坦化するのに十分な厚さを提供する。

【誤訳訂正6】

【訂正対象書類名】明細書

【訂正対象項目名】0035

【訂正方法】変更

【訂正の内容】

【0035】

図3(a)に、図2(b)に示すものと類似のバリア層54を上部に形成したパターン化された誘電体を示す。図3(b)を参照すると、コンフォーマルバリア層54を有するデュアルダマシンパイア/ワイヤ輪郭の断面図が、パイアが部分的に充填されて穴74が

残るまでフィールド領域 5 6 と側壁 5 8 上に均一に堆積されるコンフォーマル C V D 銅層 7 2 を含んでいる。図 3 (c) を参照すると、次に、C V D 銅層が約 3 0 0 から約 4 5 0 の温度にウエハを加熱することによってアニールされて、銅を穴 7 4 中にリフローさせて銅プラグ 7 6 を形成する。

【誤訳訂正 7】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 3 7

【訂正方法】変更

【訂正の内容】

【0 0 3 7】

図 3 (e) を参照すると、次に、構造体 7 0 の頂部部分が、好ましくは化学機械的研磨法 (C M P) によって平坦化される。この平坦化プロセスの間に、銅 6 2 とバリヤ材料 5 4 と誘電体 4 2 との各部分が構造体の頂部から除去されて、導電性ワイヤ 6 4 と 6 6 を内部に形成した完全に平面状の表面を残す。

電子メッキ / P V D 又は C V D / P V D 充填

本発明の別の実施形態 8 0 では、図 4 (a) ~ (e) に示すように、サブ半ミクロンのパイアが銅の電子メッキ又はコンフォーマル P V D 銅によって部分的又は全面的に充填されている。次に、既述したように溝が P V D 銅によって非統合システム中で充填される。銅の電子メッキに続いて、P V D 銅をドーピングして電子移動性を改善するのが好ましい。ワイヤは構造を平坦化することによって完了される。

【誤訳訂正 8】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 3 8

【訂正方法】変更

【訂正の内容】

【0 0 3 8】

図 4 (a) に、図 2 (b) に示すものと類似のバリヤ層 5 4 を上に形成したパターン化された誘電体を示す。図 4 (b) を参照すると、コンフォーマル バリヤ層 5 4 を有するデュアルダマシンプイア / ワイヤ輪郭の断面図が、パイアが部分的に充填されて穴 8 4 が残るまで、フィールド領域 5 6 と側壁 5 8 上に均一に堆積されるコンフォーマル 銅電気メッキ層 8 2 を含んでいる。図 4 (c) を参照すると、次に、銅電気メッキ層を約 3 0 0 から約 4 5 0 の間の温度でウエハを加熱することによってアニールして、銅を穴 8 4 中にリフローさせて銅プラグ 8 6 を形成する。

【誤訳訂正 9】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 4 0

【訂正方法】変更

【訂正の内容】

【0 0 4 0】

図 4 (e) を参照すると、次に、構造体 8 0 の頂部部分が、好ましくは化学機械的研磨法 (C M P) によって平坦化される。この平坦化プロセスの間に、銅 6 2 とバリヤ材料 5 4 と誘電体 4 2 との各部分が構造体の頂部から除去されて、導電性ワイヤ 6 4 と 6 6 を内部に形成した完全に平面状の表面を残す。

C V D / アニール / 電気メッキ

本発明による別の実施形態 9 0 では、図 5 (a) ~ (e) に示すように、サブ半ミクロンのパイアがコンフォーマル C V D 銅によって部分的に充填され、次に、約 3 0 0 から約 4 0 0 の間の温度にウエハを加熱することによってアニールされて、銅層の表面を平滑化する。次に、パイアと溝が銅電気メッキで、非統合システム中で充填される。

【誤訳訂正 1 0】

【訂正対象書類名】明細書

【訂正対象項目名】 0 0 4 1

【訂正方法】 変更

【訂正の内容】

【 0 0 4 1 】

図 5 (a) に、図 2 (b) に示すものと類似のバリヤ層 5 4 を上に形成したパターン化された誘電体を示す。図 5 (b) を参照すると、コンフォーマルバリヤ層 5 4 を有するデュアルダマシンバイア / ワイヤ輪郭の断面図が、バイアが部分的に充填されて穴 9 4 が残るまで、フィールド領域 5 6 と側壁 5 8 上に均一に堆積されるコンフォーマル C V D 銅層 9 2 を含んでいる。図 5 (c) を参照すると、次に、C V D 銅層 9 2 がアニールされて、穴 9 4 を充填することなく銅層を平滑化する。

【誤訳訂正 1 1】

【訂正対象書類名】 明細書

【訂正対象項目名】 0 0 4 3

【訂正方法】 変更

【訂正の内容】

【 0 0 4 3 】

図 5 (e) を参照すると、次に、構造体 9 0 の頂部部分が、好ましくは化学機械的研磨法 (C M P) によって平坦化される。この平坦化の間に、銅 6 2 とバリヤ材料 5 4 と誘電体 4 2 との各部分が構造体の頂部から除去されて、導電性ワイヤ 6 4 と 6 6 を内部に形成した完全に平面状の表面を残す。

C V D / アニール / C V D / アニール充填

本発明の別の実施形態 1 0 0 では、図 6 (a) ~ (e) に示すように、サブ半ミクロンのバイアがコンフォーマル C V D 銅によって部分的に充填され次にアニールされてバイアを充填する。次に、溝が C V D 銅によって充填され、次にバイアに対して上記のようにアニールがなされる。ワイヤは構造体を平坦化することによって形成される。

【誤訳訂正 1 2】

【訂正対象書類名】 明細書

【訂正対象項目名】 0 0 4 4

【訂正方法】 変更

【訂正の内容】

【 0 0 4 4 】

図 6 (a) に、図 2 (b) に示すものと類似のバリヤ層 5 4 を上に形成したパターン化された誘電体を示す。図 6 (b) を参照すると、コンフォーマルバリヤ層 5 4 を有するデュアルダマシンバイア / ワイヤ輪郭の断面図が、バイアが部分的に充填されて穴 1 0 4 が残るまで、フィールド領域 5 6 と側壁 5 8 上に均一に堆積されるコンフォーマル C V D 銅層 1 0 2 を含む。図 6 (c) を参照すると、次に、C V D 銅層を、約 3 0 0 から約 4 5 0 までの温度にウエハを加熱することによってアニールして、銅を穴 1 0 4 中にリフローして銅プラグ 1 0 6 を形成する。次に、第 2 のコンフォーマル C V D 銅層 1 0 8 が、溝が部分的に充填されて穴 1 1 0 が残るまで、アニール済みの C V D 層上に均一に堆積される。図 6 (d) を参照すると、次に、第 2 の C V D 銅層 1 0 8 を約 3 0 0 から約 4 5 0 の温度にウエハを加熱することによってアニールして、銅を溝穴 1 1 0 中にリフローして銅ワイヤ 1 1 2 を形成する。図 6 (e) を参照すると、銅ワイヤ 1 1 2 が前述したように平坦化によって完了される。

統合処理システム

図 7 を参照すると、上記の統合プロセスをその内部で実現できる P V D チャンバと C V D チャンバの双方と有する統合処理システム 1 6 0 の略図が示されている。一般的には、基板を処理システム 1 6 0 からカセットロードロック 1 6 2 を介して導入して引き込まれる。ブレード 1 6 7 を有するロボット 1 6 4 が処理システム 1 6 0 内に置かれて、基板をシステム 1 6 0 内を移動させる。1 つのロボット 1 6 4 がパUFFアチャンバ 1 6 8 中の一般的な位置に置かれると、カセットロードロック 1 6 2、脱気ウエハ方向付けチャンバ 1

70、事前清浄化チャンバ172、PVD TiNチャンバ174、冷却チャンバ176の間で基板を伝達する。第2のロボット178が伝達チャンバ180中に位置して、冷却チャンバ176、干渉性のTiチャンバ182、CVD Tinチャンバ184、CVD銅チャンバ186及びPVD IMP銅処理チャンバ188との間で基板をやりとりする。統合システム中の伝達チャンバ180は 10^{-3} から 10^{-8} Torrという低圧又は高圧に維持するのが好ましい。図6に示すチャンバのこの構成は、単一のクラスツール中でCVDプロセスとPVDプロセスの双方が可能な統合処理システムを含んでいる。この特殊なチャンバ構成すなわち配置は単に図示目的であり、これ以外のPVDプロセスとCVDプロセスの構成が本発明によって考察されている。