

- (73) 특허권자  
도쿄엘렉트론가부시키키가이사  
일본 도쿄도 미나토쿠 아카사카 5쵸메 3반 1고
- (72) 발명자  
타필리 칸다바라  
미국 뉴욕주 12203 올버니 스위트 244 폴러 로드  
255 사우스 나노랩 300  
스미스 제프리  
미국 뉴욕주 12203 올버니 스위트 244 폴러 로드  
255 사우스 나노랩 300
- (74) 대리인  
김태홍, 김진희

심사관 : 장철영

(54) 발명의 명칭 선택적 이중충 유전체 재성장을 통한 완전 자기 정렬 비아

기판을 처리하기 위한 방법에서, 제1 유전체 층에 위치한 복수의 전도성 구조물 위에 전도성 캡 층이 선택적으로 형성된다. 제1 유전체 층 위에 제2 유전체 층이 선택적으로 형성된다. 제2 유전체 층 위에 제3 유전체 층이 선택적으로 형성된다. 그 다음, 복수의 전도성 구조물 및 제3 유전체 층 위에 제4 유전체 층이 형성되며, 상호 연결 구조물이 제4 유전체 층 내에 후속적으로 형성된다. 상호 연결 구조물은 비아 구조물을 포함하며, 비아 구조물은, 제1 부분의 측벽이 제3 유전체 층에 의해 둘러싸이도록 전도성 캡 층 위에 위치한 제1 부분; 및 제1 부분 및 제3 유전체 층 위에 배치된 제2 부분을 갖는다.

[illegible]

(52) CPC특허분류

*H01L 21/76816* (2013.01)

*H01L 21/76831* (2013.01)

*H01L 21/76834* (2013.01)

*H01L 21/76846* (2013.01)

*H01L 21/7685* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기판을 처리하기 위한 방법으로서,

기판을 제공하는 단계로서, 상기 기판은 제1 유전체 층을 포함하고, 상기 제1 유전체 층에 복수의 전도성 구조물이 형성되며, 상기 제1 유전체 층의 상부 표면은 상기 전도성 구조물의 상부 표면과 수평인, 단계;

상기 전도성 구조물 및 상기 제1 유전체 층 위에 전도성 캡 층을 형성하는 단계로서, 상부 표면 및 측벽을 갖는 상기 전도성 캡 층이 상기 전도성 구조물 위에 선택적으로 위치되는, 단계;

상기 제1 유전체 층 위에 제2 유전체 층을 형성하는 단계로서, 상기 전도성 캡 층의 상기 상부 표면이 커버되지 않도록, 그리고 상기 전도성 캡 층의 상기 측벽이 상기 제2 유전체 층에 의해 둘러싸이도록, 상기 제2 유전체 층이 상기 제1 유전체 층 위에 선택적으로 위치되는, 단계;

상기 제2 유전체 층 위에 제3 유전체 층을 형성하는 단계로서, 상기 전도성 캡 층의 상기 상부 표면이 커버되지 않도록, 그리고 상기 제3 유전체 층의 상부 표면보다 더 낮도록, 상기 제3 유전체 층이 상기 제2 유전체 층 위에 선택적으로 위치되는, 단계;

상기 제3 유전체 층 및 상기 전도성 캡 층을 커버하도록, 상기 복수의 전도성 구조물 및 상기 제3 유전체 층 위에 제4 유전체 층을 형성하는 단계; 및

상기 제4 유전체 층 내에 상호 연결 구조물을 형성하는 단계

를 포함하며,

상기 상호 연결 구조물은, 트렌치 구조물, 및 상기 트렌치 구조물 아래에 위치되어 상기 트렌치 구조물에 연결되는 비아 구조물을 포함하고,

상기 비아 구조물은,

상기 전도성 캡 층 위에 위치한 제1 부분으로서, 상기 제1 부분의 측벽은 상기 제3 유전체 층에 의해 둘러싸이는, 제1 부분; 및

상기 제1 부분 및 상기 제3 유전체 층 위에 배치된 제2 부분을 갖고,

상기 전도성 캡 층, 상기 제2 유전체 층, 및 상기 제3 유전체 층은 자기 정렬 단분자층의 증착에 의해 형성되는, 기판을 처리하기 위한 방법.

#### 청구항 2

기판을 처리하기 위한 방법으로서,

기판을 제공하는 단계로서, 상기 기판은 제1 유전체 층을 포함하고, 상기 제1 유전체 층에 복수의 전도성 구조물이 형성되며, 상기 제1 유전체 층의 상부 표면은 상기 전도성 구조물의 상부 표면과 수평인, 단계;

상기 제1 유전체 층 위에 제2 유전체 층을 형성하는 단계로서, 상기 제2 유전체 층이 상기 제1 유전체 층 위에 선택적으로 위치되는, 단계;

상기 전도성 구조물 및 상기 제1 유전체 층 위에 전도성 캡 층을 형성하는 단계로서, 상부 표면 및 측벽을 갖는 상기 전도성 캡 층이 상기 전도성 구조물 위에 선택적으로 위치되는, 단계;

상기 제2 유전체 층 위에 제3 유전체 층을 형성하는 단계로서, 상기 전도성 캡 층의 상기 상부 표면이 커버되지 않도록, 그리고 상기 제3 유전체 층의 상부 표면보다 더 낮도록, 상기 제3 유전체 층이 상기 제2 유전체 층 위에 선택적으로 위치되는, 단계;

상기 제3 유전체 층 및 상기 전도성 캡 층을 커버하도록, 상기 복수의 전도성 구조물 및 상기 제3 유전체 층 위

에 제4 유전체 층을 형성하는 단계; 및

상기 제4 유전체 층 내에 상호 연결 구조물을 형성하는 단계

를 포함하며,

상기 상호 연결 구조물은, 트렌치 구조물, 및 상기 트렌치 구조물 아래에 위치되어 상기 트렌치 구조물에 연결되는 비아 구조물을 포함하고,

상기 비아 구조물은,

상기 전도성 캡 층 위에 위치된 제1 부분으로서, 상기 제1 부분의 측벽은 상기 제3 유전체 층에 의해 둘러싸이는, 제1 부분; 및

상기 제1 부분 및 상기 제3 유전체 층 위에 배치된 제2 부분을 갖고,

상기 전도성 캡 층, 상기 제2 유전체 층, 및 상기 제3 유전체 층은 자기 정렬 단분자층의 증착에 의해 형성되는, 방법.

### 청구항 3

제1항에 있어서,

상기 비아 구조물의 상기 제2 부분은 상기 비아 구조물의 상기 제1 부분과 상기 트렌치 구조물 사이에 배치되며, 상기 비아 구조물의 비아 저항을 감소시키기 위해, 상기 비아 구조물의 상기 제1 부분보다 더 큰 폭과 두께를 갖는, 방법.

### 청구항 4

제1항에 있어서,

상기 전도성 캡 층은, 루테튬, 텅스텐, 니켈, 또는 코발트 중 적어도 하나를 포함하는, 방법.

### 청구항 5

제1항에 있어서,

상기 제2 유전체 층의 높이는, 상기 제3 유전체 층의 높이보다 적어도 2배 더 큰, 방법.

### 청구항 6

제1항에 있어서,

상기 제3 유전체 층은 금속-함유 유전체 재료로 제조되는, 방법.

### 청구항 7

제1항에 있어서,

상기 제2 유전체 층 및 상기 제3 유전체 층 둘 모두는 동일한 증착 챔버에서 형성되는, 방법.

### 청구항 8

제1항에 있어서,

상기 전도성 캡 층, 상기 제2 및 제3 유전체 층은 공통 공정 도구를 사용함으로써 형성되며,

상기 공통 공정 도구는, 상기 전도성 캡 층, 상기 제2 유전체 층 및 상기 제3 유전체 층을 각각 형성하도록 구성된 하나 이상의 챔버를 포함하는, 방법.

### 청구항 9

제1항에 있어서,

상기 제4 유전체 층 내에 상기 상호 연결 구조물을 형성하는 단계는,

에칭 공정을 통해, 상기 제4 유전체 층에 상호 연결 개구부를 형성하는 단계로서, 상기 상호 연결 개구부는, 트렌치 개구부, 및 상기 트렌치 개구부 아래에 위치되어 상기 복수의 전도성 구조물 중 하나 위에 배치된 상기 전도성 캡 층을 노출시키는 비아 개구부를 포함하는, 단계;

상기 복수의 전도성 구조물 중 하나 위에 배치된 커버되지 않은 상기 전도성 캡 층 및 상기 상호 연결 개구부를 커버하기 위해, 장벽층을 형성하는 단계;

상기 상호 연결 개구부를 충전하기 위해, 상기 장벽층 위에 전도성 층을 형성하는 단계로서, 상기 전도성 층은 상기 제4 유전체 층의 상부 표면을 추가로 커버하는, 단계; 및

상기 제4 유전체 층의 상기 상부 표면 위의 과잉 전도성 층을 제거하기 위해, 표면 평탄화 공정을 수행하는 단계를 더 포함하는, 방법.

#### 청구항 10

제9항에 있어서,

상기 제3 유전체 층은, 상기 상호 연결 개구부가 상기 제4 유전체 층 내에 형성될 때 상기 에칭 공정으로부터 상기 제2 유전체 층을 보호하도록 구성되는, 방법.

#### 청구항 11

제5항에 있어서,

상기 제2 유전체 층이 상기 전도성 구조물과 상기 상호 연결 구조물 사이의 전기 단락을 방지하도록, 상기 제2 유전체 층의 상기 높이는 3 nm 내지 15 nm의 범위인, 방법.

#### 청구항 12

삭제

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

삭제

#### 청구항 16

삭제

#### 청구항 17

삭제

#### 청구항 18

삭제

#### 청구항 19

삭제

#### 청구항 20

삭제

## 발명의 설명

### 기술 분야

- [0001] 관련 출원에 대한 상호 참조
- [0002] 본 출원은 2018년 6월 27일자로 출원된 미국 가출원 제62/690,838호의 이익을 주장하며, 그 전체 내용은 본원에 참조로 포함된다.
- [0003] 본 발명은 주어진 기판 또는 웨이퍼 상의 재료의 패터닝(patterning), 증착, 및 제거를 위한 시스템 및 공정을 포함하는 반도체 미세 가공에 관한 것이다.

### 배경 기술

- [0004] 리소그래피 공정에서 선폭을 줄이는 방법은 사실상, 더 큰 NA 광학계(개구 수), 더 짧은 노광 파장, 또는 공기 이외의 계면 매체(예를 들어, 수침)를 사용하는 단계를 포함하였다. 통상적인 리소그래피 공정의 해상도가 이론적 한계에 도달함에 따라, 제조사는 광학적 한계를 극복하기 위해 이중 패터닝(double-patterning: DP) 방법과 같은 다중 패터닝(MP) 방법으로 방향을 전환하기 시작하였다.
- [0005] 재료 공정 방법(예를 들어, 포토리소그래피)에서, 패터닝된 층을 생성하는 단계는, 포토레지스트와 같은 방사선 민감성 재료의 얇은 층을 기판의 상부 표면에 도포하는 단계를 포함한다. 방사선 민감성 재료의 얇은 층은 에칭 마스크로서 사용될 수 있는 양각 패턴(relief pattern)으로 변환되어, 기판 상의 하부층으로 패턴을 전사한다. 일반적으로, 방사선 민감성 재료의 얇은 층의 패터닝은, 예를 들어 포토리소그래피 시스템을 사용함으로써, 레티클(reticle)(및 관련 광학계)을 통하여 방사선 민감성 재료의 얇은 층 상으로의 화학 방사선의 노광 공정을 포함한다. 그 다음, 노광 공정 후에, 현상 용제를 사용함으로써, 방사선 민감성 재료의 얇은 층의 조사(irradiated) 영역(예를 들어, 포지티브 포토레지스트의 경우), 또는 비-조사 영역(예를 들어, 네거티브 레지스트의 경우)을 제거할 수 있다. 일부 실시형태에서, 에칭 마스크는 다수의 부분층(sub-layer)을 더 포함할 수 있다.
- [0006] 방사선 또는 광의 패턴을 기판 상에 노출시키기 위한 통상적인 리소그래피 기술은, 노출되는 형상부(feature)의 크기를 제한하고, 노출되는 형상부 사이의 피치 또는 간격을 제한하는 다양한 문제가 있다. 통상적인 리소그래피 기술을 개선하기 위한 다양한 연구가 수행되었다. 예를 들어, 노광 한계를 완화시키기 위한 관련 기술은, 통상적인 리소그래피 기술을 통해 현재 가능한 것보다 더 작은 피치로 더 작은 형상부의 패터닝을 가능하게 하기 위해, 이중 패터닝 접근 방식을 적용하는 것이다.

### 발명의 내용

- [0007] 더 소형의 소자가 제조됨에 따라, 임계 치수(CD) 또는 해상도의 패터닝된 형상부를 제조하는 것이 점점 더 어려워지고 있다. 그러한 문제 외에도, 추가적인 문제는, 두 가지 포토리소그래피 공정 간의 오버레이(예를 들어, 포토리소그래피 오정렬)와 관련된다. 마스크와 패턴이 적절히 정렬되지 않는 경우, 소자 결함 및 고장이 발생할 수 있다. 예를 들어, 원하는 위치에서 라인이 부분적으로 절단될 수 있거나 절단되지 않을 수 있거나, 개구부가 잘못 배치될 수 있거나, 그렇지 않으면 단락이 유발될 수 있다. 또한, 다수의 금속 라인 및 비아(via) 층이 하부 트랜지스터와 상호 연결되는 경우, 이러한 오정렬은 기판의 금속 배선(metallization) 동안 문제를 야기한다. 금속 배선과 관련된 다른 문제는, 주변 유전체 재료를 손상시키지 않으면서 트렌치 및 비아를 생성하는 것이다.
- [0008] 본원의 기술(또는 방법)은, 기판을 패터닝하기 위한(예를 들어, 라인 후단(BEOL)에서 금속 배선 동안 패턴을 형성하기 위한) 방법을 포함한다. 본원의 기술은 완전 자기 정렬(fully self-aligned) 비아 및 라인을 가능하게 한다. 본원의 기술은, 바람직하지 않은 조성을 갖는 에칭 정지층(etch-stop layer) 또는 에칭 정지막을 사용하지 않으면서 트렌치 및 비아 패터닝의 자기 정렬을 가능하게 하기 위해, 이중층(bilayer) 유전체의 선택적 성장을 사용하는 단계를 포함한다. 이중층 유전체 구조물에서, 제1 유전체 층은 인접한 금속 라인과의 전기 절연을 제공할 수 있는 반면에, 제2 유전체 층은 트렌치 및 비아 패터닝의 형성 동안 제1 유전체의 에칭을 방지할 수 있다. 유전체 층 둘 모두가 동일한 챔버에서 증착될 수 있으며, 대부분의 에칭 정지층과 같이 제거되는 대신에, 배선층 내에서 기판 상에 남아있을 수 있다.
- [0009] 물론, 본원에 개시된 제조 단계의 순서는 명확성을 위해 제시된다. 일반적으로, 이러한 제조 단계는 임의의 적

합한 순서로 수행될 수 있다. 추가적으로, 본원의 각각의 상이한 특징, 기술, 구성 등이 본 개시물의 상이한 곳에서 설명될 수 있지만, 각각의 개념은 서로 독립적으로 또는 서로 조합하여 수행될 수 있음을 유의해야 한다. 따라서, 본 개시물은 다수의 상이한 방식으로 구현되고 고려될 수 있다.

- [0010] 본 요약 부분은 본 개시물 또는 청구된 발명의 모든 실시형태 및/또는 점진적으로 새로운 양태를 명시하지 않는다는 점을 유의해야 한다. 대신에, 이러한 요약은 통상적인 기술에 비해 상이한 실시형태 및 해당 신규성 요소에 대한 예비적인 설명만을 제공한다. 본 발명 및 실시형태의 추가적인 세부 사항 및/또는 가능한 관점에 대하여, 독자는 아래에 추가로 설명되는 바와 같은 본 개시물의 상세한 설명 부분 및 해당 도면을 참조한다.
- [0011] 본 개시물의 일 양태에 따라, 기판을 처리하기 위한 방법이 제공된다. 개시된 방법에서, 기판이 제공된다. 기판은, 제1 유전체 층, 및 제1 유전체 층에 형성된 복수의 전도성 구조물을 포함한다. 제1 유전체 층의 상부 표면은 전도성 구조물의 상부 표면과 수평이다. 그 다음, 전도성 구조물 위에 전도성 캡 층(conductive cap layer)이 형성되며, 상부 표면 및 측벽을 갖는 전도성 캡 층이 전도성 구조물 위에 선택적으로 위치된다. 후속적으로, 제1 유전체 층 위에 제2 유전체 층이 형성된다. 전도성 캡 층의 상부 표면이 노출되도록 또는 커버되지 않도록(uncovered), 그리고 전도성 캡 층의 측벽이 제2 유전체 층과 직접 접촉되도록, 제2 유전체 층이 제1 유전체 층 위에 선택적으로 위치된다.
- [0012] 제2 유전체 층이 제1 유전체 층 위에 선택적으로 형성된 후에, 제2 유전체 층 위에 제3 유전체 층이 형성되며, 전도성 캡 층의 상부 표면이 노출되도록 또는 커버되지 않도록, 그리고 제3 유전체 층의 상부 표면보다 더 낮도록, 제3 유전체 층이 제2 유전체 층 위에 선택적으로 위치된다. 그 다음, 복수의 전도성 구조물 및 제3 유전체 층 위에 제4 유전체 층이 형성된다. 후속적으로, 상호 연결 구조물이 제4 유전체 층 내에 형성된다. 상호 연결 구조물은 비아 구조물을 포함하며, 비아 구조물은, 제1 부분의 측벽이 제3 유전체 층과 직접 접촉되도록 전도성 캡 층 위에 위치한 제1 부분; 및 제1 부분 및 제3 유전체 층 위에 배치된 제2 부분을 갖는다.
- [0013] 일부 실시형태에서, 에칭 플라즈마가 제3 유전체 층을 제거하는 것보다 더 빠르게 제4 유전체 층을 제거할 수 있도록, 제3 유전체 층은 제4 유전체 층에 대한 에칭 선택비를 가질 수 있다. 제3 유전체 층은 금속-함유 유전체 재료로 제조될 수 있거나, 제4 유전체 층에 대한 어느 정도의 에칭 선택비를 갖는 임의의 유전체 재료로 제조될 수 있다.
- [0014] 일부 실시형태에서, 제2 유전체 층이 형성된 후에, 전도성 캡 층이 복수의 전도성 구조물 상에 선택적으로 증착된다. 일부 실시형태에서, 각각의 전도성 구조물은, 비아 구조물 및 라인 구조물 중 적어도 하나를 포함한다. 또한, 전도성 캡 층은, 루테튬, 텅스텐, 니켈, 또는 코발트 중 적어도 하나를 포함할 수 있다. 제3 유전체 층은 금속-함유 유전체 재료로 제조될 수 있다.
- [0015] 일부 실시형태에서, 제2 유전체 층의 높이는, 제3 유전체 층의 높이보다 적어도 2배 더 크다. 일부 실시형태에서, 제2 유전체 층 및 제3 유전체 층은 동일한 증착 챔버에서 형성된다. 일부 실시형태에서, 전도성 캡 층, 제2 및 제3 유전체 층은, 공통 공정 도구를 사용하여 형성된다. 공정 도구는, 전도성 캡 층, 제2 유전체 층 및 제3 유전체 층을 각각 형성하도록 구성된 하나 이상의 챔버를 포함한다.
- [0016] 개시된 방법에서, 상호 연결 개구부가 제4 유전체 층에 형성될 수 있으며, 상호 연결 개구부는, 트렌치 개구부, 및 트렌치 개구부 아래에 위치되어 복수의 전도성 구조물 중 하나를 노출시키는 비아 개구부를 포함한다. 복수의 전도성 구조물 중 노출된(또는 커버되지 않은) 전도성 구조물 및 상호 연결 개구부를 커버하기 위해, 장벽층(또는 라이너)이 형성된다. 후속적으로, 상호 연결 개구부를 충전하기 위해, 장벽층 위에 전도성 층이 형성되며, 전도성 층은, 제4 유전체 층의 상부 표면을 추가로 커버한다. 제4 유전체 층의 상부 표면 위의 과잉 전도성 층을 제거하기 위해, 표면 평탄화 공정이 수행된다.
- [0017] 일부 실시형태에서, 전도성 층은 다수의 접근 방식을 통해 형성될 수 있으며, 다수의 접근 방식은, (a) 전도성 층의 상부가 제4 유전체 막의 상부 표면과 수평이 되는, 바닥-충전 증착; (b) 제4 유전체 막에 비하여 전도성 층의 결과적인 과하중(over-burden)이 최소화되고 매우 균일하도록 하는, 전도성 층의 증착으로서, 제4 유전체 층의 상부 표면 위의 과잉 전도성 층을 제거하기 위해, 에칭-함입(etch-recess) 또는 표면 평탄화 공정이 수행될 수 있는, 전도성 층의 증착; 또는 (c) 전도성 층이 제4 유전체 층의 상부 표면을 커버하는, 전도성 층의 통상적인 증착으로서, 제4 유전체 층의 상부 표면 위의 과잉 전도성 층을 제거하기 위해, 표면 평탄화 공정이 수행될 수 있는, 전도성 층의 통상적인 증착을 포함한다.
- [0018] 일부 실시형태에서, 제3 유전체 층은, 상호 연결 개구부가 제4 유전체 층 내에 형성될 때 에칭 공정으로부터 제2 유전체 층을 보호하도록 구성된다. 제2 유전체 층이 전도성 구조물과 상호 연결 구조물 사이의 전기 단락을



방지하도록, 제2 유전체 층의 높이는 3 nm 내지 15 nm의 범위이다.

[0019] 본 개시물의 다른 양태에 따라, 반도체 소자가 제공된다. 개시된 소자에서, 복수의 전도성 구조물이 제1 유전체 층에 배치되며, 복수의 전도성 구조물의 상부 표면과 제1 유전체 층의 상부 표면은 동일 평면 상에 있다. 또한, 상부 표면 및 측벽을 갖는 전도성 캡 층이 전도성 구조물 위에 선택적으로 위치된다. 전도성 캡 층의 측벽이 제2 유전체 층과 직접 접촉되도록, 제2 유전체 층이 제1 유전체 층 위에 선택적으로 위치된다. 전도성 캡 층의 상부 표면이 제3 유전체 층의 상부 표면보다 더 낮도록, 제3 유전체 층이 제2 유전체 층 위에 선택적으로 위치된다. 일부 실시형태에서, 전도성 캡 층과 제3 유전체 층 사이의 전술한 높이 차는, 후속적으로 형성되는 비아 구조물을 위한 자기 정렬을 제공한다.

[0020] 개시된 소자에서, 복수의 전도성 구조물 및 제3 유전체 층 위에 제4 유전체 층이 배치된다. 상호 연결 구조물이 제4 유전체 층에 추가로 배치된다. 상호 연결 구조물은, 트렌치 구조물, 및 트렌치 구조물 아래에 위치되어 트렌치 구조물에 연결되는 비아 구조물을 포함한다. 비아 구조물은, 제1 부분의 측벽이 제3 유전체 층과 직접 접촉되도록 전도성 캡 층 위에 위치한 제1 부분; 및 제1 부분 및 제3 유전체 층 위에 배치된 제2 부분을 갖는다. 개시된 소자에서, 전도성 캡 층과 제3 유전체 층 사이의 높이 차, 그리고 제3 유전체 층과 제4 유전체 층 사이의 에칭 선택비는, 비아 구조물과 전도성 캡 층 사이의 자기 정렬을 제공한다.

[0021] 본 개시물의 또 다른 양태에 따라, 제1 전도성 구조물이 제1 유전체 층에 형성되며, 제1 전도성 구조물은, 제1 유전체 층의 상부 표면으로부터 제1 유전체 층 내로 연장된다. 상부 표면 및 측벽을 갖는 전도성 캡 층이 전도성 구조물 위에 선택적으로 배치된다. 또한, 제1 유전체 층 위에 유전체 적층물(stack)이 선택적으로 배치된다. 유전체 적층물은 전도성 캡 층의 측벽과 직접 접촉되며, 유전체 적층물의 상부 표면은 전도성 캡 층의 상부 표면보다 더 높다. 개시된 소자는, 제1 전도성 구조물 위에 형성된 제2 전도성 구조물을 더 포함한다. 제2 전도성 구조물은, 제1 부분의 측벽이 유전체 적층물과 직접 접촉되도록 전도성 캡 층 위에 위치한 제1 부분; 및 제1 부분 및 유전체 적층물 위에 배치된 제2 부분을 갖는다.

### 도면의 간단한 설명

[0022] 본 개시물의 양태는 첨부된 도면과 함께 읽을 때 이하의 상세한 설명으로부터 가장 잘 이해된다. 업계의 표준 관행에 따라, 다양한 특징부가 일정한 비율로 도시되지는 않음을 유의한다. 실제로, 다양한 특징부의 치수는 설명의 명확성을 위해 임의로 증가 또는 감소될 수 있다.

도 1 내지 도 6은 일부 실시형태에 따라, 상호 연결 구조물을 제조하는 다양한 중간 단계의 단면도이다.

도 7은 일부 실시형태에 따라, 상호 연결 구조물을 형성하도록 구성된 제1 반도체 장비의 개략도이다.

도 8은 일부 실시형태에 따라, 상호 연결 구조물을 형성하도록 구성된 제2 반도체 장비의 개략도이다.

도 9는 일부 실시형태에 따라, 상호 연결 구조물을 형성하도록 구성된 제3 반도체 장비의 개략도이다.

도 10은 일부 실시형태에 따라, 상호 연결 구조물을 제조하기 위한 공정의 흐름도이다.

### 발명을 실시하기 위한 구체적인 내용

[0023] 이하의 개시물은 제공된 청구 대상의 상이한 특징을 구현하기 위한 다수의 상이한 실시형태 또는 실시예를 제공한다. 본 개시물을 간략화하기 위해, 구성 요소 및 배치의 구체적인 실시예가 아래에 설명된다. 물론 이들은 단지 실시예일 뿐이며, 제한적인 것으로 의도되지 않는다. 또한, 본 개시물은 다양한 실시예에서 참조 번호 및/또는 문자를 반복할 수 있다. 이러한 반복은 간명성 및 명확성을 위한 목적이며, 그 자체가 설명된 다양한 실시형태 및/또는 구성 간의 관계에 영향을 주지 않는다.

[0024] 또한, "밑에", "아래에", "하부", "위", "상부" 등과 같은 공간적으로 상대적인 용어는, 도면에 도시된 바와 같은 다른 요소(들) 또는 특징부(들)에 대한 하나의 요소 또는 특징부의 관계를 설명하기 위한 설명의 편의를 위해 본원에서 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시된 배향과 더불어, 사용 시의 또는 작동 시의 장치의 상이한 배향을 포함하도록 의도된다. 장치는 달리 배향될 수 있으며(90도 또는 다른 배향으로 회전될 수 있으며), 본원에서 사용된 공간적으로 상대적인 기술어도 마찬가지로 이에 따라서 해석될 수 있다.

[0025] 명세서 전반에 걸쳐서 "일 실시형태" 또는 "실시형태"라는 언급은 실시형태와 함께 설명된 구체적인 특징, 구조, 재료, 또는 특성이 적어도 하나의 실시형태에 포함됨을 의미하지만, 이들이 모든 실시형태에 존재함을 의미하지 않는다. 따라서, 명세서에 걸친 다양한 곳에서 "일 실시형태에서"라는 문구의 출현은 반드시 동일한 실



시형태를 지칭하는 것은 아니다. 또한, 구체적인 특징, 구조, 재료, 또는 특성은 하나 이상의 실시형태에서 임의의 적합한 방식으로 조합될 수 있다.

[0026] 본원에 개시된 기술은, 예를 들어 라인 후단(BEOL) 금속 배선 공정 동안, 기판을 패터닝하는 방법을 포함한다. 본원에 개시된 기술은 완전 자기 정렬 비아 및 라인을 가능하게 하며, 바람직하지 않은 조성을 갖는 에칭 정지층 또는 에칭 정지막을 사용하지 않으면서 트렌치 및 비아 패터닝의 자기 정렬을 가능하게 하기 위해, 이중층 유전체의 선택적 성장을 사용하는 단계를 포함한다. 개시된 이중층 유전체 구조물에서, 제1 유전체 층은 금속 라인과 같은 인접한 전도성 구성 요소와의 전기 절연을 제공할 수 있는 반면에, 제2 유전체 층은 트렌치 및 비아 패터닝의 형성 동안 제1 유전체의 에칭을 방지할 수 있다. 제1 및 제2 유전체 층 둘 모두가 동일한 챔버에서 증착될 수 있으며, 대부분의 에칭 정지층과 같이 제거되는 대신에, 배선층(유전체 층으로도 지칭됨) 내에서 기판 상에 남아있을 수 있다.

[0027] 전도성 구조물의 자기 정렬을 제공하기 위한 관련 기술은 몇 가지 문제가 있다. 예를 들어, 한 가지 관련 기술은, 주변 유전체 재료의 상부 표면 아래에 구리 라인 및 비아를 함입함으로써, 전도성 구조물의 자기 정렬을 제공한다. 이러한 구리 함입은 큰 집적 문제(예를 들어, 에지 배치 오차)를 유발할 수 있고, 잠재적인 오염 문제를 야기할 수 있다. 개시된 기술에서는, 금속 라인을 함입하는 대신에, 수직 증착/재성장 공정을 통해 하부 전도성 구조물을 둘러싸는 하나 이상의 유전체 층이 도입됨으로써, 하부 전도성 구조물과 상부 전도성 구조물 사이의 자기 정렬을 제공하도록 도울 수 있다. 일부 실시형태에서, 선택적으로 증착된 하나 이상의 유전체 층은, 2개의 상이한 유전체 재료로 제조되는 2개의 층을 포함할 수 있다. 예를 들어, 선택적으로 증착된 유전체 층은, 비교적 얇은 금속 산화물 캡을 갖는 이산화규소 구조물을 포함할 수 있다. 이중층 산화물(예를 들어,  $\text{SiO}_2$  및 금속 산화물) 층 둘 모두는, 동일한 공정 챔버 또는 동일한 도구/플랫폼으로 원위치에서(in situ) 증착될 수 있다. 개시된 기술에서, 비아 CD 공차는 10 나노미터만큼 감소될 수 있다.

[0028] 위에 언급된 바와 같이, 금속 산화물 층(즉, 제2 유전체 층)은, 트렌치 및 비아 패터닝의 형성 동안, 금속 산화물 층 아래에 배치된 제1 유전체 층의 에칭을 방지하기 위한 보호층으로 기능할 수 있으며, 제1 및 제2 유전체 층은, 하부 전도성 구조물(예를 들어, 구리 금속 라인, 텅스텐 접점, 구리 비아 등)과 트렌치 및 비아 패터닝 사이의 자기 정렬을 제공한다. 관련 기술에서, 일반적으로 하부 전도성 구조물 위에 에칭 정지층이 증착된다. 트렌치 및 비아 패터닝의 형성 동안, 에칭 정지층은 제거되어야 한다. 에칭 정지층의 제거는 하부 전도성 구조물의 손상을 유발할 수 있다.

[0029] 도 1 내지 도 6은 상호 연결 구조물을 제조하는 다양한 중간 단계의 단면도이다. 도 1에 도시된 바와 같이, 기판(100)이 제공된다(수용되거나, 획득되거나, 달리 제조된다). 기판(100)은, 제1 전도성 재료로 제조되는 복수의 전도성 구조물(106)을 갖는다. 전도성 구조물(106)은, 제1 유전체 재료로 제조되는 제1 배선층(제1 유전체 층으로도 지칭됨)(102) 내에 형성될 수 있다. 예를 들어, 도 1에 도시된 바와 같이, 3개의 전도성 구조물(106a 내지 106b)이 제1 배선층(102)에 형성된다. 제1 배선층(102)은, 커버되지 않은(노출된 또는 달리 액세스 가능한) 평탄한 표면(102a)을 한정하며, 전도성 구조물(106)의 상부 표면이 이와 수평이 됨으로써, 전도성 구조물(106)의 상부 표면도 커버되지 않는다. 즉, 이러한 기판은, 전도성 구조물(106)을 완성하기 위한 구리 충전 및 화학 기계적 연마 후의 주어진 제1 배선층(102)을 포함할 수 있다. 전도성 구조물(106)은 라인 및/또는 비아일 수 있다. 따라서, 이러한 기판(100)은 상부 표면(102a) 위에 추가적인 배선층 또는 추가적인 구조물을 제조할 준비가 될 수 있다.

[0030] 일부 실시형태에서, 제1 배선층(또는 제 1 유전체 층)(102)은, 로우-K(low-K) 막,  $\text{SiO}_2$  층, 또는 다른 적합한 유전체 층일 수 있다. 전도성 구조물은, 구리, 루테튬, 텅스텐, 니켈, 코발트, 또는 다른 적합한 전도성 재료로 제조될 수 있다. 일부 실시형태에서, 전도성 구조물(106)과 제1 배선층(102) 사이에 장벽층(104)이 형성될 수 있다. 장벽층(104)은 Ti, TiN, Ta, TaN, 또는 다른 적합한 재료로 제조될 수 있다.

[0031] 도 2a에서, 전도성 캡 층(또는 금속 캡)(108)은, 제1 배선층(102)의 상부 표면(102a) 상에 증착되지 않으면서, 전도성 구조물(106)의 커버되지 않은 상부 표면 상에 선택적으로 증착될 수 있다. 전도성 캡 층(108)은 상부 표면(108a) 및 측벽(108b)을 가질 수 있다. 일부 실시형태에서, 전도성 캡 층은 루테튬, 코발트, 텅스텐, 및 니켈을 포함할 수 있지만, 이에 제한되지 않는다.

[0032] 도 2b는 예시적인 전도성 캡 층을 도시하기 위해 주사 투과 전자현미경(STEM)을 통해 획득된 3개의 이미지이다. 도 2b에 도시된 바와 같이, 좌측 이미지는 STEM에 기초하는, 전도성 구조물, 및 전도성 구조물 위에 형성된 전도성 캡 층을 나타낸다. 중간 이미지는 전도성 구조물로부터 획득된 원소 분석 데이터를 나타낸다. 중간 이미지는 전도성 구조물이 구리로 제조되어 있음을 보여준다. 우측 이미지는 전도성 캡 층으로부터 획득된 다른 원소

분석 데이터를 나타낸다. 우측 이미지는 전도성 캡 층이 루테튬 층임을 보여준다. 전도성 캡 층(108)은, CVD 공정, PVD 공정, 스퍼터 공정, 확산 공정, 원자층 증착 공정, 또는 다른 적합한 증착 공정을 통해 제조될 수 있다. 전도성 캡 층(108)을 형성할 수 있는 예시적인 장비는 도 7 내지 도 9에 도시될 수 있다.

[0033] 도 3에서, 제1 유전체 층(102)의 커버되지 않은 상부 표면(102a) 상에 제2 유전체 층(110)이 선택적으로 성장/증착된다. 따라서, 전도성 캡 층(108)의 상부 표면(108a)은 노출되고(또는 커버되지 않고), 전도성 캡 층(108)의 측벽(108b)은 제2 유전체 층(110)과 직접 접촉된다. 일부 실시형태에서, 전도성 캡 층(108)의 측벽(108b)은 제2 유전체 층(110)에 의해 둘러싸인다. 일부 실시형태에서, 제1 및 제2 유전체 층은 동일한 재료로 제조될 수 있다. 예를 들어, 제1 유전체 층(102)은  $\text{SiO}_2$ 로 제조되고, 제2 유전체 층(110)도  $\text{SiO}_2$ 로 제조된다. 일부 실시형태에서, 제1 및 제2 유전체 층은 상이한 재료로 제조된다. 예를 들어, 제1 유전체 층(102)은 로우-k 층이고, 제2 유전체 층(110)은  $\text{SiO}$  층이다. 일부 실시형태에서, 제2 유전체 층(110)은 3 nm 내지 15 nm 범위의 두께를 가질 수 있다. 제2 유전체 층(110)의 k 값은 4 미만일 수 있다. 물론, 회로 설계 요건에 따라, 다른 적합한 k 값이 적용될 수 있다.

[0034] 일부 실시형태에서, 제2 유전체 층(110)의 상부 표면(110a)은, 전도성 캡 층(108)의 상부 표면(108a)보다 더 높을 수 있다. 일부 실시형태에서, 증착 공정에 따라, 제2 유전체 층(110)의 상부 표면(110a)은, 전도성 캡 층(108)의 상부 표면(108a)보다 더 낮을 수 있다. 제2 유전체 층(110)은, CVD 공정, PVD 공정, 스퍼터 공정, 확산 공정, 원자층 증착 공정, 또는 다른 적합한 증착 공정을 통해 제조될 수 있다. 제2 유전체 층(110)을 형성할 수 있는 예시적인 장비는 도 7 내지 도 9에 도시될 수 있다.

[0035] 도 4에 도시된 바와 같이, 제2 유전체 층(110)이 선택적으로 증착된 후에, 제2 유전체 층(110) 상에 제3 유전체 층(112)이 선택적으로 성장될 수 있다. 따라서, 전도성 캡 층(108)의 상부 표면(108a)은 여전히 노출되며 또는 커버되지 않으며, 제3 유전체 층(112)의 상부 표면(112a)보다 더 낮다. 또한, 복수의 함입 영역(113)이 제3 유전체 층(112)에 형성될 수 있다. 함입 영역(113)은 제3 유전체 층(112)을 노출시키는 측벽을 가질 수 있다. 일부 실시형태에서, 함입 영역(113)의 측벽은 제2 유전체 층(110)의 일부를 추가로 노출시킬 수 있다. 함입 영역(113)은, 전도성 캡 층(108)을 노출시키는 바닥 부분을 가질 수 있다.

[0036] 일부 실시형태에서, 제3 유전체 층(112)은, 제2 유전체 층(110)의 에칭 저항률과 상이한 에칭 저항률을 가질 수 있다. 제3 유전체 층(112)은 1 nm 내지 5 nm의 두께를 가질 수 있다. 제3 유전체 층(112)은,  $\text{Al}_2\text{O}_3$ ,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{TiO}_2$ , 및 이들의 조합물과 같은, 금속-함유 유전체 또는 금속 산화물로 제조될 수 있다. 일부 실시형태에서, 제3 유전체 층(112)은, 에칭 플라즈마가 제3 유전체 층을 제거하는 것보다 더 빠르게 제4 유전체 층을 제거할 수 있도록 제4 유전체 층에 대한 에칭 선택비를 갖는,  $\text{SiC}$  또는  $\text{SiCN}$ 과 같은 비금속 함유 유전체일 수 있다. 제3 유전체 층(112)은 제2 유전체 층(110)에 비해 상대적으로 얇을 수 있다. 예를 들어, 제2 유전체 층의 높이는, 제3 유전체 층의 높이보다 적어도 2배 더 클 수 있다. 물론, 상이한 제조 조건에 따라, 제2 및 제3 유전체 층은 다른 두께 비율을 가질 수 있다.

[0037] 도 5에서, 제3 유전체 층(112) 및 전도성 캡 층(108) 위에 제2 배선층(제4 유전체 층으로도 지칭됨)(114)이 형성됨으로써, 함입 영역(113)이 제2 배선층(114)에 의해 충전된다. 제2 배선층(114)은, 로우-K 재료,  $\text{SiO}_2$ , 또는 다른 적합한 유전체 재료와 같은 제4 유전체 재료로 제조된다. 도 5에 도시된 바와 같이, 제4 유전체 층(114)은 제2 및 제3 유전체 층 및 전도성 캡 층을 커버할 수 있으며, 평탄한 상부 표면을 제공할 수 있다. 즉, 기판(100)은, 후속 단계에서 추가적인 금속층을 형성하기 위해 제4 유전체 층(114)으로 코팅될 수 있다. 전형적으로, 집적회로는, 10개 내지 20개의 배선층과 같은 다수의 배선층을 가질 수 있다. 하나의 배선층이 완성된 후에(일반적으로, 주어진 층의 금속 배선 및 평탄화 후에), 다음 배선층이 생성될 수 있다.

[0038] 도 5를 계속 참조하면, 제4 유전체 층(114) 위에 하드 마스크 층(116)이 형성될 수 있다. 하드 마스크 층(116)은  $\text{TiN}$  층과 같은 단일 층일 수 있거나, 다수의 층을 포함할 수 있다. 포토레지스트 코팅(예를 들어, 스핀 온 코팅), 소프트 베이킹(soft baking), 마스크 정렬, 노광, 노광후 베이킹, 포토레지스트 현상, 린싱(rinsing), 건조(예를 들어, 스핀 건조 및/또는 하드 베이킹) 등을 더 포함할 수 있는 리소그래피 공정(예를 들어, 포토리소그래피 또는 e-빔 리소그래피)을 통해, 하드 마스크 층 위에 포토레지스트 층(도시되지 않음)이 증착 및 패터닝될 수 있다. 후속적으로, 포토레지스트에 형성된 패턴은 에칭 공정에 의해 하드 마스크 층으로 전사될 수 있으며, 제2 배선층(114)의 일부로 추가로 전사되어, 하나 이상의 상호 연결 개구부(도시되지 않음)를 형성할 수 있다. 각각의 상호 연결 개구부는, 하나 이상의 이중 다마신 구조물과 같은 하나 이상의 상호 연결 구조물을 형성하기 위한 후속적인 금속 배선을 위한 트렌치 개구부 및/또는 비아 개구부를 가질 수 있다.

- [0039] 도 6에서, 상호 연결 개구부(도시되지 않음)가 제2 배선층(또는 제4 유전체 층)(114) 내에 형성된 후에, 그 안에 형성된 상호 연결 개구부는 금속 배선될 수 있다(즉, 전도성 재료(120)로 충전될 수 있다). 전도성 재료(120)는, 구리, 텅스텐, 루테튬, 코발트, 또는 다른 적합한 재료일 수 있다. 이러한 금속 배선은, 라이너(또는 장벽층)(122)를 증착한 후에, 벌크 전도성 재료(120)를 증착하는 단계를 포함할 수 있다. 벌크 전도성 재료(120)는, 제4 유전체 층(114)의 상부 표면을 추가로 커버할 수 있다. 제4 유전체 층의 상부 표면으로부터 과잉 전도성 재료(120)를 제거하기 위해, CMP 공정과 같은 표면 평탄화 공정이 적용될 수 있다. 상호 연결 개구부에 남아있는 전도성 재료(120)는 상호 연결 구조물이 된다. 라이너(122)는 Ti, TiN, Ta, Ta, 또는 다른 적합한 재료로 제조될 수 있다.
- [0040] 도 6을 계속 참조하면, 상호 연결 구조물(118)이 제4 유전체 층(114)에 형성된다. 상호 연결 구조물(118)은, 트렌치 구조물(118a), 및 트렌치 구조물 아래에 위치되어 트렌치 구조물에 연결되는 비아 구조물(118b)을 가질 수 있다. 비아 구조물(118b)은, 제1 부분(118b') 및 제2 부분(118b'')을 가질 수 있다. 비아 구조물의 제1 부분(118b')은 전도성 캡 층(108) 위에 위치되며, 제1 부분(118b')의 측벽은 제3 유전체 층(112)과 직접 접촉된다. 일부 실시형태에서, 제1 부분(118b')의 측벽은 제3 유전체 층(112)에 의해 둘러싸인다. 일부 실시형태에서, 공정 조건에 따라, 제1 부분(118b')의 측벽은 제2 유전체 층(110)의 일부와도 직접 접촉된다. 제2 부분(118b'')은 제1 부분(118b') 위에 배치된다. 또한, 제2 부분(118b'')은 제3 유전체 층(112) 상에 위치될 수 있으며, 제3 유전체 층(112)과 직접 접촉될 수 있다. 상호 연결 구조물(118)은, 비아 구조물(118b)을 통해 전도성 구조물(106b)에 전기적으로 연결된다.
- [0041] 상호 연결 구조물(118)이 형성되면, 반도체 소자(200)가 완성된다. 반도체 소자(200)는 기판(100)을 갖는다. 기판(100)은 제1 유전체 층(102)에 형성된 전도성 구조물(106)을 갖는다. 전도성 구조물(106) 위에, 전도성 캡 층(108)이 선택적으로 위치된다. 전도성 캡 층(108)의 측벽이 제2 유전체 층(110)에 의해 둘러싸이도록, 제2 유전체 층(110)이 제1 유전체 층(102) 위에 선택적으로 배치된다. 제3 유전체 층(112)의 상부 표면이 전도성 캡 층(108)의 상부 표면 위에 있도록, 제3 유전체 층(112)이 제2 유전체 층(110) 위에 선택적으로 형성된다. 또한, 상호 연결 구조물(118)이 형성된다. 상호 연결 구조물(118)은, 상호 연결 구조물의 비아 구조물을 통해 전도성 구조물(106b) 중 하나에 전기적으로 연결된다.
- [0042] 개시된 반도체 소자(200)에서, 선택적으로 성장된 이중층 유전체(예를 들어, 제1 및 제2 유전체 층)는, 비아 구조물(예를 들어, 118b)과 하부 전도성 구조물(예를 들어, 106b) 사이의 자기 정렬을 제공하며, 오정렬로 인해 유발되는 커패시턴스 문제로부터 보호를 제공한다. 예를 들어, 해당 리소그래피 패턴(예를 들어, 비아 개구부)이 의도된 금속 라인(예를 들어, 전도성 구조물(106b))과 정렬되도록 완벽하게 정합되지 않더라도, 제3 유전체 층이 제4 유전체 층에 비해 더 낮은 에칭율을 갖기 때문에, 이중층 유전체는, 의도된 하부 금속 라인(예를 들어, 전도성 구조물(106b)) 또는 다른 전도성 구조물로 비아 개구부를 안내할 수 있다. 개시된 반도체 소자(200)에서, 이중층 유전체의 높이는 전도성 캡 층의 높이 초과이며, 이는 비아 구조물(118b)이 임의의 인접한 전도성 구조물과 중첩되는 것을 방지할 수 있고, 인접한 하부 전도성 구조물과 비아 구조물(118b) 사이의 충분한 거리를 제공함으로써, 전기 단락과 같은 결함을 방지할 수 있다.
- [0043] 개시된 방법에서, 제1, 제2 및 제4 유전체 층은 동일한 유전체 재료로 제조될 수 있다. 다른 실시형태에서, 제1 유전체 층은 울트라 로우(ultra low)-K 재료로 제조될 수 있고, 제2 유전체 층은 실리콘 산화물로 제조될 수 있으며, 제3 유전체 층은 금속 산화물로 제조될 수 있고, 제4 유전체 층은 울트라 로우-K 막일 수 있다. 따라서, 활성 금속(예를 들어, 전도성 구조물(106)) 위에 SiCN 에칭 정지층이 필요하지 않으며, 하부 금속층(예를 들어, 전도성 구조물(106))/배선층(예를 들어, 제1 유전체 층) 위에 울트라 로우-k 재료(예를 들어, 제4 유전체 층(114))가 형성될 수 있다. 개시된 방법에서, 도입된 이중층 유전체 및 도입된 전도성 캡 층으로 인해, 자기 커패시턴스(self-capacitance)(기생 커패시턴스)가 단지 약 1 내지 2%만 증가한다. 그러나, 비아 구조물의 제1 부분이 하부 전도성 구조물에 자기 정렬될 수 있다는 점을 고려하면, 비아 크기가 증가될 수 있게 함으로써, 비아 저항이 5% 초과만큼 감소될 수 있으며, 비아 저항을 감소시키기 위해 비아의 제2 부분이 제1 부분보다 증가된 비아 크기를 갖는다. 따라서, 본원의 기술은 성능에 최소한의 영향을 주면서, 결함(예를 들어, 오정렬)을 감소시키는 이점을 제공한다.
- [0044] 또한, 개시된 방법은 처리량의 이점을 제공한다. 개시된 방법은 공통 플랫폼 또는 공통 도구 내에서 구현될 수 있으며, 금속 캡 증착 및 유전체 층 증착을 위해 상이한 챔버가 각각 사용되고, 모든 해당 모듈은 단일 플랫폼 또는 웨이퍼 서빙 시스템에 연결될 수 있다. 다른 실시형태에서, 유전체 재료 둘 모두를 증착하기 위해 동일한 챔버가 사용될 수 있다.



- [0045] 도 7은 본 개시물의 일부 실시형태에 따라, 상호 연결 구조물을 형성하도록 구성된 제1 반도체 장비(700)의 개략도이다. 도 7에 도시된 바와 같은 장비(700)는 화학 기상 증착(CVD) 공정을 제공할 수 있다. 장비(700)는, 웨이퍼를 수용하도록 구성된 복수의 웨이퍼 로드 포트(702), 및 웨이퍼 로드 포트로부터 로드락(load lock)(706)으로 웨이퍼를 이송하도록 구성된 웨이퍼 핸들러(handler)(704)를 포함할 수 있다. 로드락(706)은, 웨이퍼를 수용하고 웨이퍼를 공정 챔버로 추가로 이송하기 위한 보조 진공 챔버로서 기능한다. 장비(700)는, 복수의 공정 챔버(710 내지 716), 및 공정 챔버 간에 웨이퍼를 이송하도록 구성된 웨이퍼 이송 기구(708)를 더 포함한다.
- [0046] 장비(700)는, 루테튬과 같은 전도성 캡 층을 증착하도록 구성된 제1 공정 챔버(710); 및 플라즈마 공정 또는 H<sub>2</sub>O 증기 공정을 통해, 전도성 구조물 상의 표면 산화물을 제거하도록 구성된 처리 챔버(712)를 포함할 수 있다. 또한, 처리 챔버(712)는 어닐링 공정을 제공할 수 있고, 전도성 캡 층, 제2 유전체 층 및 제3 유전체 층의 선택적 성장을 돕는 자기 정렬 단분자층(SAM)의 증착을 제공할 수 있다. 장비(700)는, SiO<sub>2</sub>로 제조될 수 있는 제2 유전체 층을 형성하도록 구성된 제2 증착 챔버(714); 및 금속 산화물로 제조될 수 있는 제3 유전체 층을 형성하도록 구성된 제3 증착 챔버(716)를 더 포함한다.
- [0047] SiO<sub>2</sub>를 형성하기 위한 장비(700)에 기초하는 예시적인 증착 공정은, SiH<sub>4</sub> 및 N<sub>2</sub>O의 공정 가스, 300℃ 내지 400℃의 공정 온도, 및 2 내지 3 Torr의 공정 압력을 적용하는 단계를 포함할 수 있다. 루테튬을 형성하기 위한 예시적인 증착 공정은, 400℃ 내지 600℃의 공정 온도에서 Ru CVD 전구체를 제1 공정 챔버(710) 내로 유입시키는 단계를 포함할 수 있다. Ru CVD 전구체는, Ru(acac)<sub>3</sub>(acac는 아세틸아세티네이트로도 지칭됨), Ru(EtCp)<sub>2</sub>(EtCp는 에틸시클로펜타디에닐로도 지칭됨), Ru<sub>3</sub>(CO)<sub>12</sub> 등을 포함한다.
- [0048] 도 8은 본 개시물의 일부 실시형태에 따라, 상호 연결 구조물을 형성하도록 구성된 제2 반도체 장비(800)의 개략도이다. 도 8에 도시된 바와 같이, 반도체 장비(800)는, 복수의 웨이퍼 로드 포트(802), 웨이퍼 핸들러(804), 하나 이상의 로드락(806), 복수의 공정 챔버(810 내지 814), 및 웨이퍼 이송 기구(808)를 포함할 수 있다. 공정 챔버는, 전도성 캡 층과 같은 금속층을 형성하도록 구성된 제1 공정 챔버(810); 전술한 처리 챔버(712)와 유사한 기능을 갖는 처리 챔버(812); 및 제2 공정 챔버(814)를 포함한다. 장비(700)와 비교하여, 제2 공정 챔버(814)는 SiO<sub>2</sub> 유전체 층 및 금속 산화물 층을 원위치에서 생성할 수 있다. 즉, 제2 공정 챔버(814)는 처음에 SiO<sub>2</sub> 층을 형성한 다음, 금속 산화물 층을 후속적으로 형성할 수 있다.
- [0049] 도 9는 본 개시물의 일부 실시형태에 따라, 상호 연결 구조물을 형성하도록 구성된 제3 반도체 장비(900)의 개략도이다. 장비(700 또는 800)와 비교하여, 장비(900)는 더 간결한 레이아웃 및 더 높은 처리량을 제공할 수 있다. 도 9에 도시된 바와 같이, 장비(900)는, 복수의 웨이퍼 로드 포트(902), 웨이퍼 핸들러(904), 하나 이상의 로드락(906), 및 2개의 플랫폼 A 및 B를 포함할 수 있다. 플랫폼 A는, 금속의 증착 및 처리를 수행하도록 구성된다. 플랫폼 A는, 금속 증착을 가동하도록 구성된 제1 챔버(910); 이전 단계로부터 전구체를 퍼지하기 위한 제1 퍼지 챔버(912); 전도성 구조물로부터 표면 산화물을 제거하기 위해, Ar 또는 H<sub>2</sub> 플라즈마 처리와 같은 플라즈마 처리를 가동하도록 구성된 플라즈마 처리 챔버(914); 제2 퍼지 챔버(916); 및 처리 챔버(918)를 포함한다. 처리 챔버는 어닐링을 가동할 수 있거나, 자기 정렬 단분자층을 형성할 수 있다.
- [0050] 장비(900)의 플랫폼 B는 유전체 층을 생성하도록 구성된다. 예를 들어, 플랫폼 B는, 제1 유전체 재료를 형성하도록 구성된 제1 제조 챔버(920); 이전 단계로부터 전구체를 퍼지하도록 구성된 제1 퍼지 챔버(922); 제2 유전체 재료를 생성하도록 구성된 제2 제조 챔버(924); 제2 퍼지 챔버(926); 제3 유전체 재료를 생성하도록 구성된 제3 제조 챔버(928); 및 제3 퍼지 챔버(930)를 갖는다.
- [0051] 예시적인 제조 공정에서, 웨이퍼가 플랫폼 A로 이송될 수 있다. 웨이퍼는, 플라즈마 처리 챔버(914)에서 하부 전도성 구조물(예를 들어, 전도성 구조물(106))의 상부 표면 상의 표면 산화물을 제거하기 위한 플라즈마 처리를 받을 수 있다. 그 다음, 웨이퍼는 제2 퍼지 챔버(916)로 이송되어, 플라즈마 처리 챔버(914)로부터의 공정 가스의 잔류물을 제거한다. 그 다음, 웨이퍼는 제1 챔버(910)에서 Ru 증착과 같은 금속층 증착을 받을 수 있으며, 그 다음 제1 퍼지 챔버(922)로 이송되어, Ru CVD 전구체를 제거할 수 있다. 그 다음, 웨이퍼는 웨이퍼 이송 기구(908)를 통해 플랫폼 B로 이송된다. 플랫폼 B에서, 웨이퍼는 제1 제조 챔버(920)에서 제1 유전체 재료(예를 들어, 제2 유전체 층)를 받을 수 있고, 그 다음, 제1 퍼지 챔버(922)로 이송되어, 제1 유전체 재료의 형성물로부터 CVD 전구체를 제거할 수 있다. 그 다음, 웨이퍼는 제2 제조 챔버(924)로 이송되어 제2 유전체 재료(예를 들어, 제3 유전체 층)를 받는다. 그 다음, 웨이퍼는 제2 퍼지 챔버(926)로 이송되어, 제2 유전체 재료의 형성물로부터 전구체를 제거한다. 또한, 웨이퍼는 제3 제조 챔버(928)로 이송되어 제3 유전체 재료(예를 들어, 제4 유전체 층)를 받고, 후속적으로 제3 퍼지 챔버(930)로 이송되어, 제3 유전체 재료의 형성물로부터 전구체를 제거

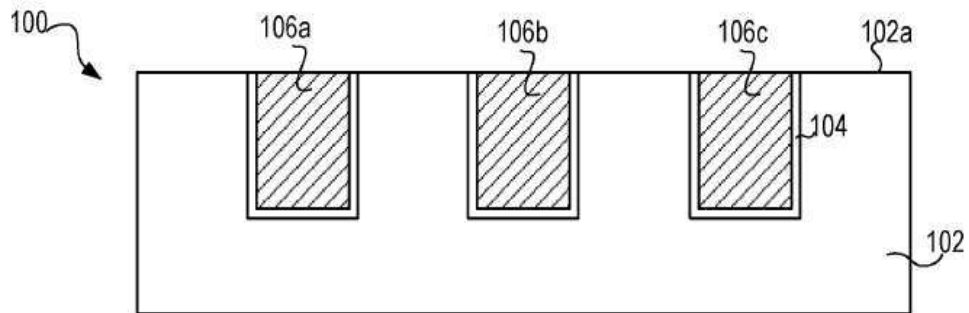
한다.

- [0052] 도 10은 상호 연결 구조물을 제조하기 위한 공정(300)의 흐름도이다. 공정(300)은 복수의 전도성 구조물 위에 전도성 캡 층이 선택적으로 형성되는 단계(310)에서 시작된다. 전도성 구조물은 제1 유전체 층에 형성되며, 제1 유전체 층의 상부 표면은 전도성 구조물의 상부 표면과 수평이다. 일부 실시형태에서, 단계(310)는 도 1, 도 2a 및 도 2b를 참조하여 예시된 바와 같이 수행될 수 있다.
- [0053] 그 다음, 공정(300)은 제1 유전체 층 위에 제2 유전체 층이 형성되는 단계(320)로 진행된다. 전도성 캡 층의 상부 표면이 노출되도록 또는 커버되지 않도록, 그리고 전도성 캡 층의 측벽이 제2 유전체 층에 의해 둘러싸이도록, 제2 유전체 층이 제1 유전체 층 위에 선택적으로 위치된다. 일부 실시형태에서, 단계(320)는 도 3을 참조하여 예시된 바와 같이 수행될 수 있다.
- [0054] 공정(300)은 제2 유전체 층 위에 제3 유전체 층이 형성되는 단계(330)로 진행된다. 전도성 캡 층의 상부 표면이 노출되도록 또는 커버되지 않도록, 그리고 제3 유전체 층의 상부 표면보다 더 낮도록, 제3 유전체 층이 제2 유전체 층 위에 선택적으로 위치된다. 일부 실시형태에서, 단계(330)는 도 4를 참조하여 예시된 바와 같이 수행될 수 있다.
- [0055] 공정(300)의 단계(340)에서, 복수의 전도성 구조물 및 제3 유전체 층 위에 제4 유전체 층이 형성된다. 일부 실시형태에서, 단계(340)는 도 5를 참조하여 예시된 바와 같이 수행될 수 있다.
- [0056] 그 다음, 공정(300)은 상호 연결 구조물이 제4 유전체 층 내에 형성되는 단계(350)로 진행된다. 상호 연결 구조물은 비아 구조물을 포함하며, 비아 구조물은, 제1 부분의 측벽이 제3 유전체 층에 의해 둘러싸이도록 전도성 캡 층 위에 위치한 제1 부분; 및 제1 부분 및 제3 유전체 층 위에 배치된 제2 부분을 갖는다. 일부 실시형태에서, 단계(350)는 도 6을 참조하여 예시된 바와 같이 수행될 수 있다.
- [0057] 공정(300) 전에, 공정(300) 동안에, 그리고 공정(300) 후에, 추가적인 단계가 제공될 수 있으며, 설명된 단계 중 일부는 공정(300)의 추가적인 실시형태에서 대체될 수 있거나, 제거될 수 있거나, 또는 상이한 순서로 수행될 수 있음을 유의해야 한다. 후속적인 공정 단계에서, 다양한 추가적인 상호 연결 구조물(예를 들어, 비아 및/또는 전도성 라인을 갖는 금속 배선층)이 반도체 소자(200) 위에 형성될 수 있다. 이러한 상호 연결 구조물은 반도체 소자(200)를 다른 집점 구조물 및/또는 능동 소자와 전기적으로 연결하여 기능적 회로를 형성한다. 또한, 패시베이션 층, 입력/출력 구조물 등과 같은 추가적인 소자 형상부가 형성될 수 있다.
- [0058] 전술한 설명에서, 공정 시스템의 구체적인 구조, 그리고 그 내부에 사용되는 다양한 구성 요소 및 공정의 설명과 같은, 구체적인 세부 사항이 상술되었다. 그러나, 본원의 기술은 이러한 구체적인 세부 사항으로부터 벗어나는 다른 실시형태로 실시될 수 있으며, 이러한 세부 사항은 설명을 위한 목적이며 제한 사항이 아님을 이해해야 한다. 본원에 개시된 실시형태는 첨부된 도면을 참조하여 설명되었다. 유사하게, 설명을 위한 목적으로, 완전한 이해를 제공하기 위해 구체적인 수, 재료, 및 구성이 상술되었다. 그럼에도 불구하고, 실시형태는 이러한 구체적인 세부 사항 없이 실시될 수 있다. 실질적으로 동일한 기능적 구성을 갖는 구성 요소는 유사한 참조 부호로 표시되므로, 임의의 중복 설명은 생략될 수 있다.
- [0059] 다양한 실시형태의 이해를 돕기 위해 다양한 기술이 다수의 별개의 작업으로 설명되었다. 설명의 순서는 이들 작업이 반드시 순서에 의존하는 것임을 의미하는 것으로 해석되어서는 안된다. 실제로, 이들 작업은 제시된 순서로 수행될 필요가 없다. 설명된 작업은 설명된 실시형태와 상이한 순서로 수행될 수 있다. 다양한 추가적인 작업이 추가적인 실시형태에서 수행될 수 있거나/수행될 수 있고, 설명된 작업이 추가적인 실시형태에서 생략될 수 있다.
- [0060] 본원에서 사용된 바와 같은 "기관" 또는 "타겟 기관"은 일반적으로 본 발명에 따라 처리되는 대상물을 지칭한다. 기관은 소자, 특히 반도체 또는 다른 전자 소자의 임의의 재료 부분 또는 구조물을 포함할 수 있으며, 예를 들어, 반도체 웨이퍼와 같은 베이스 기관 구조물, 레티클, 또는 박막과 같이 베이스 기관 구조물 상에 있거나 위에 놓이는 층일 수 있다. 따라서, 기관은 패터닝된 또는 패터닝되지 않은 임의의 특정 베이스 구조물, 하부층 또는 상부층으로 제한되는 것이 아니라, 오히려 임의의 그러한 층 또는 베이스 구조물, 그리고 층 및/또는 베이스 구조물의 임의의 조합물을 포함하는 것으로 고려된다. 설명은 특정 유형의 기관을 언급할 수 있지만, 이는 단지 예시적인 목적을 위한 것이다.
- [0061] 또한, 당업자는 본 발명의 동일한 목적을 여전히 달성하면서 위에서 설명된 기술의 작업에 대해 많은 변경이 이루어질 수 있음을 이해할 것이다. 이러한 변경은 본 개시물의 범위에 의해 포함되도록 의도된다. 따라서, 본 발명의 실시형태의 전술한 설명은 제한적인 것으로 의도되지 않는다. 오히려, 본 발명의 실시형태에 대한 임의의

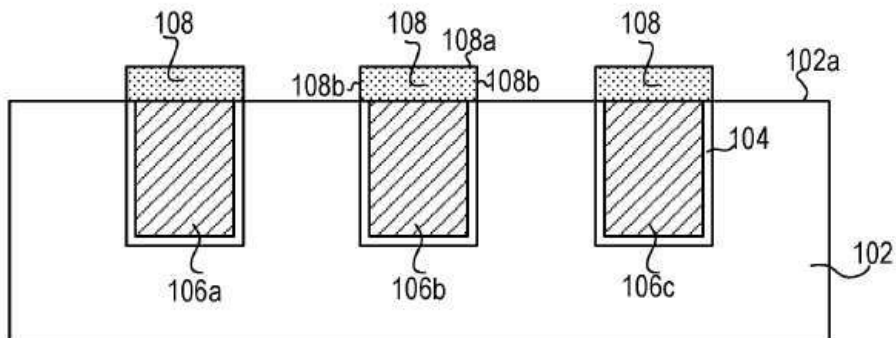
제한 사항은 이하의 청구범위에 제시된다.

도면

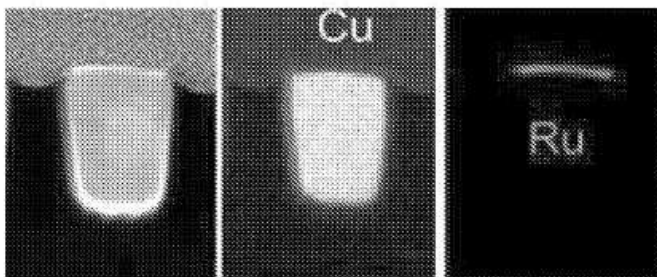
도면1



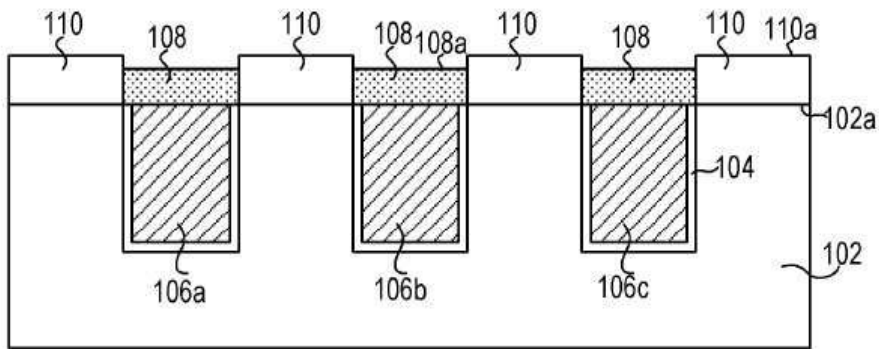
도면2a



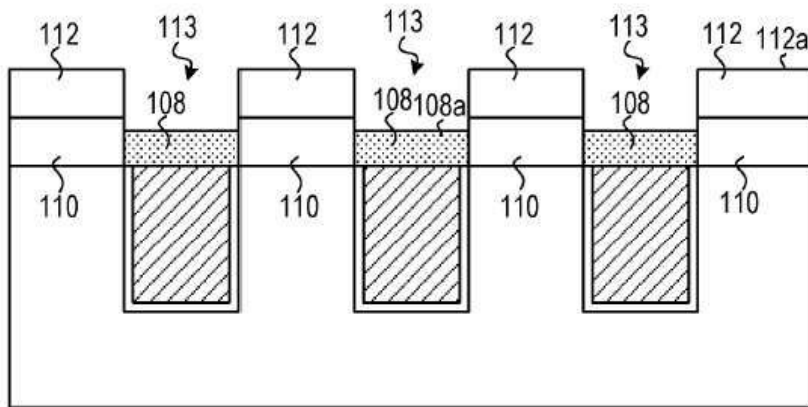
도면2b



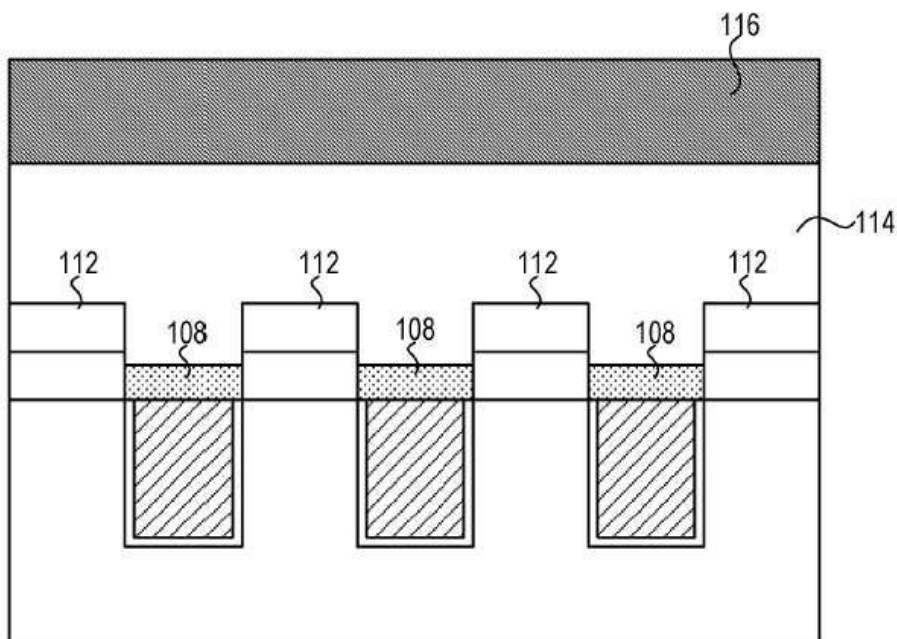
도면3



도면4

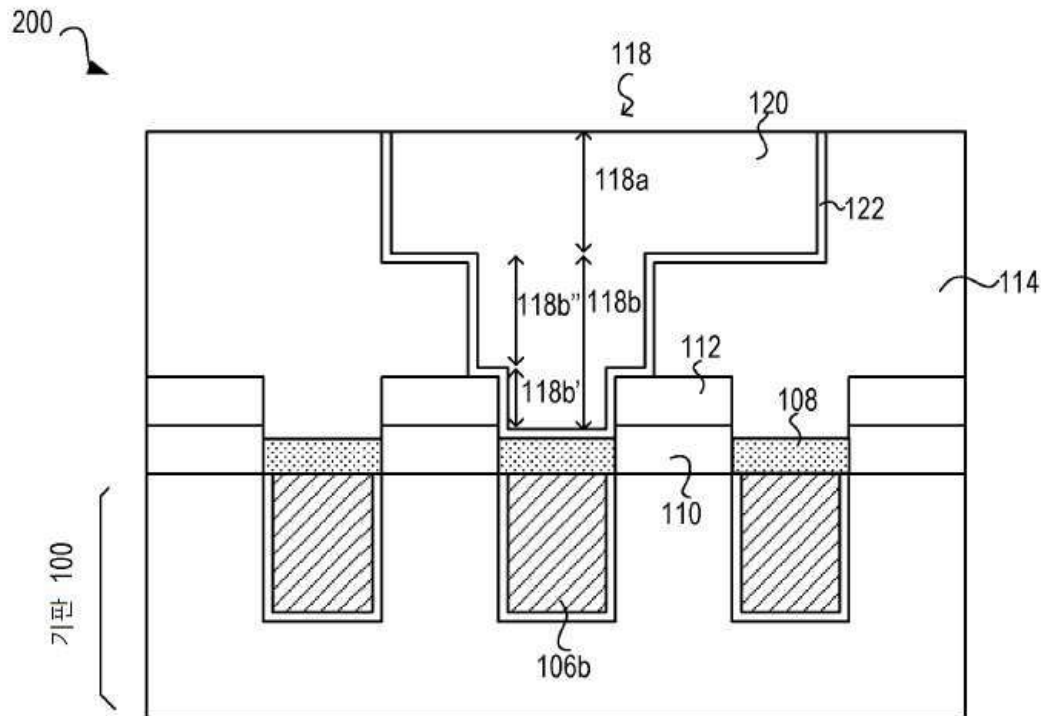


도면5

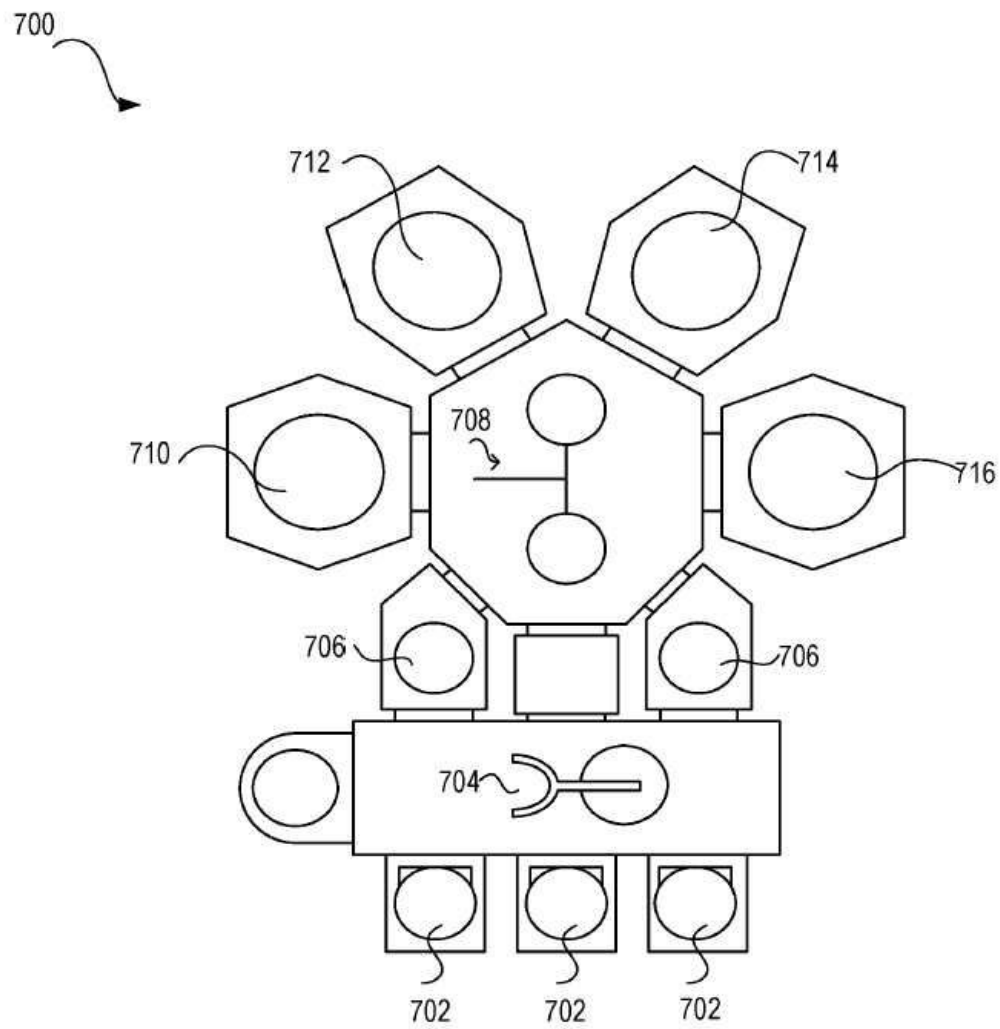




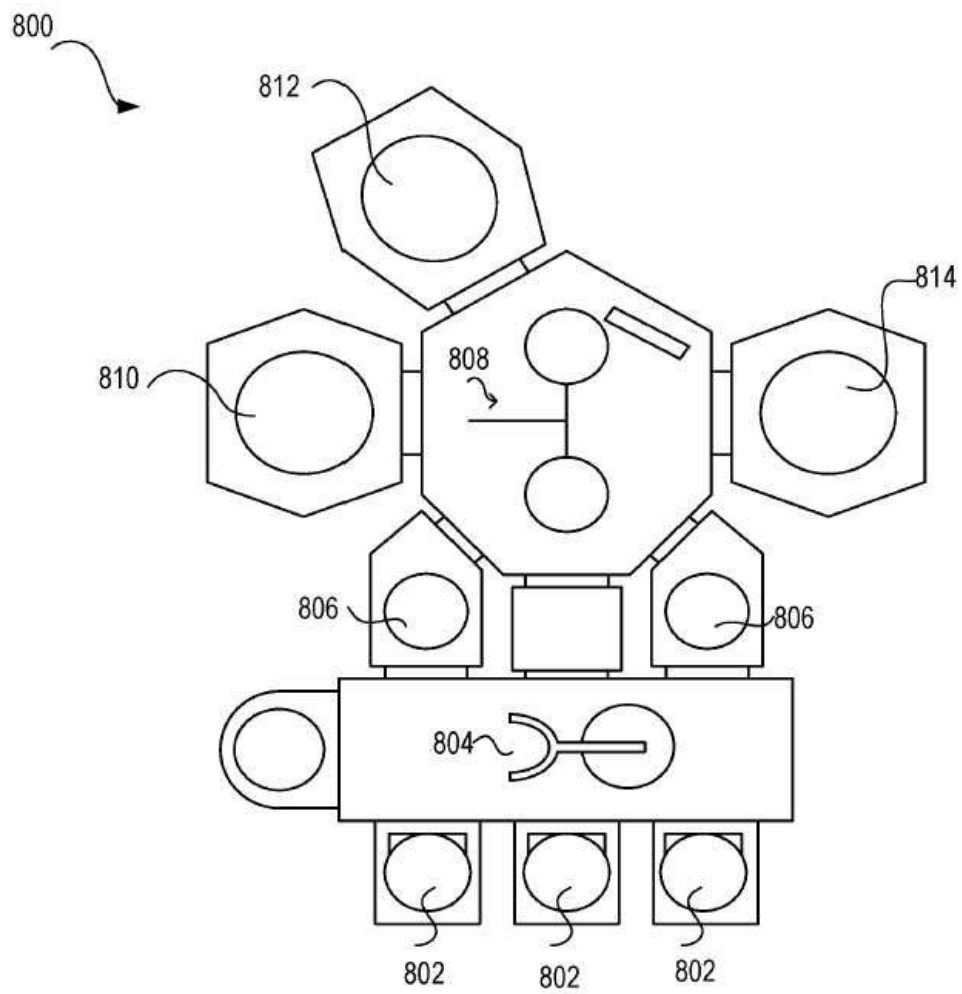
도면6



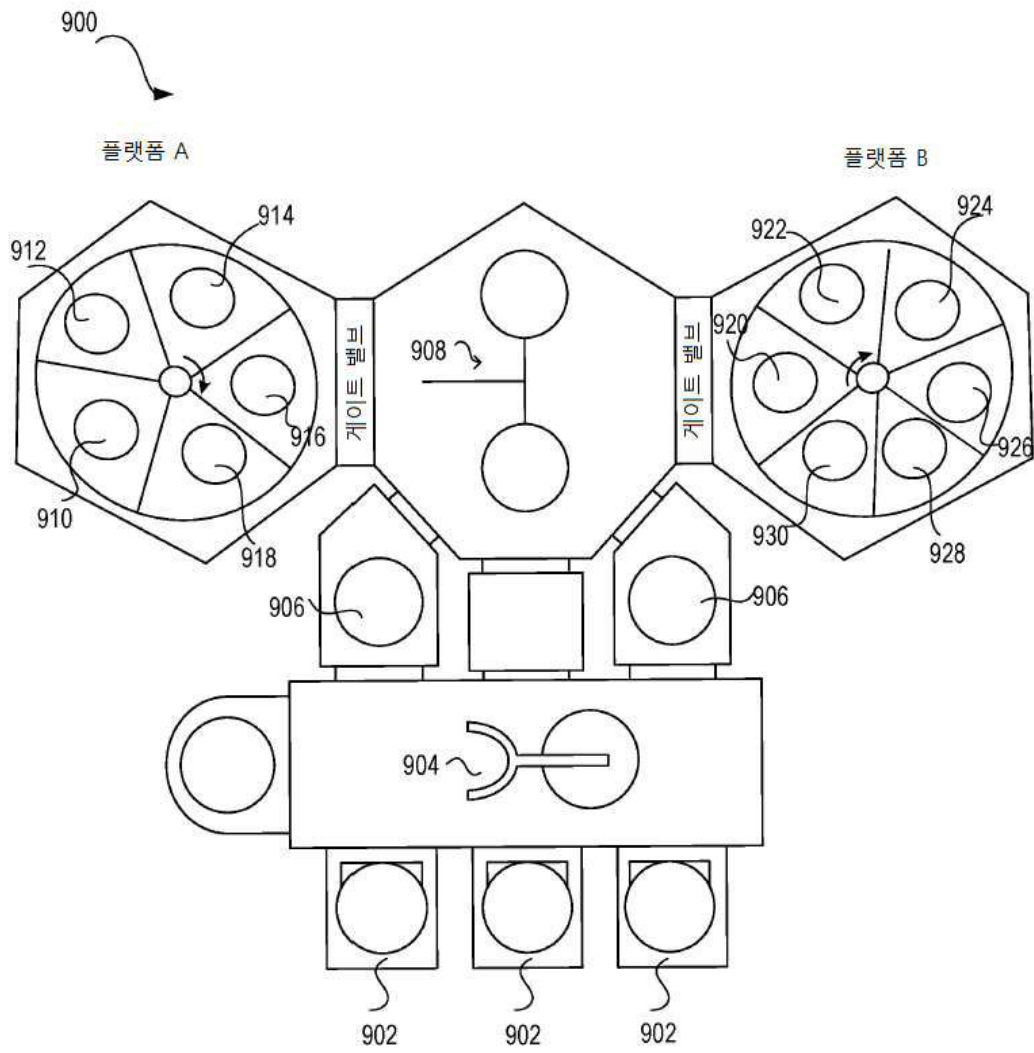
도면7



도면8



도면9



도면10

