(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G02F 1/136

(45) 공고일자 2005년11월08일
(11) 등록번호 10-0509662
(24) 등록일자 2005년08월16일

(21) 출원번호 10-1997-0060644
(22) 출원일자 1997년11월12일

(65) 공개번호 10-1998-0042511
(43) 공개일자 1998년08월17일

(30) 우선권주장 96-315486 1996년11월12일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자 시부야 츠가사
일본 나라켄 632 텐리시 스키모토쵸 276-3 만티온 포푸리 205 구

창 홍영
일본 가나가와켄 야쓰기시 하세 398 한도타이 에네루기 겐큐쇼 가부시키가이샤 내

요시노우치 아츠시
일본 나라켄 639-02 카시바시 하타 5-1610-1

타케노우치 아키라
일본 가나가와켄 야쓰기시 하세 398 한도타이 에네루기 겐큐쇼 가부시키가이샤 내

(74) 대리인 정상구
이병호
신현문
이범래

심사관 : 임동재

(54) 액티브 매트릭스형 디스플레이장치 및 그 제조방법 및 반도체장치의 제조방법

요약

요구된 특성을 갖는 박막 트랜지스터가 화소 매트릭스부 및 주변 구동 회로부에 선택적으로 배치된 액티브 매트릭스형 디스플레이 장치가 제공된다. 동일 기판 상에 화소 매트릭스부 및 주변 구동 회로부를 배치한 구성에서, 비자기-정렬 프로세스(non-self-alignment process)를 통해 형성된 소스 및 드레인 영역과 자기-정렬 프로세스(self-alignment process)

를 통해 형성된 저농도 불순물 영역을 갖는 N-채널형 박막 트랜지스터가 화소 매트릭스부 및 주변 구동 회로부의 N-채널 구동부에 형성된다. 저농도 불순물 영역이 전혀 형성되지 않고 소스 및 드레인 영역이 자기-정렬 프로세스를 통해서만 형성된 P-채널형 박막 트랜지스터는 주변 구동 회로부의 P-채널 구동부에 형성된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1A 내지 도 1C는 (제 1 실시예) 본 발명을 이용하여 박막 트랜지스터를 제조하는 단계를 도시한 도면.

도 2A 내지 도 2C는 (제 1 실시예) 본 발명을 이용하여 박막 트랜지스터를 제조하는 단계를 보인 도면.

도 3A 및 도 3B는 (제 1 실시예) 본 발명을 이용하여 박막 트랜지스터를 제조하는 단계를 보인 도면.

도 4A 및 도 4B는 (제 1 실시예) 본 발명을 이용하여 박막 트랜지스터를 제조하는 단계를 보인 도면.

도 5A 및 도 5B는 (제 1 실시예) 본 발명을 이용하여 박막 트랜지스터를 제조하는 단계를 보인 도면.

도 6은 (제 1 실시예) 본 발명을 이용하여 박막 트랜지스터를 제조하는 한 단계를 보인 도면.

도 7A 내지 도 7C는 (제 2 실시예) 본 발명을 이용하여 박막 트랜지스터를 제조하는 단계를 보인 도면.

도 8A 및 도 8B는 (제 2 실시예) 본 발명을 이용하여 박막 트랜지스터를 제조하는 단계를 보인 도면.

도 9A 및 도 9B는 (제 2 실시예) 본 발명을 이용하여 박막 트랜지스터를 제조하는 단계를 보인 도면.

도 10A 및 도 10B는 (제 3 실시예) 본 발명을 이용하여 박막 트랜지스터를 제조하는 단계를 보인 도면.

도 11A 및 도 11B는 (제 3 실시예) 본 발명을 이용하여 박막 트랜지스터를 제조하는 단계를 보인 도면.

도 12A 내지 도 12C는 (제 4실시예) 본 발명을 이용하여 박막 트랜지스터를 제조하는 단계를 보인 도면.

도 13A 및 도 13B는 (제 4 실시예) 본 발명을 이용하여 박막 트랜지스터를 제조하는 단계를 보인 도면.

도면의 주요부분에 대한 부호의 설명

31, 32, 33 : 양극산화막 101 : 유리기판

155 : 화소 전극 222 : 게이트 전극

231, 233 : 저농도 불순물 영역 X : 화소 매트릭스부

Y : N-채널형 구동부 Z : P-채널형 구동부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 분야

본 발명은 액티브 매트릭스형 액정 디스플레이 장치 구조에 관한 것으로, 특히 주변 구동회로를 집적한 액티브 매트릭스형 액정 디스플레이 장치 구조에 관한 것이다.

관련기술의 설명

매트릭스로 설치된 수백 X 수백 화소 전극 각각에 개별적으로 박막 트랜지스터가 설치된 구조의 액티브 매트릭스형 액정 디스플레이 장치가 알려져 있다. 각 화소에 설치된 박막 트랜지스터는 각각의 화소 전극에 입력 및 이 전극으로부터 출력되는 전기 전하를 제어하는 기능을 갖고 있다.

동일 유리 기판 상에 화소 매트릭스부가 주변 구동회로와 더불어 집적된 주변 구동 회로 집적형이라고 하는 구조도 알려져 있다. 이 주변 구동 회로 집적구조는 제조비용을 낮출 수 있고 구조 전체를 소형화할 수 있어 유용하다.

일반적으로 화소 매트릭스 회로에는 스위칭 소자로서 P- 혹은 N-채널형 박막 트랜지스터가 설치되어 있다. 더구나, P-채널 및 N-채널형 박막 트랜지스터로 구성된 회로는 주변 구동 회로에 설치되어 있다.

발명이 이루고자 하는 기술적 과제

상기 기술된 주변 구동 회로 집적 액정 디스플레이 장치에서, 화소 매트릭스 회로에 설치된 박막 트랜지스터 및 주변 구동 회로는 동시에 동일한 기판 상에 제조된다.

그러나, 일반적으로 화소 매트릭스 회로에서 필요한 트랜지스터 특성과 주변 구동 회로에서 필요한 트랜지스터 특성이 다르다.

예를 들면, 화소 매트릭스 회로에 설치된 박막 트랜지스터는 고속에서 동작할 필요가 없으나, 화소 전극에서는 전하 보유 기능이 있어야 하기 때문에 OFF 전류 특성이 낮아야 한다.

한편, 주변 구동 회로에 설치된 박막 트랜지스터는 고속 동작 특성 및 차별적으로 큰 전류를 흐르게 하는 특성이 있어야 한다. 특히 버퍼 회로를 구성하는 박막 트랜지스터는 고속 동작 특성 및 큰 전류가 흐르게 하는 특성을 갖추어야 한다.

더구나, 주변 구동 회로에 설치된 박막 트랜지스터는 고속으로 동작해야 하기 때문에 그 특성이 덜 저하될 필요가 있다. 즉, 동작 속도가 높을수록, 특성저하 영향이 나타나므로, 이에 의해 최소한으로 영향받는 트랜지스터가 필요하다.

더구나, N-채널형 박막 트랜지스터의 이동도는 P-채널형 박막트랜지스터보다 일반적으로 2 내지 3배만큼 크다. CMOS 구조를 채택한 때에는 동작 밸랜스 면에서 문제가 있다. 특히 CMOS 구조를 채택한 주변 구동 회로에서 문제가 있다.

그래서, N-채널형 박막 트랜지스터의 이동도와 P-채널형 박막 트랜지스터간 차를 보정하는 것이 필요하였다.

따라서, 본 명세서에 개시된 본 발명의 목적은 상기 언급된 여러 가지 요구 조건을 만족시키는 주변 구동 회로 집적된 액티브 매트릭스형 액정 디스플레이 장치를 제공하는 것이다.

본 명세서에 개시된 발명 중 하나는,

화소 매트릭스부와 주변 구동 회로부(본 발명의 예에서 N-채널 구동기 및 P-채널 구동기로 구성된)가 동일 기판 상에 설치된 구조의 액티브 매트릭스형 디스플레이 장치에 있어서,

고농도 불순물 영역인 소스 영역 및 드레인 영역과, 이들 소스 및 드레인 영역의 농도보다 농도가 낮고, 채널영역과 상기 소스 영역 사이에, 그리고 상기 채널영역과 상기 드레인 영역 사이에 영역들이 각각 있어, 소스측 및 드레인측 영역의 치수가 서로 동일한 불순물 영역을 갖는 N-채널형 박막 트랜지스터가 화소 매트릭스부에 제공되고,

고농도 불순물 영역인 소스 영역 및 드레인 영역과, 이들 소스 및 드레인 영역의 농도보다 농도가 낮으며 채널영역과 상기 소스 영역 사이에, 그리고 상기 채널영역과 상기 드레인 영역 사이에 각각 영역들이 있어, 드레인측의 영역이 소스측의 영역보다 큰 불순물 영역을 갖는 N-채널형 박막 트랜지스터가 주변 구동 회로부에 제공된 것을 특징으로 한다.

본 명세서에 개시된 다른 발명중 하나는,

화소 매트릭스부 및 주변 구동 회로부가 동일 기판 상에 제공된 구조를 갖는 액티브 매트릭스형 디스플레이 장치 제조방법에 있어서,

비자기-정렬 프로세스를 통해서 상기 화소 매트릭스부 및 상기 주변 구동 회로부에 제공된 N-채널형 박막 트랜지스터의 소스 및 드레인 영역이 될 영역에 N형 도전형을 부여하는 불순물을 도핑하는 단계; 및

자기-정렬 프로세스를 통해서 상기 주변 구동 회로부에 제공된 P-채널형 박막 트랜지스터의 소스 및 드레인 영역이 될 영역에 P형 도전형을 부여하는 불순물을 도핑하는 단계를 포함하는 것을 특징으로 한다.

또 다른 발명은 화소 매트릭스부 및 주변 구동 회로부가 동일 기판 상에 제공된 구조를 갖는 액티브 매트릭스형 디스플레이 장치 제조방법에 있어서,

비자기-정렬 프로세스를 통해서 상기 화소 매트릭스부 및 상기 주변 구동 회로부에 제공된 N-채널형 박막 트랜지스터의 소스 및 드레인 영역이 될 영역에 N형 도전형을 부여하는 불순물을 도핑하는 단계;

자기-정렬 프로세스를 통해서 상기 소스 및 드레인 영역이 될 상기 영역의 농도보다 낮은 농도로 상기 N-채널형 박막 트랜지스터의 소스 및 드레인 영역이 될 상기 영역에 인접한 영역에 N형 도전형을 부여하는 불순물을 도핑하는 단계; 및

자기-정렬 프로세스를 통해서 상기 주변 구동 회로부에 제공된 P-채널형 박막 트랜지스터의 소스 및 드레인이 될 영역에 P형 도전형을 부여하는 불순물을 도핑하는 단계를 포함하는 것을 특징으로 한다.

상기 언급된 구조가 또한 수정된 또 다른 발명은 N형 도전형을 부여하는 불순물이 자기-정렬 프로세스로 도핑된 영역이 소스 영역에 인접하여 형성된 제 1 영역과 드레인 영역에 인접하여 형성된 제 2 영역으로 구성되며, 제 1 영역의 치수는 N형 도전형을 부여하는 불순물이 도핑될 동안 비자기-정렬 프로세스에서 위치 결정 정확도보다 크며, 제 2 영역의 치수는 주변 구동 회로부 내의 제 1 영역의 치수보다 크다. 그럼으로써, 고신뢰성이 구동능력을 저하시키지 않고 N-채널형 구동부에 주어질 수 있다.

상기 기술된 치수는 캐리어 이동 경로에 따른 방향으로 있는 것으로서 정의됨에 유념한다.

본 발명의 구조에서, N-채널형 구동부와 P-채널형 구동부는 주변 구동회로를 구성하는 소자들로서 나타나 있다. 화소 매트릭스부를 직접 구동하는 회로(일반적으로 구동기 회로로 함)외에도, 시프트 레지스터 회로 및 다양한 데이터 처리 회로 및 메모리 회로는 주변 구동 회로의 개념 속에 포함될 수도 있다.

본 발명에서 기술된 주변 구동회로는 주로 구동기 회로를 말한다. 따라서, 본 명세서에 개시된 발명은 주변 구동 회로를 구성하는 상기 언급한 모든 요소에 제공될 필요는 없다.

본 발명의 특정한 특성뿐만 아니라, 이의 다른 목적, 사용 및 이점은 첨부한 도면 및 다음의 설명으로부터 명백하게 될 것이다.

발명의 구성 및 작용

도 4에 도시한 바와 같이, 화소 매트릭스부(X), N-채널형 구동부(Y) 및 P-채널형 구동부(Z) 각각의 박막 트랜지스터의 구조가 상이하다.

즉, 도 1B에 도시한 비자기-정렬 프로세스를 통해 형성된 소스 및 드레인 영역(108, 110)과 도 3B에 도시한 자기-정렬 프로세스를 통해 형성된 저농도 불순물 영역(127, 130)을 갖는 N-채널형 박막 트랜지스터는 화소 매트릭스부(X)에 설치된다.

화소 매트릭스부(X)에 저농도 불순물 영역은 OFF 전류를 감소시키기 위해서 1㎛ 내지 5㎛의 비교적 큰 치수를 갖는다. 더욱이, 소스 및 드레인측의 저농도 불순물 영역은 치수는 가능한 드레인에 인가된 신호 전압이 반전될 때 동작이 균형을 유지하도록 동일하게 된다.

치수는 본 명세서에서 캐리어들이 이동하는 방향에 있는 것으로 규정된다.

따라서, 화소 매트릭스부(X)에 설치된 박막 트랜지스터는 상기 기술한 바와 같이 구성함으로써 낮은 OFF 전류 특성을 갖게 한다.

더욱이, 도 8B에 도시한 게이트 전극(222)을 이용하는 자기-정렬 프로세스를 사용하여 저농도 불순물 영역(231, 233)이 형성된 N-채널형 박막 트랜지스터는 N-채널형 구동부(Y)에 설치된다.

특히, 소스 영역에 인접하여 형성된 제 1 영역(231)의 치수는 N형이 되게 하는 불순물이 도핑되는 비자기-정렬 프로세스에서 마스크 정렬 정밀도보다 크게 만들다. 제 1 영역(231)의 치수는 드레인 영역에 인접하여 형성된 제 2 영역(233)의 치수보다 작게 만든다.

N-채널형 구동부(Y)에 설치된 박막 트랜지스터는 상기 기술된 바와 같이 구성함으로써 구동능력을 감소시키지 않고도 높은 신뢰성을 갖도록 형성될 수 있다.

P-채널형 구동부(Z)에는 높은 구동능력을 얻을 수 있도록 도 4B 및 도 9B에 도시한 바와 같이 양극산화막(33)을 사용하여 오프셋 게이트 영역(143, 144)만을 설치하도록 구성된다.

이와 같이 구성함으로써 N-채널형 구동부(Y)에 설치된 박막 트랜지스터의 구동능력과 P-채널형 구동부(Z)에 설치된 박막 트랜지스터의 구동능력간 차이를 보정하는 것이 가능하게 된다. 즉, 이동도 차이가 보정된 구조가 얻어질 수 있다.

[제 1 실시예]

도 1 내지 도 6은 제 1 실시예에 따른 박막 트랜지스터 제조단계를 도시한 것이다. 화소 매트릭스부(X)에 설치된 N-채널 박막 트랜지스터 및 화소 매트릭스부(X)를 구동하는 구동 회로(버퍼 회로)를 구성하는 P- 및 N-채널형 박막 트랜지스터를 동일 유리 기판 상에 제조하는 단계를 본 실시예에서 설명한다.

도면에서, N-채널형 구동부(Y)는 주변 구동회로를 구성하는 N-채널형 박막 트랜지스터부이다. P-채널형 구동부(Z)는 주변 구동회로를 구성하는 P-채널형 박막 트랜지스터부이다.

게이트 전극이 액티브 층 위에 있는 탑 게이트형 박막 트랜지스터(top gate type thin film transistor)는 본 실시예에서 박막 트랜지스터 형태로서 도시되어 있다. 그러나, 본 발명은 바텀 게이트형 박막 트랜지스터(bottom gate type thin film transistor)(역 스태거 TFT)에도 적용될 수 있다.

본 실시예에서 도 1A에 도시한 바와 같이, 유리 기판(101)이 사용될지라도, 석영기판 혹은 알루미늄 유리 기판을 그 대신으로 사용할 수도 있다.

도시하지 않은 하지막을 먼저 유리 기판(101) 상에 형성한다. 여기서, 두께가 2500Å인 실리콘 산화막을 하지막으로서 스퍼터링에 의해 형성한다.

다음에, 도시하지 않은 비정질 실리콘막을 플라즈마 CVD 으로 500Å 두께로 형성한다. 플라즈마 CVD 대신, 감압 열 CVD를 사용할 수도 있다. 본 실시예에서, 진성 혹은 거의 진성(인위적으로 도전형을 부가하지 않은 뜻에서)의 비정질 실리콘막이 형성된다.

도시하지 않은 비정질 실리콘막을 형성한 후, 패터닝하여 도 1A에 도시한 패턴(102, 103, 104)을 형성한다. 이들 패턴은 각각의 박막 트랜지스터의 액티브 층이 된다. 이 상태에서, 이들 액티브 층 각각은 비정질 실리콘막으로 구성된다.

여기서, 패턴(102)은 화소 매트릭스부(X)에 설치된 박막 트랜지스터의 액티브 층이며, 패턴(103)은 N-채널형 구동부(Y)에 설치된 박막 트랜지스터의 액티브 층이며, 패턴(104)은 P-채널형 구동부(Z)에 설치된 박막 트랜지스터의 액티브 층이다. 따라서, 도 1A에 도시한 상태가 얻어진다.

도면 작성 상 제약으로 도면에는 각 부(X, Y, Z)의 각각의 단지 하나의 박막 트랜지스터만이 도시되었으나, 실제로는 필요한 많은 박막트랜지스터가 해당 부분에 동시에 형성된다. 도면에 도시한바와 상이한 형태의 박막 트랜지스터를 동시에 형성할 경우도 있다.

도 1A에 도시한 상태를 얻은 후에, 레지스트 마스크(105, 106, 107)가 각각 도1B에 도시한 바와 같이 제공된다. 이어서, P(인)가 도핑된다. 이 도핑 단계는 N-채널형 박막 트랜지스터의 소스 및 드레인 영역을 형성한 상태에서 수행된다.

도 1B에 도시한 단계에서 구현된 도핑 방법으로서 플라즈마 도핑 및 이온 주입이 사용될 수도 있다.

플라즈마 도핑은 PH_3 및 B_2H_6과 같은 불순물 원소를 포함하는 가스를 고주파 방전 등에 의해 변환시키는 단계, 플라즈마로부터 전계에 의해 이온화된 불순물 이온을 인출하는 단계 및 도핑될 영역에 도핑하도록 전계에 의해 상기 불순물 이온을 가속화하는 단계를 포함하는 방법이다.

이 플라즈마 도핑 방법은 큰 영역을 쉽게 처리하게 하는 장점을 갖는다.

한편, 이온 주입은 자기장을 이용하여 중량분리에 의해 P 및 B와 같은 불순물 이온을 선택적으로 얻어, 이들을 전기적으로 가속화하여 도핑될 영역에 도핑시키는 방법이다. 이 경우, 대부분 P 및 B와 같은 불순물 이온은 플라즈마 도핑과 유사하게, PH_3 및 B_2H_6과 같은 불순물 원소를 포함하는 가스를 고주파 방전 등에 의해 변환함으로써 얻어진다.

이온주입은 중량분리를 포함하기 때문에, 원하는 원소만을 도핑시킬 수 있는 장점이 있다. 그러나, 큰 영역을 처리할 때에는 결점이 있다.

용이하게 큰 영역을 처리할 수 있게 하는 플라즈마 도핑을 본 실시예의 도핑 방법으로서 사용한다.

이 단계를 고농도(heavy) 도핑이라 한다. 편의상, 도핑은 나중에 다시 수행되는 P 원소 도핑에 비해 높은 투여량(dosage)으로 수행됨을 나타낸다. P(인)가 이 단계에서 도핑되는 영역을 편의상 N+ 로 표기하겠다.

도1B에 도시한 바와 같이, 이 단계에서는 레지스트 마스크(107)가 있기 때문에 액티브 층 패턴(104)에는 P가 전혀 도핑되지 않는다. 영역(109, 112) 역시 레지스트 마스크로 마스크되어 있어 P는 전혀 도핑되지 않는다. 따라서, 액티브 층(104), 영역(109, 112)은 I-형(진성) 영역인 채로 남아 있다.

P는 영역(108, 110, 111, 113) 각각에 직접 도핑되므로, N+ 형으로 된다(엄밀하게는 이들은 그 다음 활성화단계 후에 N+ 형으로 된다).

이 도핑 단계는 비자기-정렬 프로세스로 수행된다. 비자기-정렬 프로세스에서, 마스크(레지스트 마스크)는 포토리소그래픽 단계에 의해서 제공되며 불순물은 커버로서 마스크를 사용하여 소망하는 영역에 선택적으로 도핑된다.

따라서, 도 1B에 도시한 단계가 수행된다. 다음에, 레지스트 마스크(105, 106, 107)가 제거된다. 이 상태에서, 액티브 층 패턴(102, 103, 104) 각각이 비정질 상태에 있다.

다음에, 레이저광은 도 1C에 도시한 바와 같이 조사된다. 레이저광의 조사는 다음의 효과를 나타낸다.

액티브 층 패턴 각각을 결정화한다.

도핑된 P(인)를 활성화한다.

P를 도핑함으로써 야기된 손상을 어닐링한다.

N+ 영역(108, 110)은 결정화 및 활성화되고 레이저광을 조사함으로써 화소 매트릭스부에 I-형 영역(109)이 동시에 결정화된다.

N+ 영역(111, 113)도 결정화 및 활성화되며 N-채널형 구동부(Y)에서 I-형 영역(112)이 동시에 결정화된다.

액티브 층(104) 전체가 P-채널형 구동부(Z)에서 결정화된다. P-채널형 구동부(Z)에서 액티브 층 패턴(104)에는 불순물이 전혀 도핑되어 있지 않기 때문에, 결정화만을 진행한다.

도 1C에 도시한 단계에서 중요한 것은 레이저 광이 해당부분에, 그리고 화소 매트릭스부(X) 및 N-채널형 구동부(Y) 내의 I-형 영역과 N+ 형 영역들이 정션을 이루고 있는 근처 부분(경계)에 조사된다는 것이다. 정션 근처의 결함밀도를 감소시키는 큰 효과를 나타낸다.

더욱이, 결정화와 동시에 주입된 P원소는 완전히 활성화될 수 있어 상기 기술된 바와 같이 레이저 광을 조사함으로써 소스 및 드레인 영역으로 작용하게 하는 완전한 특성을 야기한다.

다음에, 실리콘 산화막(114)을 형성한 후에, 게이트 전극을 형성하기 위한 알루미늄막(115)을 도 2A에 도시한 스퍼터링으로 4000Å 두께로 형성한다.

알루미늄막(115)을 형성한 후에, 양극 산화막(116)은 양극 처리에 의해 100Å의 두께로 형성된다. 이 양극 산화막(116)은 나중에 형성되는 레지스트 마스크의 접착(adherence)을 강화하기 위한 막으로서 기능한다.

따라서, 도 2A에 도시한 상태가 얻어진다. 다음에, 레지스트 마스크(117, 118, 119)가 도 2B에 도시한 바와 같이 제공된다. 이들 레지스트 마스크는 게이트 전극을 형성하기 위해 알루미늄막(115)을 패터닝할 때 사용된다.

다음에, 패터닝은 레지스트 마스크(117, 118, 119)를 사용하여 수행된다. 따라서, 도 2C에 도시한 상태가 얻어진다.

이어서, 도 3A에 도시한 상태는 레지스트 마스크(117, 118, 119)를 제거함으로써 얻어진다.

도 3A에 도시한 상태에서, 참조부호(120)는 화소 매트릭스부(X) 내의 박막 트랜지스터의 게이트 전극을 나타내며, 양극산화막(121)이 게이트 전극 상부에 잔존하여 있다.

도시하지 않았으나, 소스 라인과 더불어 격자 내에 제공된 게이트 라인은 게이트 전극(120)으로부터 확장된다.

참조부호(122)는 N-채널형 구동부(Y) 내의 박막 트랜지스터의 게이트 전극을 나타낸다. 양극산화막(123)은 게이트 전극 상부에 잔류하고, P-채널형 구동부(Z) 내의 박막 트랜지스터의 게이트 전극(124)의 상부에는 양극산화막(125)이 잔존한다.

도 3A에 도시한 상태를 얻은 후에, 또 다시 양극산화를 실시한다. 도 3B에 양극산화막(31, 32, 33)은 이 양극산화를 통해서 1000Å의 두께로 형성된다. 이들 양극산화막은 도 3A에 도시한 단계에서, 각각 양극산화막(121, 123, 125)과 더불어 한 몸체로 만들어진다.

다음에, 레지스트 마스크(126)는 도 3B에 도시한 바와 같이 제공된다. 이어서, P(인)가 다시 도핑된다. 여기서, P는 도 1B에 도시한 단계에서의 투여량(dosage)보다 낮은 양으로 도핑된다(저농도).

P(인)는 이 단계에서 영역(127, 130, 131, 133)에 저농도로 도핑된다. 이들 영역은 영역(108, 110, 111, 113)에 비해 저농도로 P를 포함한다. 영역(127, 130, 131, 133)은 N-형으로 표기되어 있고, 이것은 P 원소가 저농도로 도핑된 것을 나타낸다.

영역(108, 110, 111 및 113)은 P가 N+ 형 영역에 비해 저농도로 도핑되기 때문에 N+ 형으로 남아 있다.

게이트 전극(120, 122)의 패턴은 상기 언급한 도핑 단계에서 사용되므로 이 단계를 자기-정렬 프로세스라 한다. 자기-정렬 프로세스의 장점은 이 단계 전용의 마스크를 제공할 필요 없이 이미 형성된 전극 패턴 등을 사용하여 도핑을 수행할 수 있다는 것이다.

여기서, P는 게이트 전극 및 이 표면에 형성된 양극산화막(이들 전체를 게이트 전극부라 함)을 마스크로서 사용하여 선택적으로 도핑된다.

따라서, N-형(저농도 불순물 영역)을 갖는 영역(127, 130)은 자기-정렬 방식으로 화소 매트릭스부(X)에 형성된다. 더구나, N-형(저농도 불순물 영역)을 갖는 영역(131, 133)은 자기-정렬 방식으로 N-채널형 구동부(Y)에 형성된다.

드레인 영역에 인접한 저농도 불순물 영역(130, 133)은 일반적으로 LDD(저농도 도핑된 드레인 영역)라 하는 영역임에 유념한다.

따라서, 화소 매트릭스부(X) 내의 영역(108)은 소스영역으로 되며 영역(110)은 드레인 영역이 된다. 더욱이, N-채널형 구동부(Y) 내의 영역(111)은 소스 영역이 되고 영역(113)은 드레인 영역으로 된다.

영역(129, 132)에는 P가 전혀 도핑되지 않기 때문에, 이들은 I-형 영역인 채로 있다. 따라서, 도 3B에 도시한 상태가 얻어진다. 다음에, 레지스트 마스크(126)는 제거된다.

이어서, 도 4A에 도시한 바와 같이 레지스트 마스크(41, 42)가 다시 제공된다. 이 상태에서 B(보론)가 도핑된다. 도핑은 이 단계에서도 플라즈마 도핑을 사용하여 수행된다.

B는 이 단계에서 영역(134, 136)에 선택적으로 도핑된다. 이 도핑은 게이트 전극(124) 및 이 주위에 형성된 양극산화막(33)(이 전체를 게이트 전극부라 함)을 자기-정렬 방식으로 마스크로서 사용하여 수행된다.

B는 영역(134, 136)을 P-채널형 박막 트랜지스터의 소스 및 드레인 영역이 되게 한 상태에서 도핑된다(고농도 도핑).

이 단계에서, B는 자기-정렬 방식으로 영역(134, 136)에 도핑되어 P+ 형 영역을 형성하게 된다. 영역(135)은 게이트 전극부가 마스크가 되어 B가 전혀 도핑되지 않기 때문에 I-형인 채로 남아있다.

따라서, 도 4A에 도시한 상태가 얻어진다. 다음에, 레지스트 마스크(41, 42)가 제거되어, 이에 따라 도 4B에 도시한 상태를 얻는다.

도 4B에 도시한 상태를 얻은 후에, 레이저광을 조사하여, 주입된 불순물을 활성화시켜, 도핑간에 이온 충돌에 의해 야기된 결정구조 손상을 어닐링한다.

양극산화막은 본 실시예에서 보인 구조에서 게이트 전극 주위에 형성된다. 따라서, 마스크로서 게이트 전극부를 사용하여 도핑이 수행될 때, 게이트 전극에 인접한 양극산화막 밑의 부분에 대응하는 액티브 층의 영역 내의 양극산화막 두께에 대응하여 오프셋 영역(오프셋 게이트 영역이라고도 함)이 형성된다.

오프셋 영역은 진성 혹은 거의 진성 도전형을 가지며 채널 영역이나 혹은 소스/드레인 영역으로도 기능하지 않는다. 오프셋 영역은 채널영역과 소스영역 사이 및 채널영역과 드레인 영역 사이에 있는 고저항 영역으로서 기능한다.

저농도 불순물 영역과 마찬가지로, 오프셋 영역은 소스와 채널 사이에 혹은 채널과 드레인 사이에 형성된 고전계를 완화시키는 기능이 있다. 저농도 불순물 영역들을 제공하는 경우와 유사하게, OFF 전류값이 감소될 수 있고 고온 캐리어 효과가 감소될 수 있는 이와 같은 효과는 오프셋 영역들을 제공함으로써 얻어질 수 있다.

도 4B는 양극산화막(31, 32, 33)의 두께에 대응하여 형성된 오프셋 영역을 도시한 것이다. 즉, 영역(137, 139)은 양극산화막(31)의 두께에 대응하여 형성된 오프셋 영역이며, 영역(140, 142)은 양극산화막(32)의 두께에 대응하여 형성된 오프셋 영역이며, 영역(143, 145)은 양극산화막(33)의 두께에 대응하여 형성된 오프셋 영역이다.

양극산화막(31, 32, 33)의 두께는 1000Å이기 때문에, 상기 기술된 오프셋 영역의 치수 역시 약 1000Å이다. 영역(138, 141, 144)은 채널 영역이 된다.

도 4B에 도시한 상태를 얻은 후에, 제 1 층간 절연막(146)이 도 5A에 도시한 바와 같이 형성된다. 여기서, 실리콘 질화막은 플라즈마 CVD에 의해서 제 1 층간 절연막(146)으로서 3000Å 두께로 형성된다.

이어서, 접촉홀은 만드는데 도시하지 않은 금속막을 형성하여 접촉홀을 만든다. 여기서, 티타늄막, 알루미늄막 및 티타늄막으로 구성된 3층막은 스퍼터링에 의해서 금속막으로서 형성된다. 이어서, 이 금속막(적층막)을 패터닝하여 전극(147, 148, 149, 150, 151, 152)을 형성한다.

여기서, 전극(147, 149, 151)은 소스 전극이며 전극(148, 150, 152)은 드레인 전극이다.

따라서, 도 5A에 도시한 상태가 얻어진다. 다음에, 도 5B에 도시한 바와 같이 플라즈마 CVD에 의해서 제 2 층간 절연막(153)으로서 다시 2000Å의 두께로 실리콘 질화막이 형성된다.

이어서, 제 3 층간 절연막(154)이 폴리이미드에 의해 형성된다. 여기서, 제 3 층간절연막(154)이 스핀 코팅에 의해서 형성된다. 이의 표면은 수지막이 사용된 때 도면에 도시한 바와 같이 평탄화될 수 있다.

따라서, 도 5B에 도시한 상태가 얻어진다. 다음에, 접촉을 만들어 도 6에 도시한 바와 같은 화소 전극(155)을 형성하도록 한다. 여기서, ITO막은 스퍼터링에 의해서 먼저 1000Å의 두께로 형성된다. 이를 패터닝하여 화소 전극(155)을 형성한다.

마지막으로, 반도체층 내의 결함을 줄이기 위해서 350℃의 수소 분위기에서 1시간 동안 열처리가 수행된다.

따라서, 액정판넬을 구성하는 하나의 기판이 완성된다. 이 기판을 TFT 기판이라 한다. 그후, 액정에 방향을 부과하기 위한 러빙(rubbing)막(도시 없음) 및 실란트를 형성하여 별도로 제조된 대향기판에 붙인다. 이어서, TFT 기판과 대향기판 사이에 액정을 채워 넣어 액정 판넬이 완성된다.

본 실시예의 구조에서, 구조가 상이한 박막 트랜지스터가 화소 매트릭스부(X), N-채널형 구동부(Y) 및 P-채널형 구동부(Z) 각각에 설치된다.

저농도 불순물 영역이 제공되어 있고 낮은 OFF 전류특성을 갖는 박막 트랜지스터는 화소 매트릭스부(X)에 제공된다. 저농도 불순물 영역을 제공함으로써 높은 신뢰성을 갖는 박막 트랜지스터는 N-채널형 구동부(Y)에 제공된다. 저농도 불순물 영역이 제공된 구조는 이 구조가 높은 신뢰성을 제공하며 비교적 구동능력을 감소시키지 않을 것이기 때문에 유용하다.

드레인에 인접하여 있는 저농도 불순물 영역은 채널 영역과 드레인 영역간 전계를 완화시키는 기능을 갖는다. 드레인과 채널간 캐리어 이동은 OFF 동작 동안 억제될 수 있고 OFF 전류는 이 기능에 의해서 감소될 수도 있다. 이외에도, 핫 캐리어 효과에 의해서 야기된 악화는 상기 언급된 기능에 의해서 억제될 수 있다.

한편, 양극산화막에 의해서 야기된 오프셋 영역만이 P-채널형 구동부(Z)에 제공되어 구동능력을 감소시키지 않는 구조를 갖게 된다.

일반적으로, P-채널형 박막 트랜지스터는 N-채널형 박막 트랜지스터의 경우 보다 낮은 구동능력을 갖는다. 따라서, N-채널형 구동부(Y)의 특성과 균형을 이루기 위해서 상기 기술된 바와 같이 구성하는 것이 좋다.

OFF 전류값은 주변 구동 회로에서는 그만큼 문제가 아니라는 것에 유념한다. 또한, 핫 캐리어 효과에 의해 야기된 악화는 P-채널형 박막 트랜지스터에서는 문제가 아니다. 따라서, P-채널형 박막 트랜지스터에서 N-채널형 박막 트랜지스터처럼 저농도 불순물 영역을 제공할 필요가 없다.

상기 기술한 바와 같이, 본 실시예에서 보인 구조를 채택함으로써 다음과 같은 요소를 동일 유리 기판 상에 집적화시킬 수 있다.

즉, 낮은 OFF 전류 특성을 갖는 화소 매트릭스부(X),

고속 동작에 적합하며 신뢰성이 높은 N-채널형 구동부(Y), 및

고속 동작에 적합하며, N-채널형 구동부(Y)와의 동작 밸런스가 고려된 P-채널형 구동부(Z).

[제 2 실시예]

본 실시예는 제 1 실시예에 도시한 구조를 수정한 것이다. 동일한 치수의 저농도 불순물 영역(131, 133)은 제 1 실시예에 도시한 구조(도3B 참조)에서 N-채널형 구동부(Y)에 설치되었다.

이들 저농도 불순물 영역은 가능한 그만큼 고주파 특성 및 구동능력을 떨어뜨리지 않고 신뢰성을 개선하기 위해서 설치되었다. 그러나, 그 기능(악화 방지 기능)을 주로 나타내는 것은 드레인 영역(113)에 인접한 저농도 불순물 영역(133)이다. 따라서, 저농도 불순물 영역(131)은 극단적으로 필요하지 않다.

저농도 불순물 영역(131)은 악화 방지 기능을 전혀 기대할 수 없을 경우 고주파 특성 및 구동 능력을 제한하고 있는 것으로 생각될 수도 있다.

본 실시예는 드레인측 상의 저농도 불순물 영역의 길이(소스, 채널 및 드레인을 연결하는 방향으로의 길이)는 N-채널형 구동부(Y) 내의 소스측의 길이보다 길도록 신장된 것을 특징으로 한다.

다음에, 소스측의 저농도 불순물 영역은 게이트 전극을 형성할 때 마스크 정렬 정확도 오차를 없애는 정도의 길이를 갖도록 형성된다. 그럼으로써, 그 존재에 의한 고주파 특성 및 구동능력에 대한 영향은 최소로 될 수 있고 비자기-정렬 프로세스에서 마스크 정렬 오차에 의해 야기된 영향(박막 트랜지스터의 특성에 부여된 영향)은 동시에 감소될 수 있다.

도 7 내지 도 9는 본 실시예에 따라 박막 트랜지스터를 제조하는 단계를 도시한 것이다. 동일 참조부호는 도 1 내지 도 6에 도시한 것들과 동일한 요소를 나타낸다. 각 요소를 제조하는 단계에 대한 상세한 것도 특별히 명시하지 않는 한 제 1 실시예에 도시한 것과 동일하다.

먼저, 비정질 실리콘막으로 만들어진 액티브 층 패턴(102, 103)은 도 7A에 도시한 유리 기판(101) 상에 형성된다. 다음에, 레지스트 마스크(105, 106, 107)는 도 7B에 도시한 바와 같이 제공된다. 이어서, P(인)는 이들 마스크를 사용하여 도핑된다(즉, 고농도 도핑).

따라서, N+ 영역(108, 110, 111, 113)이 형성된다. 이들 영역은 소스 영역 혹은 드레인 영역으로 된다.

다음에, 레지스트 마스크가 제거되고, 따라서 도 7C에 도시한 상태를 얻는다. 액티브 층 패턴(102, 103, 104) 각각은 이 상태에서 레이저 어닐링을 실현함으로써 결정화된다. 더구나, 도 7B 단계에서 도핑된 P가 활성화된다. 동시에, 도 7B의 도핑 단계 동안에 야기된 손상이 어닐링된다.

다음에, 게이트 전극(120, 222, 124) 및 양극산화막(121, 223, 125)이 도 8A에 도시한 바와 같이 형성된다. 각각의 게이트 전극을 형성하는 방법은 기본적으로 도 2에 도시한 바와 동일하다.

여기서 제 1 실시예의 경우와 상이한 것은 게이트 전극(222)이 제공된 위치이다. 본 실시예에서, 게이트 전극(222)은 소스 영역(111)쪽으로 상대적으로 쏠린 위치에 제공된다. 그럼으로써, 드레인측의 저농도 불순물 영역(233)의 치수는 후속 단계에서 소스측의 저농도 불순물 영역(231)의 치수보다 길게 만들어진다.

다음에, P는 도 8B에 도시한 상태에서 도 7B에 도시한 단계의 경우(저농도 도핑)보다 낮은 투여량(dosage)으로 도핑된다. 결국, 저농도 불순물 영역(127, 130, 231, 233)이 동시에 형성된다. 참조부호(34)는 게이트 전극(222)의 양극산화막이며 참조부호(232)는 진성영역이다.

본 실시예에서, 저농도 불순물 영역(233)의 길이(소스 및 드레인을 연결하는 라인의 길이)는 저농도 불순물 영역(231)의 길이 보다 길게 만들어진다.

더욱이, 영역(231)의 길이는 게이트 전극(222)을 형성할 때 마스크 정렬 정확도보다 크게 설정된다. 그럼으로써, 마스크 정렬 오차 영향이 억제될 수 있다.

다음에, 레지스트 마스크(41, 43)는 도 9A에 도시한 바와 같이 B(보론)를 도핑하도록(고농도 도핑) 제공된다. 불순물은 이 단계에서 P-채널형 구동부(Z)에 도핑된다. P-채널형 구동부(Z)에서 박막 트랜지스터의 소스 영역(134) 및 드레인 영역(136)은 자기-정렬 방식으로 형성된다. 영역(135)은 I-형 영역인 채로 남아있다.

이어서, 레지스트 마스크(41, 43)를 제거하여, 도9B에 도시한 상태를 얻는다. 참조부호(241)는 채널영역이며, 240 및 242는 오프셋 영역이다. 그후, 화소 매트릭스부(X), N-채널형 구동부(Y) 및 P-채널형 구동부(Z)가 동일 기판 상에 집적된 구조는 제 1 실시예에 도시한 단계들과 유사한 단계에 따름으로써 완성된다.

본 실시예에 도시한 구조에 따르면, 충분한 치수를 갖는 저농도 불순물 영역(LDD)은 N-채널형 구동부에 설치된 박막 트랜지스터에서 원래 필요로 하는 드레인 영역측에 설치된다. 따라서, N-채널형 구동부(Y)는 높은 신뢰성을 가질 수 있다. 더구나, 높은 신뢰성 면에서 특정하게 기여하지 않는 소스 영역측의 저농도 불순물 영역의 치수를 줄임으로써 N-채널형 구동부(Y)의 구동능력이 떨어지는 것을 방지할 수 있게 된다.

[제 3 실시예]

본 실시예는 제 1 실시예에 도시한 구조에서 마스크 중 하나를 줄인 구조에 관한 것이다.

도 10 및 도 11은 본 실시예의 제조 단계를 도시한 것이다. 본 실시예에 특징으로 하는 것은 도 10B에 도시한 단계에서 어떤 레지스트 마스크도 사용하지 않고 전체면에 P가 도핑된다는 것이다. 이 단계는 도 3B에 도시한 것에 상응한다.

이 단계에서, N-형을 부여하는 불순물인 P(인)는 P-채널형 박막 트랜지스터의 소스 및 드레인 영역이 될 영역(11, 13)에 저농도로 도핑된다. 영역(12)은 아무 것도 도핑되지 않은 영역이다.

이어서, B는 도 11A에 도시한 단계에서 P-채널형 구동부(Z)에만 도핑된다(고농도 도핑). 이 단계에서, 전 단계에서 저농도로 도핑된 P(인)의 효과는 고농도로 도핑된 B에 의해서 상쇄되며 도전형은 과도하게 도핑된 B의 영향에 기인하여 P-형으로 역전된다. 영역(234, 236)은 그 결과로 얻어진 P+ 형 영역이다. 참조부호(235)는 진성영역이다.

전체구조는 제 1 실시예에 도시한 것들과 유사한 단계를 따름으로써 완성된다. 영역(244)은 채널영역이며 영역(243, 245)은 오프셋 영역이다(도 11B).

본 실시예에 도시한 구조를 채택함으로써 제 1 실시예에서 보인 것과 거의 동일한 구조가 마스크중 하나를 줄인 제조단계를 통해 얻어질 수 있다.

[제 4 실시예]

본 실시예는 P-채널형 구동부(Z)에 설치된 P-채널형 박막 트랜지스터의 이동도가 최대화된 구조에 관한 것이다. 구체적으로, P- 채널형 박막 트랜지스터에 오프셋 영역이 전혀 없고, 소스와 드레인간 저항이 제 1 실시예에 기술된 구조에서 최소로 된 구조에 관한 것이다.

도 12 및 도 13은 본 실시예의 제조단계를 도시한 것이다. 특정하게 기술되지 않은 부분 및 동일 참조부호를 갖는 요소는 제 1 실시예와 동일한 것이다.

도 12A에 도시한 상태는 우선, 제 1 실시예의 단계들과 유사한 단계에 따름으로써 얻어진다. 이 상태는 전적으로 도 2A에 도시한 상태와 동일하다.

도 12A에 도시한 상태를 얻은 후에, 레지스트 마스크(117, 118, 119)를 형성하여 게이트 전극을 형성하도록 한다.

따라서, 도 12B에 도시한 상태가 얻어진다. 다음에, 레지스트 마스크(1201)가 도 12C에 도시한 바와 같이 제공된다. 그럼으로써, 화소 매트릭스부(X) 및 N-채널형 구동부(Y)를 마스킹하고 P-채널형 구동부(Z)만을 노출시킨다.

B(보론)는 도12C에 도시한 상태에서 도핑된다(고농도 도핑). 이 단계에서, 소스 영역(334) 및 드레인 영역(336)은 자기정렬 방식으로 형성된다. 채널영역(335) 역시 자기-정렬 방식으로 또한 정해진다.

게이트 전극(324)의 측면에는 양극산화막이 전혀 형성되어 있지 않기 때문에 이 단계에서는 어떠한 오프셋 영역도 형성되지 않는다.

다음에, 레지스트 마스크(1201)를 제공하고 레지스트 마스크(1202)가 P-채널형 구동부(Z)위에만 제공된다. 이어서, 양극산화막(31, 32)은 도 13A에 도시한 또 다른 양극산화를 실시함으로써 형성된다.

이어서, P는 도 13B에 도시한 바와 같이 도핑된다(저농도 도핑). 이 단계에서, 저농도 불순물 영역(127, 130, 131, 133)이 형성된다. 그후의 단계는 제 1 실시예의 경우와 동일하다.

본 실시예의 구조는 P-채널형 구동부(Z)에 형성된 박막 트랜지스터에 오프셋 영역이 전혀 없다는 것을 특징으로 한다.

그럼으로써, P-채널형 구동부(Z)의 구동능력은 최대화될 수 있으며 N-채널형 구동부(Y)와의 밸런스가 향상될 수 있다.

본 명세서에 개시된 본 발명을 활용하여, 특성이 다른 박막 트랜지스터를 동일 기판에 집적화시킬 수 있다. 따라서 전체적으로 균형을 이룬 주변 구동회로가 집적된 액티브 매트릭스형 액정 디스플레이 장치를 제공할 수 있다.

구체적으로, 낮은 OFF 전류 특성을 갖는 박막 트랜지스터는 화소 매트릭스부(X)에 형성될 수 있으며, 고신뢰성 및 높은 구동능력을 갖춘 박막트랜지스터를 N-채널형 구동부(Y)에 형성할 수 있으며, N-채널형 구동부(Y)에 상응하는 높은 구동능력을 갖는 박막 트랜지스터를 P-채널형 구동부(Z)에 형성할 수 있다.

본 명세서에 개시된 발명은 액티브 매트릭스를 갖는 다른 평판 디스플레이 장치에도 이용될 수 있다. 예를 들면, EL 소자를 사용한 액티브 매트릭스 디스플레이 장치에 이용될 수 있다.

바람직한 본 실시예를 설명하였지만, 이의 변형은 다음의 청구범위에 기술된 본 발명의 개념의 범위 내에서 이 분야에 숙련된 자들에게 일어날 것이다.

발명의 효과

상기 기술된 주변 구동 회로 집적된 액정 디스플레이 장치에서, 화소 매트릭스 회로에 설치된 박막 트랜지스터 및 주변 구동 회로는 동시에 동일한 기판 상에 제조된다.

그러나, 일반적으로 화소 매트릭스 회로에서 필요한 트랜지스터 특성과 주변 구동 회로에서 필요한 트랜지스터 특성이 다르다.

예를 들면, 화소 매트릭스 회로에 설치된 박막 트랜지스터는 고속에서 동작할 필요가 없으나, 화소 전극에서는 전하 보유 기능이 있어야 하기 때문에 OFF 전류 특성이 낮아야 한다.

한편, 주변 구동 회로에 설치된 박막 트랜지스터는 고속 동작 특성 및 차별적으로 큰 전류를 흐르게 하는 특성이 있어야 한다. 특히 버퍼 회로를 구성하는 박막 트랜지스터는 고속 동작 특성 및 큰 전류가 흐르게 하는 특성을 갖추어야 한다.

더구나, 주변 구동 회로에 설치된 박막 트랜지스터는 고속으로 동작해야 하기 때문에 그 특성이 덜 저하될 필요가 있다. 즉, 동작 속도가 높을수록, 특성저하 영향이 나타나므로, 이에 의해 최소한으로 영향받는 트랜지스터가 필요하다.

더구나, N-채널형 박막 트랜지스터의 이동도는 P-채널형 박막트랜지스터보다 일반적으로 2 내지 3배만큼 크다. CMOS 구조를 채택한 때에는 동작 밸랜스 면에서 문제가 있다. 특히 CMOS 구조를 채택한 주변 구동 회로에서 문제가 있다.

그래서, N-채널형 박막 트랜지스터의 이동도와 P-채널형 박막 트랜지스터간 차를 보정하는 것이 필요하였다.

따라서, 본 명세서에 개시된 본 발명은 상기 언급된 여러 가지 요구조건을 만족시키는 주변 구동 회로 집적된 액티브 매트릭스형 액정 디스플레이 장치를 제공한다.

(57) 청구의 범위

청구항 1.

액티브 매트릭스형 디스플레이 장치에 있어서,

기판 상에 제공된 화소 매트릭스부로서,

채널 형성 영역;

고농도 불순물 영역들인 소스 및 드레인 영역들로서, 이들 사이에 상기 채널 형성 영역들이 개재된, 상기 소스 및 드레인 영역들; 및

그 농도가 상기 소스 및 드레인 영역들의 농도보다 더 낮고, 채널 영역과 상기 소스 영역 사이 및 상기 채널 영역과 상기 드레인 영역 사이에 각각 제공된 불순물 영역들로서, 상기 불순물 영역들의 길이들은 서로 동일한, 상기 불순물 영역들을 갖는 N-채널형 박막 트랜지스터를 포함하는, 상기 화소 매트릭스부; 및

상기 기판 상에 제공된 주변 구동 회로부로서,

고농도 불순물 영역들인 소스 및 드레인 영역들과;

그 농도가 상기 소스 및 드레인 영역들보다 더 낮고, 채널 영역과 상기 소스 영역 사이 및 상기 채널 영역과 상기 드레인 영역 사이에 각각 제공된 불순물 영역들로서, 상기 드레인 측 상의 불순물 영역들 중 하나의 길이가 상기 소스 측 상의 불순물 영역들 중 다른 하나보다 더 큰, 상기 불순물 영역들을 갖는 N-채널형 박막 트랜지스터; 및

저농도 불순물 영역을 갖지 않는 P-채널형 박막 트랜지스터를 포함하는, 상기 주변 구동 회로부를 포함하는 액티브 매트릭스형 디스플레이 장치.

청구항 2.

액티브 매트릭스형 디스플레이 장치에 있어서,

적어도 하나의 N-채널형 박막 트랜지스터를 포함하는, 기판 상의 화소 매트릭스부로서,

상기 N-채널형 박막 트랜지스터는 채널 영역, 소스 영역, 드레인 영역, 및 한 쌍의 저농도 불순물 영역들을 갖는 액티브층을 포함하고, 상기 한 쌍의 저농도 불순물 영역들의 길이는 서로 동일한, 상기 화소 매트릭스부; 및

적어도 하나의 N-채널형 박막 트랜지스터와 적어도 하나의 P-채널형 박막 트랜지스터를 포함하는, 상기 기판 상의 주변 구동 회로부로서,

상기 N-채널형 박막 트랜지스터는 채널 영역, 소스 영역, 드레인 영역, 및 상기 채널 영역과 상기 소스 영역 사이 및 상기 채널 영역과 상기 드레인 영역 사이에 각각 배치된 한 쌍의 저농도 불순물 영역들을 갖는 액티브 층을 포함하고, 상기 한 쌍의 저농도 불순물 영역들의 길이들은 서로 상이하고,

상기 P-채널형 박막 트랜지스터는 채널 영역, 소스 영역, 및 드레인 영역을 갖는 액티브 층을 포함하고, 상기 P-채널형 박막 트랜지스터는 거기에 저농도 불순물 영역들을 포함하지 않는, 상기 주변 구동 회로부를 포함하는 액티브 매트릭스형 디스플레이 장치.

청구항 3.

액티브 매트릭스형 디스플레이 장치에 있어서,

적어도 하나의 N-채널형 박막 트랜지스터를 포함하는, 기판 상의 화소 매트릭스부로서,

상기 N-채널형 박막 트랜지스터는 채널 영역, 소스 영역, 드레인 영역, 및 한 쌍의 저농도 불순물 영역들을 갖는 액티브 층을 포함하고, 상기 한 쌍의 저농도 불순물 영역들의 길이는 서로 동일한, 상기 화소 매트릭스부, 및

적어도 하나의 N-채널형 박막 트랜지스터와 적어도 하나의 P-채널형 박막 트랜지스터를 포함하는, 상기 기판 상의 주변 구동 회로부로서,

상기 N-채널형 박막 트랜지스터는 채널 영역, 소스 영역, 드레인 영역, 상기 채널 영역과 상기 소스 영역 사이에 배치된 제 1 저농도 불순물 영역과, 상기 채널 영역과 상기 드레인 영역 사이에 배치된 제 2 저농도 불순물 영역을 갖는 액티브 층을 포함하고,

상기 제 2 저농도 불순물 영역의 길이는 상기 제 1 저농도 불순물 영역의 길이보다 더 큰, 상기 주변 구동 회로부를 포함하는, 액티브 매트릭스형 디스플레이 장치.

청구항 4.

액티브 매트릭스형 디스플레이 장치에 있어서,

적어도 하나의 N-채널형 박막 트랜지스터를 포함하는, 기판 상의 화소 매트릭스부로서,

상기 N-채널형 박막 트랜지스터는 채널 영역, 소스 영역, 드레인 영역과, 한 쌍의 저농도 불순물 영역들을 포함하고, 상기 한 쌍의 저농도 불순물 영역들의 길이는 서로 동일한, 상기 화소 매트릭스부, 및

적어도 하나의 N-채널형 박막 트랜지스터와 적어도 하나의 P-채형 박막 트랜지스터를 포함하는, 상기 기판 상의 주변 구동 회로부로서,

상기 N-채널형 박막 트랜지스터는 채널 영역, 소스 영역, 드레인 영역과, 상기 채널 영역과 상기 소스 영역 사이 및 상기 채널 영역과 상기 드레인 영역 사이에 각각 배치된 한 쌍의 저농도 불순물 영역들을 갖는 액티브 층을 포함하고, 상기 한 쌍의 저농도 불순물 영역들의 길이들은 서로 상이한, 상기 주변 구동 회로부를 포함하는, 액티브 매트릭스형 디스플레이 장치.

청구항 5.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 길이는 상기 박막 트랜지스터들의 각각에서 캐리어들의 이동 경로에 따른 방향에 있는 것으로서 규정되는, 액티브 매트릭스형 디스플레이 장치.

청구항 6.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 주변 구동 회로는 구동 회로, 시프트 레지스터 회로, 데이터 처리 회로, 및 메모리 회로를 포함하는, 액티브 매트릭스형 디스플레이 장치.

청구항 7.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 기판은 유리 기판, 석영 기판, 및 알루미늄 유리 기판으로 구성되는 그룹으로부터 선택되는, 액티브 매트릭스형 디스플레이 장치.

청구항 8.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 박막 트랜지스터들은 탑 게이트형 박막 트랜지스터들인, 액티브 매트릭스형 디스플레이 장치.

청구항 9.

화소 매트릭스부 및 주변 구동 회로부가 동일한 기판 상에 제공되는 구조를 갖는 액티브 매트릭스형 디스플레이 장치를 제조하기 위한 방법에 있어서,

비자기-정렬 프로세스를 통해 상기 화소 매트릭스부 및 상기 주변 구동 회로부에 제공된 N-채널형 박막 트랜지스터들의 소스 및 드레인 영역들이 되는 영역들에 N형 불순물을 도핑하는 단계; 및

자기-정렬 프로세스를 통해 상기 주변 구동 회로부에 제공된 P-채널형 박막 트랜지스터의 소스 및 드레인 영역들이 되는 영역들에 P형 불순물을 도핑하는 단계를 포함하는, 액티브 매트릭스형 디스플레이 장치의 제조 방법.

청구항 10.

화소 매트릭스부 및 주변 구동 회로부가 동일한 기판 상에 제공되는 구조를 갖는 액티브 매트릭스형 디스플레이 장치를 제조하기 위한 방법에 있어서,

비자기-정렬 프로세스를 통해 상기 화소 매트릭스부 및 상기 주변 구동 회로부에 제공된 N-채널형 박막 트랜지스터들의 소스 및 드레인 영역들이 되는 영역들에 N형 불순물을 도핑하는 단계;

자기-정렬 프로세스를 통해 상기 소스 및 드레인 영역들이 되는 상기 영역들보다 더 낮은 농도로 상기 N-채널형 박막 트랜지스터의 소스 및 드레인 영역들이 되는 상기 영역들에 인접한 영역들에 N형 불순물을 도핑하는 단계; 및

자기-정렬 프로세스를 통해 상기 주변 구동 회로부에 제공된 P-채널형 박막 트랜지스터의 소스 및 드레인 영역들이 되는 영역들에 P형 불순물을 도핑하는 단계를 포함하는, 액티브 매트릭스형 디스플레이 장치의 제조 방법.

청구항 11.

제 9 항 또는 제 10 항에 있어서,

상기 비자기-정렬 프로세스를 통해 상기 N형 불순물을 도핑하는 단계 후에, 레이저 광이 상기 소스 및 드레인 영역들이 되는 상기 영역들에 조사되는, 액티브 매트릭스형 디스플레이 장치의 제조 방법.

청구항 12.

제 9 항 또는 제 10 항에 있어서,

상기 도핑은 비자기-정렬 프로세스에서 레지스트 마스크들을 이용함으로써 선택적으로 수행되는, 액티브 매트릭스형 디스플레이 장치의 제조 방법.

청구항 13.

제 9 항 또는 제 10 항에 있어서,

상기 도핑은 자기-정렬 프로세스에서 마스크들로서 게이트 전극부들을 이용함으로써 선택적으로 수행되는, 액티브 매트릭스형 디스플레이 장치의 제조 방법.

청구항 14.

제 10 항에 있어서,

상기 N형 불순물이 상기 자기-정렬 프로세스에서 도핑되는 상기 영역들은 상기 소스 영역에 인접하여 형성된 제 1 영역과 상기 드레인 영역에 인접하여 형성된 제 2 영역을 포함하고,

상기 화소 매트릭스부에서, 상기 제 1 및 제 2 영역들의 치수들은 서로 거의 동일하며,

상기 주변 구동 회로부에서, 상기 제 2 영역의 치수는 상기 제 1 영역의 치수보다 더 큰, 액티브 매트릭스형 디스플레이 장치의 제조 방법.

청구항 15.

제 10 항에 있어서,

상기 N형 불순물이 상기 자기-정렬 프로세스에서 도핑되는 상기 영역들은 상기 소스 영역에 인접하여 형성된 제 1 영역과 상기 드레인 영역에 인접하여 형성된 제 2 영역을 포함하고,

상기 화소 매트릭스부에서, 상기 제 1 및 제 2 영역들의 치수들은 서로 거의 동일하며,

상기 주변 구동 회로부에서, 상기 제 1 영역의 치수는 상기 비자기-정렬 프로세스에서의 마스크 정렬 정확도보다 더 크고, 상기 제 2 영역의 치수는 상기 제 1 영역의 치수보다 더 큰, 액티브 매트릭스형 디스플레이 장치의 제조 방법.

청구항 16.

제 14 항 또는 제 15 항에 있어서,

상기 치수들은 캐리어들의 이동 경로에 따른 방향에 있는 것으로서 규정되는, 액티브 매트릭스형 디스플레이 장치의 제조 방법.

청구항 17.

반도체 장치를 제조하기 위한 방법에 있어서,

절연 표면 상에 복수의 반도체 아일랜드들을 형성하는 단계;

상기 반도체 아일랜드들 상에 레지스트 마스크들을 각각 형성하는 단계로서, 상기 레지스트 마스크들의 각각은 상기 반도체 아일랜드들의 각각에서 채널 영역이 되는 적어도 일 부분을 덮는, 상기 형성 단계;

상기 반도체 아일랜드들에서 N^+ 영역들을 형성하기 위해 상기 레지스트 마스크들을 이용하여 상기 반도체 아일랜드들에 인을 각각 도입하는 단계;

상기 반도체 아일랜드들에 레이저 어닐링하는 단계; 및

상기 반도체 아일랜드들에서 채널 영역들 및 N- 영역들을 형성하기 위해 상기 반도체 아일랜드들에 인을 각각 도입하는 단계를 포함하고,

상기 저농도 도핑된 영역들의 각각은 상기 반도체 아일랜드의 각각에서 상기 소스 및 드레인 영역들과 상기 채널 영역 사이에 개재되는, 반도체 장치의 제조 방법.

청구항 18.

반도체 장치를 제조하기 위한 방법에 있어서,

절연 표면 상에 복수의 반도체 아일랜드들을 형성하는 단계;

상기 반도체 아일랜드들 상에 레지스트 마스크들을 각각 형성하는 단계로서, 상기 레지스트 마스크들의 각각은 상기 반도체 아일랜드들의 각각에서 채널 영역이 되는 적어도 일 부분을 덮는, 상기 형성 단계;

상기 레지스트 마스크들을 이용하여 상기 반도체 아일랜드들에 제 1 불순물들을 도입함으로써 상기 반도체 아일랜드들의 각각에서 소스 및 드레인 영역들을 형성하는 단계;

상기 레지스트 마스크들을 제거하는 단계;

상기 반도체 아일랜드들에 레이저 어닐링하는 단계; 및

상기 반도체 아일랜드들에 상기 제 1 불순물들을 도입함으로서 상기 반도체 아일랜드들의 각각에서 채널 영역 및 저농도 도핑된 영역들을 형성하는 단계를 포함하고,

각각의 저농도 도핑된 영역은 상기 반도체 아일랜드의 각각에서 상기 소스 및 드레인 영역들과 상기 채널 영역 사이에 개재되는, 반도체 장치의 제조 방법.

도면

도면1

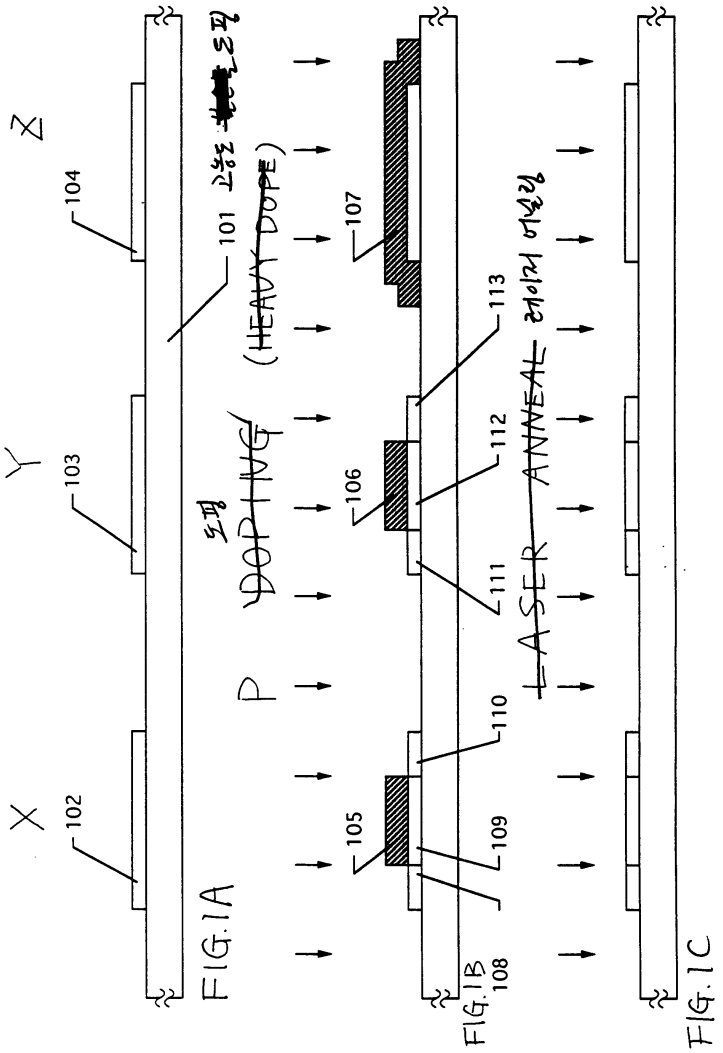
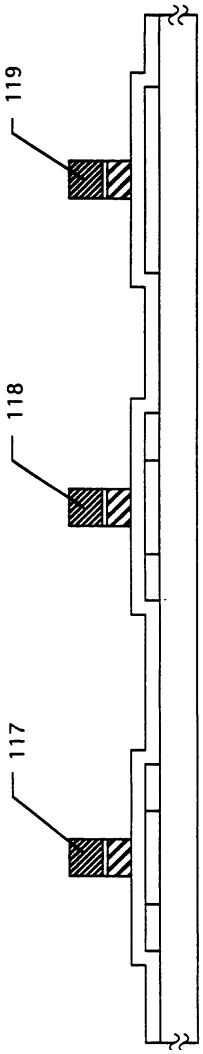
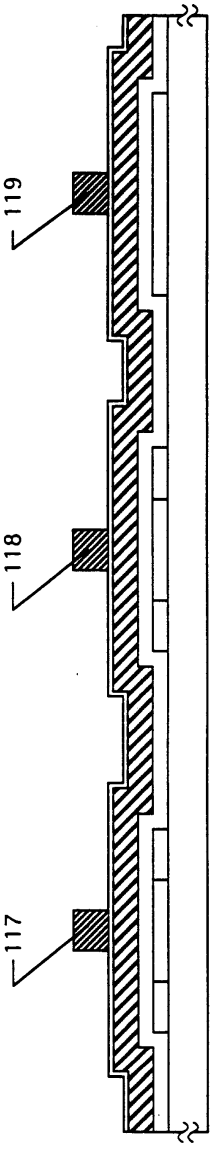


FIG.1A FIG.1B FIG.1C

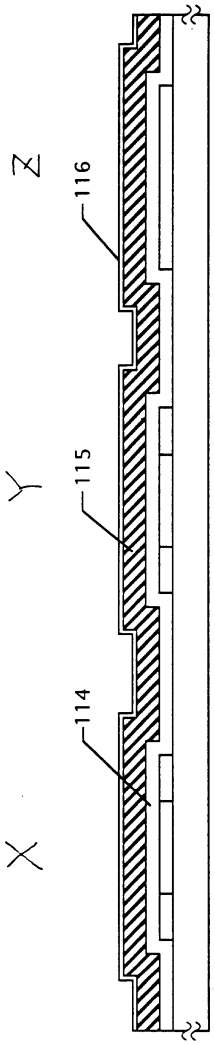
도면2a



도면2b



도면2c



도면3

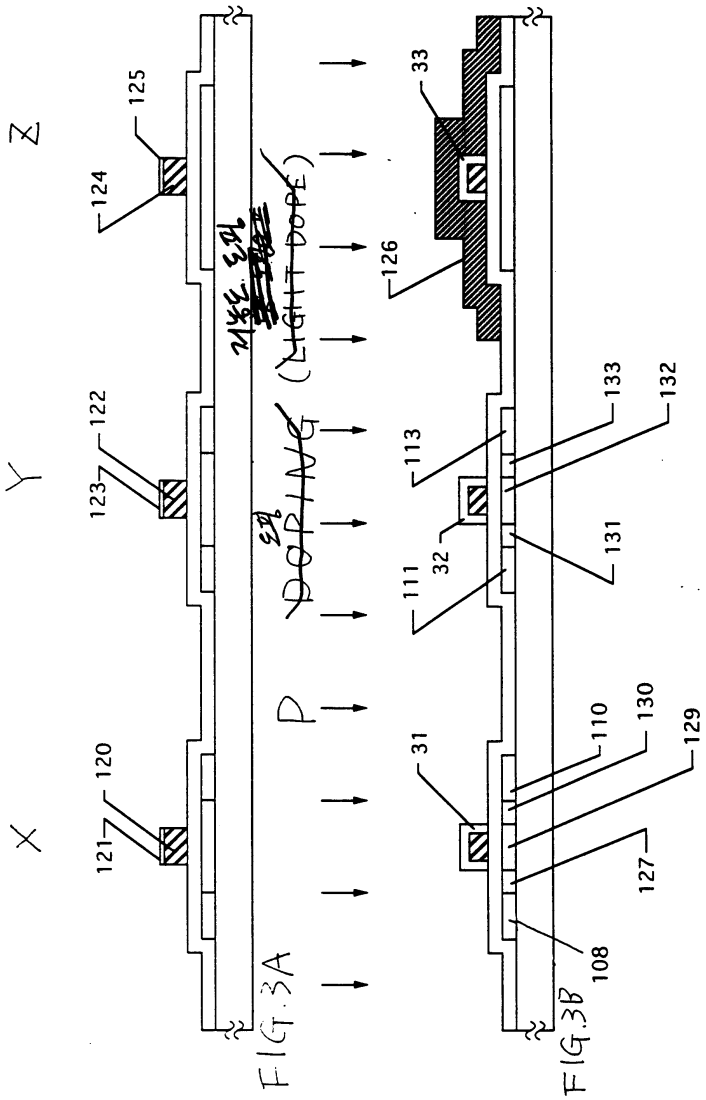
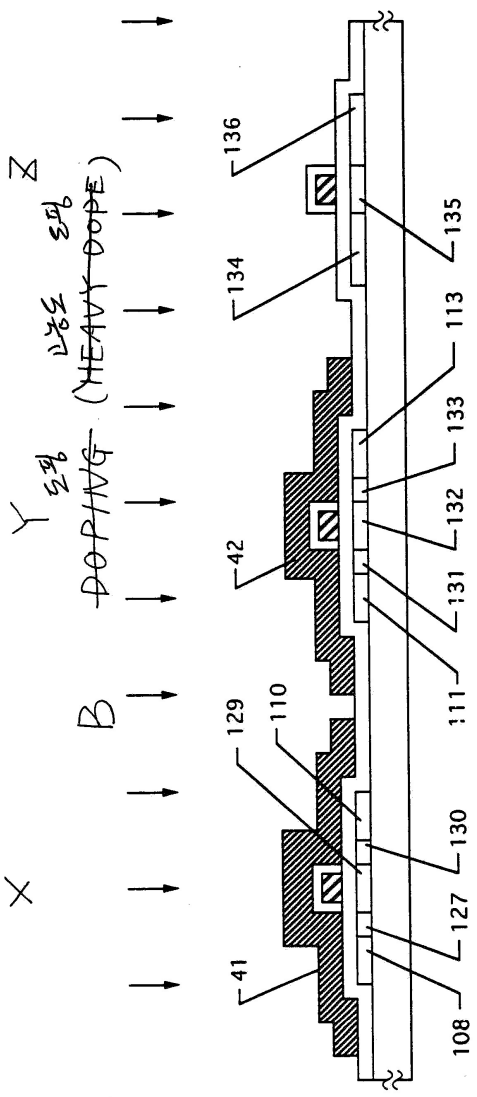
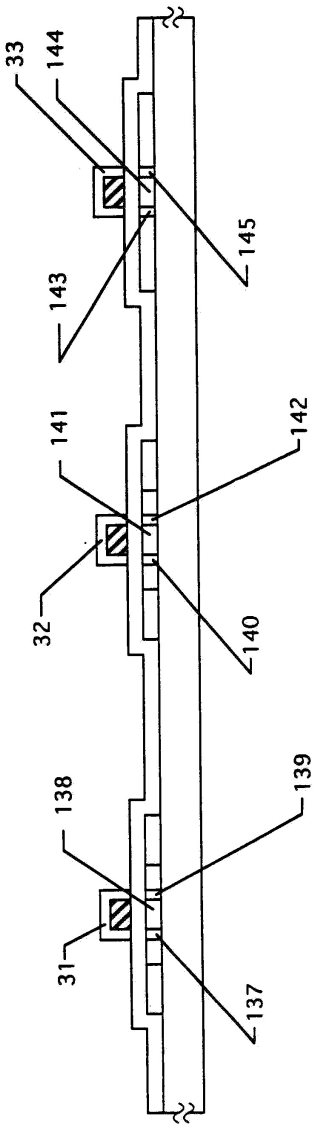


FIG.3A FIG.3B

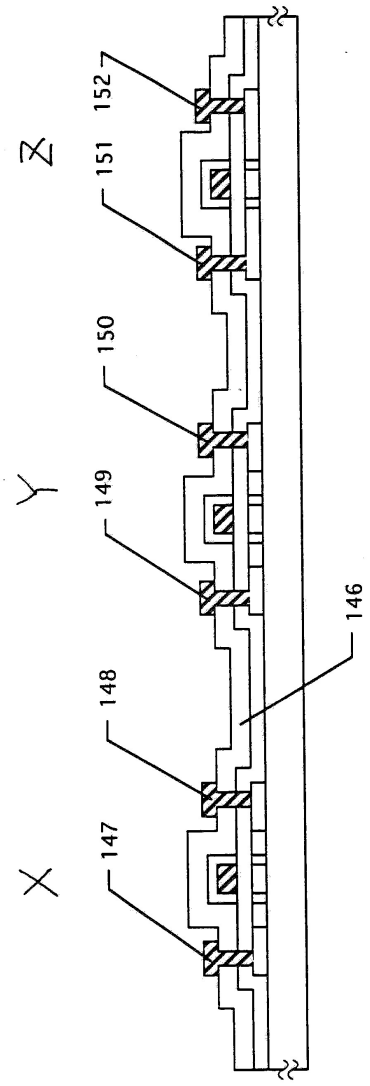
도면4a


X
B
Y
Z
DOPING
(HEAVY DOPE)
41
42
108
127
129
130
110
111
131
132
133
113
134
135
136

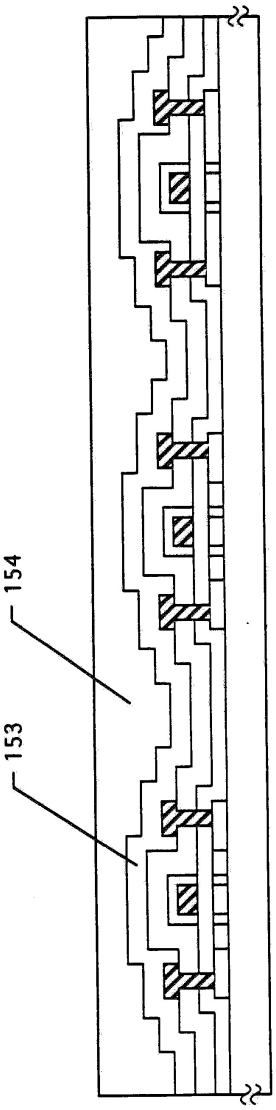
도면4b



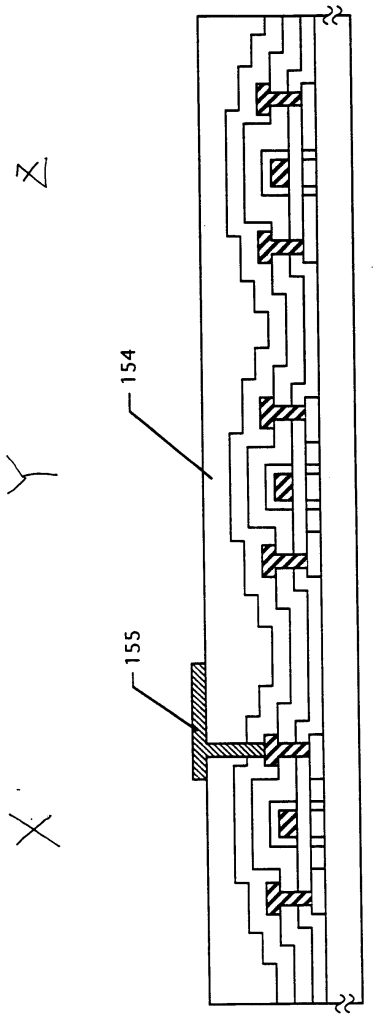
도면5a



도면5b



도면6



도면7

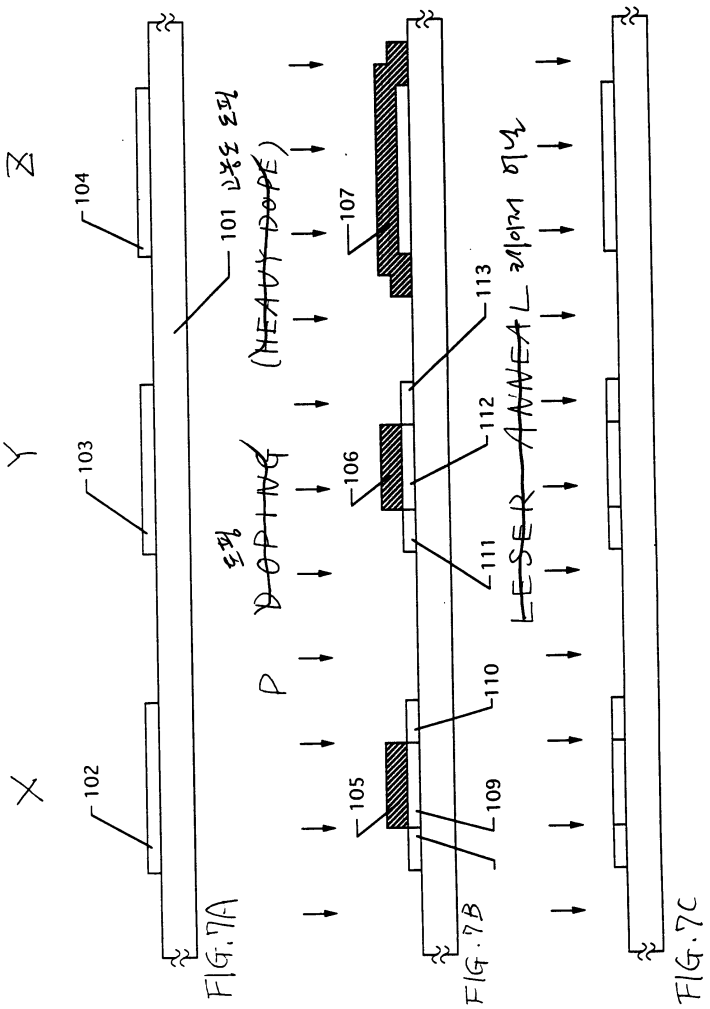


FIG.7A FIG.7B FIG.7C

도면8

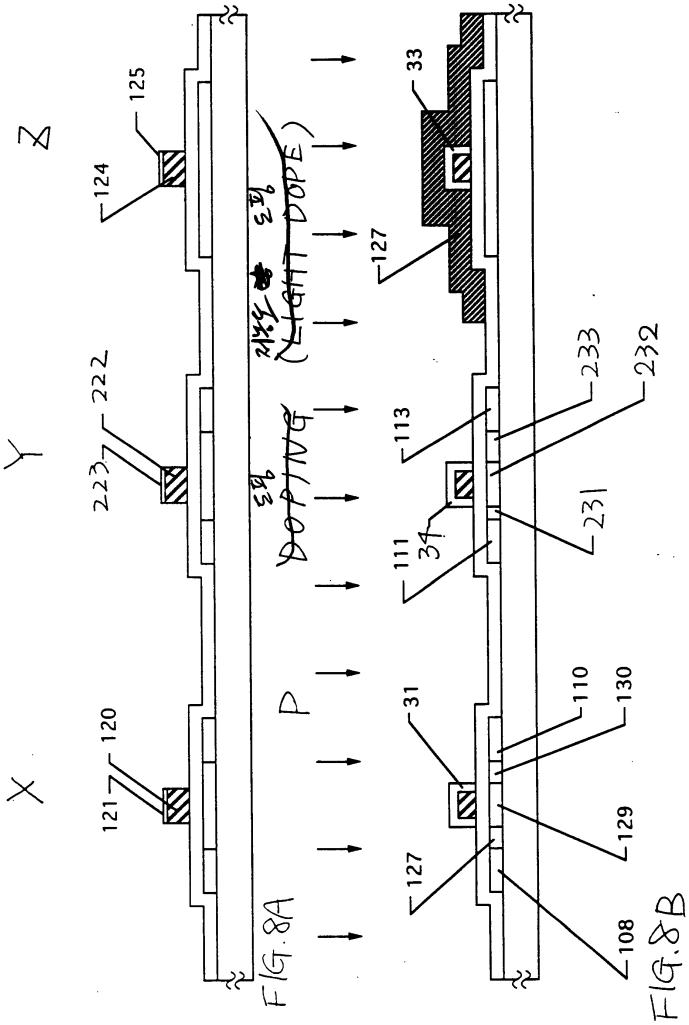
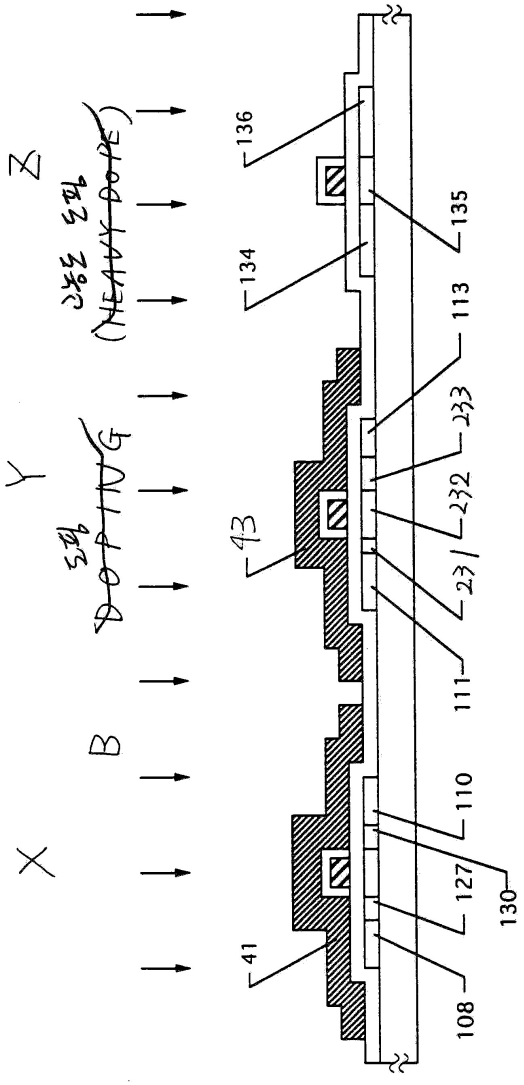


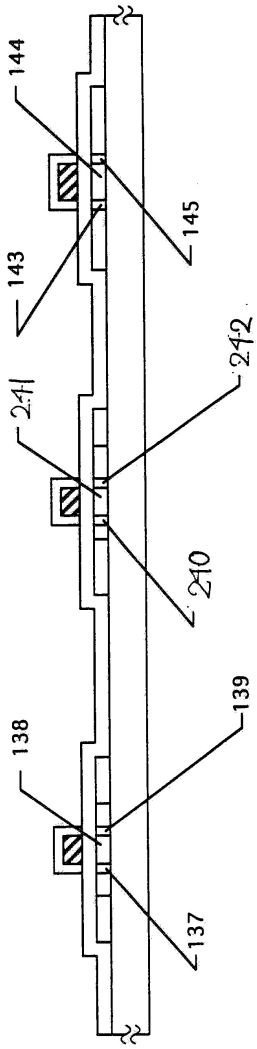
FIG.8A

FIG.8B

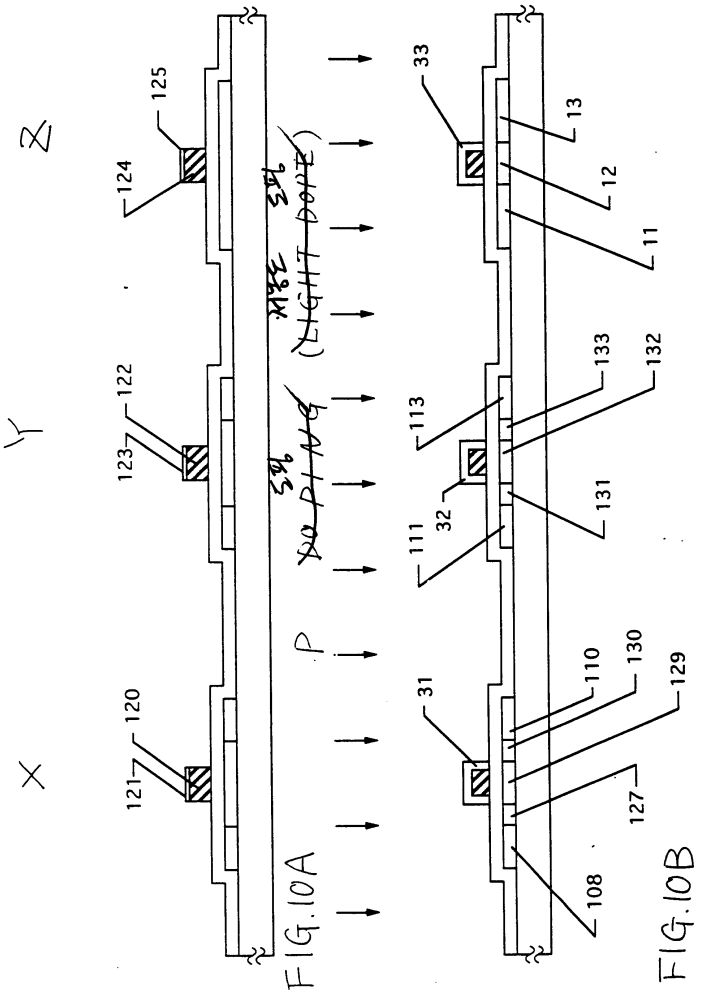
도면9a



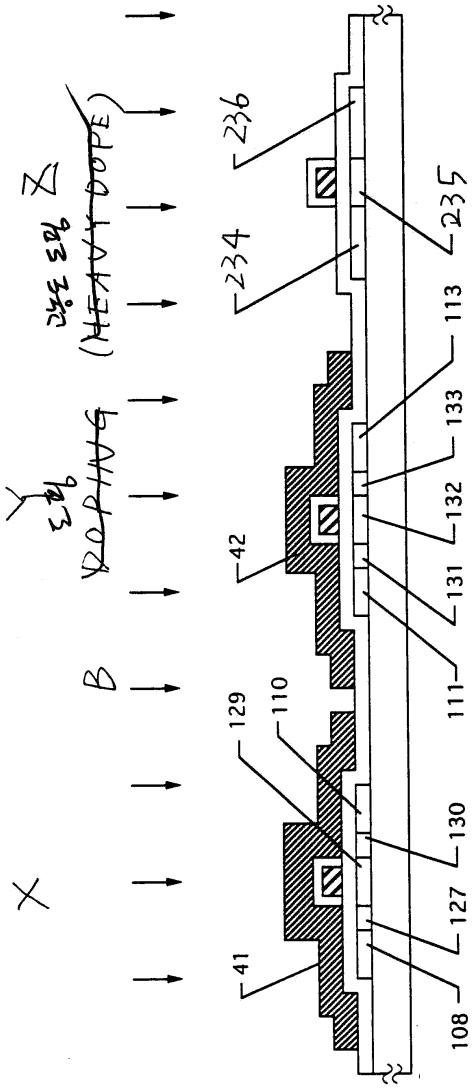
도면9b



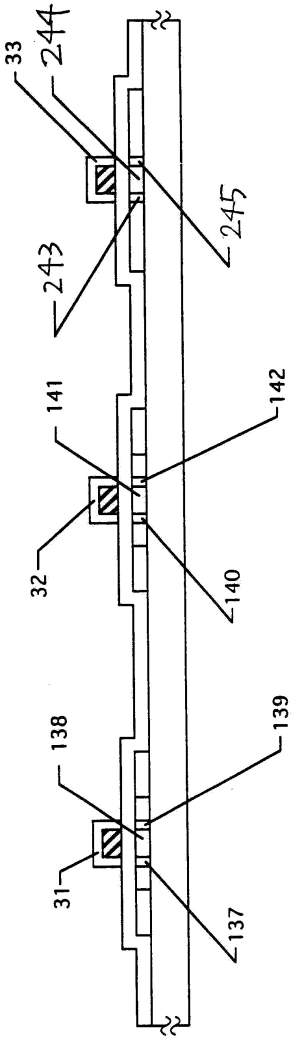
도면10


Z
Y
X
120
121
122
123
124
125
P
(LIGHT BEAM)
FIG.10A
33
13
12
11
113
133
132
111
32
131
31
110
130
129
127
108
FIG.10B

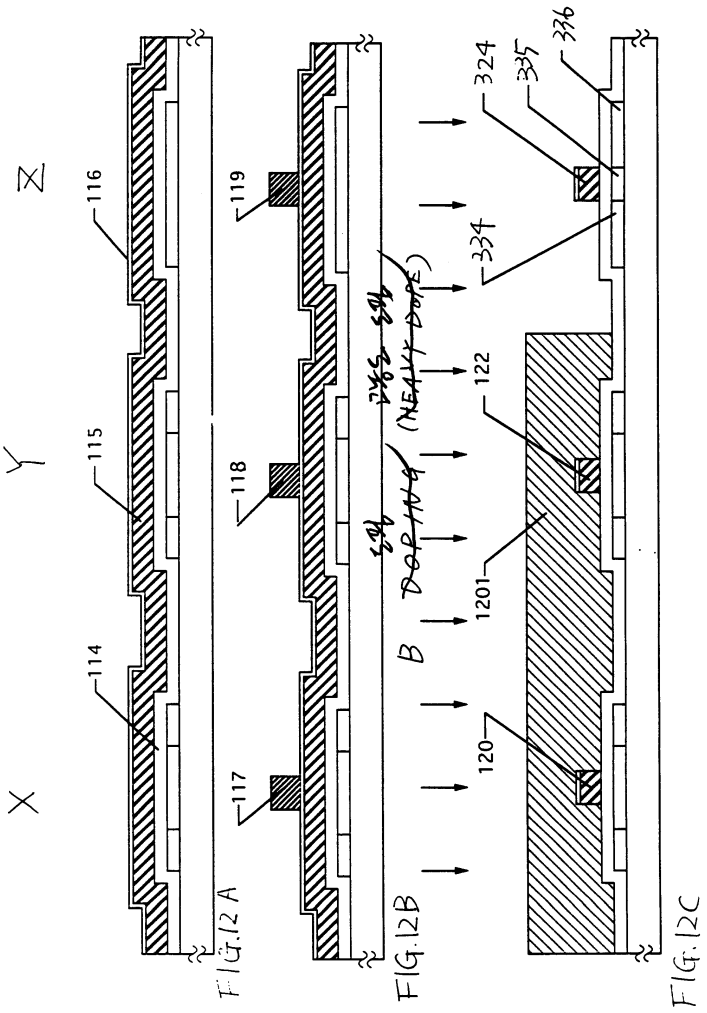
도면11a



도면11b



도면12


X
Y
Z
114
115
116
117
118
119
120
122
1201
324
334
335
336
B
FIG.12A
FIG.12B
FIG.12C

도면13

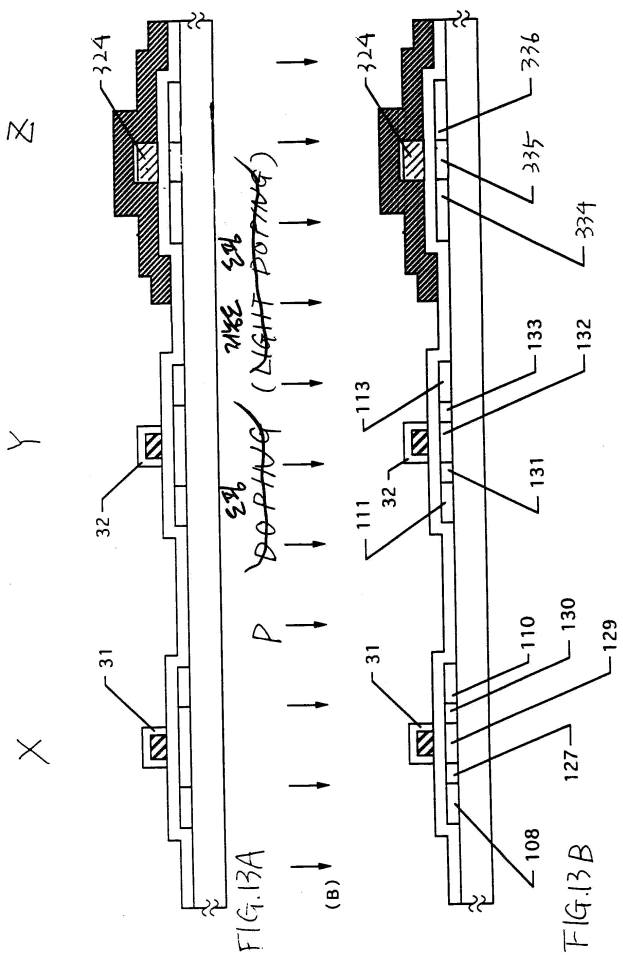


FIG.13A FIG.13B