

색인어

비휘발성 메모리, SONOS, 험프 (hump) 현상, 플래시 메모리

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래 SONOS 메모리 소자에서 발생하는 험프(hump) 현상을 설명하기 위한 사진도.

도 2는 종래 SONOS 메모리 셀의 레이아웃(layout)도.

도 3은 도 2의 레이아웃도에 대한 등가 회로도.

도 4는 종래 SONOS 메모리 소자가 소거 동작을 할 때 읽기 전류의 변화를 보여주는 그래프.

도 5는 종래 SONOS 메모리 소자가 프로그램 동작을 할 때 읽기 전류의 변화와 험프 현상을 보여주는 그래프.

도 6 내지 도 12는 본 발명에 따른 비휘발성 메모리 소자의 구조와 제조 방법을 설명하기 위한 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비휘발성 메모리 기술에 관한 것으로서, 좀 더 구체적으로는 소자절연층과 활성 영역 사이에 절연막 스페이서가 형성된 SONOS 구조의 비휘발성 메모리 소자 및 그 제조 방법에 관한 것이다.

비휘발성 메모리(Nonvolatile memory)는 플래시 메모리와 같은 부유 게이트(floating gate) 소자가 대부분을 차지한다. 플래시 메모리 소자 중 단일 비트 플래시 메모리는 고집적 소자에 적합하지 않기 때문에, 하나의 셀에 2개 이상의 게이트 구조를 갖는 다중비트 셀이 개발되었다. 이러한 다중비트 셀을 구현하기 위해 실리콘-산화막-질화막-산화막-실리콘 구조로 된 SONOS (Silicon-Oxide-Nitride-Oxide-Silicon) 구조의 비휘발성 메모리가 사용된다.

SONOS 메모리는 예컨대, "Chan et al, IEEE Electron Device Letters, Vol. 8, No. 3, p. 93, 1987"에 소개되어 있는데, SONOS 메모리 셀은 2개의 절연층(실리콘 산화막) 사이에 놓인 유전층(보통 실리콘 질화막)에 전하가 포획되는 구조로 되어 있다. 2개의 절연층 중 유전층 위에 있는 절연층 위에는 전기전도성 게이트 층이 형성된다. 드레인 역할을 하는 쪽에 전하가 포획되기 때문에 이러한 구조는 2-트랜지스터 셀 또는 2비트 셀이라고 한다. 필요하면 셀 하나에 여러 비트를 구현할 수 있는데, 이처럼 다비트 셀이 가능하기 때문에, SONOS 메모리는 하나의 집적회로 칩에서 처리할 수 있는 정보의 양이 많이 필요한 추세에 더 적합하다. SONOS 메모리는 부유 게이트형 비휘발성 메모리를 대체할 것으로 기대되는데, SONOS 메모리는 셀 구조가 간단하고 공정이 단순하며 고집적화와 저전압 동작에 적합하고, 프로그램 전압을 조정할 수 있으며 프로그램을 빨리 할 수 있고 수명이 길며 데이터 유지가 좋다는 등의 장점이 있다.

SONOS 메모리의 문제점 중 하나는 험프(hump) 현상이다. 험프 현상은 SONOS 메모리 셀이 구성되는 활성영역에서 터널 산화막의 두께가 균일하지 않기 때문에 생긴다.

도 1a 내지 도 1c는 종래 SONOS 소자의 험프 현상을 설명하기 위한 사진도이다.

도 1a 내지 도 1c에서 보는 것처럼, 종래 SONOS 메모리 셀은 소자분리층(5) 사이에 있는 활성 영역(5)에 형성되며, 기판(10) 위에 터널 산화막(12), 유전막(14), 블록 산화막(16)과 게이트 폴리실리콘(18)의 SONOS 구조로 되어 있다. 여기서, 소자분리층(5)은 STI (Shallow Trench Isolation) 구조로 되어 있고, 유전막(14)은 전하가 포획(trap)되는 실리콘 질화막이다. 그런데, 도 1a의 점선 사각형(1B, 1C) 및 도 1b의 원 B와 도 1c의 원 C에서 보는 것처럼, STI 소자분리층(5)의 구성

완곡부에 있는 터널 산화막(12)의 두께가 다른 활성 영역에 있는 터널 산화막 보다 두께가 2배 이상으로 두꺼워진다. 이처럼 소자분리층(5)의 구석 완곡부에서 터널 산화막의 두께가 증가하는 이유는 이 영역의 응력(stress)과 실리콘 기판의 방향성(111 방향) 등 때문이다.

이처럼 소자분리층(5)의 터널 산화막(12)이 두꺼워지면 이 영역에는 도 2에 나타난 것과 같은 기생 트랜지스터가 형성된다. 즉, 활성 영역(8)의 게이트 폴리(18)와 소스(22), 드레인(24)으로 형성되는 SONOS 트랜지스터(25)와 별개로 터널 산화막(12) 두께의 국부적 증가로 인한 기생 트랜지스터(20)가 활성 영역(8)의 구석 부분에 형성된다.

도 3은 도 2에 나타난 종래 SONOS 메모리 셀 레이아웃의 증가회로도이다. 도 3에서 보는 것처럼, SONOS 트랜지스터(25)와 병렬로 2개의 기생 트랜지스터(20)가 연결되어 있다. 이처럼 기생 트랜지스터(20)가 형성되면, SONOS 트랜지스터(25)의 프로그램 동작과 소거 동작이 제대로 이루어지지 못한다. 그 이유 중 하나는 기생 트랜지스터(20)는 SONOS 트랜지스터(25)와 달리 프로그램 동작이나 삭제 동작에 상관없이 일정한 문턱전압을 가지기 때문이다. 이러한 이유로 험프 현상이 발생하는데, 험프 현상은 SONOS 트랜지스터(25)의 프로그램 동작에서 주로 나타난다.

즉, SONOS 트랜지스터(25)가 소거 동작을 할 경우, SONOS 트랜지스터(25)는 소거가 잘되어 문턱전압이 많이 낮아지는 반면, 기생 트랜지스터(20)는 소거가 안되어 문턱전압이 높은 상태를 그대로 유지한다. 하지만, SONOS 트랜지스터(25)에서 데이터를 읽을 때에는 SONOS 트랜지스터(25)가 주전류원(main current source)으로 작용하기 때문에 기생 트랜지스터(20)에서 생기는 기생 전류는 무시할 정도로 작아서 도 4에서 보는 것처럼 험프 현상이 잘 나타나지 않는다.

반면, SONOS 트랜지스터(25)가 프로그램 동작을 할 경우, SONOS 트랜지스터(25)는 프로그램이 잘 되어 문턱전압이 많이 높아지는 반면, 기생 트랜지스터(20)는 프로그램이 안되어 문턱전압이 이전 상태를 그대로 유지된다. 즉, SONOS 트랜지스터(25)의 문턱전압이 기생 트랜지스터(20)의 문턱전압보다 더 높다. 이로 인해 SONOS 트랜지스터(25)에서 데이터를 읽을 때 기생 트랜지스터(20)가 SONOS 트랜지스터(25)보다 먼저 턴온(turn on)되어 주전류원으로 작용하기 때문에, 기생 트랜지스터(20)에서 발생하는 기생 전류는 무시할 수 없게 되며, 기생 트랜지스터(20)가 턴온된 다음에 SONOS 트랜지스터(25)가 턴온되기 때문에 도 5의 원 D로 나타난 것처럼 SONOS 트랜지스터(25)의 읽기 전류에 험프 현상이 심하게 나타난다.

이러한 험프 현상이 발생하면 SONOS 트랜지스터(25)의 읽기 동작에 오류가 발생하며, 프로그램 동작에서 문턱전압의 분포가 넓어지는 문제가 생긴다. 또한, 프로그램된 SONOS 셀의 기생 트랜지스터(20)에 의한 누설 전류가 증가하며, 소프트 오류(soft fail)도 증가한다.

따라서 신뢰성 있는 SONOS 메모리 소자를 만들기 위해서는 이러한 험프 현상을 방지할 수 있는 대책이 절실하게 요구된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 험프 현상의 발생을 방지할 수 있는 비휘발성 메모리 소자와 그 제조 방법을 제공하는 것이다.

본 발명의 다른 목적은 비휘발성 메모리 소자의 신뢰성을 높이는 것이다.

발명의 구성 및 작용

본 발명에 따른 비휘발성 메모리 소자는 소자절연층으로 분리된 활성영역에 형성되며, 상기 소자절연층과 활성영역의 경계면에 형성되어 있는 절연막 스페이서와, 상기 절연막 스페이서 사이에 있는 활성영역에 형성되어 있는 전하 포획 유전층과, 상기 전하 포획 유전층 위에 형성된 게이트 전극층과, 상기 게이트 전극층을 중심으로 게이트 전극층 양쪽의 상기 활성영역에 형성되어 있는 소스와 드레인을 포함한다.

본 발명에 따른 비휘발성 메모리 소자의 제조 방법은, (1) 반도체 기판에 소자절연층과 이 소자절연층에 의해 전기적으로 분리되는 활성 영역을 형성하는 단계와, (2) 상기 반도체 기판 전체에 절연막을 도포하는 단계와, (3) 상기 절연막을 비등방성 블랭킹 식각하여, 상기 소자절연층과 활성 영역의 경계면에 절연막 스페이서를 형성하는 단계와, (4) 상기 절연막 스페이서 사이의 활성 영역에 전하 포획 유전층을 형성하는 단계와, (5) 상기 전하 포획 유전층 위에 형성되도록 게이트 전극층을 형성하는 단계를 포함한다.

구현예

도 6 내지 도 12를 참조로 본 발명에 따른 비휘발성 메모리 소자의 구조와 이를 제조하는 방법의 구체적인 구현예에 대해 설명한다.

도 6을 참조하면, 반도체 기판(100)에 패드 산화막(130)과 질화막(140)을 형성한 다음, 사진 식각 공정을 통해 소자절연층(110)을 형성한다. 도 6에서 소자 절연층(110)은 기판에 트렌치 모양으로 형성된 STI (Shallow Trench Isolation)이며, 이 STI 소자절연층(110) 사이의 기판 영역에는 SONOS 트랜지스터가 형성되므로 이것을 활성영역(120, active region)이라 한다. STI 소자절연층(110)은 질화막(140)을 마스크로 하여 반도체 기판(100)을 일정한 깊이로 식각하여 트렌치를 형성한 다음 트렌치를 절연물질로 채우고(gap filling), CMP (Chemical Mechanical Polishing) 공정으로 표면평탄화하는 공정을 통해 만들 수 있다.

도 7을 참조하면, 질화막(140)을 제거하고, 패드 산화막(130)이 존재하는 기판 표면에 인(Ph)이나 비소(As) 또는 안티몬(Sb) 등을 이온주입한다. 이 이온주입은 SONOS 메모리 트랜지스터 또는 셀의 문턱전압을 조절하기 위한 것이다.

도 8을 참조하면, 패드 산화막(130)이 존재하는 기판 표면에 붕소(B)나 인듐(In)을 주입하여 N형 웰(well) 또는 P형 웰을 형성한다.

도 9를 참조하면, 웰이 형성된 기판 표면 전체에 산화막이나 질화막으로 된 절연막(150)을 도포한다. 절연막(150)은 실리콘 산화막, 실리콘 질화막, TEOS (Tetraethylorthosilicate), PSG (Phosphosilicate Glass) 또는 BPSG (Borophosphosilicate Glass)를 예컨대 화학기상증착법(CVD: Chemical Vapor Deposition)이나 스핀온 (spin-on) 기법으로 형성할 수 있다.

도 10을 참조하면, 절연막(150)을 비등방성 블랭킷 식각(blanket etch)하여 STI 소자절연층(110)과 활성 영역(120)의 경계면에 절연막 스페이서(160, spacer)를 형성한다. 절연막 스페이서(160)를 형성하는 식각에는 예컨대, 플라즈마 식각이나 반응성 이온 식각법(RIE: Reactive Ion Etch)을 이용할 수 있다.

도 11을 참조하면, 절연막 스페이서(160)들 사이에 존재하는 패드 산화막(130)을 제거하고, ONO 구조(170)를 형성한다. ONO 구조에 의해 SONOS 메모리 셀의 전하 포획 유전층(charge trapping dielectric layer)이 형성되는데, 예컨대, 하부 실리콘 산화막, 실리콘 질화막, 상부 실리콘 산화막을 차례로 적층하여 ONO 구조를 만들 수 있다. 이러한 3층으로 된 ONO 구조는 물론, 산화막과 질화막의 2층 구조로 된 것과, 실리콘 산화막(SiO₂)과 티타늄 산화막(Ti₂O₅)의 2층 구조, 실리콘 산화막-티타늄 산화막-실리콘 산화막의 3층 구조 등 다양하게 ONO 구조를 구현할 수 있다. ONO 구조는 예컨대 LPCVD (Low Pressure CVD) 방법으로 형성될 수 있다.

도 12를 참조하면, ONO 구조(170)가 형성된 기판 표면에 다결정 실리콘(180)을 도포한다. 도면에는 나타내지 않았지만, 다결정 실리콘(180)을 패턴 형성하여 이것을 게이트로 사용한다. 다결정 실리콘(180)은 도핑된 다결정 실리콘이며, 이것 대신 도핑된 비정질 실리콘을 사용할 수도 있다.

도 12의 단면도를 통해 알 수 있는 것처럼, 본 발명에 따른 비휘발성 메모리 소자는 소자분리층(110)에 의해 분리된 활성 영역(120)에 형성되며, 상기 소자절연층과 활성영역의 경계면에 형성되어 있는 절연막 스페이서(160)와, 상기 절연막 스페이서 사이에 있는 활성영역에 형성되어 있는 전하 포획 유전층(170)과, 상기 전하 포획 유전층 위에 형성된 게이트 전극층(180)을 포함한다. 도 12에는 나타나 있지 않지만, 도 2를 참조하면 상기 게이트 전극층을 중심으로 게이트 전극층 양쪽의 상기 활성영역에는 소스와 드레인이 형성되어 있다는 점을 쉽게 알 수 있을 것이다.

지금까지 본 발명의 구체적인 구현예를 도면을 참조로 설명하였지만 이것은 본 발명이 속하는 기술분야에서 평균적 지식을 가진 자가 쉽게 이해할 수 있도록 하기 위한 것이고 발명의 기술적 범위를 제한하기 위한 것이 아니다. 따라서 본 발명의 기술적 범위는 특허청구범위에 기재된 사항에 의하여 정하여지며, 도면을 참조로 설명한 구현예는 본 발명의 기술적 사상과 범위 내에서 얼마든지 변형하거나 수정할 수 있다. 또한, 본 발명은 SONOS 구조로 된 비휘발성 메모리에 광범위하게 적용될 수 있다. 즉, NOR형 메모리나 NAND형 메모리에 본 발명을 그대로 적용할 수 있으며, ROM (read Only Memory), PROM (Programmable ROM), EPROM Erasable PROM), EEPROM (Electrically Erasable PROM)에도 본 발명을 적용할 수 있다.

발명의 효과

본 발명에서는 STI 소자절연층(110)과 활성 영역(120)의 경계면에 산화막 스페이서(160)가 형성되어 있기 때문에, STI 소자절연층(110)의 구석 완곡부에 기생 트랜지스터가 생기는 종래 기술의 문제를 완전히 해결할 수 있다. 즉, 종래 SONOS 메모리 소자에서는 소자절연층의 구석 완곡부에서 터널 산화막이 부분적으로 두꺼워지는 현상이 생기지만, 본 발명에서는 터널 산화막이 부분적으로 두꺼워질 영역에 미리 절연막 스페이서(160)를 형성해 두기 때문에 이 절연막 스페이서로 인하여 터널 산화막의 두께가 증가하는 것이 방지되므로, 종래 SONOS와 같은 현상은 발생하지 않는다. 따라서, 종래 SONOS 메모리에서 문제가 되었던 험프 현상은 본 발명의 비휘발성 메모리에서는 생기지 않는다.

또한, 험프 현상을 방지하기 위하여 절연막 도포 공정과 블랭킷 식각 공정만 추가하면 되기 때문에 본 발명은 제조 공정의 단계 수를 많이 늘릴 필요도 없으며 공정 비용이 증가하지도 않으면서 험프 현상을 쉽게 방지할 수 있고, 비휘발성 메모리 소자의 신뢰성을 크게 높일 수 있다.

(57) 청구의 범위

청구항 1.

소자절연층으로 분리된 활성영역에 형성되는 비휘발성 메모리 소자로서,

상기 소자절연층과 활성영역의 경계면에 형성되어 있는 절연막 스페이서와,

상기 절연막 스페이서 사이에 있는 활성영역에 형성되어 있는 전하 포획 유전층과,

상기 전하 포획 유전층 위에 형성된 게이트 전극층과,

상기 게이트 전극층을 중심으로 게이트 전극층 양쪽의 상기 활성영역에 형성되어 있는 소스와 드레인을 포함하는 비휘발성 메모리 소자.

청구항 2.

제1항에서,

상기 절연막 스페이서는 기관 표면 전체에 절연막을 도포한 다음 이 절연막을 블랭킷 식각하여 형성되는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 3.

제2항에서,

상기 절연막은 실리콘 산화막, 실리콘 질화막, TEOS (Tetraethylorthosilicate), PSG (Phosphosilicate Glass) 및 BPSG (Borophosphosilicate Glass)로 구성되는 그룹에서 선택되는 절연막이며, 상기 블랭킷 식각은 플라즈마 식각과 반응성 이온 식각을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 4.

제1항에서,

상기 전하 포획 유전층은 하부 실리콘 산화막, 실리콘 질화막, 상부 실리콘 산화막을 차례로 적층한 3층 구조, 산화막과 질화막의 2층 구조, 실리콘 산화막(SiO₂)과 티타늄 산화막(Ti₂O₅)의 2층 구조, 실리콘 산화막-티타늄 산화막-실리콘 산화막의 3층 구조로 구성된 그룹에서 선택되는 구조의 전하 포획 유전층인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 5.

비휘발성 메모리 소자를 제조하는 방법으로서,

반도체 기판에 소자절연층과 이 소자절연층에 의해 전기적으로 분리되는 활성 영역을 형성하는 단계와,

상기 반도체 기판 전체에 절연막을 도포하는 단계와,

상기 절연막을 비등방성 블랭킷 식각하여, 상기 소자절연층과 활성 영역의 경계면에 절연막 스페이서를 형성하는 단계와,

상기 절연막 스페이서 사이의 활성 영역에 전하 포획 유전층을 형성하는 단계와,

상기 전하 포획 유전층 위에 형성되도록 게이트 전극층을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조 방법.

청구항 6.

제5항에서,

상기 소자절연층과 활성 영역을 형성하는 단계는,

상기 반도체 기판에 패드 산화막을 도포하는 단계와,

상기 패드 산화막 위에 질화막을 도포하는 단계와,

상기 패드 산화막과 질화막을 패터닝 형성하는 단계와,

상기 패터닝 형성된 질화막을 마스크로 하여 상기 반도체 기판을 식각하여 상기 소자절연층을 형성하는 단계와,

상기 패터닝 형성된 질화막을 제거하고, 반도체 기판 표면에 문턱전압 조절을 위한 이온주입을 하는 단계와,

상기 반도체 기판 표면에 제2 이온주입을 하여 웰을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

청구항 7.

제5항에서,

상기 절연막 스페이서를 형성하는 절연막은 실리콘 산화막, 실리콘 질화막, TEOS (Tetraethylorthosilicate), PSG (Phosphosilicate Glass) 및 BPSG (Borophosphosilicate Glass)로 구성되는 그룹에서 선택되는 절연막이며, 상기 블랭킷 식각은 플라즈마 식각과 반응성 이온 식각을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

청구항 8.

제5항에서,

상기 전하 포획 유전층은 하부 실리콘 산화막, 실리콘 질화막, 상부 실리콘 산화막을 차례로 적층한 3층 구조, 산화막과 질화막의 2층 구조, 실리콘 산화막(SiO₂)과 티타늄 산화막(Ti₂O₅)의 2층 구조, 실리콘 산화막-티타늄 산화막-실리콘 산화막의 3층 구조로 구성된 그룹에서 선택되는 구조의 전하 포획 유전층인 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

청구항 9.

제5항에서,

상기 게이트 전극층은 도핑된 다결정 실리콘 또는 도핑된 비정질 실리콘을 반도체 기판에 도포한 다음 이것을 패터닝 형성하여 형성되는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

청구항 10.

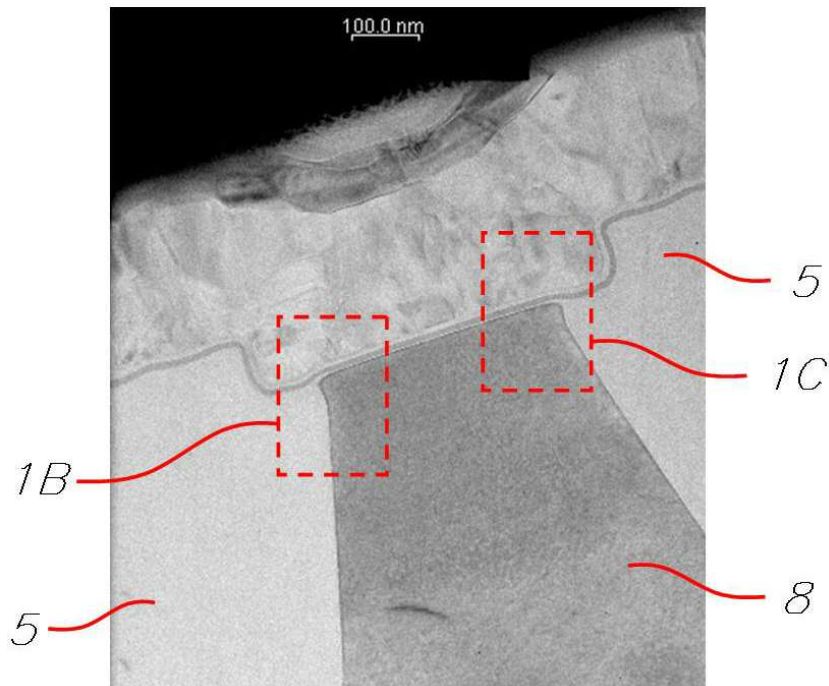
제5항에서,

상기 절연막을 도포하는 단계는 화학기상증착법 또는 스퍼온 기법으로 절연막을 도포하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

도면

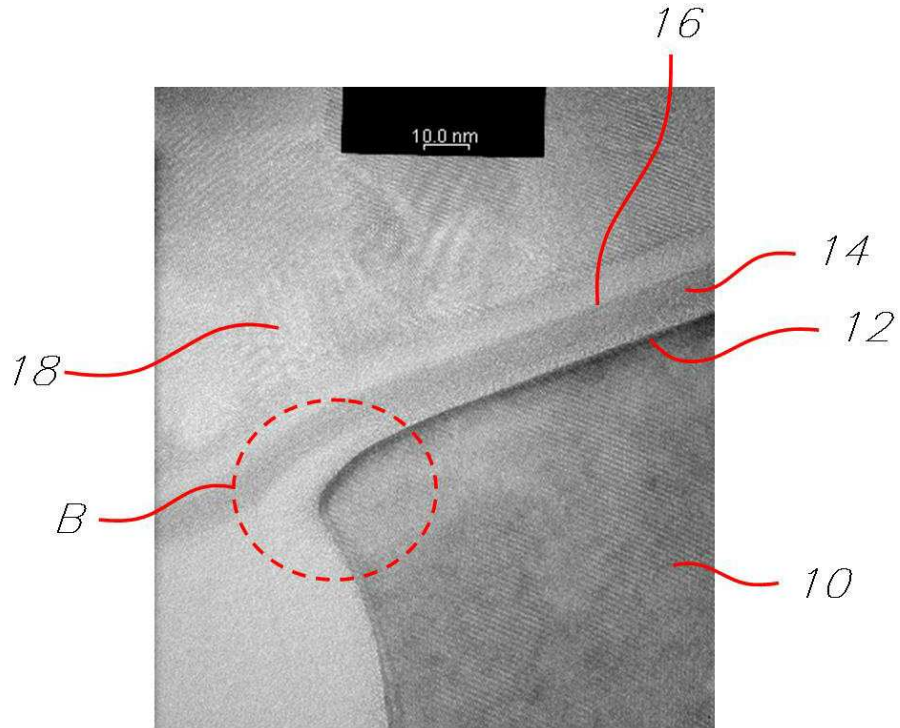
도면1a

[종래기술]



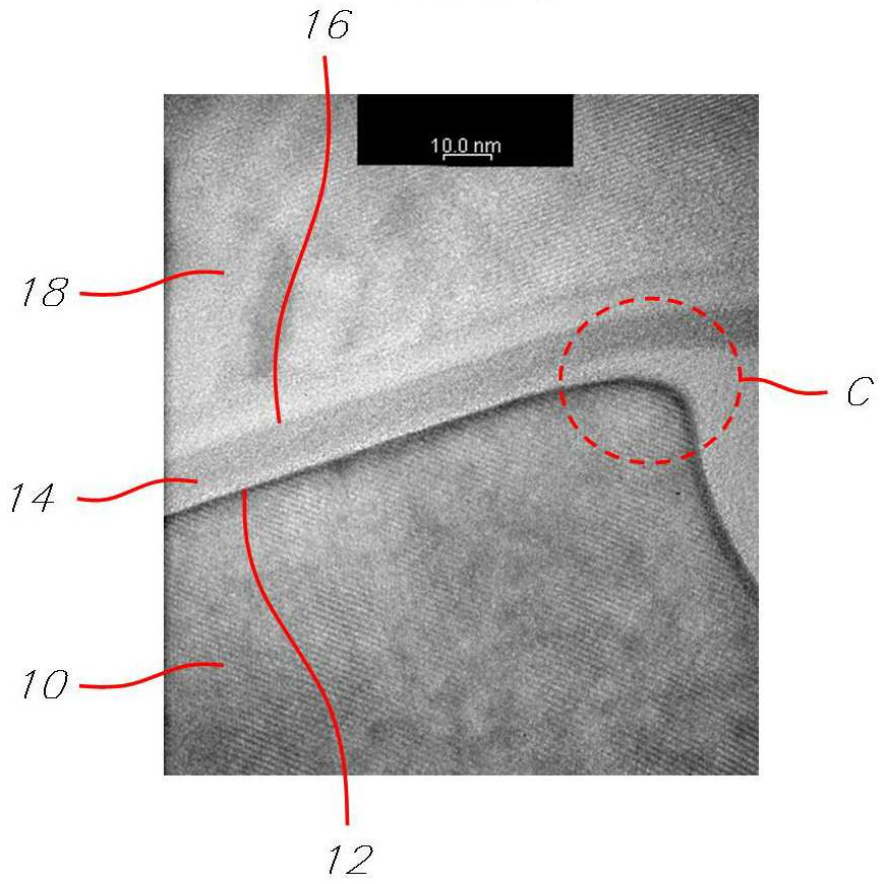
도면1b

[종래기술]



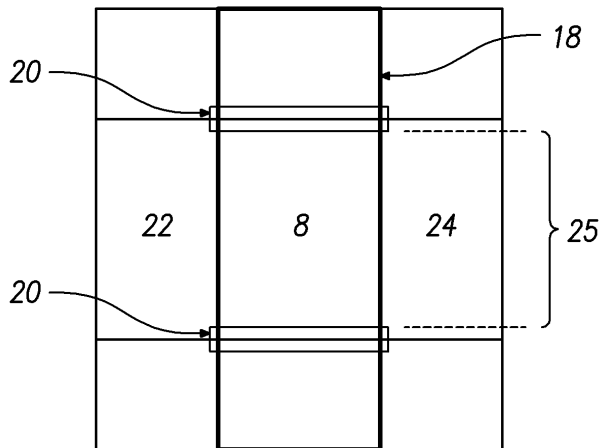
도면1c

[종래기술]

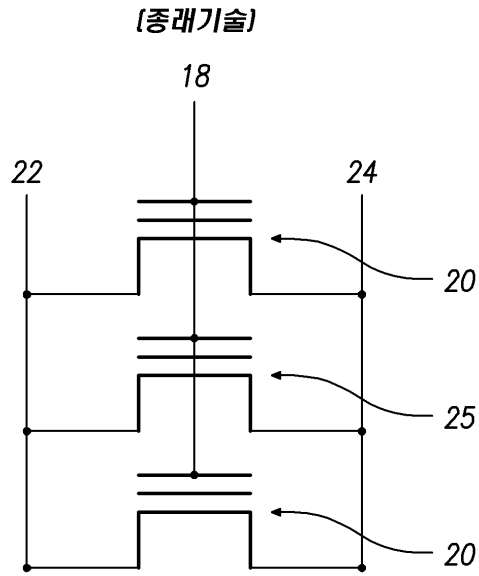


도면2

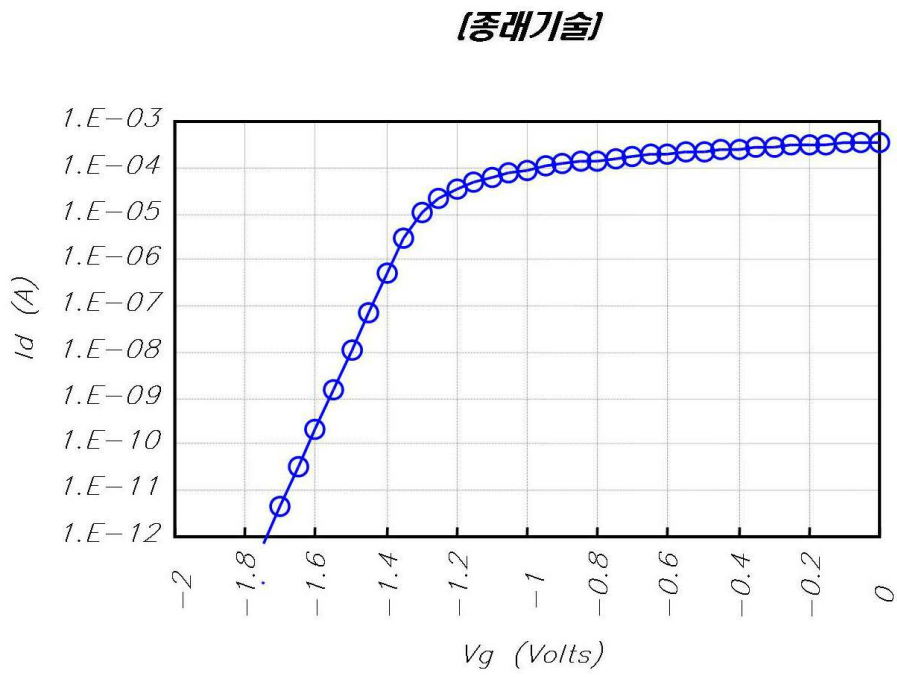
[종래기술]



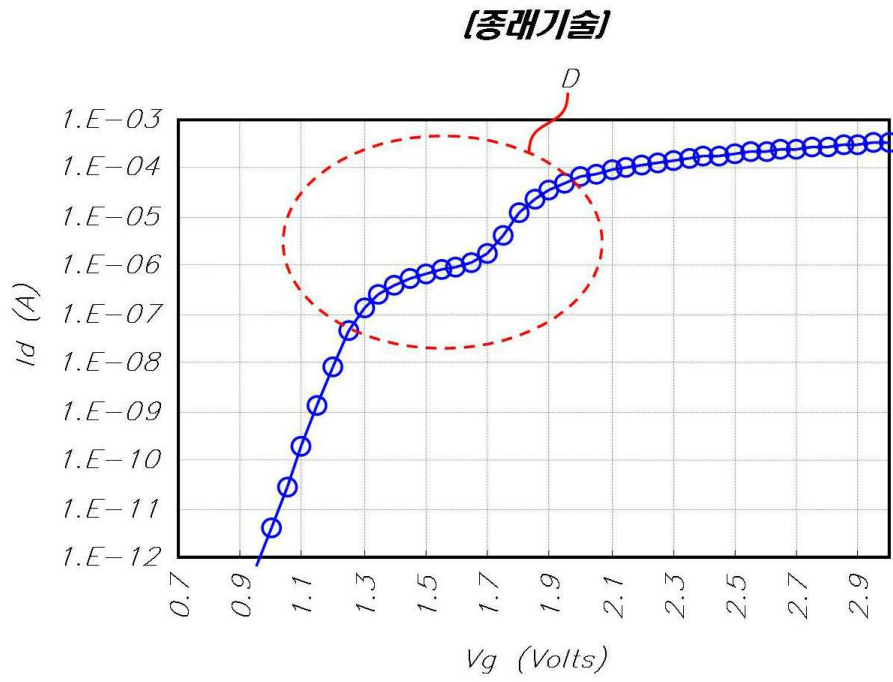
도면3



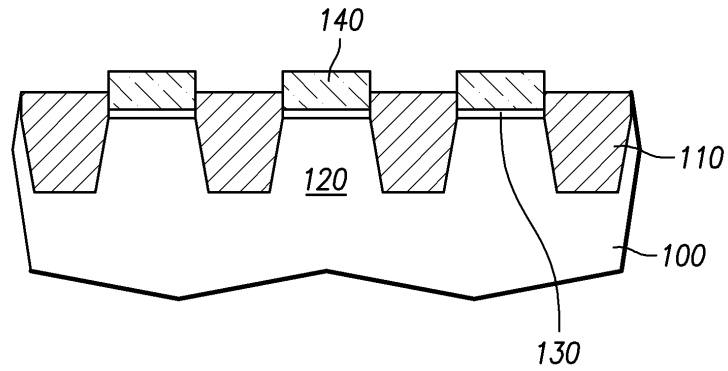
도면4



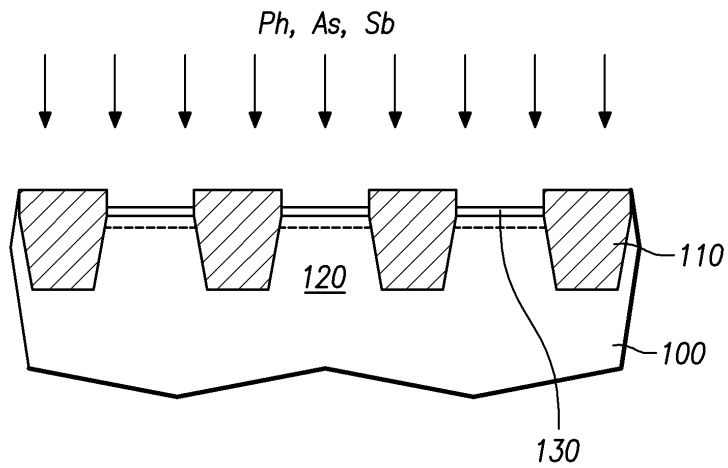
도면5



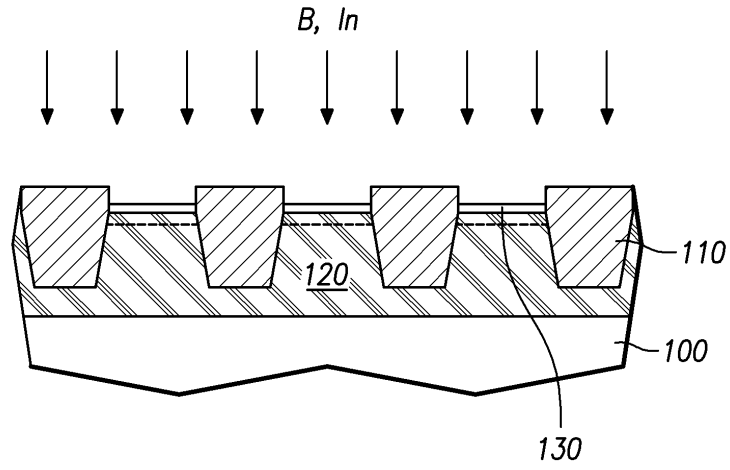
도면6



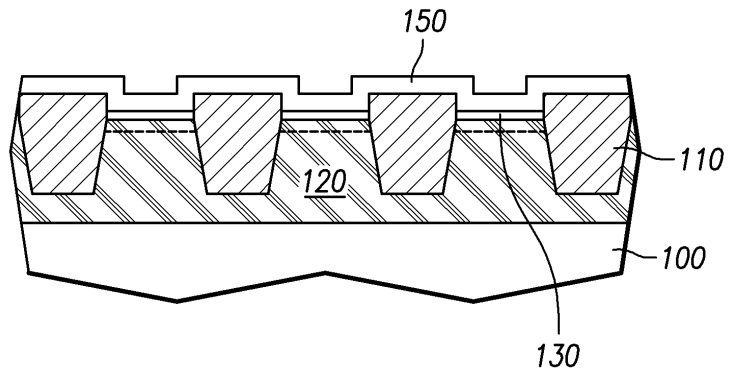
도면7



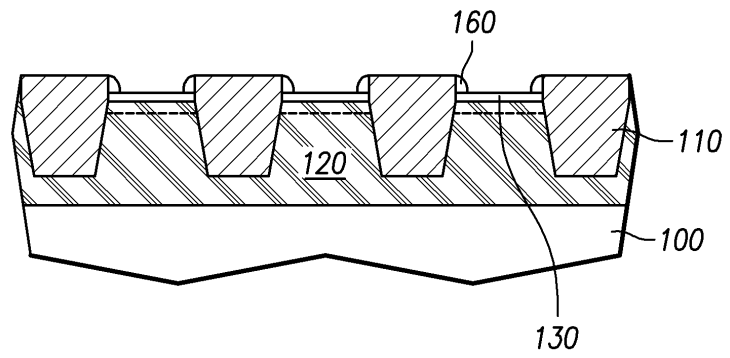
도면8



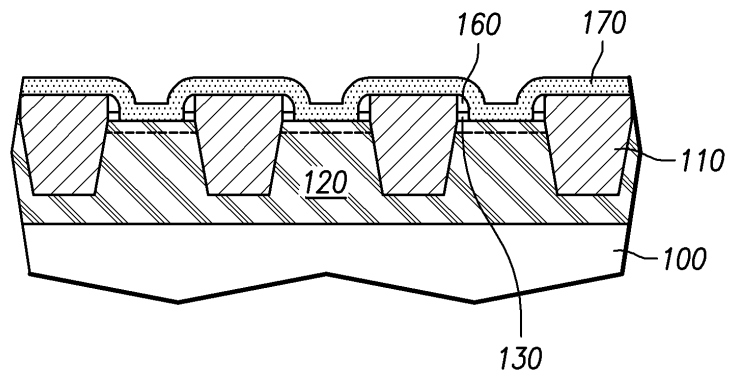
도면9



도면10



도면11



도면12

