

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 27 年 4 月 30 日 (2015.4.30)

【公開番号】特開 2013-9323 (P2013-9323A)

【公開日】平成 25 年 1 月 10 日 (2013.1.10)

【年通号数】公開・登録公報 2013-002

【出願番号】特願 2012-113045 (P2012-113045)

【国際特許分類】

H 0 3 K 3/356 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 29/786 (2006.01)

G 1 1 C 14/00 (2006.01)

【F I】

H 0 3 K 3/356 B

H 0 1 L 27/10 4 9 5

H 0 1 L 27/10 6 2 1 Z

H 0 1 L 27/10 6 7 1 C

H 0 1 L 27/10 6 7 1 Z

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 8 B

G 1 1 C 11/34 3 5 2 A

【手続補正書】

【提出日】平成 27 年 3 月 13 日 (2015.3.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

フリップフロップ回路と、選択回路と、前記選択回路を介して前記フリップフロップ回路と電気的に接続された記憶回路と、を含むレジスタ回路と、

ビット線と、

データ線と、を有し、

前記データ線は前記フリップフロップ回路と電気的に接続され、

前記ビット線は、前記選択回路を介して前記記憶回路と電気的に接続され、

前記選択回路は、前記データ線の電位または前記ビット線の電位に応じたデータを選択的に前記記憶回路に格納し、

前記記憶回路はチャネル形成領域に、酸化物半導体を含むトランジスタと、前記トランジスタの第 1 の電極と一方の電極が電気的に接続され、他方の電極が接地されている容量素子と、を有し、

前記データ線または前記ビット線の電位は、前記トランジスタの第 1 の電極と、前記容量素子の一方の電極と、が接続されたノードに格納されることを特徴とする半導体装置。

【請求項 2】

フリップフロップ回路と、選択回路と、前記選択回路を介して前記フリップフロップ回路と電気的に接続する記憶回路と、を含むレジスタ回路と、

ビット線と、  
データ線と、  
ワード線と、  
メモリライトイネーブル線と、を有し、  
前記ワード線及び前記メモリライトイネーブル線は前記選択回路と電氣的に接続され、  
前記データ線は前記フリップフロップ回路と電氣的に接続され、  
前記ビット線は、前記選択回路を介して前記記憶回路と電氣的に接続され、  
前記選択回路は、  
前記記憶回路と、前記ワード線または前記メモリライトイネーブル線との電氣的接続を  
選択する第１のスイッチと、  
前記記憶回路と、前記データ線または前記ビット線との電氣的接続を選択する第２のス  
イッチと、を有し、  
前記記憶回路はチャンネル形成領域に、酸化物半導体を含むトランジスタと、前記トラン  
ジスタの第１の電極と一方の電極が電氣的に接続され、他方の電極が接地されている容量  
素子と、を有し、  
前記データ線または前記ビット線の電位は、前記トランジスタの第１の電極と、前記容  
量素子の一方の電極と、が接続されたノードに格納されることを特徴とする半導体装置。

【請求項３】

マトリクス状に設けられた複数のレジスタ回路と、  
ビット線と、  
データ線と、を有し、  
前記レジスタ回路のーは、  
フリップフロップ回路と、選択回路と、前記選択回路を介して前記フリップフロップ回  
路と電氣的に接続された記憶回路と、を含み、  
前記データ線は前記フリップフロップ回路と電氣的に接続され、  
前記ビット線は、前記選択回路を介して前記記憶回路と電氣的に接続され、  
前記選択回路は、前記データ線の電位または前記ビット線の電位に応じたデータを選択  
的に前記記憶回路に格納し、  
前記記憶回路はチャンネル形成領域に、酸化物半導体を含むトランジスタと、前記トラン  
ジスタの第１の電極と一方の電極が電氣的に接続され、他方の電極が接地されている容量  
素子と、を有し、  
前記データ線または前記ビット線の電位は、前記トランジスタの第１の電極と、前記容  
量素子の一方の電極と、が接続されたノードに格納されることを特徴とする半導体装置。

【請求項４】

マトリクス状に設けられた複数のレジスタ回路と、  
ビット線と、  
データ線と、  
ワード線と、  
メモリライトイネーブル線と、を有し、  
前記レジスタ回路のーは、  
フリップフロップ回路と、選択回路と、前記選択回路を介して前記フリップフロップ回  
路と電氣的に接続された記憶回路と、を含み、  
前記ワード線及び前記メモリライトイネーブル線は前記選択回路と電氣的に接続され、  
前記データ線は前記フリップフロップ回路と電氣的に接続され、  
前記ビット線は、前記選択回路を介して前記記憶回路と電氣的に接続され、  
前記選択回路は、  
前記記憶回路と、前記ワード線または前記メモリライトイネーブル線との電氣的接続を  
選択する第１のスイッチと、  
前記記憶回路と、前記データ線または前記ビット線との電氣的接続を選択する第２のス  
イッチと、を有し、

前記記憶回路はチャネル形成領域に、酸化物半導体を含むトランジスタと、前記トランジスタの第 1 の電極と一方の電極が電氣的に接続され、他方の電極が接地されている容量素子と、を有し、

前記データ線または前記ビット線の電位は、前記トランジスタの第 1 の電極と、前記容量素子の一方の電極と、が接続されたノードに格納されることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記選択回路は、

前記記憶回路に前記フリップフロップ回路を介してデータ線の電位に応じたデータを格納する第 1 の動作モードと、

前記フリップフロップ回路に、前記記憶回路に格納されたデータを入力する第 2 の動作モードと、

前記記憶回路に前記ビット線の電位に応じたデータを格納する第 3 の動作モードと、

前記ビット線に前記記憶回路に格納されたデータを入力する第 4 の動作モードと、のいずれかを選択することを特徴とする半導体装置。