

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4536498号
(P4536498)

(45) 発行日 平成22年9月1日(2010.9.1)

(24) 登録日 平成22年6月25日(2010.6.25)

(51) Int.Cl.	F I
H03M 1/14 (2006.01)	H03M 1/14 A
H03M 1/36 (2006.01)	H03M 1/36

請求項の数 8 (全 14 頁)

(21) 出願番号	特願2004-351249 (P2004-351249)	(73) 特許権者	000116024
(22) 出願日	平成16年12月3日(2004.12.3)		ローム株式会社
(65) 公開番号	特開2006-165765 (P2006-165765A)		京都府京都市右京区西院溝崎町2 1 番地
(43) 公開日	平成18年6月22日(2006.6.22)	(74) 代理人	100105924
審査請求日	平成19年11月26日(2007.11.26)		弁理士 森下 賢樹
		(72) 発明者	薊 純一郎
			京都府京都市右京区西院溝崎町2 1 番地
			ローム株式会社内
		審査官	柳下 勝幸
		(56) 参考文献	特開平9-162738 (JP, A)
			特開昭59-12618 (JP, A)

最終頁に続く

(54) 【発明の名称】 アナログデジタル変換器

(57) 【特許請求の範囲】

【請求項 1】

アナログ入力信号を上位ビットと下位ビットの2段階に分けてデジタル変換する2ステップフラッシュ型アナログデジタル変換器であって、

複数の粗い基準電圧を生成する第1基準電圧生成部と、

前記複数の粗い基準電圧と前記アナログ入力信号を比較し、上位ビットのデータを生成する第1変換部と、

前記第1変換部により生成された上位ビットのデータ範囲にオーバーラップ範囲を加えた範囲全体に渡って、複数の密な基準電圧を生成する第2基準電圧生成部と、

前記複数の密な基準電圧と前記アナログ入力信号を比較し、下位ビットのデータを生成する第2変換部と、

前記第2変換部により生成された下位ビットのデータを監視する監視部と、を備え、

前記第1基準電圧生成部は、前記監視部による監視の結果、前記下位ビットのデータが上側のオーバーラップ範囲に含まれた場合には、前記複数の粗い基準電圧を低電圧側にシフトし、下側のオーバーラップ範囲に含まれた場合には、前記複数の粗い基準電圧を高電圧側にシフトすることを特徴とするアナログデジタル変換器。

【請求項 2】

前記監視部は、回路の動作中継続して前記下位ビットのデータを監視し、

前記第1基準電圧生成部は、前記監視部の監視結果にもとづき、適応的に前記複数の粗い基準電圧をシフトすることを特徴とする請求項1に記載のアナログデジタル変換器。

10

20

【請求項 3】

前記監視部は、所定の学習期間中に前記下位ビットのデータを監視し、

前記第 1 基準電圧生成部は、前記学習期間中の監視結果にもとづいて、前記複数の粗い基準電圧のシフト量を決定することを特徴とする請求項 1 に記載のアナログデジタル変換器。

【請求項 4】

アナログ入力信号を上位ビットと下位ビットの 2 段階に分けてデジタル変換する 2 ステップフラッシュ型アナログデジタル変換器であって、

複数の粗い基準電圧を生成する第 1 基準電圧生成部と、

前記複数の粗い基準電圧と前記アナログ入力信号を比較し、上位ビットのデータを生成する第 1 変換部と、

前記第 1 変換部により生成された上位ビットのデータ範囲にオーバーラップ範囲を加えた範囲全体に渡って、複数の密な基準電圧を生成する第 2 基準電圧生成部と、

前記複数の密な基準電圧と前記アナログ入力信号を比較し、下位ビットのデータを生成する第 2 変換部と、

前記第 2 変換部により生成された下位ビットのデータを監視する監視部と、を備え、

前記第 2 基準電圧生成部は、前記監視部による監視の結果、前記下位ビットのデータが上側のオーバーラップ範囲に含まれた場合には、前記複数の密な基準電圧を高電圧側にシフトし、下側のオーバーラップ範囲に含まれた場合には、前記複数の密な基準電圧を低電圧側にシフトすることを特徴とするアナログデジタル変換器。

【請求項 5】

前記監視部は、回路の動作中継続して前記下位ビットのデータを監視し、

前記第 2 基準電圧生成部は、前記監視部の監視結果にもとづき、適応的に前記複数の密な基準電圧をシフトすることを特徴とする請求項 4 に記載のアナログデジタル変換器。

【請求項 6】

前記監視部は、所定の学習期間中に前記下位ビットのデータを監視し、

前記第 2 基準電圧生成部は、前記学習期間中の監視結果にもとづいて、前記複数の密な基準電圧のシフト量を決定することを特徴とする請求項 4 に記載のアナログデジタル変換器。

【請求項 7】

前記第 2 変換部は、前記学習期間の完了後に前記下位ビットのデータを生成する際に、前記オーバーラップ範囲を狭くすることを特徴とする請求項 3 または 6 に記載のアナログデジタル変換器。

【請求項 8】

前記第 2 変換部は、前記複数の密な基準電圧と前記アナログ入力信号を比較する複数のコンパレータを備え、前記オーバーラップ範囲を狭くする際に、前記アナログ入力信号と前記オーバーラップ範囲に対応する密な基準電圧との比較に用いるコンパレータの少なくとも一つをオフすることを特徴とする請求項 7 に記載のアナログデジタル変換器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログデジタル変換器に関し、特に 2 ステップフラッシュ型のアナログデジタル変換器に関する。

【背景技術】

【0002】

アナログ入力信号を量子化し、デジタル信号に変換するアナログデジタル変換器（以下、A/Dコンバータという）は、さまざまなデジタル信号処理回路の基本となる重要な回路ブロックのひとつである。特に通信機器である携帯電話や、オーディオ機器などの内部に使用される DSP（Digital Signal Processor）においては、A/Dコンバータによって信号処理速度や信号処理の精度が決定される場合がある。

【0003】

A/Dコンバータには、フラッシュ型や2ステップフラッシュ型、 $\Delta\Sigma$ 型のA/Dコンバータなど、回路形式の異なるいくつかのバリエーションが存在する。

このなかで、2ステップフラッシュ型のA/Dコンバータは、第1段階として、粗い精度で設定された複数の基準電圧を用いて上位ビットを判定し、第2段階として、その判定結果にもとづいて設定された複数の密な基準電圧を用いて下位ビットを判定することによりデジタル変換を行う（特許文献1参照）。この2ステップフラッシュ型のA/Dコンバータは、上位ビットと下位ビットを分けて変換するため、すべてのビットを同時に比較するフラッシュ型と比較して、コンパレータの数が減らすことができ、回路規模を小さくすることができる。

10

【0004】

ここで、1段階目で上位2ビットを判定し、2段階目で下位2ビットを判定する4ビットの2ステップフラッシュ型のA/Dコンバータを考える。このようなA/Dコンバータでは、第1段階において、アナログ入力信号と、上位ビットの1LSB（Least Significant Bit）で量子化された量子化値4、8、12に対応する基準電圧とが比較される。その結果、アナログ入力信号が8～12の範囲であると判定されると、つぎに、第2段階において、下位ビットの1LSBで量子化された量子化値8～12の範囲に対応する基準電圧とアナログ入力信号との比較を行い、下位2ビットが決定される。

【0005】

ところが、第1段階に用いられるコンパレータは、オフセットを有する場合があります、このオフセットによって上位ビットの判定に誤りが生ずる場合がある。たとえば、実際のアナログ入力信号が量子化値7に相当する信号であるにもかかわらず、第1段階における上位ビットの判定に誤りが発生し、8～12の範囲であると判定された場合、第2段階において、量子化値8～12に対応する基準電圧と比較したのでは1LSB分の誤差が発生してしまう。

20

【0006】

このような問題を解決するために、2ステップフラッシュ型A/Dコンバータにおいては、下位2ビットの変換を行う際に、オーバーラップ範囲を設けることがある。たとえば、オーバーラップ範囲を ± 1 LSBに設定した場合、第1段階において、量子化値が8～12の範囲であると判定された場合に、下位ビットの判定は、量子化値7～13に対応する1LSB刻みの基準電圧とアナログ入力信号を比較することによって行われる。

30

【0007】

【特許文献1】特開昭62-285522号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

上述のように下位ビットの判定にオーバーラップ範囲を設けると、上位ビットの判定精度が悪化した場合でも下位ビットの判定の際に補正することができるが、オーバーラップ範囲を超えた場合には補正できないため、リニアリティが悪化してしまう。また、オーバーラップ範囲の電圧比較に用いられるコンパレータが別途必要となるため、回路規模が大きくなり、消費電流が増加するという問題がある。

40

【0009】

本発明に係る課題に鑑みてなされたものであり、その目的は、リニアリティを向上したA/Dコンバータの提供にある。

【課題を解決するための手段】

【0010】

本発明のある態様はアナログデジタル変換器に関する。このアナログデジタル変換器は、アナログ入力信号を上位ビットと下位ビットの2段階に分けてデジタル変換する2ステップフラッシュ型アナログデジタル変換器であって、複数の粗い基準電圧を生成する第1基準電圧生成部と、複数の粗い基準電圧とアナログ入力信号を比較し、上位ビットのデー

50

タを生成する第1変換部と、第1変換部により生成された上位ビットのデータ範囲にオーバーラップ範囲を加えた範囲全体に渡って、複数の密な基準電圧を生成する第2基準電圧生成部と、複数の密な基準電圧とアナログ入力信号を比較し、下位ビットのデータを生成する第2変換部と、第2変換部により生成された下位ビットのデータを監視する監視部と、を備える。第1基準電圧生成部は、監視部による監視の結果、下位ビットのデータが上側のオーバーラップ範囲に含まれた場合には、複数の粗い基準電圧を低電圧側にシフトし、下側のオーバーラップ範囲に含まれた場合には、複数の粗い基準電圧を高電圧側にシフトする。

【0011】

上位ビットを判定する第1変換部のコンパレータにオフセットが生じ、上位ビットを誤って変換した場合には、下位ビットのデータがオーバーラップ範囲に含まれることになる。そこで、このアナログデジタル変換器は、監視部によるモニタの結果、下位ビットのデータがオーバーラップ範囲に含まれた場合には、第1変換部で用いられる粗い基準電圧をシフトさせる。その結果、第1変換部のコンパレータのオフセットが見かけ上キャンセルされ、次に同一のアナログ入力信号が入力されたとき、第1変換部は正確に上位ビットを生成することができるため、リニアリティを改善することができる。

10

【0012】

監視部は、回路の動作中継続して下位ビットのデータを監視し、第1基準電圧生成部は、監視部の監視結果にもとづき、適応的に複数の粗い基準電圧をシフトしてもよい。

この態様によれば、監視部によって継続して下位ビットのデータを監視し、その結果を第1基準電圧生成部にフィードバックすることにより、製造上のばらつきに加えて、温度変動や電源電圧変動、経年変化などによって、コンパレータをはじめとする回路素子の特性が変化した場合にも、その特性変化に応じた粗い基準電圧を生成することになるため、リニアリティを改善することができる。

20

【0013】

監視部は、所定の学習期間中に下位ビットのデータを監視し、第1基準電圧生成部は、学習期間中の監視結果にもとづいて、複数の粗い基準電圧のシフト量を決定してもよい。

「所定の学習期間」とは、たとえば、製品の検査段階であってもよいし、あるいはアナログデジタル変換器の動作を開始してから所定の回数のアナログデジタル変換の完了までであってもよい。学習期間の終了後、シフト量を固定してもよい。

30

【0014】

本発明の別の態様もまた、アナログデジタル変換器である。このアナログデジタル変換器は、アナログ入力信号を上位ビットと下位ビットの2段階に分けてデジタル変換する2ステップフラッシュ型アナログデジタル変換器であって、複数の粗い基準電圧を生成する第1基準電圧生成部と、複数の粗い基準電圧とアナログ入力信号を比較し、上位ビットのデータを生成する第1変換部と、第1変換部により生成された上位ビットのデータ範囲にオーバーラップ範囲を加えた範囲全体に渡って、複数の密な基準電圧を生成する第2基準電圧生成部と、複数の密な基準電圧とアナログ入力信号を比較し、下位ビットのデータを生成する第2変換部と、第2変換部により生成された下位ビットのデータを監視する監視部と、を備える。第2基準電圧生成部は、監視部による監視の結果、下位ビットのデータが上側のオーバーラップ範囲に含まれた場合には、複数の密な基準電圧を高電圧側にシフトし、下側のオーバーラップ範囲に含まれた場合には、複数の密な基準電圧を低電圧側にシフトする。

40

【0015】

この態様によれば、アナログデジタル変換器は、監視部によるモニタの結果、下位ビットのデータがオーバーラップ範囲に含まれた場合には、第2変換部で用いられる密な基準電圧をオフセットをキャンセルする方向にシフトさせることにより、リニアリティを改善することができる。

【0016】

監視部は、回路の動作中継続して下位ビットのデータを監視し、第2基準電圧生成部は

50

、監視部の監視結果にもとづき、適応的に複数の密な基準電圧をシフトしてもよい。

この態様によれば、監視部によって下位ビットのデータを監視し、その結果を第2基準電圧生成部にフィードバックすることにより、製造上のばらつきに加えて、温度変動や電源電圧変動、経年変化などによって、コンパレータをはじめとする回路素子の特性が変化した場合にも、その特性変化に応じた密な基準電圧を生成することができ、リニアリティを改善することができる。

【0017】

監視部は、所定の学習期間中に下位ビットのデータを監視し、第2基準電圧生成部は、学習期間中の監視結果にもとづいて、複数の密な基準電圧のシフト量を決定してもよい。

【0018】

第2変換部は、学習期間の完了後に下位ビットのデータを生成する際に、オーバーラップ範囲を狭くしてもよい。

監視部によるモニタの結果を第1基準電圧生成部または第2基準電圧生成部にフィードバックし、複数の粗い基準電圧または複数の密な基準電圧に対して適切なシフト量を決定した後は、上位ビットの変換の誤りが減少するため、下位ビットの変換の際に必要なオーバーラップ範囲を狭くすることができる。

【0019】

第2変換部は、複数の密な基準電圧とアナログ入力信号を比較する複数のコンパレータを備え、オーバーラップ範囲を狭くする際に、アナログ入力信号とオーバーラップ範囲に対応する密な基準電圧との比較に用いるコンパレータの少なくとも一つをオフしてもよい。

オーバーラップ範囲を狭く設定する際に、コンパレータをオフすることにより、回路の消費電流を低減することができる。

【0020】

なお、以上の構成要素の任意の組合せや本発明の構成要素や表現を方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】

【0021】

本発明に係るADコンバータによれば、リニアリティを改善することができる。

【発明を実施するための最良の形態】

【0022】

(第1の実施形態)

図1は、本発明の実施の形態に係るADコンバータ100の構成を示すブロック図である。

ADコンバータ100は、2ステップフラッシュ型のADコンバータであって、入力端子102に入力されるアナログ入力信号Vinを4ビットで量子化して、出力端子104からデジタル出力信号Voutを出力する。

【0023】

ADコンバータ100は、第1変換部10、第2変換部20、基準電圧回路30、合成回路40、監視部50を含む。2ステップフラッシュ型のADコンバータは、第1ステップとして、第1変換部10によって、複数の粗い基準電圧Vrcとアナログ入力信号Vinを比較し、上位2ビットを生成する。つぎに、第2ステップとして、第2変換部20によって複数の密な基準電圧Vrfとアナログ入力信号Vinを比較して下位2ビットを生成する。合成回路40は、上位2ビットと下位2ビットを合成してデジタル信号を出力する。粗い基準電圧Vrcおよび密な基準電圧Vrfは、基準電圧回路30によって生成される。

【0024】

基準電圧回路30は、第1基準電圧生成部32、第2基準電圧生成部34を含む。第1基準電圧生成部32は、上位2ビットを生成する第1変換部10に対して、粗い基準電圧Vrc1～Vrc3を出力する。第2基準電圧生成部34は、下位2ビットを生成する第

10

20

30

40

50

2変換部20に対して、密な基準電圧 $V_{rf1} \sim V_{rf7}$ を出力する。

【0025】

図2は、第1基準電圧生成部32および第2基準電圧生成部34により生成される粗い基準電圧 V_{rc} および密な基準電圧 V_{rf} の初期値を示す図である。

【0026】

第1基準電圧生成部32は、量子化値4、8、12に対応する粗い基準電圧 $V_{rc1} \sim V_{rc3}$ を生成する。4ビットのA/Dコンバータにおいて、1LSBに相当する電圧 ΔV_r は、全入力電圧範囲 V_{fsr} を用いて、 $\Delta V_r = V_{fsr} / 2^4 = V_{fsr} / 16$ で与えられる。したがって、粗い基準電圧 $V_{rc1} \sim V_{rc3}$ はそれぞれ、 $V_{rc1} = 4 \times \Delta V_r$ 、 $V_{rc2} = 8 \times \Delta V_r$ 、 $V_{rc3} = 12 \times \Delta V_r$ となる。粗い基準電圧 $V_{rc1} \sim V_{rc3}$ は、第1変換部10へと出力される。

10

【0027】

本実施の形態では、全入力電圧範囲 $V_{fsr} = 1.6V$ とし、 $\Delta V_r = 0.1V$ の場合について説明する。このとき、第1基準電圧生成部32から生成される粗い基準電圧は、 $V_{rc1} = 0.4V$ 、 $V_{rc2} = 0.8V$ 、 $V_{rc3} = 1.2V$ となる。

【0028】

図1に戻る。第1変換部10は、第1比較部12および第1補正回路14を含む。

第1比較部12は3つのコンパレータ $CMPc1 \sim CMPc3$ を備え、それぞれには、第1基準電圧生成部32から出力される粗い基準電圧 $V_{rc1} \sim V_{rc3}$ が入力されている。コンパレータ $CMPc1 \sim CMPc3$ はそれぞれ、アナログ入力信号 V_{in} と粗い基準電圧 $V_{rc1} \sim V_{rc3}$ を比較する。各コンパレータ $CMPc1 \sim CMPc3$ は、 $V_{in} > V_{rc}$ のときハイレベルを、 $V_{in} < V_{rc}$ のときローレベルを出力する。コンパレータ $CMPc1 \sim CMPc3$ による電圧比較の結果は、出力信号 $Sc1 \sim Sc3$ として出力される。

20

【0029】

第1比較部12における電圧比較の結果、アナログ入力信号 V_{in} が量子化値の0～4、4～8、8～12、12～16のいずれの範囲に含まれるのが判定される。たとえば、量子化値0～4の範囲に含まれる場合、 $Sc1 \sim Sc3$ はすべてローレベルとなる。量子化値4～8の範囲に含まれる場合、出力信号 $Sc1$ はハイレベルとなり、出力信号 $Sc2$ 、 $Sc3$ はローレベルとなる。第1比較部12は、コンパレータ $CMPc1 \sim CMPc3$ の出力信号 $Sc1 \sim Sc3$ を第1補正回路14に送出する。

30

【0030】

第1補正回路14は、第1比較部12から出力される出力信号 $Sc1 \sim Sc3$ にもとづいて、ビット誤りなどを修正する。たとえば、第1比較部12から出力された出力信号 $Sc1 \sim Sc3$ をチェックし、出力信号 $Sc1$ 、 $Sc3$ がローレベルであり、出力信号 $Sc2$ がハイレベルであった場合、出力信号 $Sc2$ をローレベルに設定し直すなどの処理を行う。第1補正回路14からは、補正後の出力信号 $Sc1' \sim Sc3'$ が出力される。

このようにして生成された出力信号 $Sc1' \sim Sc3'$ は、デジタル入力信号 V_{in} を量子化したデジタルデータの上位2ビットを表している。

【0031】

40

第1補正回路14は、補正後の出力信号 $Sc1' \sim Sc3'$ を合成回路40および第2基準電圧生成部34へ出力する。なお、図中、合成回路40および第2基準電圧生成部34へと出力される補正後の出力信号 Sc' は、実際には3個の出力信号 $Sc1' \sim Sc3'$ が簡略化して示されたものである。

【0032】

第2変換部20は、第1変換部10による上位2ビットの生成後、下位2ビットを生成する変換部であって、第2比較部22および第2補正回路24を含む。

【0033】

第1比較部12に用いられるコンパレータ $CMPc1 \sim CMPc3$ は、オフセットを有する場合があります。2つの入力電圧のいずれかが高い状態を平衡状態として動作することに

50

なる。

本明細書においてオフセット電圧 V_{ofs} の正負は、コンパレータの+側の入力端子に加算される電圧を正の向きにとるものとする。たとえば、コンパレータ $CMPc1$ にオフセット電圧 V_{ofs} が生じている場合、コンパレータは実質的に $(V_{in} + V_{ofs})$ と基準電圧 V_{rc1} を比較し、大小関係を判断する。

【0034】

コンパレータ $CMPc1 \sim CMPc3$ の電圧比較においては、このオフセットによって、アナログ入力信号 V_{in} と粗い基準電圧 $V_{rc1} \sim V_{rc3}$ の比較結果に誤りが生ずることになる。たとえばアナログ入力信号 $V_{in} = 0.35V$ であるにもかかわらず、コンパレータ $CMPc1$ に $1LSB$ に相当する $\Delta V_r = 0.1V$ のオフセット電圧 V_{ofs} が発生していた場合、本来量子化値 $0 \sim 4$ の範囲に含まれると判定されるべきであるにもかかわらず、量子化値 $4 \sim 8$ の範囲であると判定されることになる。

10

【0035】

第2比較部22は、下位2ビットを判定する際に、第1比較部12のコンパレータ $CMPc1 \sim CMPc3$ のオフセットによる誤差を低減するため、上位ビットの $1LSB$ (下位ビットの $4LSB$) の範囲に加え、 $\pm 2LSB$ のオーバーラップ範囲を加えた $4 + 2 + 2 = 8LSB$ の範囲で電圧比較を行う。

すなわち、第1変換部10による上位2ビットの判定の結果、量子化値が $4 \times n$ から $4 \times n + 4$ の間であると判定されたとすると、第2変換部20は、 $4 \times n - 2$ から $4 \times n + 2$ の各量子化値について大小関係の判定を行う。

20

【0036】

たとえば、第1変換部10の判定の結果、 $n = 2$ であると判定された場合、量子化値は $8 \sim 12$ の間をとるはずであるが、本実施の形態に係るADコンバータ100では、第2変換部20において、量子化値 $6 \sim 14$ の範囲について判定を行うこととなる。

【0037】

$\pm 2LSB$ のオーバーラップ範囲を含む $8LSB$ の範囲で電圧比較を行い下位ビットを判定するために、第2比較部22は、7個のコンパレータ $CMPf1 \sim CMPf7$ を含む。これらのコンパレータ $CMPf$ には、第2基準電圧生成部34により生成される密な基準電圧 $V_{rf1} \sim V_{rf7}$ が入力されている。コンパレータ $CMPf1 \sim CMPf7$ はそれぞれ、密な基準電圧 $V_{rf1} \sim V_{rf7}$ とアナログ入力信号 V_{in} を比較し、 $V_{in} > V_{rc}$ のときハイレベルを、 $V_{in} < V_{rc}$ のときローレベルを出力する。コンパレータ $CMPf1 \sim CMPf7$ の出力をそれぞれ出力信号 $Sf1 \sim Sf7$ とする。

30

【0038】

第2基準電圧生成部34は、第1補正回路14から出力される補正後の出力信号 Sc' にもとづいて、 $1LSB$ ($\Delta V_r = 0.1V$) 刻みの密な基準電圧 $V_{rf1} \sim V_{rf7}$ を生成する。

図2に示すように、第2基準電圧生成部34により生成される密な基準電圧 V_{rf} の範囲は、上位2ビットに応じて変化する。図中 n で示される数は、第1変換部10により生成された上位2ビットを10進数で表したものである。

たとえば $n = 0$ のとき、すなわち、アナログ入力信号 V_{in} が、量子化値 $0 \sim 4$ の範囲に含まれると判定されたとき、第2基準電圧生成部34は、オーバーラップ範囲を加えた量子化値 $0 \sim 6$ に相当する密な基準電圧 V_{rf} を生成する。 $n = 1$ のとき、第2基準電圧生成部34は、量子化値 $3 \sim 9$ に相当する密な基準電圧を生成する。 $n = 2$ のときは、量子化値 $7 \sim 13$ に相当する密な基準電圧を生成する。 $n = 3$ のときは、量子化値 $11 \sim 16$ に相当する密な基準電圧を生成する。

40

【0039】

具体的には、 $n = 2$ のとき、第2基準電圧生成部34により生成される密な基準電圧の初期値は、 $V_{rf1} = 3 \times \Delta V_r = 0.3V$ 、 $V_{rf2} = 4 \times \Delta V_r = 0.4V$ 、 $V_{rf3} = 5 \times \Delta V_r = 0.5V$ 、 $V_{rf4} = 6 \times \Delta V_r = 0.6V$ 、 $V_{rf5} = 7 \times \Delta V_r = 0.7V$ 、 $V_{rf6} = 8 \times \Delta V_r = 0.8V$ 、 $V_{rf7} = 9 \times \Delta V_r = 0.9V$ となる。

50

このように第2基準電圧生成部34は上位2ビットに応じた密な基準電圧 $V_{rf1} \sim V_{rf7}$ を生成し、第2変換部20へと出力する。

【0040】

第2比較部22から出力される下位2ビットに相当する出力信号 $S_{f1} \sim S_{f7}$ は、第2補正回路24へと送出される。第2補正回路24は第1補正回路14と同様に、ビット誤りなどの訂正を行い、訂正後の出力信号 $S_{f'}$ を合成回路40に出力する。

【0041】

合成回路40は、上位2ビットを表す出力信号 $S_{c1'} \sim S_{c3'}$ と、下位2ビットを表す出力信号 $S_{f1'} \sim S_{f7'}$ を合成してアナログ入力信号 V_{in} をデジタル変換した4ビットのデジタル出力信号 V_{out} を出力する。

10

【0042】

つぎに、監視部50について説明する。

上述のように、第2変換部20の第2比較部22において、コンパレータ $CMP_{c1} \sim CMP_{c3}$ にオフセットが生じた場合にも、正常なアナログデジタル変換が行えるように、 $\pm 2LSB$ のオーバーラップ範囲を設けている。しかしながら、コンパレータのオフセットは、個体差、温度依存性、電源電圧変動、経時劣化などのさまざまな要因によって変動するため、必ずしも設計段階で設定したオーバーラップ範囲に入るとは限らない。さらに、理想的なADコンバータにおいて下位2ビットを判定するために必要なコンパレータは3つであるのに対し、オーバーラップ範囲を設けることによって、第2比較部22のコンパレータの数が7つに増えており、消費電流が増加してしまうという問題がある。

20

【0043】

そこで、監視部50は、下位2ビットを表す第2補正回路24から出力される補正後の出力信号 $S_{f'}$ をモニタし、下位ビットのデータがオーバーラップ範囲に含まれているかどうかを判定する。監視部50により下位ビットをモニタすることにより、第1比較部12のコンパレータ $CMP_{c1} \sim CMP_{c3}$ のオフセット電圧 V_{ofs} を予測することができる。

【0044】

第1変換部10による上位2ビットの判定の結果、量子化値8～12の範囲($0.8V < V_{in} < 1.2V$)に含まれると判定されたにもかかわらず、第2比較部22における電圧比較の結果、量子化値7～8の範囲($0.7V < V_{in} < 0.8V$)であると判定された場合には、第1比較部12のコンパレータ CMP_{c1} において、 $1LSB$ に相当する $\Delta V_r = 0.1V$ の正のオフセット電圧 V_{ofs} が生じていると予測される。

30

【0045】

逆に、第1変換部10による上位2ビットの判定の結果、量子化値4～8の範囲(すなわち $0.4V < V_{in} < 0.8V$)に含まれると判定されたとき、第2比較部22における電圧比較の結果、量子化値9～10の範囲($0.9V < V_{in} < 1.0V$)であると判定された場合には、第1比較部12のコンパレータ CMP_{c1} において、 $-2LSB$ に相当する電圧 $V_{ofs} = -2 \times \Delta V_r = -0.2V$ の負のオフセットが生じていると予測される。

すなわち、下位ビットが、下側のオーバーラップ範囲に含まれた場合、オフセット電圧 V_{ofs} は正となり、上側のオーバーラップ範囲に含まれた場合オフセット電圧 V_{ofs} は負となることがわかる。

40

【0046】

監視部50は所定の学習期間の間、出力信号 $S_{f'}$ 、すなわち下位2ビットをモニタし、第1変換部10により判定された範囲に含まれているか、あるいはオーバーラップ範囲に含まれているかの情報を蓄積し、第1比較部12のコンパレータ CMP_{c1} のオフセット電圧 V_{ofs} を予測する。所定の学習期間は、たとえば、ADコンバータ100の起動後のアナログデジタル変換を行った回数により規定してもよいし、起動後の動作時間で規定してもよい。

【0047】

50

監視部50は、学習期間に蓄積した第1比較部12のコンパレータCMPc1～CMPc3のオフセット電圧Vofsの平均値を算出し、何LSBに相当するオフセット電圧を有するかをオフセット信号OFSとして第1基準電圧生成部32へ出力する。たとえば、オフセット電圧Vofs=0.1Vのとき、OFS=1となり、Vofs=-0.2Vのとき、OFS=-2となる。

【0048】

第1基準電圧生成部32は、学習期間における監視の結果、コンパレータCMPc1～CMPc3において平均値として1LSB=0.1Vのオフセット電圧Vofsが発生していると予測された場合には、粗い基準電圧Vrc1～Vrc3を図2に示す初期値から1LSBに相当する電圧 $\Delta Vr=0.1V$ だけ高電圧側へシフトして出力する。すなわち、第1基準電圧生成部32から出力される粗い基準電圧は、 $Vrc1=0.5V$ 、 $Vrc2=0.9V$ 、 $Vrc3=1.3V$ となる。

10

【0049】

逆に、学習期間におけるオフセット量のモニタの結果、コンパレータCMPc1～CMPc3において平均値として-2LSBのオフセットが発生していると予測された場合には、粗い基準電圧Vrc1～Vrc3を、図2に示す初期値から2LSBに相当する電圧 $2 \times \Delta Vr=0.2V$ 分だけ低電圧側へとシフトして出力する。このとき、粗い基準電圧は、 $Vrc1=0.2V$ 、 $Vrc2=0.6V$ 、 $Vrc3=1.0V$ となる。

【0050】

第1比較部12のコンパレータCMPc1～CMPc3は、コンパレータが有するオフセット分だけシフトした粗い基準電圧Vrc1～Vrc3と、アナログ入力信号Vinを比較することになる。その結果、コンパレータCMPc1～CMPc3のオフセットが見かけ上キャンセルされ、コンパレータCMPc1～CMPc3による上位2ビットの判定の精度が向上し、ADコンバータ100のリニアリティを改善することができる。

20

【0051】

このように、本実施の形態に係るADコンバータ100によれば、コンパレータCMPc1～CMPc3のオフセットに応じて粗い基準電圧Vrc1～Vrc3をシフトすることにより、上位2ビットの判定の精度が向上する。上位2ビットの判定に誤りがなければ、下位ビットの判定に際し、オーバーラップ範囲を狭めることが可能となる。

【0052】

30

さらに、本実施の形態に係るADコンバータ100は、学習期間においてオフセット量を決定し、粗い基準電圧Vrc1～Vrc3をシフトした後、第2比較部22のコンパレータCMPf1～CMPf7のうち、オーバーラップ範囲に設けられたコンパレータCMPf1、CMPf7をオフする。すなわちオーバーラップ範囲は $\pm 1LSB$ に狭められる。

コンパレータCMPcのオフセットが安定している場合には、さらに、コンパレータCMPf2、CMPf6をオフし、オーバーラップ範囲を0LSBとしてもよい。

【0053】

このように本実施の形態に係るADコンバータ100によれば、学習期間の終了後、オーバーラップ範囲に設けられたコンパレータCMPcをオフすることにより、消費電流を低減することができる。

40

【0054】

(第2の実施形態)

図3は、第2の実施形態に係るADコンバータ200の構成を示すブロック図である。図3において、図1と同一の構成要素には同一の符号を付し、適宜重複した説明を省略するものとする。

本実施の形態に係るADコンバータ200は、監視部50による下位ビットを表す出力信号Sc'のモニタしてコンパレータCMPc1～CMPc3のオフセット電圧Vofsを予測し、第2基準電圧生成部34により生成される密な基準電圧Vrfをシフトする。

【0055】

50

第1比較部12のコンパレータCMPc1～CMPc3は、必ずしも同一のオフセットを有するとは限らず、異なったオフセット量を有する場合がある。たとえば、コンパレータCMPc1のみが $V_{ofs1} = +\Delta V_r = 0.1V$ のオフセットを有し、コンパレータCMPc2およびCMPc3はオフセットをもたない場合も考えられる。

そのため、監視部50は、第2補正回路24から出力される補正後の出力信号Sf'をモニタし、第1比較部12のコンパレータCMPc1～CMPc3ごとのそれぞれのオフセット電圧 $V_{ofs1} \sim V_{ofs3}$ を予測する。

【0056】

監視部50は、学習期間におけるモニタの結果、コンパレータCMPc1～CMPc3がそれぞれ有するオフセット電圧 $V_{ofs1} \sim V_{ofs3}$ を予測し、何LSBに相当する電圧がオフセットしているかをオフセット信号OFS1～OFS3として第2基準電圧生成部34に出力する。たとえば、コンパレータCMPc2に $0.1V$ のオフセットが生じていると予測された場合、 $OFS2 = 1$ を出力する。

10

【0057】

第2基準電圧生成部34は、学習期間の終了後、監視部50により予測されたオフセット電圧 $V_{ofs1} \sim V_{ofs3}$ を表すオフセット信号OFS1～OFS3にもとづいて、密な基準電圧 $V_{rf1} \sim V_{rf7}$ をシフトする。

たとえば、 $n = 0$ のときの密な基準電圧 V_{rf} については、コンパレータCMPc1のオフセット電圧 V_{ofs1} にもとづいてシフトさせる。たとえば、オフセット電圧 $V_{ofs1} = +0.1V$ のとき、図2に示す密な基準電圧 V_{rf} の初期値から $0.1V$ だけ低電圧側にシフトする。

20

【0058】

$n = 1$ のときには、コンパレータCMPc1、CMPc2のオフセット電圧 V_{ofs1} 、 V_{ofs2} にもとづいて密な基準電圧 V_{rf} をシフトさせる。 $n = 2$ のときには、コンパレータCMPc2、CMPc3のオフセット電圧 V_{ofs2} 、 V_{ofs3} にもとづいて密な基準電圧 V_{rf} をシフトさせる。 $n = 3$ のときには、コンパレータCMPc3のオフセット電圧 V_{ofs3} にもとづいて密な基準電圧 V_{rf} をシフトさせる。

【0059】

たとえば、監視部50によるモニタの結果、コンパレータCMPc1にのみ1LSBに相当するオフセット電圧 $V_{ofs1} = 0.1V$ が生じていることが予測された場合、第2基準電圧生成部34は、 $n = 0$ のときの密な基準電圧 V_{rf} を、図2に示す初期状態から1LSBに相当する電圧 ΔV_r 分だけ低電圧側へとシフトして出力する。また $n = 1$ のときの密な基準電圧 V_{rf} についても、図2に示す初期状態から電圧 ΔV_r 分だけシフトして出力する。 $n = 2$ 、 $n = 3$ のときの基準電圧 V_{rf} については、図2に示す初期値の値をそのまま出力する。

30

【0060】

密な基準電圧 V_{rf} がシフトされる結果、コンパレータCMPf1～CMPf7から出力される出力信号Sf1～Sf7に対応するビットが基準電圧のシフト前と比べて変化することになる。出力信号Sf1～Sf7を正確な下位ビットに変換するため、監視部50により予測されたオフセット電圧 $V_{ofs1} \sim V_{ofs3}$ を表すオフセット信号OFS1～OFS3は、合成回路40にも出力される。合成回路40は、オフセット信号OFS1～OFS3にもとづいて、出力信号Sf'を適切に下位2ビットに変換して上位2ビットを表す出力信号Sc'と合成する。

40

【0061】

このように、本実施の形態に係るADコンバータ200によれば、第2基準電圧生成部34により生成される密な基準電圧 V_{rf} を、第1比較部12のコンパレータCMPcのオフセットに応じてシフトさせることにより、コンパレータCMPc1～CMPc3それぞれのオフセット電圧 V_{ofs} を個別に補正することができる。

【0062】

本実施の形態に係るADコンバータ200によれば、第2変換部20における下位ビッ

50

トの生成時に、第1変換部10により生成された上位ビットの範囲で電圧比較を行うことになるため、リニアリティを改善することができる。

【0063】

第2の実施の形態に係るADコンバータ200においても、学習期間の完了後、第2比較部22のコンパレータCMPfのうち、オーバーラップ範囲に設けられたCMPf1、CMPf7、さらにCMPf2、CMPf6をオフしてもよい。コンパレータをオフすることにより消費電流を低減することができる。

【0064】

第2の実施形態のようにコンパレータCMPcのオフセットの予測結果を第2基準電圧生成部34に出力する場合においても、第1の実施形態と同様に、密な基準電圧Vrfを10
一様にシフトしてもよい。

【0065】

最後に、第1、第2の実施形態において、第1基準電圧生成部32または第2基準電圧生成部34において基準電圧Vrc、Vrfをシフトする方法について説明する。

【0066】

ADコンバータの基準電圧回路は、抵抗値の等しく設定された複数の抵抗を直列に接続し、その両端に最大電圧Vref1および最小電圧Vref2を印加する。基準電圧回路は、各抵抗の接続ノードに現れる抵抗分圧され電位差が等しい複数の電圧を基準電圧として第1比較部12、第2比較部22へと出力する。

したがって、監視部50により予測されたオフセットにもとづいて、最大電圧Vref1および最小電圧Vref2をシフトさせることにより、第1基準電圧生成部32あるいは第2基準電圧生成部34に出力する基準電圧をシフトすることができる。20

【0067】

また、最大電圧Vref1および最小電圧Vref2を固定しておき、粗い基準電圧Vrcまたは密な基準電圧Vrfを出力する電圧出力端子と複数の抵抗の接続ノード間にスイッチを設け、スイッチの接続状態を切り替えることによっても、オフセットに応じて基準電圧Vrc、Vrfをシフトさせることができる。

【0068】

上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。30

【0069】

実施の形態の形態においては、監視部50は、所定の学習期間の間、出力信号Sf'をモニタする場合について説明したがこれには限定されない。たとえば、監視部50により、ADコンバータ100、200の動作中、継続して出力信号Sf'をモニタしておくことにより、温度変動などによってコンパレータCMPcのオフセットが変化した場合にも、変動後のオフセット量に応じて基準電圧Vrc、Vrfを生成することができる。

【0070】

第1の実施形態においては、第1基準電圧生成部32により生成される粗い基準電圧Vrcをシフトし、第2の実施形態においては第2基準電圧生成部34により生成される密な基準電圧Vrfをシフトする場合について説明したが、粗い基準電圧Vrcおよび密な基準電圧Vrfを、コンパレータCMPcのオフセットに応じて同時にシフトさせてもよい。この場合、第1基準電圧生成部32または第2基準電圧生成部34のいずれかにより補正を行う場合に比べて、より自由度の高い補正を行うことができる。40

【0071】

第1の実施形態において第1基準電圧生成部32は、コンパレータCMPc1～CMPc3のオフセットの平均値にもとづいて、粗い基準電圧Vrc1～Vrc3を一様にシフトさせる場合について説明したがこれには限定されず、第2の実施形態のように、各コンパレータCMPc1～CMPc3それぞれのオフセットにもとづいて粗い基準電圧Vrc1～Vrc3を個別にシフトしてもよい。50

【0072】

第1、第2の実施の形態においては、説明を簡略化するために、4ビットのA/Dコンバータについて説明したがこれには限定されない。8ビット、あるいはより大きなビット数を有するA/Dコンバータにおいては、コンパレータCMPcのオフセットが、リニアリティなどに大きく影響するため、4ビットの場合よりもさらに本発明の効果を得ることができる。

【図面の簡単な説明】

【0073】

【図1】本発明の実施の形態に係るA/Dコンバータの構成を示すブロック図である。

【図2】第1基準電圧生成部および第2基準電圧生成部により生成される粗い基準電圧V_{rc}および密な基準電圧V_{rf}の初期値を示す図である。

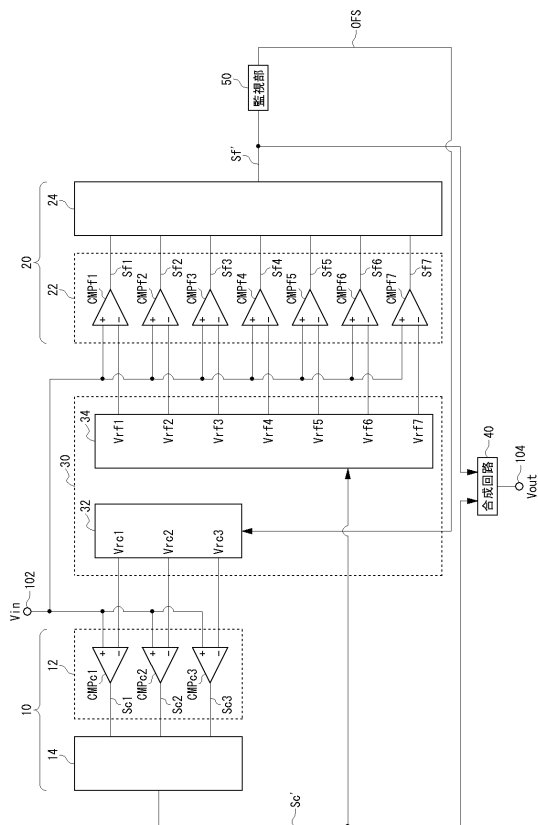
【図3】第2の実施形態に係るA/Dコンバータの構成を示すブロック図である。

【符号の説明】

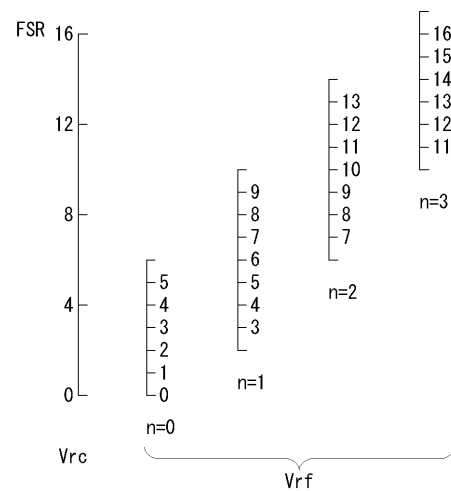
【0074】

100 A/Dコンバータ、 200 A/Dコンバータ、 10 第1変換部、 12 第1比較部、 14 第1補正回路、 20 第2変換部、 22 第2比較部、 24 第2補正回路、 CMPc コンパレータ、 CMPf コンパレータ、 30 基準電圧回路、 32 第1基準電圧生成部、 34 第2基準電圧生成部、 40 合成回路、 50 監視部。

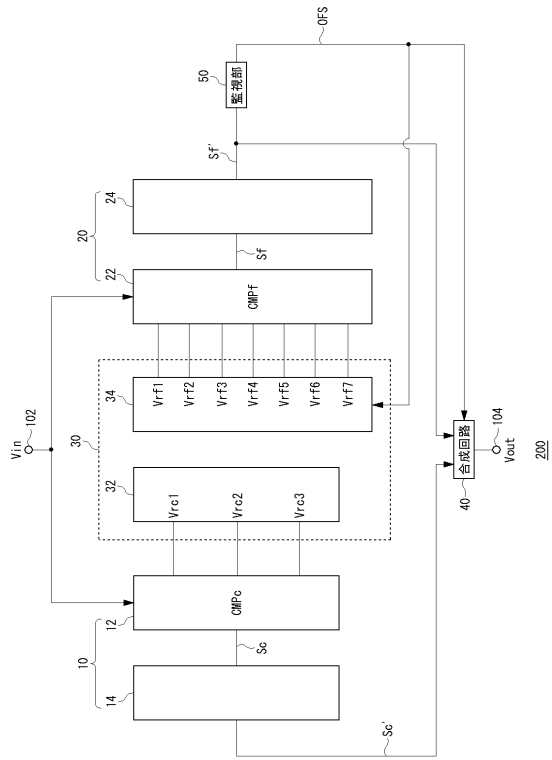
【図1】



【図2】



【図 3】



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

H03M1/00-1/88