

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月27日(27.01.2022)



(10) 国際公開番号

WO 2022/018950 A1

- (51) 国際特許分類:
G11C 29/10 (2006.01) G06F 11/22 (2006.01)
- (21) 国際出願番号: PCT/JP2021/019164
- (22) 国際出願日: 2021年5月20日(20.05.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-124039 2020年7月20日(20.07.2020) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 相澤 みどり (AIZAWA, Midori); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 黒田 真実(KURODA,

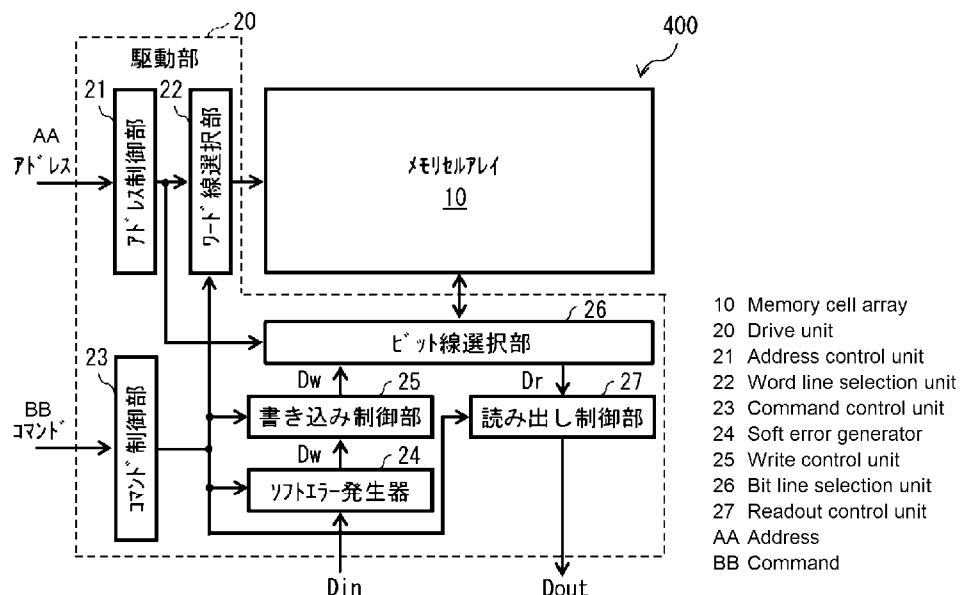
Masami); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 高橋 治子 (TAKAHASHI, Haruko); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: MEMORY SYSTEM AND MEMORY OPERATION PROGRAM

(54) 発明の名称: メモリシステムおよびメモリ動作プログラム



(57) Abstract: The memory system according to an aspect of the present disclosure is provided with a soft error generation unit that generates write data or readout data in which a probabilistic defect is considered by using a random number.

(57) 要約: 本開示の一側面に係るメモリシステムは、乱数を用いることにより確率不良が考慮された書き込みデータもしくは読み出しデータを生成するソフトエラー発生部を備えている。

[続葉有]

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称： メモリシステムおよびメモリ動作プログラム

技術分野

[0001] 本開示は、メモリシステムおよびメモリ動作プログラムに関する。

背景技術

[0002] 不揮発性メモリセルアレイにおいて、ある不揮発性メモリが断線していたり、短絡していたりした場合、その不揮発性メモリから読み出したデータは常に同じ値になる。このようなアドレス固有の不良のことを固定不良（ハード不良）と呼ぶ。従来では、ハード不良を再現するエラー発生器についての発明が提案されている（例えば、特許文献1～3参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2008-090646号公報

特許文献2：特開2008-181609号公報

特許文献3：特開2008-217848号公報

発明の概要

[0004] しかし、不揮発性メモリセルアレイでは、同一条件で繰り返し書き込みを行った場合に、ごくまれに、抵抗変化素子に正しい書き込みができないことがある。このような不良のことを確立不良（ソフトエラー）と呼ぶ。上記特許文献1～3に記載の発明では、このようなソフトエラーを再現することができず、ソフトエラーに対する訂正機能の検証することができないという問題があった。従って、ソフトエラーを再現することの可能なメモリシステムおよびメモリ動作プログラムを提供することが望ましい。

[0005] 本開示の第1の側面に係るメモリシステムは、乱数を用いることにより確率不良が考慮された書き込みデータもしくは読み出しデータを生成するソフトエラー発生部を備えている。

[0006] 本開示の第2の側面に係るメモリ動作プログラムは、乱数を用いることに

より確率不良が考慮された書き込みデータもしくは読み出しデータを生成することをコンピュータに実行させる。

[0007] 本開示の第1の側面に係るメモリシステム、および本開示の第2の側面に係るメモリ動作プログラムでは、乱数を用いることにより確率不良が考慮された書き込みデータもしくは読み出しデータが生成される。ここで、エラーが発生するか否かは、乱数に依ってランダムに変わる。そのため、エラー発生は確率的となり、ソフトエラーを再現することができる。

[0008] 本開示の第3の側面に係るメモリシステムは、第1のソフトエラー発生部と、第2のソフトエラー発生部とを備えている。第1のソフトエラー発生部は、第1の乱数を用いることにより確率不良が考慮された書き込みデータを生成する。第2のソフトエラー発生部は、第2の乱数を用いることにより確率不良が考慮された読み出しデータを生成する。

[0009] 本開示の第4の側面に係るメモリ動作プログラムは、第1の乱数を用いることにより確率不良が考慮された書き込みデータを生成することと、第2の乱数を用いることにより確率不良が考慮された読み出しデータを生成することをコンピュータに実行させる。

[0010] 本開示の第3の側面に係るメモリシステム、および本開示の第4の側面に係るメモリ動作プログラムでは、第1の乱数を用いることにより確率不良が考慮された書き込みデータが生成され、第2の乱数を用いることにより確率不良が考慮された読み出しデータが生成される。ここで、エラーが発生するか否かは、乱数に依ってランダムに変わる。そのため、エラー発生は確率的となり、ソフトエラーを再現することができる。

図面の簡単な説明

[0011] [図1]一実施の形態に係る情報処理システムの機能ブロックの一例を表す図である。

[図2]図1のメモリセルアレイユニットの機能ブロックの一例を表す図である。

[図3]図2のソフトエラー発生器の機能ブロックの一例を表す図である。

[図4]図1のメモリセルアレイユニットにおける書き込み動作の一例を表す図である。

[図5]図1のメモリセルアレイユニットの機能ブロックの一変形例を表す図である。

[図6]図5のソフトエラー発生器の機能ブロックの一例を表す図である。

[図7]図5のメモリセルアレイユニットにおける読み出し動作の一例を表す図である。

[図8]図5のメモリセルアレイユニットの機能ブロックの一変形例を表す図である。

[図9]図5のメモリセルアレイユニットを制御するメモリコントローラの一変形例を表す図である。

[図10]図9のメモリコントローラにおける訂正書き戻し動作の一例を表す図である。

[図11]図1のメモリセルアレイユニットの機能ブロックの一変形例を表す図である。

[図12]図5のメモリセルアレイユニットの機能ブロックの一変形例を表す図である。

発明を実施するための形態

[0012] 以下、本開示を実施するための形態について、図面を参照して詳細に説明する。なお、本明細書および図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0013] <実施の形態>

[構成]

図1は、一実施の形態に係る情報処理システムの機能ブロックの一例を表したものである。この情報処理システムは、ホストコンピュータ100およびメモリ部200を備えている。メモリ部200は、メモリコントローラ300、1または複数のメモリセルアレイユニット400および電源部500

を備えている。なお、図1には、1つのメモリセルアレイユニット400が設けられている様子が例示されている。

[0014] (ホストコンピュータ100)

ホストコンピュータ100は、メモリ部200を制御する。具体的には、ホストコンピュータ100は、アクセス先の論理アドレスを指定するコマンドを発行して、そのコマンドやデータをメモリ部200に供給する。ホストコンピュータ100は、メモリ部200から出力されたデータを受け取る。ここで、コマンドは、メモリ部200を制御するためのものであり、例えば、データの書き込み処理を指示するライトコマンド、データの読み出し処理を指示するリードコマンド、または、データの消去処理を指示するリセットコマンドを含む。また、論理アドレスは、ホストコンピュータ100が定義するアドレス空間において、ホストコンピュータ100がメモリ部200にアクセスする際のアクセス単位の領域ごとに割り振られたアドレスである。

[0015] (メモリコントローラ300)

メモリコントローラ300は、1または複数のメモリセルアレイユニット400を制御する。メモリコントローラ300は、ホストコンピュータ100から、論理アドレスを指定するライトコマンドを受け取る。また、メモリコントローラ300は、ライトコマンドに従って、データの書き込み処理を実行する。この書き込み処理においては、論理アドレスが物理アドレスに変換され、その物理アドレスにデータが書き込まれる。ここで、物理アドレスは、メモリコントローラ300が1または複数のメモリセルアレイユニット400にアクセスする際のアクセス単位ごとに1または複数のメモリセルアレイユニット400において割り振られたアドレスである。メモリコントローラ300は、論理アドレスを指定するリードコマンドを受け取ると、その論理アドレスを物理アドレスに変換し、その物理アドレスからデータを読み出す。そして、メモリコントローラ300は、読み出したデータをリードデータとしてホストコンピュータ100に出力する。また、メモリコントローラ300は、ホストコンピュータ100から、論理アドレスを指定するリセ

ットコマンドを受け取ると、その論理アドレスを物理アドレスに変換し、その物理アドレスに書き込まれたデータを消去する。

[0016] (電源部500)

電源部500は、1または複数のメモリセルアレイユニット400に対して所望の電圧を供給するものである。電源部500は、例えば、後述のワード線選択部22に対して、書き込み時または読み出し時に用いる電圧などを供給する。電源部500は、例えば、後述のコマンド制御部23に対して、書き込み時または読み出し時に用いる電圧などを供給する。

[0017] (メモリセルアレイユニット400)

次に、メモリセルアレイユニット400について説明する。図2は、メモリセルアレイユニット400の機能ブロックの一例を表したものである。メモリセルアレイユニット400は、例えば、半導体チップで構成されている。メモリセルアレイユニット400は、例えば、メモリセルアレイ10および駆動部20を有している。駆動部20は、例えば、メモリコントローラ300との間で、コマンド、ライトデータおよびリードデータなどをやりとりする。駆動部20は、例えば、ライトコマンドに従って、メモリセルアレイ10にデータを書き込み、リードコマンドに従って、メモリセルアレイ10からデータを読み出す。

[0018] 駆動部20が、本開示の「メモリシステム」「メモリ動作プログラム」の一具体例に相当する。駆動部20が本開示の「メモリシステム」の一具体例に相当する場合、駆動部20は、駆動部20の機能を実現するハードウェアによって構成される。駆動部20が本開示の「メモリ動作プログラム」の一具体例に相当する場合、駆動部20は、例えば、DRAM (Dynamic Random Access Memory) などの揮発性メモリ、または、EEPROM (Electrically Erasable Programmable Read-Only Memory) やフラッシュメモリなどの不揮発性メモリに格納され、CPU (Central Processing Unit) に駆動部20がロードされることにより、CPUが駆動部20の機能を実現する。

[0019] (メモリセルアレイ10)

メモリセルアレイ 10 は、例えば、いわゆる STT-MRAM (Spin Transfer Torque Magnetic Random Access Memory) である。メモリセルアレイ 10 は、複数のメモリセル MC を有している。メモリセル MC は、抵抗変化素子と、抵抗変化素子に流す電流を制御するスイッチ素子とを含む。

[0020] 抵抗変化素子は、例えば、磁気トンネル接合を含む記憶素子である。抵抗変化素子は、例えば、固定層 (RL) および自由層 (FL) を有しており、固定層 (RL) と自由層 (FL) との間に極薄のトンネル絶縁膜層を有している。抵抗変化素子では、自由層 (FL) の磁化の方向を変えることで、記憶するデータ (電気抵抗値) が書き換えられる。抵抗変化素子では、自由層 (FL) の磁化の方向を変えるときに、スピンの向きのそろった電子が磁気抵抗変化素子 MTJ に注入される。注入電子のスピンは自由層 (FL) の電子スピンと反対向きなので、注入電子のスピンによるトルクが自由層 (FL) の電子スピンを動かすトルクとなり、最終的には自由層 (FL) の電子スピンの向きが反転される (磁化反転)。

[0021] メモリセルアレイ 10 は、例えば、複数のワード線 WL と、複数のビット線 BL と、ワード線 WL とビット線 BL とが互いに対向する位置ごとに 1 つずつ配置された複数のメモリセル MC と、複数のソース線 SL とを有している。メモリセルアレイ 10 では、外部からのアドレス入力によって指定されるメモリセル MC にデータを書き込むことができる。また、アドレス入力により指定されるメモリセル MC に記憶されたデータを読み出すことができる。メモリセル MC に記憶されるデータ値は抵抗変化素子の抵抗状態で区別される。例えば、高抵抗状態であれば「1」と区別され、低抵抗状態であれば「0」と区別される。なお、論理データに対する物理状態は上記に限定されるものではなく、例えば、高抵抗状態であれば「0」と区別され、低抵抗状態であれば「1」と区別されてもよい。また、論理データに対する物理状態はアドレスごとに変わってもよい。

[0022] (駆動部 20)

次に、駆動部 20 について説明する。駆動部 20 は、例えば、図 2 に示し

たように、アドレス制御部 21、ワード線選択部 22、コマンド制御部 23、ソフトエラー発生器 24、書き込み制御部 25、ビット線選択部 26 および読み出し制御部 27 を有している。

[0023] アドレス制御部 21 は、アドレス線から入力された行アドレスに応じた制御信号をワード線選択部 22 に出力するとともに、アドレス線から入力された列アドレスに応じた制御信号をビット線選択部 26 に出力する。アドレス制御部 21 は、ワード線選択部 22 およびビット線選択部 26 に対して出力電圧を変更するタイミングを制御する信号を出力する。ワード線選択部 22 は、書き込み、読み出しまたはリセットの動作を行う際に、書き込み、読み出しまたはリセットの動作に必要な所定の電圧で各ワード線WLをドライブする回路を含んでいる。ワード線選択部 22 は、メモリセルアレイ 10 の各ワード線WLに接続され、アドレス線から入力された行アドレスに応じたワード線WLを選択する。ワード線選択部 22 は、選択したワード線WLに対して、書き込み、読み出しまたはリセットの動作に必要な所定の電圧を出力する。

[0024] ビット線選択部 26 は、データ「0」を書き込む動作を行う際、例えば、メモリセルMCの抵抗変化素子の状態を高抵抗状態もしくは低抵抗状態から低抵抗状態にする動作を行う際に、データ「0」を書き込むメモリセルMCに接続されたビット線BLをデータ「0」の書き込み動作に必要な所定の電圧でドライブする回路を含んでいる。ビット線選択部 26 は、さらに、データ「1」を書き込む動作を行う際、例えば、メモリセルMCの抵抗変化素子の状態を高抵抗状態もしくは低抵抗状態から高抵抗状態にする動作を行う際に、データ「1」を書き込むメモリセルMCに接続されたビット線BLをデータ「1」の書き込み動作に必要な所定の電圧でドライブする回路を含んでいる。ビット線選択部 26 は、さらに、データを読み出す動作を行う際に、データを読み出すメモリセルMCに接続されたビット線BLをデータの書き換えが生じない所定の電圧でドライブする回路を含んでいる。

[0025] ビット線選択部 26 は、メモリセルアレイ 10 の各ビット線BLに接続さ

れ、アドレス線から入力された列アドレスによって、対応するビット線BLを選択する。ビット線選択部26は、選択したビット線BLに対して、書き込み、読み出しまたはリセットの動作に必要な所定の電圧を出力する。

[0026] コマンド制御部23は、入力されたコマンドに応じて、ワード線選択部22、ソフトエラー発生器24、書き込み制御部25および読み出し制御部27を制御する。例えば、ライトコマンドが入力された場合には、コマンド制御部23は、ソフトエラー発生器24に対して、ソフトエラーを含む書き込みデータDwの生成を指示する。ソフトエラー発生器24は、メモリコントローラ300から入力されたデータ（入力データDin）に基づいて、ソフトエラーを含む書き込みデータDwを生成する。

[0027] コマンド制御部23は、さらに、書き込み制御部25に対して、ソフトエラー発生器24から入力された書き込みデータDwを所定のタイミングでビット線選択部26に出力することを指示し、ワード線選択部22に対して、所定のタイミングでメモリセルアレイ10を走査するよう指示する。書き込み制御部25は、ソフトエラー発生器24から入力された書き込みデータDwを所定のタイミングでビット線選択部26に出力する。コマンド制御部23は、さらに、読み出し制御部27に対して、書き込んだデータをメモリセルアレイ10から読み出すことを指示する。読み出し制御部27は、読み出したデータ（読み出しデータDr）を出力データDoutとしてメモリコントローラ300に出力する。

[0028] 図3は、ソフトエラー発生器24の機能ブロックの一例を表したものである。ソフトエラー発生器24は、例えば、図3に示したように、乱数発生器24aと、確率不良レジスタ24bと、MOD演算器24cと、XOR演算器24dとを有している。

[0029] 乱数発生器24aは、ライトコマンドWCの取得をトリガーに乱数D1を発生する。乱数発生器24aは、例えば、特開2001-344094に記載の方法で乱数D1を発生する。確率不良レジスタ24bは、ソフトエラー生成のためのレジスタ値D2が規定されたレジスタである。レジスタ値D2

は、確率不良レジスタ24bに格納された固定値である。MOD演算器24cは、乱数発生器24aで生成された乱数D1と、確率不良レジスタ24bから読み出したレジスタ値D2とを用いて剰余演算($D1 \% D2$)を行い、それにより得られた余りD3をXOR演算器24dに出力する。XOR演算器24dは、MOD演算器24cから入力された余りD3と、メモリコントローラ300から入力されたデータ(入力データDin)とに対して、XOR演算を行い、それにより得られた値を書き込みデータDwとして書き込み制御部25に出力する。書き込みデータDwには、ソフトエラーが含まれている場合もあるし、ソフトエラーが含まれていない場合もある。書き込みデータDwにソフトエラーが含まれていない場合には、書き込みデータDwは、入力データDinと等しい。つまり、書き込みデータDwは、確率不良が考慮されたデータであると言える。

[0030] 次に、メモリセルアレイユニット400における書き込み動作について説明する。図4は、メモリセルアレイユニット400における書き込み動作の一例を表したものである。まず、乱数発生器24aは、メモリコントローラ300(コマンド制御部23)からライトコマンドWCを取得すると、ライトコマンドWCの取得をトリガーに乱数D1を発生する(ステップS101, S102)。次に、MOD演算器24cは、乱数発生器24aで生成された乱数D1と、確率不良レジスタ24bから読み出したレジスタ値D2とを用いて剰余演算($D1 \% D2$)を行う(ステップS103)。その結果、余りD3が得られる。MOD演算器24cは、得られた余りD3をXOR演算器24dに出力する。

[0031] XOR演算器24dは、MOD演算器24cから余りD3を取得すると、余りD3の取得をトリガーにXOR演算を行う(ステップS104)。具体的には、XOR演算器24dは、MOD演算器24cから入力された余りD3と、メモリコントローラ300から入力されたデータ(入力データDin)とに対して、XOR演算を行う。XOR演算器24dは、それにより得られた値を書き込みデータDwとして書き込み制御部25に出力する。

[0032] 書き込み制御部 25 は、ソフトエラー発生器 24 から入力された書き込みデータ D_w を所定のタイミングでビット線選択部 26 に出力する。ワード線選択部 22 およびビット線選択部 26 は、アドレス制御部 21 によるタイミング制御および印可電圧制御に従って、書き込みデータ D_w をメモリセルアレイ 10 の所定のアドレスに記憶させる（ステップ S105）。その後、ビット線選択部 26 は、必要に応じて、メモリセルアレイ 10 の所定のアドレスから、書き込みデータ D_w を読み出す。読み出し制御部 27 は、ビット線選択部 26 で得られた書き込みデータ D_w を出力データ D_{out} としてメモリコントローラ 300 に出力する。このようにして、メモリセルアレイユニット 400 における書き込み動作が行われる。

[0033] [効果]

次に、本実施の形態に係る情報処理システムの効果について説明する。

[0034] 不揮発性メモリセルアレイにおいて、ある不揮発性メモリが断線していたり、短絡していたりした場合、その不揮発性メモリから読み出したデータは常に同じ値になる。このようなアドレス固有の不良のことを固定不良（ハード不良）と呼ぶ。従来では、ハード不良を再現するエラー発生器についての発明が上記特許文献 1～3 で提案されている。

[0035] しかし、不揮発性メモリセルアレイでは、同一条件で繰り返し書き込みを行った場合に、ごくまれに、抵抗変化素子に正しい書き込みができないことがある。このような不良のことを確立不良（ソフトエラー）と呼ぶ。上記特許文献 1～3 に記載の発明では、このようなソフトエラーを再現することができず、ソフトエラーに対する訂正機能の検証することができないという問題があった。

[0036] 一方、本実施の形態では、乱数 D_1 を用いることによりソフトエラーが考慮された書き込みデータ D_w が生成される。ここで、エラーが発生するか否かは、乱数 D_1 に依ってランダムに変わる。そのため、エラー発生は確率的となり、ソフトエラーを再現することができる。従って、メモリセルアレイ 10 に対する書き込みの成功確率を再現することができる。なお、例えば、

このようにして生成された書き込みデータ D_w をメモリセルアレイ 10 に記憶させ、その後、改めて、メモリセルアレイ 10 から読み出した書き込みデータ D_w を利用して、ソフトエラーに対する訂正機能の検証を行うことができる。

[0037] また、本実施の形態では、乱数 D_1 とレジスタ値 D_2 （固定値）とを用いて剰余演算が行われ、それにより得られた余り D_3 と、入力データ D_{in} を用いて書き込みデータ D_w が生成される。これにより、エラー発生を確率的に生じさせることができ、ソフトエラーを再現することができる。

[0038] また、本実施の形態では、余り D_3 と入力データ D_{in} とを用いて XOR 演算が行われ、それにより得られた値が書き込みデータ D_w となる。これにより、エラー発生を確率的に生じさせることができ、ソフトエラーを再現することができる。

[0039] <変形例>

次に、上記実施の形態に係る情報処理システムの変形例について説明する。

[0040] [変形例 A]

図 5 は、上記実施の形態に係るメモリセルアレイユニット 400 の一変形例を表したものである。本変形例では、上記実施の形態に係るメモリセルアレイユニット 400 において、ソフトエラー発生器 24 が省略され、ソフトエラー発生器 28 および書き戻し制御部 29 が追加されている。

[0041] 図 6 は、ソフトエラー発生器 28 の機能ブロックの一例を表したものである。ソフトエラー発生器 28 は、例えば、図 6 に示したように、乱数発生器 28a と、確率不良レジスタ 28b と、MOD 演算器 28c と、XOR 演算器 28d とを有している。

[0042] 乱数発生器 28a は、リードコマンド RC の取得をトリガーに乱数 D_4 を発生する。乱数発生器 28a は、例えば、特開 2001-344094 に記載の方法で乱数 D_4 を発生する。確率不良レジスタ 28b は、ソフトエラー生成のためのレジスタ値 D_5 が規定されたレジスタである。MOD 演算器 2

8 c は、乱数発生器 2 8 a で生成された乱数 D 4 と、確率不良レジスタ 2 8 b から読み出したレジスタ値 D 5 とを用いて剰余演算 ($D 4 \% D 5$) を行い、それにより得られた余り D 6 を X O R 演算器 2 8 d に出力する。X O R 演算器 2 8 d は、M O D 演算器 2 8 c から入力された余り D 6 と、ビット線選択部 2 6 によってメモリセルアレイ 1 0 から読み出されたデータ（読み出しデータ D r 1）とに対して、X O R 演算を行い、それにより得られた値を読み出しデータ D r 2 として読み出し制御部 2 7 に出力する。読み出しデータ D r 2 には、ソフトエラーが含まれている場合もあるし、ソフトエラーが含まれていない場合もある。読み出しデータ D r 2 にソフトエラーが含まれていない場合には、読み出しデータ D r 2 は、読み出しデータ D r 1 と等しい。

[0043] 読み出しデータ D r 1 は、駆動部 2 0 によってメモリセルアレイ 1 0 に書き込まれたデータである。読み出しデータ D r 1 は、例えば、メモリコントローラ 3 0 0 から入力された入力データ D i n である。

[0044] 本変形例では、読み出し制御部 2 7 は、ソフトエラー発生器 2 8 から入力されたデータ（読み出しデータ D r 2）を出力データ D o u t としてメモリコントローラ 3 0 0 に出力する。書き戻し制御部 2 9 は、ソフトエラー発生器 2 8 から出力されたデータ（読み出しデータ D r 2）を書き込み制御部 2 5 に出力する。書き込み制御部 2 5 は、書き戻し制御部 2 9 から読み出しデータ D r 2 が入力されると、読み出しデータ D r 2 の取得をトリガーに、読み出しデータ D r 2 を、読み出しデータ D r 1 に上書きするようにメモリセルアレイに書き込む。

[0045] 次に、メモリセルアレイユニット 4 0 0 における読み出し動作について説明する。図 7 は、メモリセルアレイユニット 4 0 0 における読み出し動作の一例を表したものである。まず、乱数発生器 2 8 a は、メモリコントローラ 3 0 0（コマンド制御部 2 3）からリードコマンド R C を取得すると、リードコマンド R C の取得をトリガーに乱数 D 4 を発生する（ステップ S 2 0 1, S 2 0 2）。次に、M O D 演算器 2 8 c は、乱数発生器 2 8 a で生成され

た乱数D 4 と、確率不良レジスタ2 8 bから読み出したレジスタ値D 5 とを用いて剰余演算 ($D 4 \% D 5$) を行う (ステップS 2 0 3)。その結果、余りD 6 が得られる。MOD演算器2 8 cは、得られた余りD 4 をXOR演算器2 8 dに出力する。

[0046] XOR演算器2 8 dは、MOD演算器2 8 cから余りD 6を取得すると、余りD 6の取得をトリガーにXOR演算を行う (ステップS 2 0 4)。具体的には、XOR演算器2 8 dは、MOD演算器2 8 cから入力された余りD 6と、ビット線選択部2 6によってメモリセルアレイ1 0から読み出されたデータ (読み出しデータD r 1) とに対して、XOR演算を行う。XOR演算器2 8 dは、それにより得られた値を読み出しデータD r 2として読み出し制御部2 7および書き戻し制御部2 9に出力する。

[0047] 読み出し制御部2 7は、ソフトエラー発生器2 8から入力されたデータ (読み出しデータD r 2) を出力データD o u tとしてメモリコントローラ3 0 0に出力する (ステップS 2 0 5)。書き戻し制御部2 9は、ソフトエラー発生器2 8から入力されたデータ (読み出しデータD r 2) を書き込み制御部2 5に出力する。書き込み制御部2 5は、書き戻し制御部2 9から読み出しデータD r 2が入力されると、読み出しデータD r 2の取得をトリガーに、読み出しデータD r 2を、読み出しデータD r 1に上書きするようにメモリセルアレイ1 0に書き込む。これにより、読み出しデータD r 2の書き戻しが行われる (ステップS 2 0 6)。このようにして、メモリセルアレイユニット4 0 0における読み出し動作が行われる。

[0048] 本変形例では、乱数D 4を用いることによりソフトエラーが考慮された読み出しデータD r 2が生成される。ここで、エラーが発生するか否かは、乱数D 4に依ってランダムに変わる。そのため、エラー発生は確率的となり、ソフトエラーを再現することができる。従って、メモリセルアレイ1 0における保持データの消失確率と、メモリセルアレイ1 0から保持データを読み出す際にメモリセルアレイ1 0に流す読み出し電流に起因する誤書き込みの確率とを再現することができる。ところで、ソフトエラーの1つである、外

乱（例えば外部磁場など）によるデータ破壊が生じた場合、読み出し動作の再実行ではソフトエラーを解消することができない。一方、本変形例では、エラーが訂正された正しいデータがメモリセルアレイ 10 に書き込まれる。これにより、ソフトエラーを解消することができる。

[0049] また、本変形例では、乱数 D 4 とレジスタ値 D 5（固定値）とを用いて剰余演算が行われ、それにより得られた余り D 6 と、読み出しデータ D r 1 を用いて読み出しデータ D r 2 が生成される。これにより、エラー発生を確率的に生じさせることができ、ソフトエラーを再現することができる。

[0050] また、本変形例では、余り D 6 と読み出しデータ D r 1 とを用いて X O R 演算が行われ、それにより得られた値が読み出しデータ D r 2 となる。これにより、エラー発生を確率的に生じさせることができ、ソフトエラーを再現することができる。

[0051] また、本変形例では、読み出しデータ D r 2 が、読み出しデータ D r 1 に上書きするようにメモリセルアレイ 10 に書き込まれる。これにより、改めて、メモリセルアレイ 10 から読み出しデータ D r 2 を読み出し、読み出した読み出しデータ D r 2 を利用して、ソフトエラーに対する訂正機能の検証を行うことができる。ところで、ソフトエラーの 1 つである、外乱（例えば外部磁場など）によるデータ破壊が生じた場合、読み出し動作の再実行ではソフトエラーを解消することができない。一方、本変形例では、エラーが訂正された正しいデータがメモリセルアレイ 10 に書き込まれる。これにより、ソフトエラーを解消することができる。

[0052] [変形例 B]

図 8 は、上記変形例 A に係るメモリセルアレイユニット 400 の一変形例を表したものである。本変形例では、上記変形例 A に係るメモリセルアレイユニット 400 において、ソフトエラー発生器 24 が追加されている。

[0053] 本変形例では、ソフトエラー発生器 24 によって、書き込み時のソフトエラーが含まれ得るデータ（書き込みデータ D w）が生成され、生成された書き込みデータ D w が、書き込み制御部 25 およびビット線選択部 26 によっ

てメモリセルアレイ 10 に記憶される。メモリセルアレイ 10 に記憶された書き込みデータ D_w が、読み出しデータ D_r1 としてビット線選択部 26 によってメモリセルアレイ 10 から読み出される。メモリセルアレイ 10 から読み出された読み出しデータ D_r1 とが、ソフトエラー発生器 28 によって、読み出し時のソフトエラーが含まれ得るデータ（読み出しデータ D_r2 ）が生成される。

[0054] これにより、メモリセルアレイ 10 に対する書き込みの成功確率と、メモリセルアレイ 10 における保持データの消失確率と、メモリセルアレイ 10 から保持データを読み出す際にメモリセルアレイ 10 に流す読み出し電流に起因する誤書き込みの確率とを再現することができる。ところで、ソフトエラーの 1 つである、外乱（例えば外部磁場など）によるデータ破壊が生じた場合、読み出し動作の再実行ではソフトエラーを解消することができない。一方、本変形例では、エラーが訂正された正しいデータがメモリセルアレイ 10 に書き込まれる。これにより、ソフトエラーを解消することができる。

[0055] [変形例 C]

図 9 は、上記変形例 A に係るメモリセルアレイユニット 400 を制御するメモリコントローラ 300 の一変形例を表したものである。本変形例では、メモリコントローラ 300 は、例えば、図 9 に示したように、訂正部 31 および書き戻し制御部 32 を有している。

[0056] 訂正部 31 は、例えば、メモリセルアレイユニット 400（読み出し制御部 27）から入力された出力データ D_{out} と、メモリセルアレイユニット 400（書き込み制御部 25）に出力した入力データ D_{in} とを対比して、出力データ D_{out} における誤りの有無を判断する。訂正部 31 は、出力データ D_{out} に誤りがあると判断した場合には、例えば、出力データ D_{out} に含まれる誤り訂正符号（例えば、ECC（Error Correction Code）パリティ）を用いて、出力データ D_{out} を訂正する。訂正部 31 は、訂正により得られたデータ（訂正データ D_c ）を書き戻し制御部 32 に出力する。書き戻し制御部 32 は、訂正部 31 から入力された訂正データ D_c をメモリセ

ルアレイユニット４００（書き込み制御部２５）に出力する。

[0057] 書き込み制御部２５は、メモリコントローラ３００から訂正データＤｃが入力されると、入力された訂正データＤｃを、書き込みデータＤｗとしてビット線選択部２６に出力する。ビット線選択部２６は、書き込み制御部２５から入力された書き込みデータＤｗを、読み出しデータＤｒ１に上書きするようにメモリセルアレイ１０に書き込み、これにより、訂正書き戻しを行う。

[0058] 次に、メモリコントローラ３００における訂正書き戻し動作について説明する。図１０は、メモリセルアレイユニット４００における読み出し動作の一例と、メモリコントローラ３００における訂正書き戻し動作の一例とを表したものである。まず、メモリセルアレイユニット４００は、上述のステップＳ２０１～Ｓ２０６までを実行する。

[0059] 続いて、メモリコントローラ３００において、訂正部３１は、例えば、メモリセルアレイユニット４００（読み出し制御部２７）から入力された出力データＤｏｕｔと、メモリセルアレイユニット４００（書き込み制御部２５）に出力した入力データＤｉｎとを対比して、出力データＤｏｕｔにおける誤りの有無を判断する（ステップＳ２０７）。訂正部３１は、出力データＤｏｕｔに誤りがないと判断した場合（ステップＳ２０７；Ｎ）には、訂正書き戻し動作を終了するとともに、読み出し動作を終了する。

[0060] 一方、訂正部３１は、出力データＤｏｕｔに誤りがあると判断した場合（ステップＳ２０７；Ｙ）には、例えば、出力データＤｏｕｔに含まれる誤り訂正符号を用いて、出力データＤｏｕｔを訂正し、それにより、訂正データＤｃを生成する（ステップＳ２０８）。訂正部３１は、訂正により得られた訂正データＤｃを書き戻し制御部３２に出力する。書き戻し制御部３２は、訂正部３１から入力された訂正データＤｃをメモリセルアレイユニット４００（書き込み制御部２５）に出力する。

[0061] 書き込み制御部２５は、メモリコントローラ３００から訂正データＤｃが入力されると、入力された訂正データＤｃを、書き込みデータＤｗとしてビ

ット線選択部26に出力する。ビット線選択部26は、書き込み制御部25から入力された書き込みデータD_wを、読み出しデータD_{r1}に上書きするようにメモリセルアレイ10に書き込み、これにより、訂正書き戻しを行う(ステップS209)。

[0062] 本変形例では、出力データD_{out}に誤りがある場合には、誤り訂正のなされたデータ(訂正データD_c)が、読み出しデータD_{r1}に上書きするようにメモリセルアレイ10に書き込まれる。これにより、ソフトエラーの無いデータをソフトエラー発生器28に与えることができるので、例えば、ソフトエラーに対する訂正機能の検証を行うことができる。

[0063] [変形例D]

図11は、上記実施の形態に係るメモリセルアレイユニット400の一変形例を表したものである。本変形例では、メモリセルアレイユニット400において、ソフトエラー発生器24が省略され、ソフトエラー発生器24と同様の機能を有するソフトエラー発生器410がメモリセルアレイユニット400とは別体で設けられている。このとき、駆動部20およびソフトエラー発生器410が、本開示の「メモリシステム」「メモリ動作プログラム」の一具体例に相当する。

[0064] このようにした場合には、ユーザにとって不要なソフトエラー発生器410を、メモリセルアレイユニット400に搭載する必要がなくなる。また、ソフトエラー発生器410の修正(例えば、乱数生成アルゴリズムの変更)が必要となった場合に、メモリセルアレイユニット400を作り直す必要がなくなり、修正コストを低減することができる。

[0065] また、本変形例では、ソフトエラー発生器410がメモリセルアレイユニット400とは別体で設けられていることにより、ソフトエラー発生器410をソフトウェア(プログラム)で構成し、駆動部20をハードウェアで構成することも可能となる。この場合、例えば、ソフトウェア(プログラム)であるソフトエラー発生器410がインストールされた情報処理装置を用いてメモリセルアレイユニット400の動作を制御する。

[0066] [変形例E]

図12は、上記変形例Aに係るメモリセルアレイユニット400の一変形例を表したものである。本変形例では、メモリセルアレイユニット400において、ソフトエラー発生器28および書き戻し制御部29が省略され、ソフトエラー発生器28と同様の機能を有するソフトエラー発生器420と、書き戻し制御部29と同様の機能を有する書き戻し制御部430とがメモリセルアレイユニット400とは別体で設けられている。このとき、駆動部20、ソフトエラー発生器420および書き戻し制御部430が、本開示の「メモリシステム」「メモリ動作プログラム」の一具体例に相当する。

[0067] このようにした場合には、ユーザにとって不要なソフトエラー発生器420および書き戻し制御部430を、メモリセルアレイユニット400に搭載する必要がなくなる。また、ソフトエラー発生器420の修正（例えば、乱数生成アルゴリズムの変更）が必要となった場合に、メモリセルアレイユニット400を作り直す必要がなくなり、修正コストを低減することができる。

[0068] また、本変形例では、ソフトエラー発生器420および書き戻し制御部430がメモリセルアレイユニット400とは別体で設けられていることにより、ソフトエラー発生器420および書き戻し制御部430をソフトウェア（プログラム）で構成し、駆動部20をハードウェアで構成することも可能となる。この場合、例えば、ソフトウェア（プログラム）であるソフトエラー発生器420および書き戻し制御部430がインストールされた情報処理装置を用いてメモリセルアレイユニット400の動作を制御する。

[0069] 以上、実施の形態およびその変形例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。上記実施の形態等では、メモリセルアレイ10はSTT-MRAMとなっていた。しかし、上記実施の形態等において、メモリセルアレイ10はSTT-MRAMとは異なるMRAMであってもよく、MRAMとは異なる不揮発性メモリであってもよい。

[0070] なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持っていたもよい。

[0071] また、例えば、本開示は以下のような構成を取ることができる。

(1)

乱数を用いることにより確率不良が考慮された書き込みデータもしくは読み出しデータを生成するソフトウェア発生部を備えたメモリシステム。

(2)

前記ソフトウェア発生部は、乱数と固定値とを用いて剰余演算を行い、それにより得られた余りと、入力データとを用いて前記書き込みデータを生成する

(1)に記載のメモリシステム。

(3)

前記ソフトウェア発生部は、乱数と固定値とを用いて剰余演算を行い、それにより得られた余りと、メモリから読み出したデータとを用いて前記読み出しデータを生成する

(1)に記載のメモリシステム。

(4)

前記ソフトウェア発生部は、
前記乱数を発生する乱数発生部と、
前記固定値が規定されたレジスタと、
前記剰余演算を行う第1演算部と、
前記書き込みデータを生成する第2演算部と
を含んで構成される

(2)に記載のメモリシステム。

(5)

前記第2演算部は、前記余りと前記入力データとを用いてXOR演算を行い

、それにより得られた値を前記書き込みデータとする

(4) に記載のメモリシステム。

(6)

前記ソフトウェア発生部は、

前記乱数を発生する乱数発生部と、

前記固定値が規定されたレジスタと、

前記剰余演算を行う第1演算部と、

前記読み出しデータを生成する第2演算部と

を含んで構成される

(3) に記載のメモリシステム。

(7)

前記第2演算部は、前記余りと前記入力データとを用いてXOR演算を行い

、それにより得られた値を前記読み出しデータとする

(6) に記載のメモリシステム。

(8)

前記読み出しデータを前記メモリデータに上書きするように前記メモリに書き込む書き込み部を更に備えた

(3) に記載のメモリシステム。

(9)

メモリと、

前記書き込みデータを前記メモリに書き込む書き込み制御部と

を更に備えた

(2) に記載のメモリシステム。

(10)

前記メモリと、

前記読み出しデータを前記メモリに書き込む書き込み制御部と、

前記読み出しデータを前記メモリから読み出す読み出し制御部と

を更に備えた

(3) に記載のメモリシステム。

(11)

第1の乱数を用いることにより確率不良が考慮された書き込みデータを生成する第1のソフトウェア発生部と、

第2の乱数を用いることにより確率不良が考慮された読み出しデータを生成する第2のソフトウェア発生部と

を備えた

メモリシステム。

(12)

前記第1のソフトウェア発生部は、前記第1の乱数と第1の固定値とを用いて剰余演算を行い、それにより得られた第1の余りと、入力データとを用いて前記書き込みデータを生成し、

前記第2のソフトウェア発生部は、前記第2の乱数と第2の固定値とを用いて剰余演算を行い、それにより得られた第2の余りと、メモリから読み出したデータとを用いて前記読み出しデータを生成する

(11) に記載のメモリシステム。

(13)

乱数を用いることにより確率不良が考慮された書き込みデータもしくは読み出しデータを生成することを

コンピュータに実行させる

メモリ動作プログラム。

(14)

第1の乱数を用いることにより確率不良が考慮された書き込みデータを生成することと、

第2の乱数を用いることにより確率不良が考慮された読み出しデータを生成することと

をコンピュータに実行させる

メモリ動作プログラム。

- [0072] 本開示の第1の側面に係るメモリシステム、および本開示の第2の側面に係るメモリ動作プログラムによれば、乱数を用いることにより確率不良が考慮された書き込みデータもしくは読み出しデータを生成するようにしたので、エラー発生は確率的となり、ソフトエラーを再現することができる。
- [0073] 本開示の第3の側面に係るメモリシステム、および本開示の第4の側面に係るメモリ動作プログラムによれば、第1の乱数を用いることにより確率不良が考慮された書き込みデータを生成し、第2の乱数を用いることにより確率不良が考慮された読み出しデータを生成するようにしたので、エラー発生は確率的となり、ソフトエラーを再現することができる。
- [0074] 本出願は、日本国特許庁において2020年7月20日に出願された日本特許出願番号第2020-124039を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。
- [0075] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 乱数を用いることにより確率不良が考慮された書き込みデータもしくは読み出しデータを生成するソフトウェア発生部を備えたメモリシステム。
- [請求項2] 前記ソフトウェア発生部は、乱数と固定値とを用いて剰余演算を行い、それにより得られた余りと、入力データとを用いて前記書き込みデータを生成する
請求項1に記載のメモリシステム。
- [請求項3] 前記ソフトウェア発生部は、乱数と固定値とを用いて剰余演算を行い、それにより得られた余りと、メモリから読み出したデータとを用いて前記読み出しデータを生成する
請求項1に記載のメモリシステム。
- [請求項4] 前記ソフトウェア発生部は、
前記乱数を発生する乱数発生部と、
前記固定値が規定されたレジスタと、
前記剰余演算を行う第1演算部と、
前記書き込みデータを生成する第2演算部と
を含んで構成される
請求項2に記載のメモリシステム。
- [請求項5] 前記第2演算部は、前記余りと前記入力データとを用いてXOR演算を行い、それにより得られた値を前記書き込みデータとする
請求項4に記載のメモリシステム。
- [請求項6] 前記ソフトウェア発生部は、
前記乱数を発生する乱数発生部と、
前記固定値が規定されたレジスタと、
前記剰余演算を行う第1演算部と、
前記読み出しデータを生成する第2演算部と
を含んで構成される

請求項3に記載のメモリシステム。

[請求項7] 前記第2演算部は、前記余りと前記入力データとを用いてXOR演算を行い、それにより得られた値を前記読み出しデータとする

請求項6に記載のメモリシステム。

[請求項8] 前記読み出しデータを前記メモリデータに上書きするように前記メモリに書き込む書き込み部を更に備えた

請求項3に記載のメモリシステム。

[請求項9] 第1の乱数を用いることにより確率不良が考慮された書き込みデータを生成する第1のソフトウェア発生部と、

第2の乱数を用いることにより確率不良が考慮された読み出しデータを生成する第2のソフトウェア発生部と

を備えた

メモリシステム。

[請求項10] 前記第1のソフトウェア発生部は、前記第1の乱数と第1の固定値とを用いて剰余演算を行い、それにより得られた第1の余りと、入力データとを用いて前記書き込みデータを生成し、

前記第2のソフトウェア発生部は、前記第2の乱数と第2の固定値とを用いて剰余演算を行い、それにより得られた第2の余りと、メモリから読み出したデータとを用いて前記読み出しデータを生成する

請求項9に記載のメモリシステム。

[請求項11] 乱数を用いることにより確率不良が考慮された書き込みデータもしくは読み出しデータを生成することを

コンピュータに実行させる

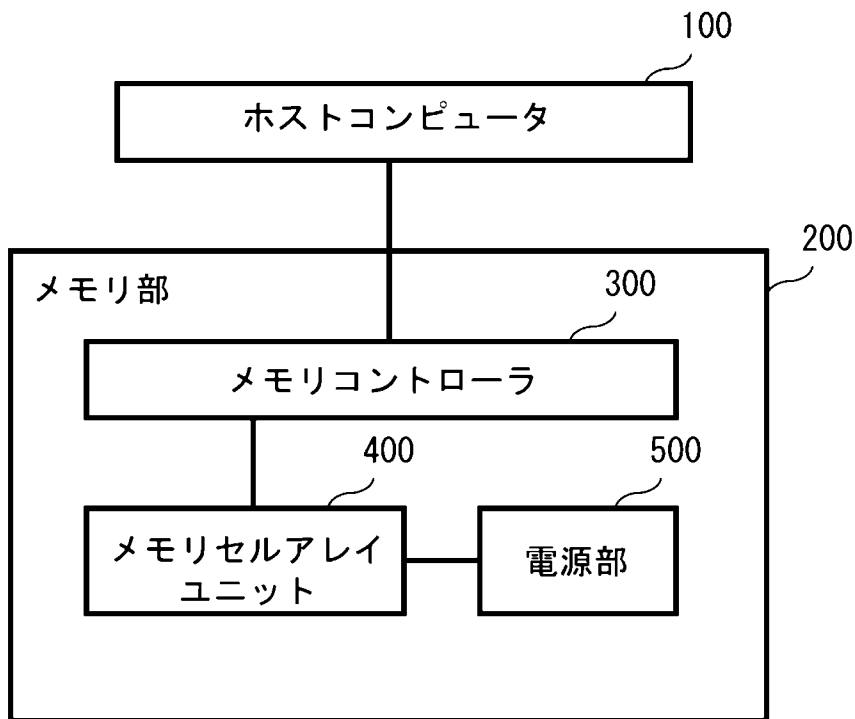
メモリ動作プログラム。

[請求項12] 第1の乱数を用いることにより確率不良が考慮された書き込みデータを生成することと、

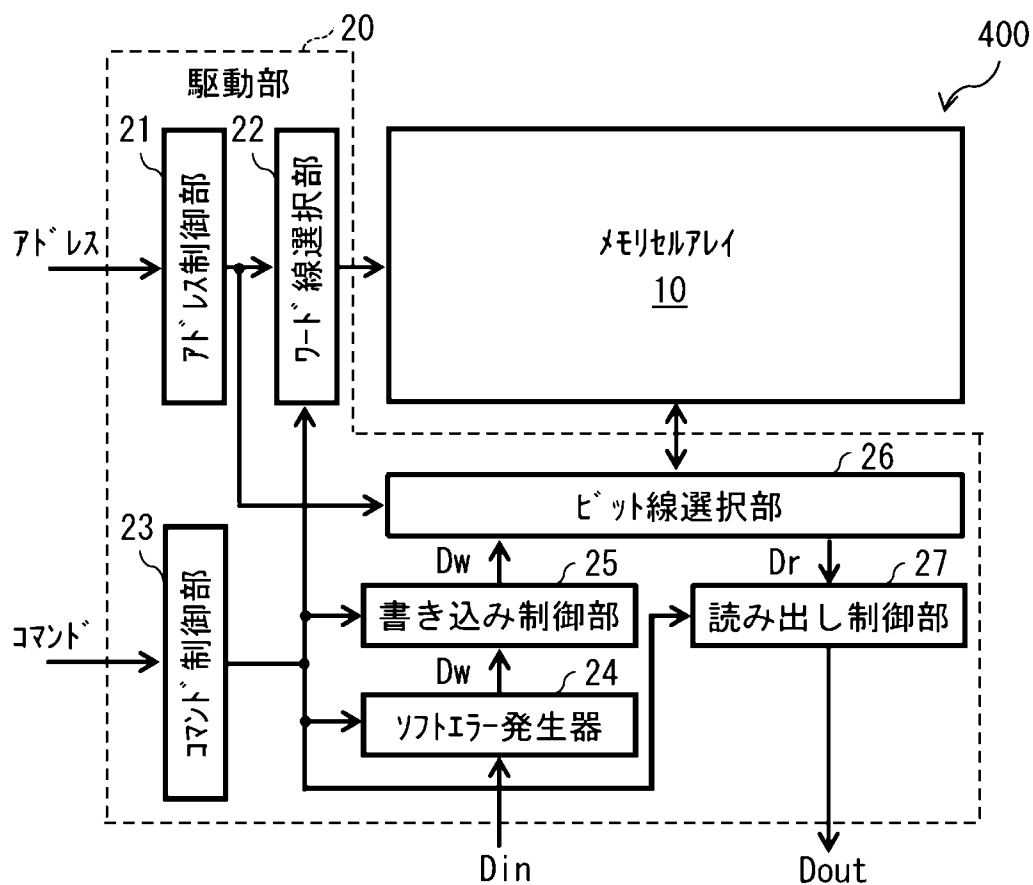
第2の乱数を用いることにより確率不良が考慮された読み出しデータを生成することと

をコンピュータに実行させる
メモリ動作プログラム。

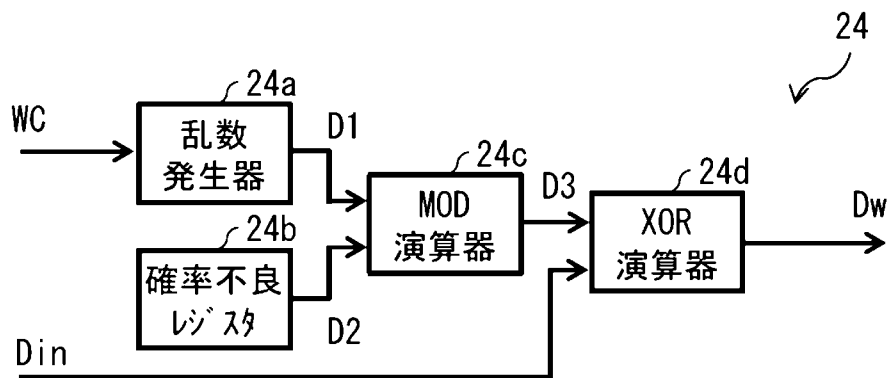
[図1]



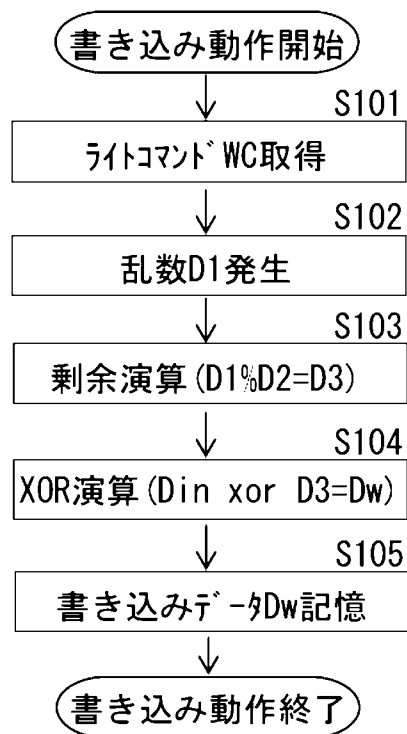
[図2]



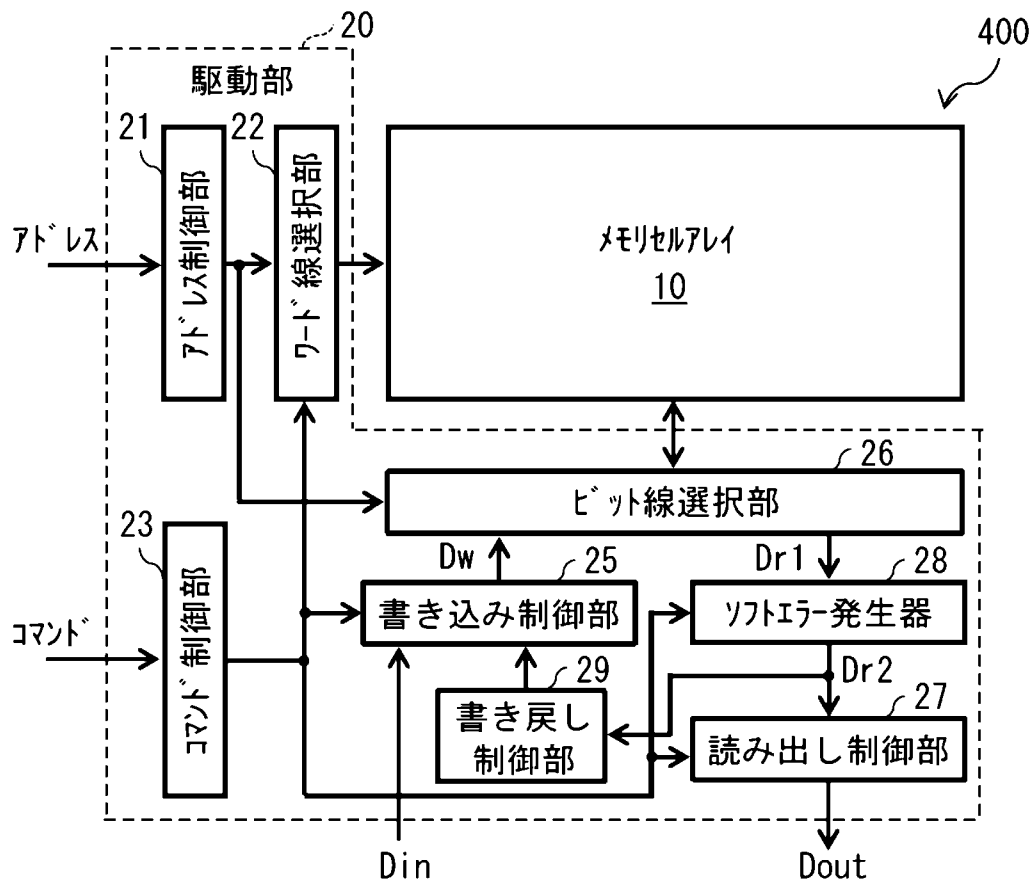
[図3]



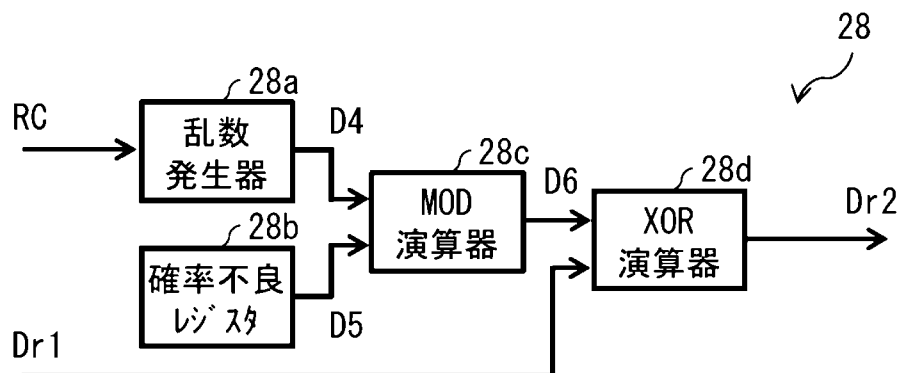
[図4]



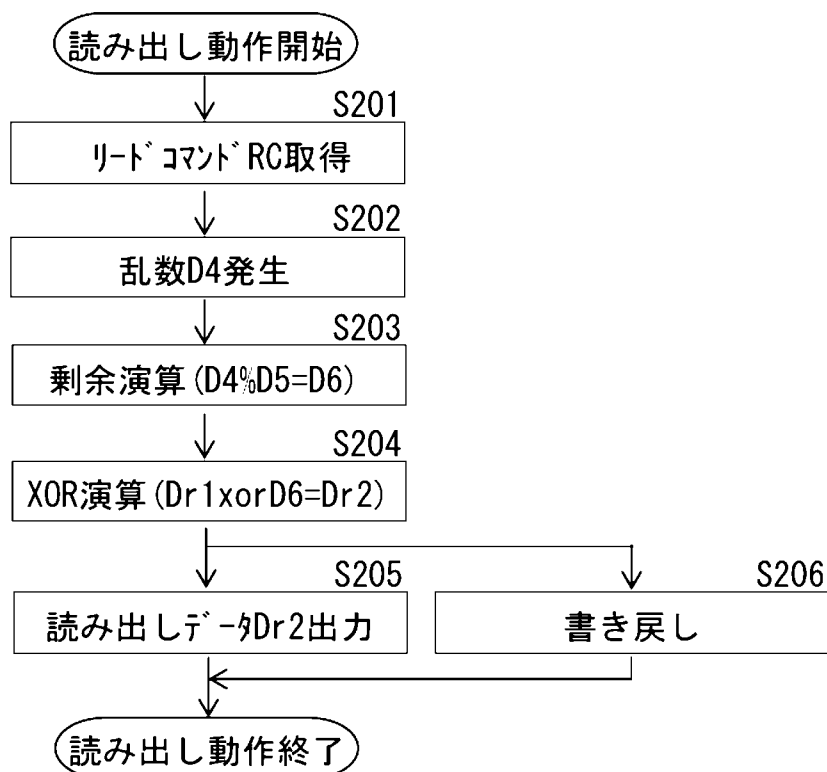
[図5]



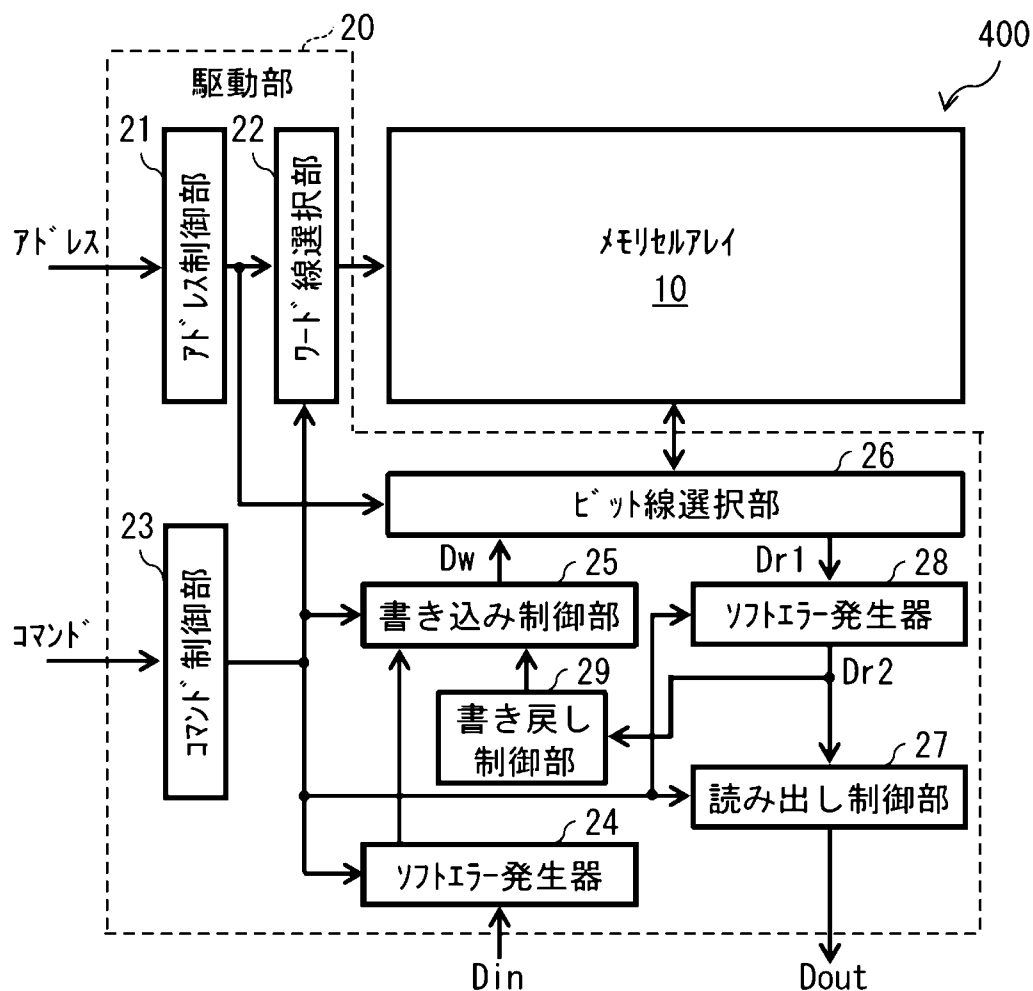
[図6]



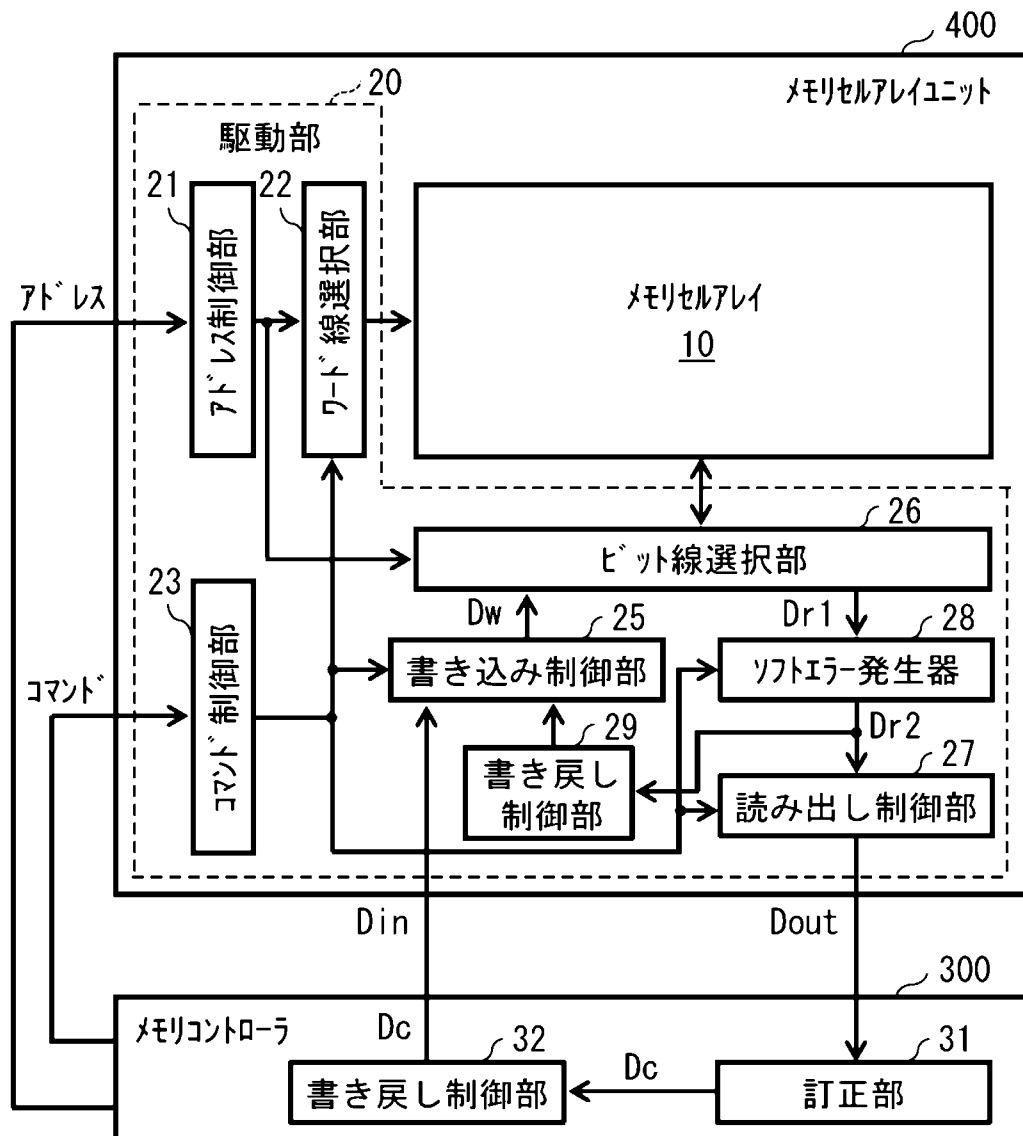
[図7]



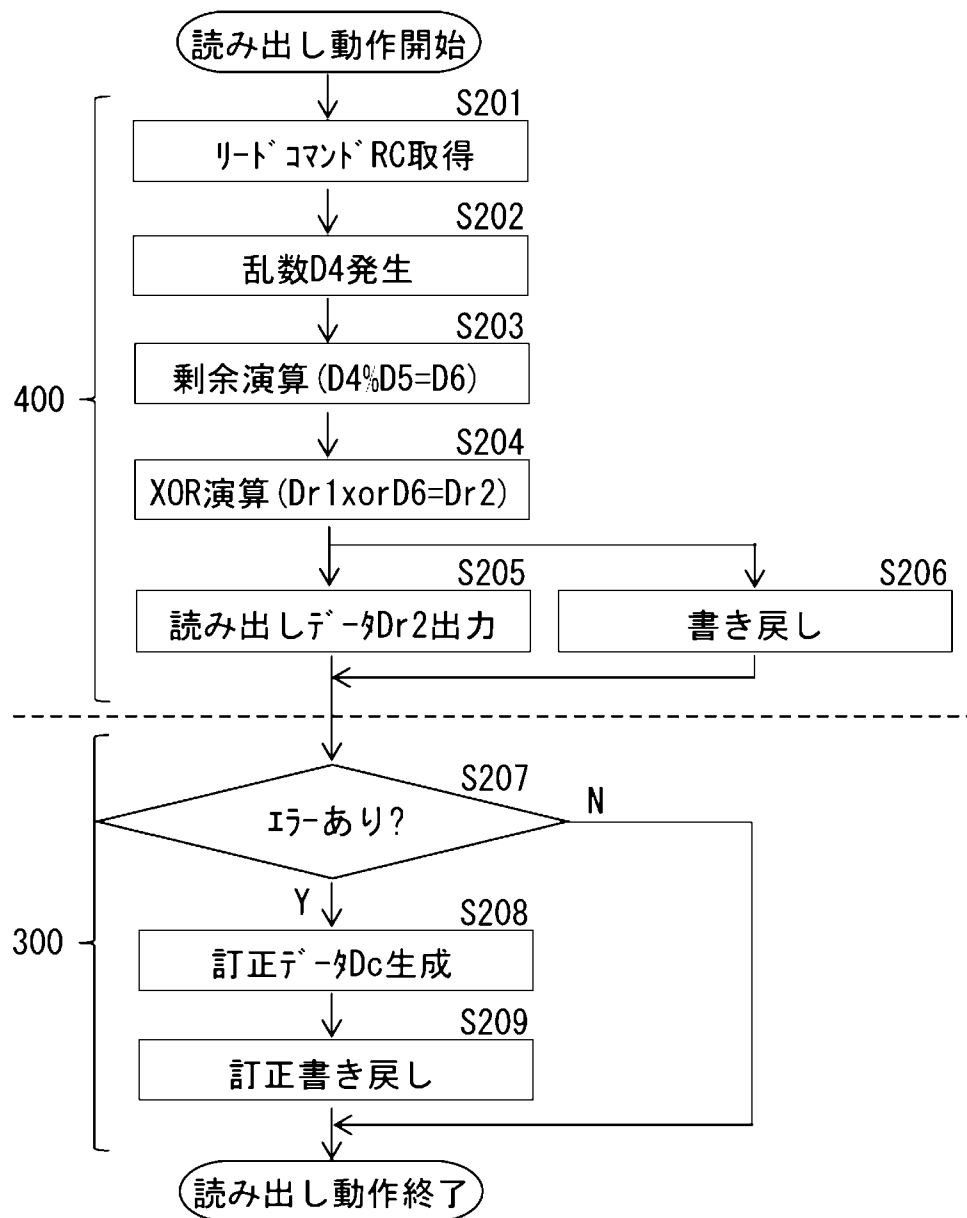
[図8]



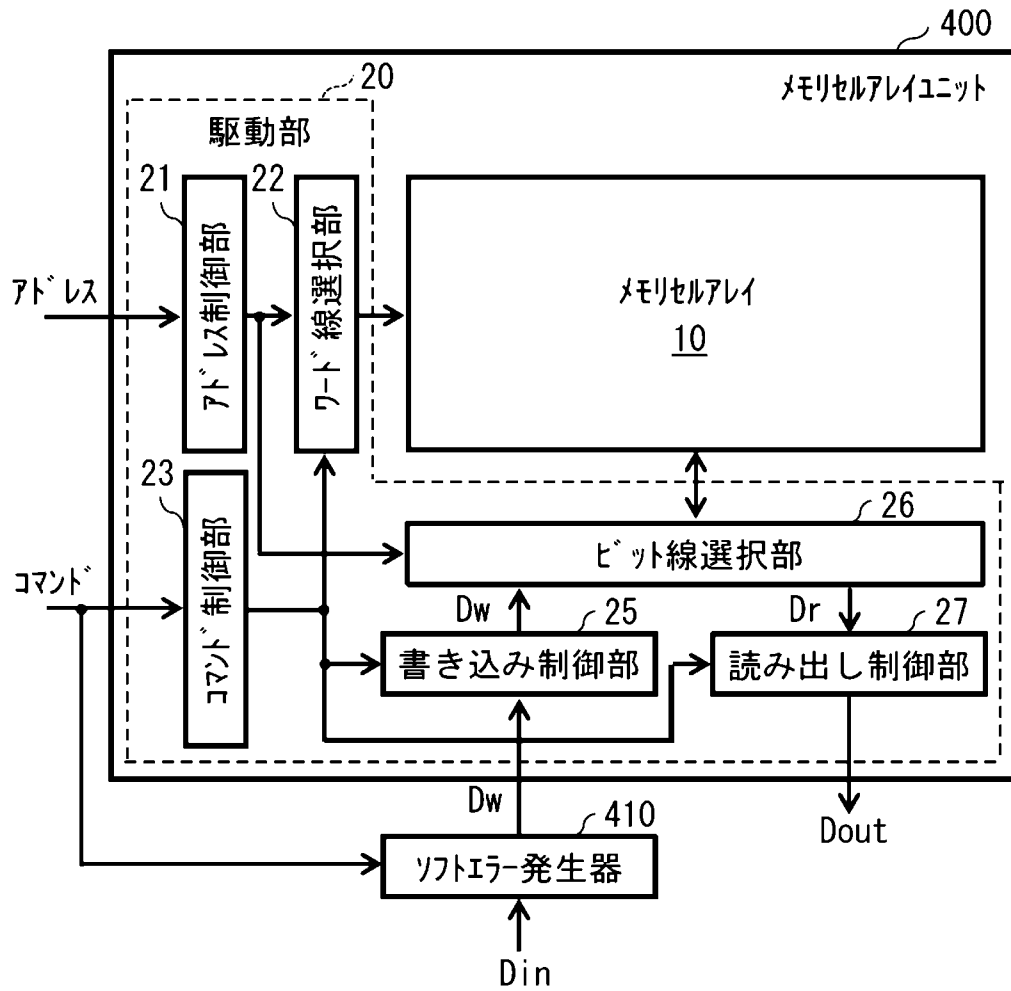
[図9]



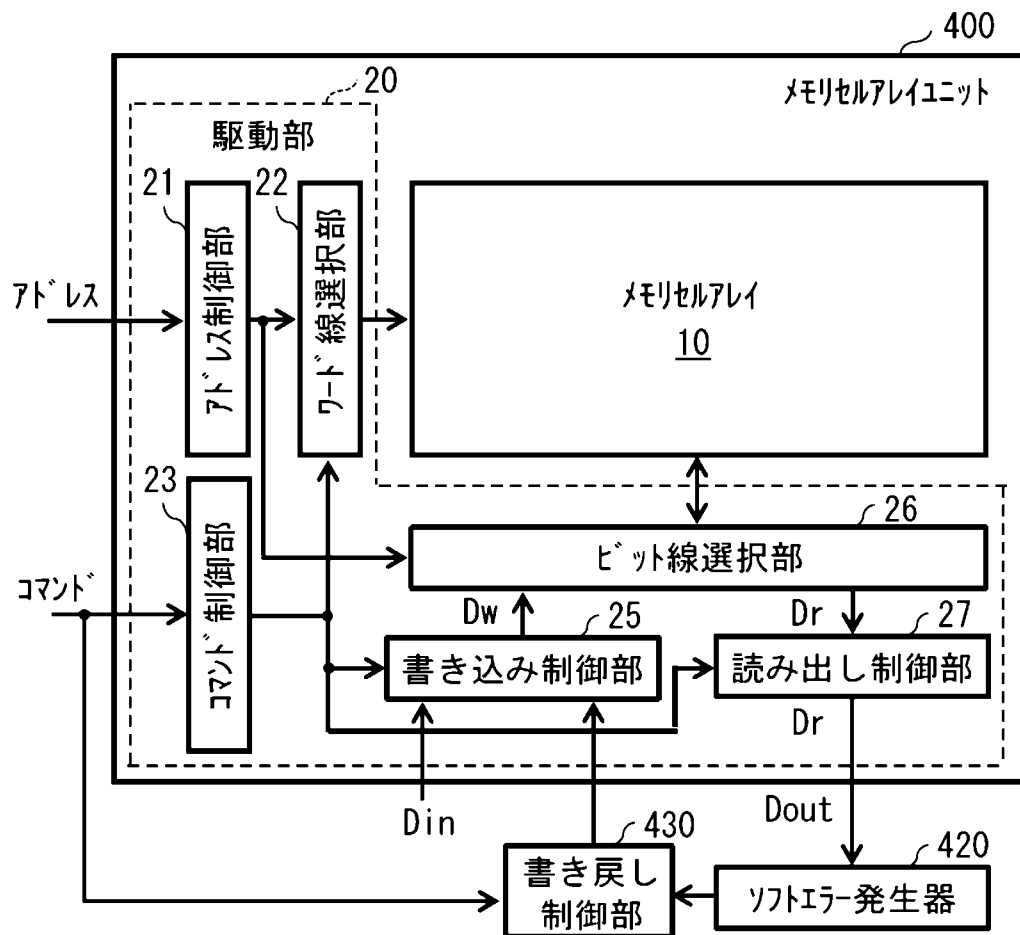
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/019164

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G11C29/10 (2006.01) i, G06F11/22 (2006.01) i
FI: G11C29/10 110, G06F11/22 607Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G11C29/10, G06F11/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2005-78431 A (TOSHIBA CORP.) 24 March 2005,	1, 11
Y	paragraphs [0012]-[0015], fig. 1	9, 12
A		2-8, 10
X	JP 2012-73678 A (FUJITSU LTD.) 12 April 2012,	1, 11
Y	paragraphs [0012]-[0036], fig. 1, 2	9, 12
A		2-8, 10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
01.07.2021

Date of mailing of the international search report
13.07.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/019164

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2005-78431 A	24.03.2005	US 2005/0086572 A1 paragraphs [0023]- [0026], fig. 1	
JP 2012-73678 A	12.04.2012	US 2012/0079346 A1 paragraphs [0026]- [0055], fig. 1, 2 CN 102436407 A KR 10-2012-0031875 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G11C 29/10(2006.01)i; G06F 11/22(2006.01)i FI: G11C29/10 110; G06F11/22 607Z														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） G11C29/10; G06F11/22														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2005-78431 A（株式会社東芝）24.03.2005（2005 - 03 - 24） 段落[0012]-[0015], 図1	1, 11												
Y		9, 12												
A		2-8, 10												
X	JP 2012-73678 A（富士通株式会社）12.04.2012（2012 - 04 - 12） 段落[0012]-[0036], 図1, 2	1, 11												
Y		9, 12												
A		2-8, 10												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 01.07.2021		国際調査報告の発送日 13.07.2021												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 後藤 彰 5N 4226 電話番号 03-3581-1101 内線 3586												

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/019164

引用文献			公表日	パテントファミリー文献	公表日
JP	2005-78431	A	24.03.2005	US 2005/0086572 A1 段落[0023]-[0026], 図1	
JP	2012-73678	A	12.04.2012	US 2012/0079346 A1 段落[0026]-[0055], 図1,2 CN 102436407 A KR 10-2012-0031875 A	