



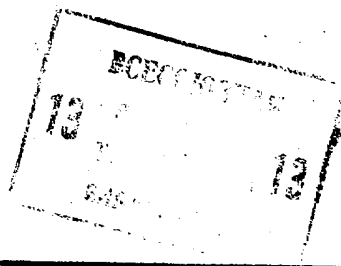
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1215109** **A**

(51) 4 G 06 F 7/50

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(61) 1133592

(21) 3773687/24-24

(22) 20.07.84

(46) 28.02.86. Бюл. № 8

(72) С.В.Галкин, В.Э.Голубицкий
и Б.М.Соколов

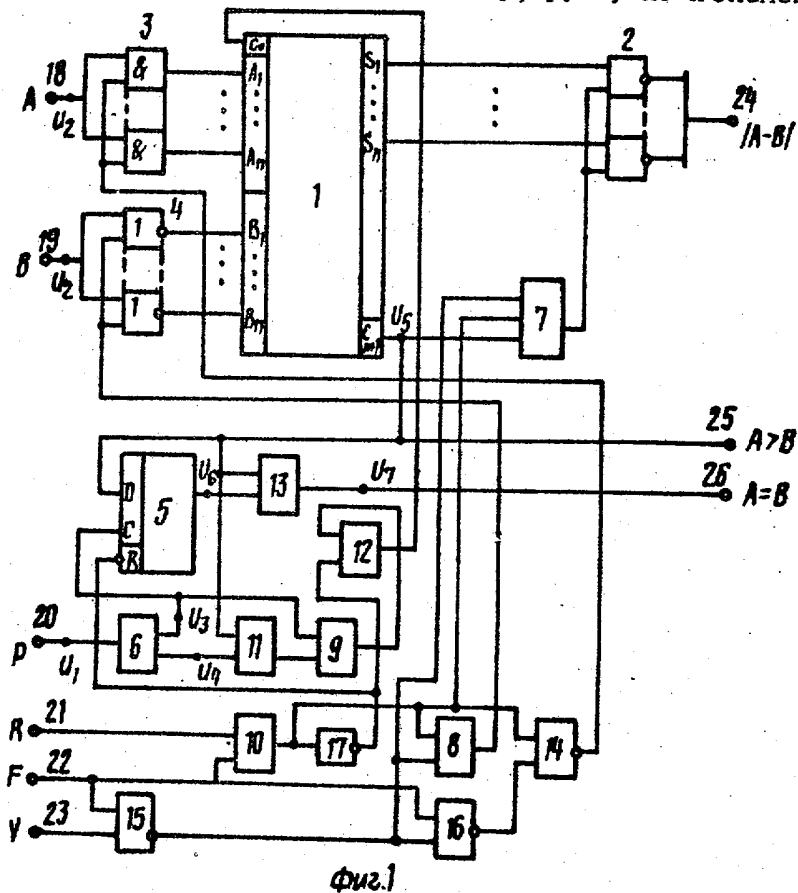
(53) 681.325.5(088.8)

(56) Титце У., Шенк К. Полупровод-
никовая схемотехника. М.: Мир, 1983
с.337, рис. 19.35.

Авторское свидетельство СССР
№ 1133592, кл. G 06 F 7/50, 1983.

(54) УСТРОЙСТВО ДЛЯ ВЫЧИТАНИЯ

(57) Изобретение относится к области
вычислительной техники и может быть
использовано при обработке цифровой
информации. Целью изобретения явля-
ется упрощение устройства и расшире-
ние области применения за счет
осуществления управляемого обнуле-
ния выхода устройства. Устройство
для вычитания содержит n -разрядный
сумматор, группу из n элементов РАВНО-



ЗНАЧНОСТЬ, группу из n элементов И, группу из n элементов ИЛИ-НЕ, D-триггер, блок задержки, три элемента ИЛИ, три элемента И, элемент НЕРАВНОЗНАЧНОСТЬ, три элемента ИЛИ-НЕ и элемент НЕ. Блок задержки содержит два одновибратора. По входу разрешения вычитания на вход блока задержки поступает импульс сопровождения операндов. По спаду этого импульса на первом выходе блока задержки появляется импульс,

длительность которого больше длительности переходного процесса на выходе переноса сумматора. В блоке задержки по спаду этого импульса на втором его выходе формируется импульс, длительность которого выбирается также больше длительности переходного процесса на выходе переноса сумматора. Изобретение - дополнительное к авт. св. № 1133592. 3 ил.

Изобретение относится к вычислительной технике и может быть использовано при обработке цифровой информации.

Целью изобретения является упрощение устройства и расширение области применения за счет осуществления управляемого обнуления выхода устройства.

На фиг. 1 дана функциональная схема устройства для вычитания; на фиг. 2 - схема блока задержки; на фиг. 3 - временные диаграммы работы устройства.

Устройство для вычитания содержит n -разрядный сумматор 1, группу 2 из n элементов РАВНОЗНАЧНОСТЬ, группу 3 из n элементов И, группу 4 из n элементов ИЛИ-НЕ D-триггер 5, блок 6 задержки, элементы ИЛИ 7-9, элементы И 10-12, элемент НЕРАВНОЗНАЧНОСТЬ 13, элементы ИЛИ-НЕ 14-16, элемент НЕ 17, входы 18 первого операнда, входы 19 второго операнда, вход 20 разрешения вычитания, вход 21 обнуления, вход 22 задания режима работы, вход 23 разрешения выдачи результата в обратном коде, выход 24 устройства, выход 25 знака разности и выход 26 равенства операндов.

Блок 6 задержки содержит первый 27 и второй 28 одновибраторы.

Устройство работает следующим образом.

В момент времени t_0 происходит смена информации на входах 18 и 19 первого и второго операндов. По входу 20 разрешения вычитания на вход блока 6 задержки поступает

импульс сопровождения операндов. По спаду этого импульса на первом выходе блока 6 задержки появляется импульс, длительность которого больше длительности переходного процесса на выходе переноса сумматора 1. В блоке 6 задержки по спаду этого импульса на втором его выходе формируется импульс, длительность которого выбирается также больше длительности переходного процесса на выходе переноса сумматора 1.

Если на входе 21 обнуления присутствует сигнал "0", то на выходе элемента И 10 появляется сигнал "0", а на выходе элемента НЕ 17 - "1". Сигнал "1" с выхода элемента НЕ 17 разрешает прохождение сигнала через D-триггер 5 и элемент И 12, а сигнал "0" с выхода элемента И 10 разрешает прохождение сигналов через элемент ИЛИ 8 и элемент ИЛИ-НЕ 14.

С первого выхода блока 6 задержки в интервале времени от t_0 до t_1 сигнал "1" через последовательно соединенные элементы ИЛИ 9 и И 12 поступает на вход переноса сумматора 1.

В интервале времени от t_1 до t_2 на первом входе элемента И 11 присутствует сигнал "0", который блокирует цепь прохождения сигнала с выхода переноса сумматора 1 на вход переноса. В этом интервале времени на входе переноса сумматора 1 присутствует сигнал "0".

В интервале времени от t_2 до t_4 элемент И 11 разблокируется и на

вход переноса сумматора 1 через последовательно соединенные элементы И 11, ИЛИ 9 и И 12 поступает сигнал с выхода переноса того же сумматора.

Если на входе 22 задания режима работы присутствует сигнал "1", то на выходах ИЛИ-НЕ 15 и 16 появляются сигналы "0". На выходе элемента ИЛИ 8 появляется сигнал "0", а на выходе элемента ИЛИ-НЕ 14 - "1". Эти сигналы разблокируют соответственно группу 4 элементов ИЛИ-НЕ и группу 3 элементов И. Следовательно, на первую группу входов сумматора 1 поступает прямой код первого операнда с входа 18, а на вторую группу входов - инверсный код второго операнда с входа 19. В сумматоре 1 производится вычитание кода второго операнда из кода первого операнда.

Если второй операнд по величине меньше первого операнда, то на выходе переноса сумматора 1 в момент времени t_1 будет присутствовать сигнал "1". Этот сигнал по спаду импульса на первом выходе блока 6 задержки будет записан в D-триггер 5. В моменты времени t_2 и t_3 на выходе переноса сумматора 1 будет также присутствовать сигнал "1". Таким образом, на первом и втором входах элемента НЕРАВНОЗНАЧНОСТЬ 13 к моменту фиксации результата вычитания будут присутствовать сигналы "0". Следовательно, на выходе элемента НЕРАВНОЗНАЧНОСТЬ 13 будет сигнал "0".

Таким образом, на выходе 25 знака разности и на выходе 26 равенства операндов зафиксирован результат сравнения соответственно сигналами "1" и "0". На выходе 24 будет разность операндов в прямом коде.

Если второй операнд больше по величине первого операнда, то на выходе переноса сумматора 1 в момент времени t_5 будет присутствовать сигнал "0". Этот сигнал по спаду импульса на первом выходе блока 6 задержки будет записан в D-триггер 5. В интервале времени от t_6 до t_7 на выходе переноса сумматора 1 будет присутствовать сигнал "0". Таким образом, на первом и втором входах элемента НЕРАВНОЗНАЧНОСТЬ 13 к моменту фиксации результата вычитания будут присутствовать сигналами "0".

лы "0". Следовательно, на выходе этого элемента будет сигнал "0".

Таким образом, на выходе 25 знака разности и на выходе 26 равенства зафиксирован результат сравнения сигналом "0", а по выходу 24 будет разность операндов в прямом коде.

Если код второго операнда равен по величине коду первого операнда, то на выходе переноса сумматора 1 в момент времени t_8 будет присутствовать сигнал "1". Этот сигнал по спаду импульса на первом выходе блока 6 задержки будет записан в D-триггер 5. В интервале времени от t_4 до t_{10} на выходе переноса сумматора 1 будет присутствовать сигнал "0". Таким образом, на первом входе элемента НЕРАВНОЗНАЧНОСТЬ 13 присутствует сигнал "0", а на втором входе - сигнал "1". Следовательно, на выходе элемента НЕРАВНОЗНАЧНОСТЬ 13 будет сигнал "1".

Таким образом, на выходе 25 знака разности и на выходе 26 равенства зафиксирован результат сравнения соответственно сигналами "0" и "1".

На выходах сумматора 1 к моменту фиксации результата вычитания получается разность операндов в инверсном коде, так как на входе переноса сумматора 1 присутствует сигнал "0" и первый операнд по величине равен второму. Так как на входах элемента ИЛИ 7 присутствуют сигналы "0", то и на первых входах элементов РАВНОЗНАЧНОСТЬ группы 2 будет сигнал "0". Следовательно, на выходе 24 будет нулевая разность операндов.

Если на входе 22 задания режима работы присутствует сигнал "0", то устройство для вычитания работает в режиме передачи на выход либо первого операнда, либо второго в зависимости от сигнала на входе 23.

Если на вход 23 подан сигнал "0", то на выход 24 устройства передается первый операнд. В этом случае на выходах элемента ИЛИ-НЕ 15, элемента ИЛИ 7, элемента ИЛИ 8 и элемента ИЛИ-НЕ 14 появляются сигналы "1". При этом группа 3 элементов И разблокирована, а группа 4 элементов ИЛИ-НЕ заблокирована, т.е. на первую группу входов сумматора 1 поступает первый операнд, а на вторую группу входов сумматора 1 - нулевой код.

Таким образом, на выходах сумматора 1 получается прямой код первого операнда. На первые входы элементов РАВНОЗНАЧНОСТЬ группы 2 с выхода элемента ИЛИ 7 поступает сигнал "1". Следовательно, на выход 24 устройства поступает прямой код первого операнда.

Если на вход 23 подан сигнал "1", то на выход устройства передается второй операнд.

Если на входе 21 обнуления и на входе 22 задания режима работы одновременно присутствуют сигналы "1", то устройство для вычитания работает в режиме обнуления. В этом случае на выходе элемента И 10 получается сигнал "1", а на выходе элемента НЕ 17 - "0". При этом на выходах D-триггера 5 и элементов И 12 и ИЛИ-НЕ 14 будут сигналы "0", а на выходе элемента ИЛИ 8 будет сигнал "1". Таким образом, на первую и вторую группы входов сумматора 1, вход переноса сумматора 1 поступают сигналы равные нулю. Следовательно, на выходах сумматора 1 получается нулевой результат, а так как на первые входы элементов РАВНОЗНАЧНОСТЬ группы 2 приходит сигнал "1" с выхода элемента ИЛИ 7, то на выходе 24 устройства будет нулевой результат. Так как D-триггер 5 находится в нулевом состоянии, а на выходе переноса сумматора 1 присутствует сигнал "0", то и на выходе 26 будет присутствовать сигнал "0".

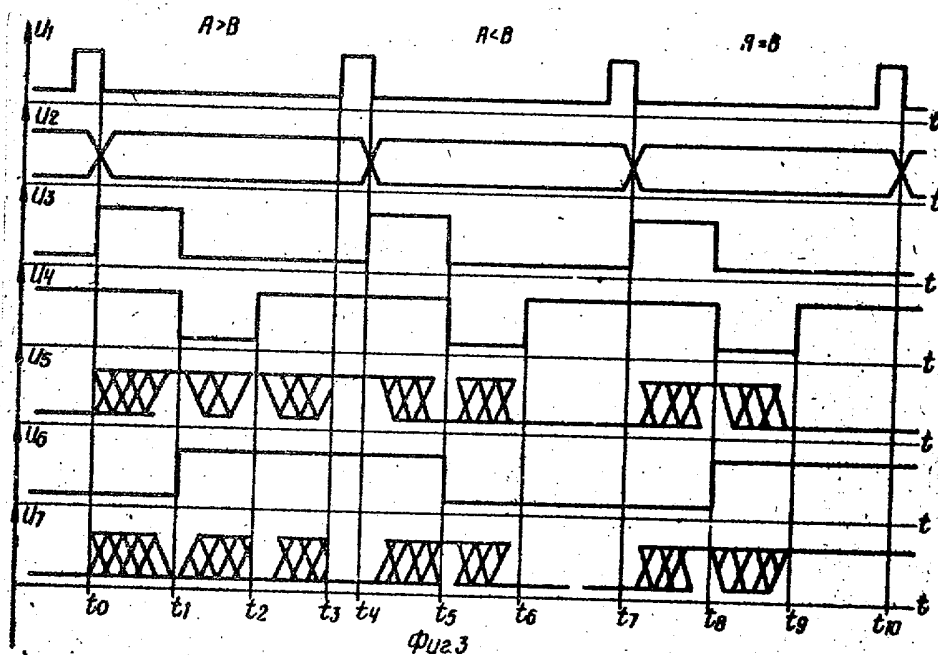
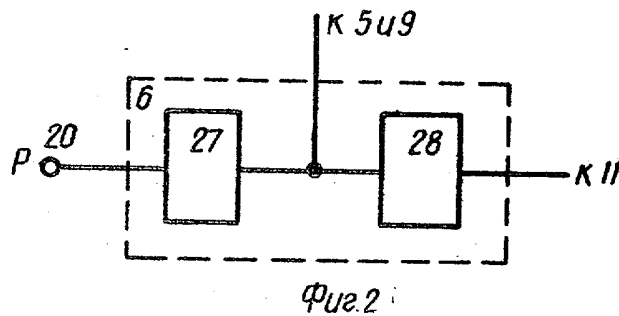
Ф о р м у л а и з о б р е т е н и я

Устройство для вычитания, содержащее n -разрядный сумматор, где n -разрядность операндов, группу из n элементов РАВНОЗНАЧНОСТЬ, группу из n элементов И, группу из n элементов ИЛИ-НЕ, три элемента ИЛИ-НЕ, первый элемент И и два элемента ИЛИ, причем первые входы элементов И группы соединены с входами соответствующих разрядов первого операнда устройства, а первые входы элементов ИЛИ-НЕ группы соединены с входами соответствующих разрядов второго операнда устройства, выходы элементов И группы и выходы элементов ИЛИ-НЕ группы соединены с соответствующими входами соответственно первой и второй групп входов сумматора, вы-

ходы разрядов которого подключены к первым входам соответствующих элементов РАВНОЗНАЧНОСТЬ группы, выходы которых соединены с выходами разрядов устройства, вторые входы элементов И группы и элементов ИЛИ-НЕ группы соединены соответственно с выходами первого элемента ИЛИ-НЕ и первого элемента ИЛИ, вторые входы элементов РАВНОЗНАЧНОСТЬ группы соединены с выходом второго элемента ИЛИ, первый вход которого соединен с выходом переноса сумматора, второй вход соединен с первыми входами первого элемента ИЛИ и первого элемента ИЛИ-НЕ, а также с выходом первого элемента И, а третий вход второго элемента ИЛИ подключен к второму входу первого элемента ИЛИ, первому входу второго элемента ИЛИ-НЕ и выходу третьего элемента ИЛИ-НЕ, первый вход которого соединен с первым входом первого элемента И, с вторым входом второго элемента ИЛИ-НЕ и с входом задания режима работы устройства, второй вход третьего элемента ИЛИ-НЕ соединен с входом разрешения выдачи результата в обратном коде устройства, второй вход первого элемента ИЛИ-НЕ соединен с выходом второго элемента ИЛИ-НЕ, выход переноса сумматора соединен с выходом знака разности устройства, отличающееся тем, что, с целью упрощения и расширения области применения за счет осуществления управляемого обнуления выхода устройства, оно дополнительно содержит D-триггер, третий элемент ИЛИ, второй и третий элементы И, элемент НЕ, элемент НЕРАВНОЗНАЧНОСТЬ и блок задержки, причем вход блока задержки соединен с входом разрешения вычитания устройства, первый выход соединен с тактовым входом D-триггера и первым входом третьего элемента ИЛИ, второй выход блока задержки соединен с первым входом второго элемента И, выход которого подключен к второму входу третьего элемента ИЛИ, выход которого соединен с первым входом третьего элемента И, второй вход которого соединен с входом обнуления D-триггера и с выходом элемента НЕ, вход которого подключен к выходу первого элемента И, второй вход которого соединен с входом обнуления устройства, выход третьего элемента И сое-

динен с входом переноса сумматора, выход переноса которого подключен к D-входу D-триггера, второму входу второго элемента И и первому

входу элемента НЕРАВНОЗНАЧНОСТЬ, второй вход которого соединен с выходом D-триггера, а выход подключен к выходу равенства операндов устройства.



Составитель А. Степанов

Редактор Л. Лежнина Техред О. Неце

Корректор А. Зимоков

Заказ 907/56

Тираж 673

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4