



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0111208
(43) 공개일자 2024년07월16일

(51) 국제특허분류(Int. Cl.)
G06F 13/42 (2006.01) G06F 5/00 (2006.01)
(52) CPC특허분류
G06F 13/4234 (2013.01)
G06F 5/00 (2021.08)
(21) 출원번호 10-2023-0002995
(22) 출원일자 2023년01월09일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
박종선
서울특별시 성북구 안암로 145, 창의관 716B호
강성윤
서울특별시 성북구 안암로 145, 신공학관 408호
(뒷면에 계속)
(74) 대리인
이철희

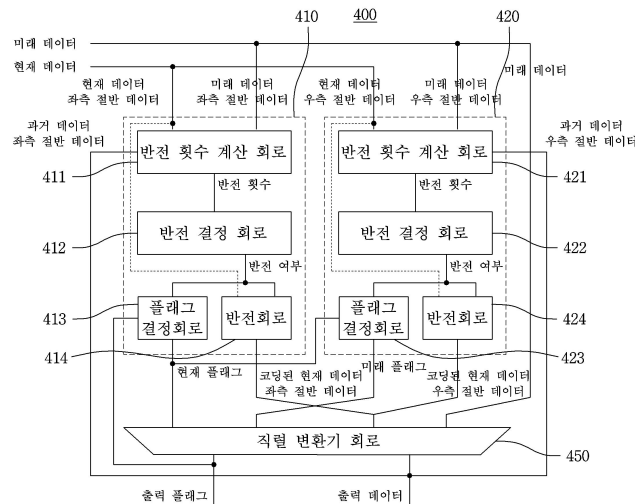
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 버스 반전 인코더 모듈 및 버스 반전 시스템

(57) 요약

본 발명은 현재 데이터를 과거 데이터 및 미래 데이터와 모두 비교하여 현재 데이터를 인코딩함으로써, 지연시간을 최소화 하면서 동시에 트랜지션 감소 효율이 높은 직렬 변환기를 포함한 데이터 버스에서 미래 데이터를 활용하는 버스 반전 인코더 및 상기 버스 반전 인코더를 포함하는 버스 반전 시스템을 제공한다. 상기 버스 반전 인코더는 버스를 통해 전송되며 각각 복수의 비트를 포함하는 현재 데이터, 과거 데이터 및 미래 데이터를 이용하여 현재 데이터의 반전 여부를 판단하고, 상기 반전 여부, 출력 플래그 및 현재 데이터를 이용하여 현재 플래그와 코딩된 현재 데이터를 생성하며, 상기 출력 플래그는, 상기 현재 플래그 및 상기 코딩된 현재 데이터를 함하여 직렬로 변환하였을 때 생성되는 것이다.

대표도



(72) 발명자

문준일

경기도 이천시 부발읍 경충대로 2091

박명재

경기도 이천시 부발읍 경충대로 2091

윤병국

경기도 이천시 부발읍 경충대로 2091

명세서

청구범위

청구항 1

버스를 통해 전송되며 각각 복수의 비트를 포함하는 현재 데이터, 과거 데이터 및 미래 데이터를 이용하여 상기 현재 데이터의 반전 여부를 판단하고,

상기 반전 여부, 출력 플래그 및 현재 데이터를 이용하여 현재 플래그, 미래 플래그 및 코딩된 현재 데이터를 생성하는 버스 반전 인코더 모듈.

청구항 2

제1항에 있어서, 상기 버스 반전 인코더 모듈은,

상기 현재 데이터의 절반 데이터, 상기 미래 데이터의 절반 데이터, 및 상기 과거 데이터의 절반 데이터를 이용하여, 기 현재 데이터의 절반 데이터에 대한 반전을 결정하고, 상기 현재 데이터의 절반 데이터, 상기 현재 데이터의 절반 데이터에 대한 상기 반전 및 상기 출력 플래그를 이용하여 상기 현재 플래그 및 코딩된 현재 데이터의 절반 데이터를 생성하는 제1 버스 반전 인코더; 및

상기 현재 데이터의 나머지 절반 데이터, 상기 미래 데이터의 나머지 절반 데이터, 및 상기 과거 데이터의 나머지 절반 데이터를 이용하여, 상기 현재 데이터의 나머지 절반 데이터에 대한 반전을 결정하고, 상기 현재 데이터의 나머지 절반 데이터, 상기 현재 데이터의 나머지 절반 데이터에 대한 상기 반전 및 상기 현재 플래그를 이용하여 상기 미래 플래그 및 상기 코딩된 현재 데이터의 나머지 절반 데이터를 생성하는 제2 버스 반전 인코더를 포함하는, 버스 반전 인코더 모듈.

청구항 3

제 2항에 있어서, 상기 제1 버스 반전 인코더는,

상기 과거 데이터의 절반 데이터, 상기 현재 데이터의 절반 데이터 및 상기 미래 데이터의 절반 데이터를 구성하는 복수의 비트 중 각각 1비트를 이용하여 상기 현재 데이터의 절반 데이터를 플립 하였을 때 데이터의 반전 횟수를 계산하여 출력하는 복수의 제1 반전 횟수 계산회로;

복수의 상기 반전 횟수를 수집하여 상기 현재 데이터의 절반 데이터에 대한 반전을 결정할 반전 여부 신호를 생성하는 제1 반전 결정회로;

상기 현재 데이터의 절반 데이터에 대한 상기 반전 여부 신호 및 상기 출력 플래그를 이용하여 상기 현재 플래그를 생성하는 제1 플래그 결정회로; 및

상기 현재 데이터의 절반 데이터에 대한 상기 반전 여부 신호 및 상기 현재 데이터의 절반 데이터를 코딩하여 상기 코딩된 현재 데이터의 절반 데이터를 생성하는 제1 반전회로;를 포함하며,

상기 제2 버스 반전 인코더는, 상기 과거 데이터의 나머지 절반 데이터, 상기 현재 데이터의 나머지 절반 데이터 및 상기 미래 데이터의 나머지 절반 데이터를 구성하는 복수의 비트 중 각각 1비트를 이용하여 상기 현재 데이터의 나머지 절반 데이터를 플립 하였을 때 데이터의 반전 횟수를 계산하여 출력하는 복수의 제2 반전 횟수 계산회로;

복수의 상기 반전 횟수를 수집하여 상기 현재 데이터의 나머지 절반 데이터에 대한 반전을 결정할 반전 여부 신호를 생성하는 제2 반전 결정회로;

상기 현재 데이터의 나머지 절반 데이터의 상기 반전 여부 신호 및 상기 현재 플래그를 이용하여 상기 미래 플래그를 생성하는 제2 플래그 결정회로; 및

상기 현재 데이터의 나머지 절반 데이터에 대한 상기 반전 여부 신호 및 상기 현재 데이터의 나머지 절반 데이터를 코딩하여 상기 코딩된 현재 데이터의 나머지 절반 데이터를 생성하는 제2 반전회로;를 포함하는, 버스 반전 인코더 모듈.

청구항 4

제3항에 있어서, 상기 복수의 제1 반전 횃수 계산회로 및 상기 복수의 제2 반전 횃수 계산회로 각각은,

상기 과거 데이터 및 상기 현재 데이터를 구성하는 복수의 비트 중 1비트에 대해 배타적 논리합 연산을 수행하는 제1 EX-OR 게이트;

상기 현재 데이터 및 상기 미래 데이터를 구성하는 복수의 비트 중 1비트에 대해 배타적 논리합 연산을 수행하는 제2 EX-OR 게이트;

상기 제1 EX-OR 게이트 및 상기 제2 EX-OR 게이트의 연산 결과를 논리곱 하는 AND 게이트; 및

상기 제1 EX-OR 게이트 및 상기 제2 EX-OR 게이트의 연산 결과를 논리 합한 결과를 역전시키는 NOR 게이트를 포함하는 버스 반전 인코더 모듈.

청구항 5

제3항에 있어서, 상기 제1 플래그 결정회로는,

상기 미래 플래그 또는 상기 출력 플래그를 저장하는 제1 레지스터; 및

상기 미래 플래그 또는 상기 제1 레지스터에 저장된 1비트의 상기 출력 플래그의 논리값과 1비트의 상기 반전 여부 신호를 배타적 논리 합하여 현재 플래그를 생성하는 제3-1 EX-OR 게이트;를 포함하며,

상기 제2 플래그 결정회로는,

상기 현재 플래그를 저장하는 제2 레지스터; 및

상기 제2 레지스터에 저장된 1비트의 상기 현재 플래그의 논리값과 1비트 상기 반전 여부 신호를 배타적 논리 합하여 상기 미래 플래그를 생성하는 제3-2 EX-OR 게이트;를 포함하는 버스 반전 인코더 모듈.

청구항 6

제3항에 있어서, 상기 제1 반전회로 및 상기 제2 반전회로 각각은,

상기 현재 데이터의 절반 데이터의 반전 여부 신호 또는 상기 현재 데이터의 나머지 절반 데이터의 반전여부 신호와 상기 현재 데이터의 절반 데이터 또는 상기 현재 데이터의 나머지 절반 데이터에 포함되는 각각의 복수의 비트를 배타적 논리 합하여 상기 코딩된 현재 데이터를 생성하는 복수의 EX-OR 게이트를 포함하는 버스 반전 인코더.

청구항 7

버스를 통해 전송되며 각각 복수의 비트를 포함하는 현재 데이터, 과거 데이터 및 미래 데이터를 이용하여 상기 현재 데이터의 반전 여부를 판단하고, 상기 반전 여부, 출력 플래그 및 현재 데이터를 이용하여 현재 플래그, 미래 플래그 및 코딩된 현재 데이터를 생성하는 버스 반전 인코더 모듈; 및

상기 현재 플래그, 상기 미래 플래그, 상기 코딩된 현재 데이터 및 상기 미래 데이터를 이용하여 상기 출력 플래그 및 상기 과거 데이터를 생성하는 직렬 변환기 회로를 포함하는 버스 반전 시스템.

청구항 8

제7항에 있어서,

상기 버스 반전 인코더 모듈은,

제1 버스 반전 인코더; 및

제2 버스 반전 인코더를 포함하고,

각각 복수의 비트를 포함하는 상기 과거 데이터, 상기 현재 데이터 및 상기 미래 데이터는 각각 양분하여 각각 절반 데이터 및 나머지 절반 데이터로 구분하고,

상기 제1 버스 반전 인코더는 상기 과거 데이터, 상기 현재 데이터 및 상기 미래 데이터의 절반 데이터에 대하여 인코딩을 수행하여 상기 현재 플래그 및 상기 코딩된 현재 데이터 중 코딩된 현재 데이터 절반 데이터를 생

성하고,

상기 제2 버스 반전 인코더는 상기 과거 데이터, 상기 현재 데이터 및 상기 미래 데이터의 나머지 절반 데이터에 대하여 인코딩을 수행하여 상기 미래 플래그 및 상기 코딩된 현재 데이터 중 코딩된 현재 데이터 나머지 절반 데이터를 생성하는 버스 반전 시스템.

청구항 9

제8항에 있어서, 상기 제1 버스 반전 인코더는,

상기 과거 데이터의 절반 데이터, 상기 현재 데이터의 절반 데이터 및 상기 미래 데이터의 절반 데이터를 구성하는 복수의 비트 중 각각 1비트를 이용하여 상기 현재 데이터의 절반 데이터를 플립 하였을 때 데이터의 반전 횟수를 계산하여 출력하는 복수의 반전 횟수 계산회로;

복수의 상기 반전 횟수를 수집하여 상기 현재 데이터의 절반 데이터의 반전 여부를 결정하는 상기 반전 여부 신호를 생성하는 반전 결정회로;

상기 현재 데이터의 절반 데이터에 대한 상기 반전 여부 신호 및 상기 출력 플래그를 이용하여 상기 현재 플래그를 생성하는 플래그 결정회로; 및

상기 현재 데이터의 절반 데이터에 대한 상기 반전 여부 신호 및 상기 현재 데이터의 절반 데이터를 코딩하여 상기 코딩된 현재 데이터의 절반 데이터를 생성하는 반전회로;를 포함하는 버스 반전 시스템.

청구항 10

제9항에 있어서, 상기 제2 버스 반전 인코더는,

상기 과거 데이터의 나머지 절반 데이터, 상기 현재 데이터의 나머지 절반 데이터 및 상기 미래 데이터의 나머지 절반 데이터를 구성하는 복수의 비트 중 각각 1비트를 이용하여 상기 현재 데이터의 나머지 절반 데이터를 플립 하였을 때 데이터의 반전 횟수를 계산하여 출력하는 복수의 반전 횟수 계산회로;

복수의 상기 반전 횟수를 수집하여 상기 현재 데이터의 나머지 절반 데이터의 반전 여부를 결정하는 반전여부 신호를 생성하는 반전 결정회로;

상기 현재 데이터의 나머지 절반 데이터에 대한 상기 반전 여부 신호 및 상기 현재 플래그를 이용하여 상기 미래 플래그를 생성하는 플래그 결정회로; 및

상기 현재 데이터의 나머지 절반 데이터의 반전여부 신호 및 상기 현재 데이터의 나머지 절반 데이터를 코딩하여 상기 코딩된 현재 데이터의 나머지 절반 데이터를 생성하는 반전회로;를 포함하는 버스 반전 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 버스 반전 인코더에 관한 것으로, 특히, 현재 데이터를 과거 데이터 및 미래 데이터와 모두 비교하여 현재 데이터를 인코딩함으로써, 지연시간을 최소화 하면서 동시에 트랜지션 감소 효율이 높은 직렬 변환기를 포함한 데이터 버스에서 미래 데이터를 활용하는 버스 반전 인코더 모듈 및 버스 반전 시스템에 관한 것이다.

배경 기술

[0002] High Bandwidth Memory(HBM)의 대역폭 및 저장용량 성능의 개선을 위해 코어 다이(Core Die) 적층 수의 증가와 저장 셀(Cell)의 스케일-다운(Scaling Down)이 진행됨에 따라 소비전력의 증가 및 반도체 공정의 미세화에 따른 발열 문제가 발생하는 단점이 있다. 이를 해결하는 방법으로는 데이터 버스에서 발생하는 AC 전력을 감소시킬 수 있는 버스 반전 인코딩의 사용을 고려할 수 있다.

[0003] 도 1은 종래의 버스 반전 인코딩 방법을 설명한다.

[0004] 도 1을 참조하면, 종래의 버스 반전 인코딩(Encoding)은 과거 데이터와 현재 데이터에 포함되는 복수의 비트 중 절반 이상 다르면 현재 데이터를 반전('Encoding 된 현재 데이터')함으로써, 서로 다른 데이터 비트의 수가 절반 이하가 되도록 하여 데이터 토글 (toggle)에 의한 전력 소모를 감소시키는 특징이 있다. 즉 현재 데이터가 00011111이고 과거 데이터가 00000000일 때, 전체 8비트 중 5개 비트가 서로 다르므로 현재 데이터를 반전하여

11100000으로 변경함으로써, 반전된 현재 데이터와 과거 데이터는 3비트만 서로 다르게 되었다는 것을 알 수 있다. 이때 반전 여부를 표시하는 플래그(Flag)와 반전된 현재 데이터를 결합하여 전송('전송된 데이터')한다. 플래그에 논리 하이(1) 값이 할당되었을 때 인코딩된 현재 데이터가 반전되었다는 것으로 가정한다.

- [0005] 디코더(Decoder)는 플래그(Flag)의 반전 여부 정보(Flag)를 이용하여 전송된 현재 데이터(전송된 데이터)를 원래 데이터로 환원(Decoding)한다.
- [0006] 도 2는 종래의 버스 반전 시스템의 예이다.
- [0007] 도 2a를 참조하면, 종래의 버스 반전 인코딩 회로(110)에서 직렬 변환기 회로(120)가 포함될 경우에, 병렬로 사용되는 다수결 판정 회로(111)에서의 병렬 연산을 통해 지연시간을 감소시킬 수는 있지만, 플래그의 순차적인 트랜지션(Transition)을 줄일 수 없기 때문에 트랜지션 감소 효율이 낮다는 단점이 있다.
- [0008] 도 2b를 참조하면, 반대로 플래그에 의한 트랜지션을 감소하기 위해 출력 플래그를 다음 다수결 판정 회로(111)의 연산의 입력으로 사용할 수 있지만, 직렬 연산으로 인해 지연시간이 많이 증가한다는 단점이 있다.
- [0009] 도 2에 도시된 종래의 버스 반전 인코딩 회로(110)는, 구현을 위해 상당한 면적이 요구되는 다수결 판정회로(111)를 사용하여 반전 여부를 결정하여야 하기 때문에 면적 면에서도 효율적이지 못하다는 단점이 있다.
- [0010] 도 3은 종래의 버스 반전 인코딩의 문제점을 설명한다.
- [0011] 도 3을 참조하면, 종래의 버스 반전 인코더 회로를 디지털 방식으로 구현하는 경우, 플래그(Flag)를 결정하는 과정에서 다수의 전 가산기(Full Adder, FA)를 포함하는 복수의 다수결 판정회로(Majority Voter, 310)가 필요하며, 이는 상술한 바와 같이 구현 시 필요한 면적이 상당하고 지연시간이 발생하는 단점이 있다.
- [0012] 이를 해소하기 위하여, 고대역폭 메모리에 주로 사용되는 직렬 변환기가 포함된 데이터 버스에 적용할 경우, 미래 데이터의 과거 데이터는 현재 데이터이므로, 현재 데이터 및 미래 데이터를 모두 인코딩하기 위해서는 추가적인 지연시간이 필요하게 되는 또 다른 단점이 생기게 된다.

발명의 내용

해결하려는 과제

- [0013] 본 발명이 해결하고자 하는 기술적 과제는, 현재 데이터를 과거 데이터 및 미래 데이터와 모두 비교하여 현재 데이터를 인코딩함으로써, 지연시간을 최소화 하면서 동시에 트랜지션 감소 효율이 높은 직렬 변환기를 포함한 데이터 버스에서 미래 데이터를 활용하는 버스 반전 인코더 모듈을 제공하는 것에 있다.
- [0014] 본 발명이 해결하고자 하는 다른 기술적 과제는, 현재 데이터를 과거 데이터 및 미래 데이터와 모두 비교하여 현재 데이터를 인코딩함으로써, 지연시간을 최소화 하면서 동시에 트랜지션 감소 효율이 높은 직렬 변환기를 포함한 데이터 버스에서 미래 데이터를 활용하는 버스 반전 인코더 모듈을 포함하는 버스 반전 시스템을 제공하는 것에 있다.
- [0015] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0016] 상기 기술적 과제를 달성하기 위한 본 발명에 따른 버스 반전 인코더 모듈은, 버스를 통해 전송되며 각각 복수의 비트를 포함하는 현재 데이터, 과거 데이터 및 미래 데이터를 이용하여 상기 현재 데이터의 반전 여부를 판단하고, 상기 반전 여부, 출력 플래그 및 현재 데이터를 이용하여 현재 플래그, 미래 플래그 및 코딩된 현재 데이터를 생성하는 것을 특징으로 한다.
- [0017] 상기 기술적 과제를 달성하기 위한 본 발명에 따른 버스 반전 시스템은, 버스를 통해 전송되며 각각 복수의 비트를 포함하는 현재 데이터, 과거 데이터 및 미래 데이터를 이용하여 상기 현재 데이터의 반전 여부를 판단하고, 상기 반전 여부, 출력 플래그 및 현재 데이터를 이용하여 현재 플래그, 미래 플래그 및 코딩된 현재 데이터를 생성하는 버스 반전 인코더 모듈; 및 상기 현재 플래그, 상기 미래 플래그, 상기 코딩된 현재 데이터 및 상기 미래 데이터를 이용하여 상기 출력 플래그 및 상기 과거 데이터를 생성하는 직렬 변환기 회로를 포함하는 것을 특징으로 한다.

[0018] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

발명의 효과

[0019] 상술한 바와 같은 본 발명에 따른 버스 반전 인코더 및 버스 반전 시스템은, 종래에서 사용하던 전 가산기를 포함하는 복잡하고, 소비 전력이 크며 칩 상에서 넓은 면적을 차지하는 다수결 판정 회로 대신 단순하고, 소비 전력이 적으며 칩 상에서 소비면적이 작은 회로를 사용함으로써, 소비전력을 감소시키고 발열문제를 최소한으로 할 수 있는 장점이 있다.

[0020] 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0021] 도 1은 종래의 버스 반전 인코딩 방법을 설명하는 도면이다.
 도 2는 종래의 버스 반전 시스템의 두가지 예이다.
 도 3은 종래의 버스 반전 인코딩의 문제점을 설명하는 도면이다.
 도 4는 본 발명에 따른 직렬 변환기를 포함한 데이터 버스에서 미래 데이터를 활용하는 버스 반전 인코더 모듈을 사용하는 버스 반전 시스템의 실시 예이다.
 도 5는 반전횟수 계산회로 및 반전결정회로의 일 실시 예이다.
 도 6은 도 5에 도시된 반전횟수 계산회로의 동작을 설명한다.
 도 7은 플래그 결정회로 및 반전회로의 일 실시 예이다.
 도 8은 본 발명과 종래 기술의 클럭 주파수, 전력, 소비 면적 및 토글 증감율을 비교한 것이다.
 도 9는 본 발명에 따른 버스 반전 시스템의 다른 일 실시 예이다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시 예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야 한다.

[0023] 이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

[0024] 도 4는 본 발명에 따른 직렬 변환기를 포함한 데이터 버스에서 미래 데이터를 활용하는 버스 반전 인코더 모듈을 사용하는 버스 반전 시스템의 실시 예이다.

[0025] 도 4를 참조하면, 본 발명에 따른 직렬 변환기를 포함한 데이터 버스에서 미래 데이터를 활용하는 버스 반전 인코더 모듈(이하, 버스 반전 인코더)을 사용하는 버스 반전 시스템(400, 이하, 버스 반전 시스템)은 짝수 개의 버스 반전 인코더(410 & 420)를 포함하는 버스 반전 인코더 모듈 및 직렬 변환기 회로(450)를 포함한다. 버스 반전 인코더 모듈을 구성하는 짝수 개의 버스 반전 인코더(410 & 420)는 연속하여 2의 배수의 단위로 확장 가능하다. 다만, 설명의 편의를 위하여, 2개의 버스 반전 인코더(410, & 420)를 포함하는 실시 예에 대해서 설명한다.

[0026] 제1 버스 반전 인코더(410)는 반전횟수 계산회로(411), 반전결정회로(412), 플래그 결정회로(413) 및 반전회로(414)를 구비하며, 출력 플래그, 현재 데이터의 절반 데이터(현재 데이터 좌측 절반 데이터), 과거 데이터의 절반 데이터(과거 데이터 좌측 절반 데이터) 및 미래 데이터의 절반 데이터(미래 데이터 좌측 절반 데이터)을 이용하여 현재 플래그 및 코딩된 현재 데이터 절반(코딩된 현재 데이터 좌측 절반 데이터)을 생성한다.

[0027] 제2 버스 반전 인코더(420)는 반전횟수 계산회로(421), 반전결정회로(422), 플래그 결정회로(423) 및 반전회로(424)를 구비하며, 현재 플래그, 현재 데이터의 나머지 절반 데이터(현재 데이터 우측 절반 데이터), 과거 데이

터의 나머지 절반 데이터(과거 데이터 우측 절반 데이터) 및 미래 데이터의 나머지 절반 데이터(미래 데이터 우측 절반 데이터)를 이용하여 미래 플래그 및 코딩된 현재 데이터 나머지 절반 데이터(코딩된 현재 데이터 우측 절반 데이터)를 생성한다.

- [0028] 직렬 변환기 회로(450)는 현재 플래그, 미래 플래그, 코딩된 현재 데이터 절반 데이터(코딩된 현재 데이터 좌측 절반 데이터), 코딩된 현재 데이터 나머지 절반 데이터(코딩된 현재 데이터 우측 절반 데이터) 및 미래 데이터를 이용하여, 출력 플래그 및 출력 데이터를 생성한다.
- [0029] 여기서, 과거 데이터는 직렬 변환기 회로(450)로부터 출력되는 출력 데이터를 의미한다. 따라서 과거 데이터의 절반 데이터 및 과거 데이터의 나머지 절반 데이터는 출력 데이터의 절반 데이터 및 출력 데이터의 나머지 절반 데이터를 각각 의미하며, 이하에서는 절반 데이터 및 나머지 절반 데이터를 좌측 절반 데이터 및 우측 절반 데이터로 표현할 수 있다.
- [0030] 제1 버스 반전 인코더(410)는 좌측 절반 데이터를 처리하여 코딩하고 제2 반전 버스 인코더(420)는 우측 절반 데이터를 처리하여 코딩한다.
- [0031] 이하에서는 좌측 절반 데이터를 처리하는 제1 버스 반전 인코더(410)에 대해 설명한다.
- [0032] 제1 버스 반전 인코더(410)를 구성하는 반전횃수 계산회로(411), 반전결정회로(412), 플래그 결정회로(413) 및 반전회로(414)는 제2 버스 반전 인코더(420)를 구성하는 반전횃수 계산회로(421), 반전결정회로(422), 플래그 결정회로(423) 및 반전회로(424)와 각각 동일하다. 그러므로 제1 버스 반전 인코더(410)에 포함되는 구성요소(411~414)를 설명하고, 이를 제2 버스 반전 인코더(420)의 설명으로 갈음한다.
- [0033] 도 5는 반전횃수 계산회로 및 반전결정회로의 일 실시 예이다.
- [0034] 도 5를 참조하면, 반전횃수 계산회로(411)는 2개의 EX-OR 게이트(501, 502), AND 게이트(503) 및 NOR 게이트(504)를 포함한다.
- [0035] 제1 EX-OR 게이트(501)는 1비트의 과거 데이터 좌측 절반 데이터(1bit 과거 데이터), 1비트 현재 데이터 좌측 절반 데이터(1bit 현재 데이터)에 대해 EX-OR 연산(배타적 논리합)을 수행한다.
- [0036] 제2 EX-OR 게이트(502)는 1비트의 현재 데이터 좌측 절반 데이터(1bit 현재 데이터) 및 1비트의 미래 데이터 좌측 절반 데이터(1bit 미래 데이터)에 대해 EX-OR 연산을 수행한다.
- [0037] 여기서 EX-OR 연산 즉 배타적 논리합은 2개의 입력 데이터의 논리값이 동일할 때에는 논리 로우(0) 값을 출력하고 2개의 입력 데이터의 논리값이 동일하지 않을 때에는 논리 하이(1) 값을 출력하는 기능을 의미한다.
- [0038] AND 게이트(503)는 제1 EX-OR 게이트(501) 및 제2 EX-OR 게이트(502)의 연산 결과를 논리곱 한다.
- [0039] NOR 게이트(504)는 제1 EX-OR 게이트(501) 및 제2 EX-OR 게이트(502)의 연산 결과를 논리 합한 결과 논리값을 역전시킨다. 즉, 2개의 입력 데이터 중 적어도 하나의 논리값이 논리 하이(1) 일 때에는 논리 로우(0) 값을 출력하고, 2개의 입력 데이터의 논리값이 모두가 논리 로우(0)일 때에만 논리 하이(1) 값을 출력한다.
- [0040] 도 6은 도 5에 도시된 반전횃수 계산회로의 동작을 설명한다.
- [0041] 도 6의 좌측을 참조하면, 과거, 현재 및 미래 데이터의 각각 1개씩의 비트 3개를 나열한 3개의 비트를 데이터 셋(Data Set)으로 가정한다. 상술한 바와 같이 데이터 좌측 절반이 4개의 비트이므로, 모두 4개의 데이터 셋이 존재하게 될 것이다.
- [0042] 도 6의 우측을 참조하면, 3개의 비트는 모두 8가지 데이터 셋(data set)으로 표현할 수 있다. 각각 셋을 구성하는 3개의 비트는 과거, 현재 및 미래의 순서로 나열되어 있으며, 현재 데이터를 플립(Filp) 하였을 때 즉 모든 현재 데이터를 반전시켰을 때, 플립을 수행할 때의 반전(toggle)의 횃수 관점에서 이득 또는 손해 여부를 판단한다.
- [0043] 좌측의 첫 번째 및 두 번째 셋(Original Data)이 각각 000 & 111인데, 3개의 비트는 각각 과거, 현재 및 미래의 좌측 데이터를 의미하며, 3비트의 값이 동일하므로 3개의 비트 사이에는 반전(toggle)이 없다(0). 이때, 3개의 비트 중간에 위치하는 현재 데이터의 논리값이 변하는 경우(Flipped Data)는 과거 데이터와 현재 데이터 사이의 반전과 현재 데이터와 미래 데이터의 반전을 수행하므로 모두 2번의 반전이 발생한다는 것을 알 수 있다. 즉, 3개의 비트가 000 & 111인 때에는 현재 데이터의 논리값이 변하는 경우 반전의 횃수가 0회에서 2회로 증가한다는 것이다.

- [0044] 좌측의 세 번째 ~ 여섯 번째 셋(Original Data)인 001, 011, 110, 및 100은 1회의 반전이 발생하게 된다. 이때, 3개의 비트 중간에 위치하는 현재 데이터의 논리값이 변하는 경우(Flipped Data)에도 1회의 반전이 발생한다는 것을 알 수 있다. 즉, 3개의 비트가 001, 011, 110, 및 100일 때에는 현재 데이터의 논리값이 변하더라도 반전의 횟수가 변하지 않는다는 것이다.
- [0045] 좌측 일곱 번째 및 여덟 번째 셋(Original Data)인 010 및 101은 모두 2번의 반전이 있다. 이때 3개의 비트 중간에 위치하는 현재 데이터의 논리값이 변하는 경우(Flipped Data) 오히려 반전의 횟수가 0가 된다. 즉, 3개의 비트가 010 및 101일 때에는 현재 데이터의 논리값이 변하는 경우 반전의 횟수가 2에서 0으로 감소한다는 것을 알 수 있다.
- [0046] 도 5를 참조하면, 본 발명에 따른 반전횟수 계산회로(411)는 현재 데이터 비트가 변하는 경우 반전 횟수가 0 또는 2인가를 판단하며, AND 게이트(503)는 반전횟수가 2라고 판단한 때 출력이 활성화되고, NOR 게이트(504)는 반전횟수가 0이라고 판단한 때 출력이 활성화된다는 것을 알 수 있다. 여기서 활성화된다는 것은 AND 게이트(503) 및 NOR 게이트(504)의 출력이 논리 하이 값을 가지는 것으로 가정한다.
- [0047] 도 6을 참조하면, 과거, 현재 및 미래의 연속되는 데이터가 000 및 111일 때는 현재 데이터를 플립하는 것이 순해이고, 연속되는 데이터가 010 및 101일 때에는 현재 데이터를 플립하는 것이 이득이며, 연속되는 데이터가 001, 011, 110, 및 100일 때에는 현재 데이터를 플립하는 것에 영향을 받지 않는다는 것을 알 수 있다.
- [0048] 본 발명은 인코딩 시 데이터의 반전 횟수를 최소로 하기 위한 기술에 대한 것이고, 3개의 비트가 001, 011, 110, 및 100인 경우 현재 데이터의 논리값이 변하더라도 반전의 횟수가 변하지 않는 때에는 하드웨어 및 플래그 결정에 영향을 주지 못하므로 고려의 대상이 되지 않는 것이 당연하다.
- [0049] 4가지 데이터 셋(001, 011, 110, 및 100)에 대해서는 하드웨어로 구현할 필요가 없게 되므로 종래의 다수결 판정회로 대신 간단한 회로로 구현할 수 있다는 것으로 본 발명의 장점 중 하나이다.
- [0050] 다시 도 5를 참조하면, 본 발명에 따른 반전 결정 회로(412)는 반전횟수 계산회로(411)로부터 출력되는 AND 게이트(503) 및 NOR 게이트(504)의 출력의 논리값으로부터 현재 데이터를 반전할 것인가 아닌가를 지시하는 반전 여부 신호를 생성 & 출력한다. 상기의 기능을 수행하는 반전 결정 회로(412)는 하드웨어로 구현하는 것도 가능하고 신호처리 장치에서 수행하는 것도 가능하며, 이 분야의 통상의 기술자는 쉽고도 다양하게 구현할 수 있으므로, 여기서는 자세하게 설명하지 않는다.
- [0051] 처리하고자 하는 데이터의 개수가 8비트라고 가정할 때, 데이터의 좌측 절반 데이터는 4비트가 된다. 이 경우, 도 5에 도시된 반전횟수 계산회로(411)는 모두 4개(X4)가 설치되어야 한다.
- [0052] 따라서, 반전 결정 회로(412)는 4개의 반전횟수 계산회로(411)로부터 출력되는 AND 게이트(503) 및 NOR 게이트(504)의 출력이 각각 활성화되는 개수를 비교하여 1비트의 반전 여부 신호를 결정하게 된다. 예를 들면 1비트의 반전 여부 신호가 논리 하이 일 때 현재 데이터를 반전하는 지시라고 가정하면, 반전 여부 신호가 논리 로우 일 때에는 현재 데이터를 반전하지 말라는 지시로 가정할 수 있다.
- [0053] 4개의 반전횟수 계산회로(411)로부터 수집한 횟수 정보, 즉 반전 횟수가 0에서 2로 증가한다고 판단하는 횟수 즉 AND 게이트(503)의 출력이 활성화되는 횟수와 반전 횟수가 2에서 0으로 감소한다고 판단하는 횟수 즉 NOR 게이트(504)의 출력이 활성화되는 횟수를 비교하여, 반전 횟수가 감소하는 방향으로 현재 데이터의 반전 여부를 결정하는 것이 바람직하며, 반전 여부 신호에는 현재 데이터의 반전 여부 정보를 포함하게 된다.
- [0054] 반전 결정 회로(412)로부터 출력되는 반전 여부 신호(반전 여부)는 후술하는 플래그 결정회로(413) 및 반전회로(414)에 사용된다.
- [0055] 도 7은 플래그 결정회로 및 반전회로의 일 실시 예이다.
- [0056] 도 7을 참조하면, 플래그 결정회로(413)는 레지스터(701) 및 제3 EX-OR 게이트(702)를 포함한다.
- [0057] 레지스터(701)는 과거 플래그 즉 직렬 변환기 회로(450)의 출력 플래그를 저장한다. 제3 EX-OR 게이트(702)는 레지스터(701)에 저장된 1비트의 과거 플래그의 논리값과 반전 결정 회로(412)로부터 출력되는 1비트의 반전 여부 신호(반전 여부)의 논리값을 배타적 논리 합하여 현재 플래그를 생성한다.
- [0058] 도 7을 참조하면, 반전회로(414)는 4개의 EX-OR 게이트(703~706)를 포함하며, 반전 여부 신호와 현재 데이터 절반에 대해 각각 배타적 논리 합하여 코딩된 현재 데이터 좌측 절반을 생성한다.

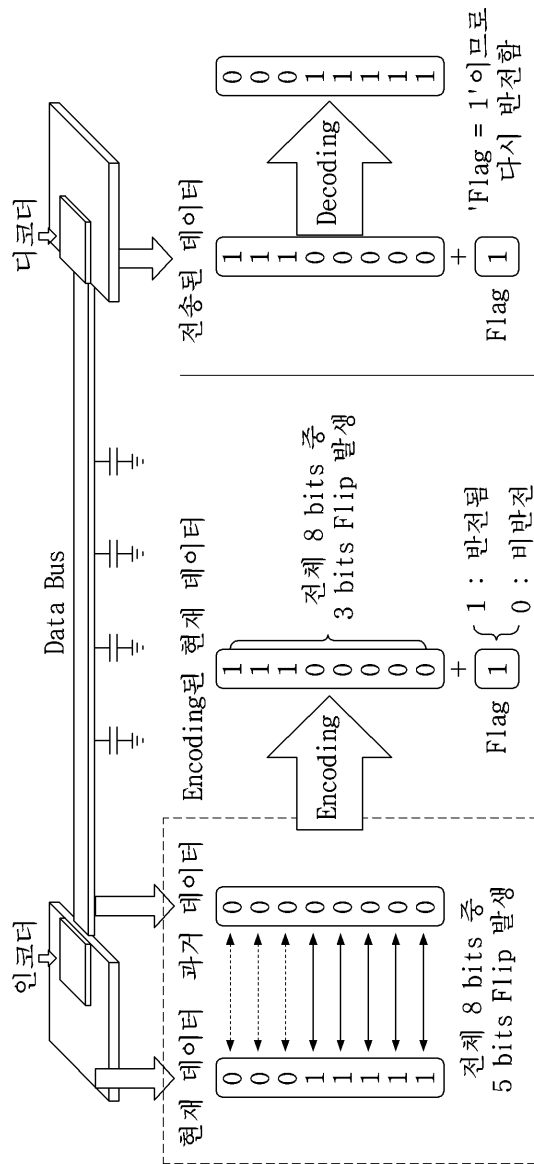
- [0059] 제4 EX-OR 게이트(703)는 반전 여부 신호와 현재 데이터의 절반 중 하나의 비트를 배타적 논리 합하여 코딩된 현재 데이터 좌측 절반 중 하나의 비트를 생성한다.
- [0060] 제5 EX-OR 게이트(704) 내지 제7 EX-OR 게이트(706)는 반전 여부 신호와 현재 데이터의 절반 데이터 중 나머지 하나의 비트를 배타적 논리 합하여 코딩된 현재 데이터 좌측 절반 중 나머지 3개의 비트를 생성한다.
- [0061] 도 8은 본 발명과 종래 기술의 클럭 주파수, 전력, 소비 면적 및 토글 증감율을 비교한 것이다.
- [0062] 도 8을 참조하면, 기존의 DBI(Data Bus Inversion) AC의 최대 클럭 주파수는 1.19GHz인데 반해 본 발명의 DBI의 최대 클럭 주파수는 2.38 GHz로 2배 정도 증가시킬 수 있다는 것을 알 수 있다.
- [0063] 기존의 DBIAC의 소비전력이 1408.6 μ W인데 반해 본 발명의 DBI는 907.7 μ W로 소비전력도 35% 정도 줄어들며, 본 발명에 따른 DBI의 구현면적이 기존의 DBIAC의 구현 면적에 비해 45.8% 감소하고, 버스의 토글 비율은 기존과 본 발명의 차이가 없다는 것을 알 수 있다.
- [0064] 도 9는 본 발명에 따른 버스 반전 시스템의 다른 일 실시 예이다.
- [0065] 도 4에 도시된 버스 반전 시스템(400)이 2개의 버스 반전 인코더(410 & 420)를 사용하는데 반해, 도 9에 도시된 버스 반전 시스템(900)은 모두 4개의 버스 반전 인코더(910~940)를 사용한다는 것을 알 수 있다. 도 9에 도시된 바와 같이, 버스 반전 인코더는 짝수 단위로 증가시키면서 확장할 수 있다는 것을 알 수 있다.
- [0066] 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 기술자라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방 가능함은 명백한 사실이다.

부호의 설명

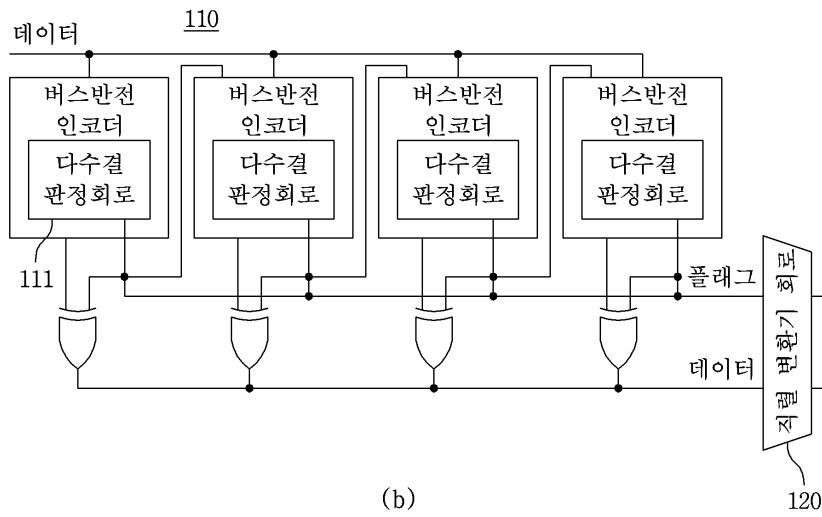
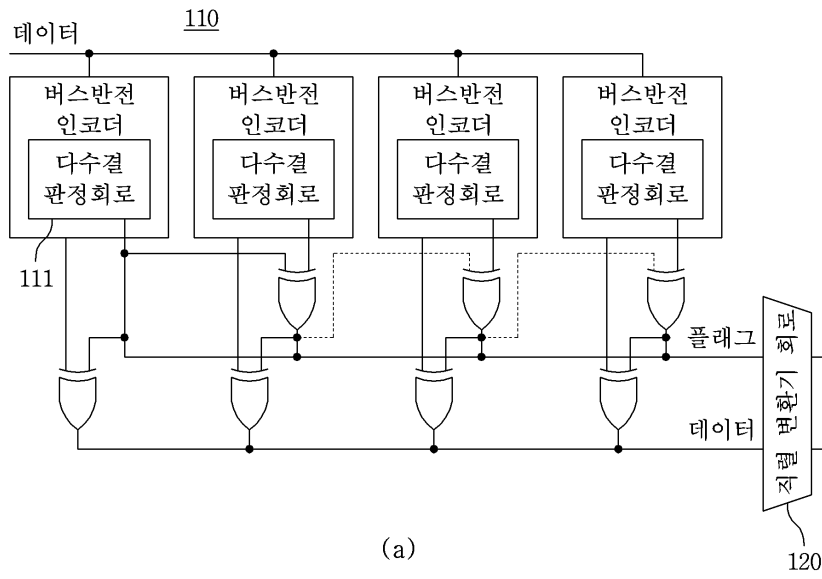
- [0067] 410 & 420: 버스 반전 인코더
- 411: 반전 횟수 계산 회로
- 412: 반전 결정 회로
- 413: 플래그 결정 회로
- 414: 반전 회로
- 450: 직렬 변환기 회로

도면

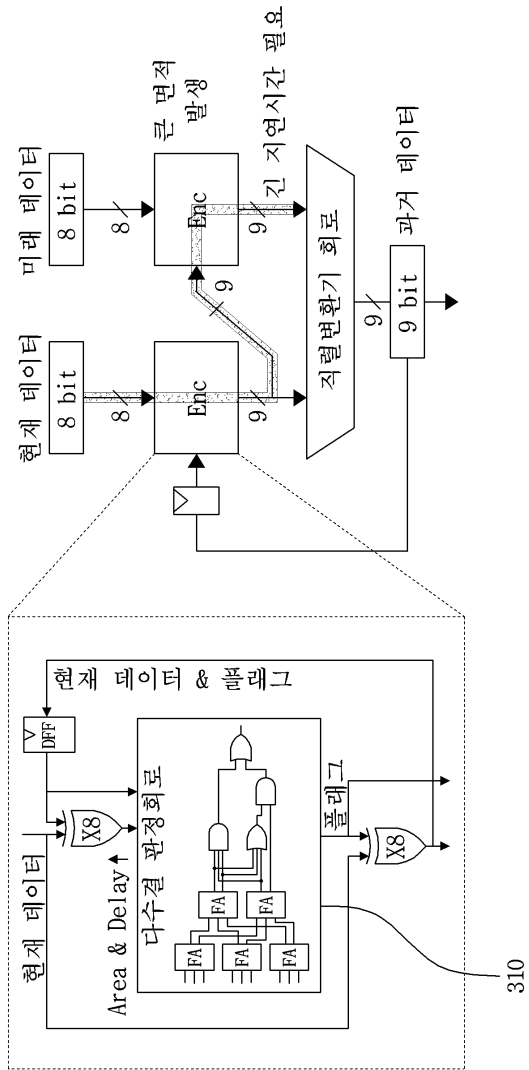
도면1



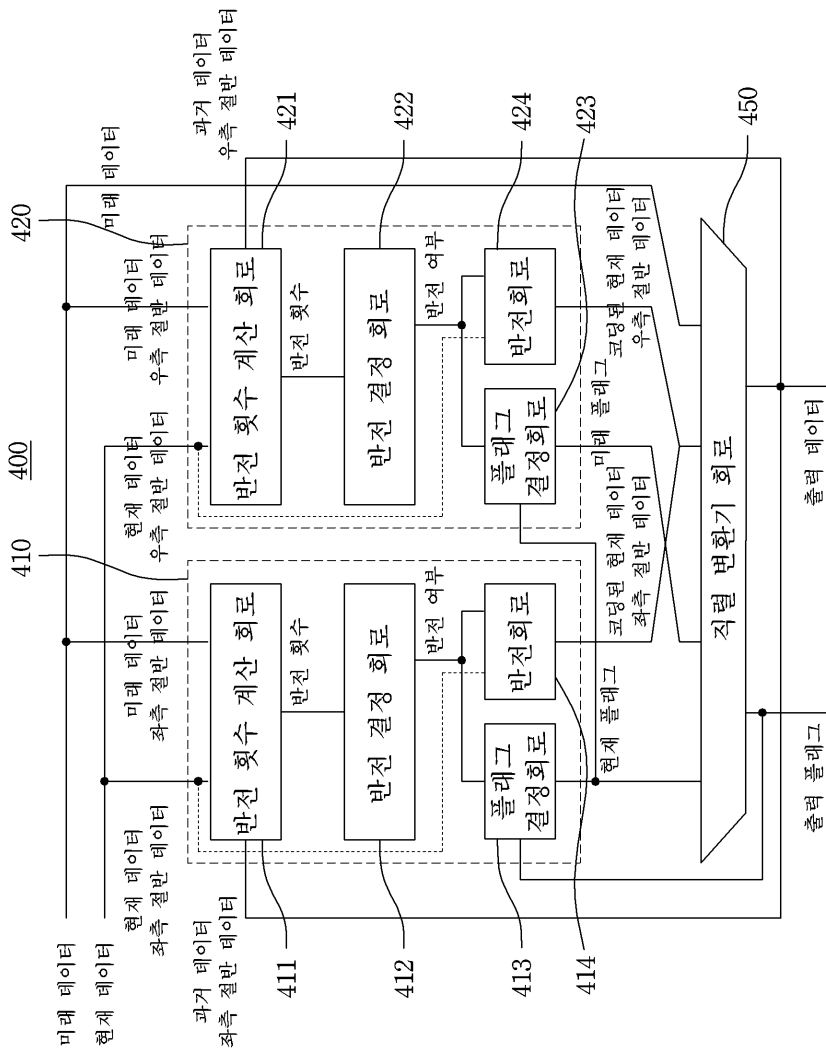
도면2



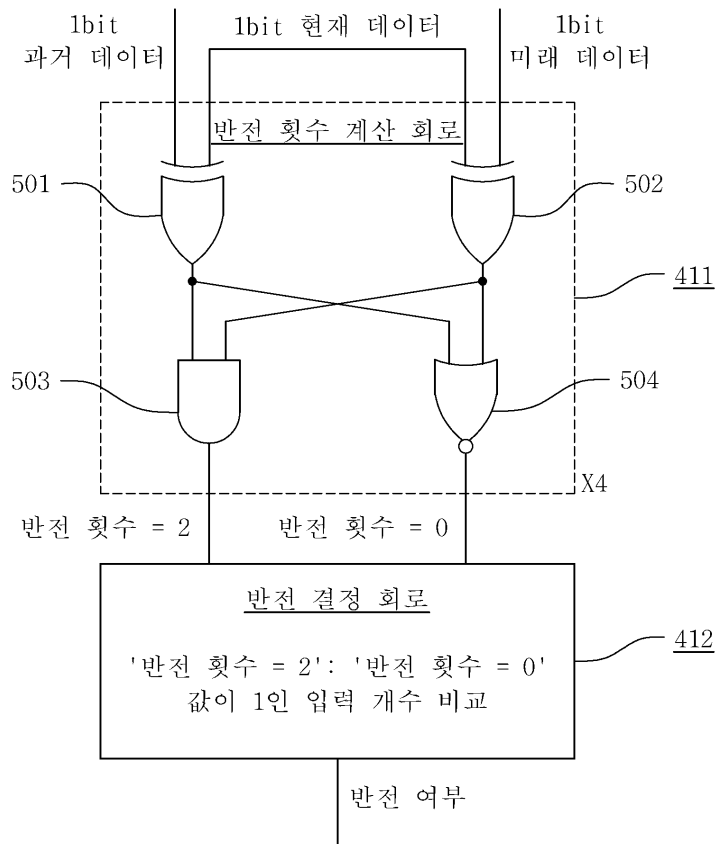
도면3



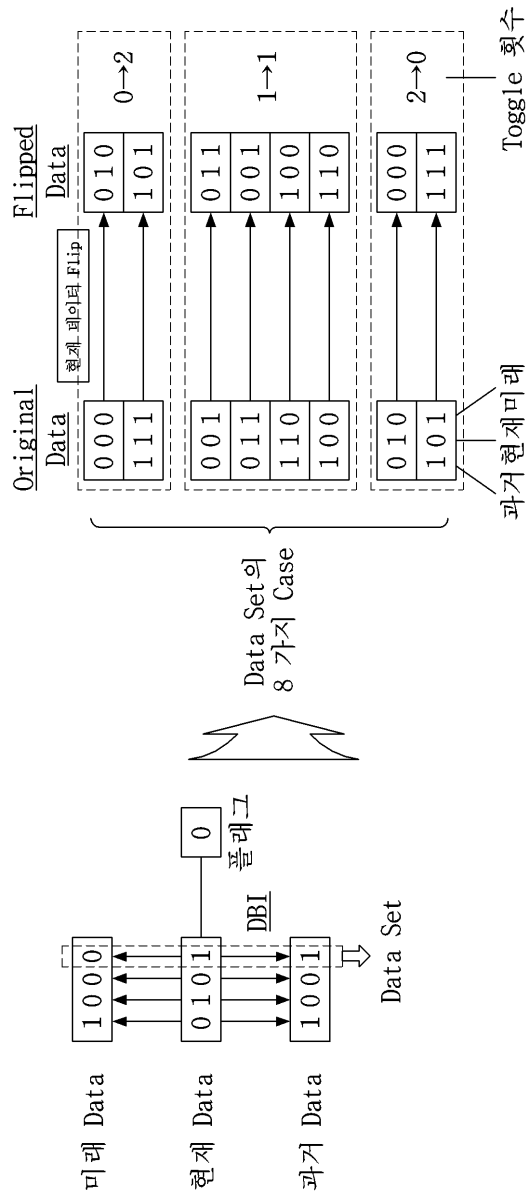
도면4



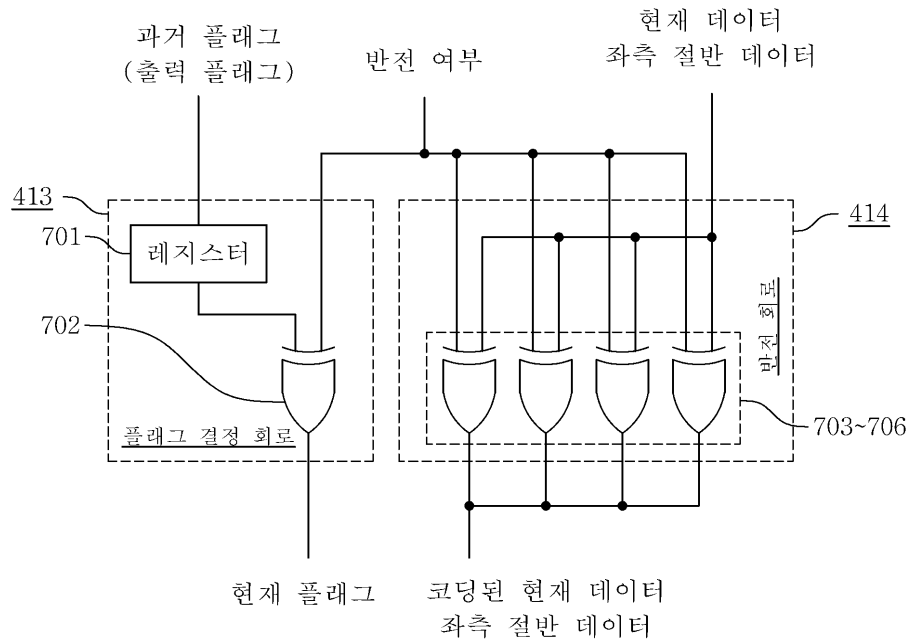
도면5



도면6



도면7



도면8

	No DBI	기존 DBI AC	제안하는 DBI	증감률
Maximum CLK Freq.	-	1.19 GHz	2.38 GHz	+100 %
Engine Power	-	1408.6 μW	907.7 μW	-35.6 %
Total Area	-	2600.832 μm^2	1435.2 μm^2	-45.8 %
# of Bus Toggie (증감률)	No DBI	327K(-18.3%)	327K(-18.3%)	0 %

도면9

