

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3564392号

(P3564392)

(45) 発行日 平成16年9月8日(2004.9.8)

(24) 登録日 平成16年6月11日(2004.6.11)

(51) Int. Cl.⁷

F I

H03L 7/081

H03L 7/08

J

G06F 1/10

H03L 7/10

B

H03L 7/113

G06F 1/04

330A

H04L 7/033

H04L 7/02

B

請求項の数 35 (全 29 頁)

(21) 出願番号 特願2000-540621 (P2000-540621)
 (86) (22) 出願日 平成10年12月21日 (1998.12.21)
 (65) 公表番号 特表2002-510156 (P2002-510156A)
 (43) 公表日 平成14年4月2日 (2002.4.2)
 (86) 国際出願番号 PCT/US1998/027448
 (87) 国際公開番号 WO1999/037026
 (87) 国際公開日 平成11年7月22日 (1999.7.22)
 審査請求日 平成12年7月17日 (2000.7.17)
 (31) 優先権主張番号 09/007,707
 (32) 優先日 平成10年1月15日 (1998.1.15)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 500097016
 シリコン・イメージ、インコーポレーテッド
 アメリカ合衆国カリフォルニア州94085、サニーベイル、イースト・オークエス・アベニュー・1060
 (74) 代理人 100063897
 弁理士 古谷 馨
 (74) 代理人 100076680
 弁理士 溝部 孝彦
 (74) 代理人 100087642
 弁理士 古谷 聡

最終頁に続く

(54) 【発明の名称】 二重ループの遅延同期ループ

(57) 【特許請求の範囲】

【請求項1】

基準クロックに同期したローカルクロックを生成するための遅延同期ループであって、基準クロックを受信するように適合され、かつ第1と第2のフィードバッククロックを受信するように結合されて、第1と第2の調整可能な遅延期間だけ前記基準クロックを遅延させて第1と第2の中間クロックを生成する、周波数獲得ループであって、前記第1と第2の調整可能な遅延期間が、前記第1のフィードバッククロックの対応する基準エッジと前記第2のフィードバッククロックの対応する基準エッジとの間に、前記基準クロックの基準エッジを置くように調整される、周波数獲得ループと、及び
 前記基準クロックを受信するように適合され、かつ前記周波数獲得ループから前記第1と第2の中間クロックを受信するように結合されて、前記第1と第2の中間クロックの一方を第3の調整可能な遅延期間だけ遅延させて前記基準クロックに同期したローカルクロックを生成し、更に前記第1と第2の中間クロックのそれぞれを第4の遅延期間だけ遅延させて前記第1と第2のフィードバッククロックを生成する、位相獲得ループとを含む、遅延同期ループ。

【請求項2】

前記周波数獲得ループは、
 前記基準クロックを受信するように適合され、前記第1と第2の中間クロックを生成するために、遅延制御信号により調整される第1と第2の調整可能な遅延期間だけ前記基準クロックを遅延させる、遅延回路と、及び

10

20

前記基準クロックを受信するように適合され、かつ前記位相獲得ループから前記第 1 と第 2 のフィードバッククロックを受信するように結合され、そして前記遅延制御信号を前記遅延回路に送るように結合されて、前記基準クロックと前記第 1 と第 2 のフィードバッククロックとの間の相対的な位相に応じて前記遅延制御信号を生成する、遅延コントローラとを含む、請求項 1 の遅延同期ループ。

【請求項 3】

前記第 1 と第 2 の調整可能な遅延期間が、複数の調整できない遅延期間から選択される、請求項 2 の遅延同期ループ。

【請求項 4】

前記遅延回路は、

10

前記基準クロックを受信するように適合され、複数の遅延基準クロックを生成するために、前記基準クロックを前記複数の調整できない遅延期間のそれぞれだけ遅延させる、遅延連鎖と、及び

前記複数の遅延基準クロック及び前記遅延制御信号を受信するように結合され、前記遅延制御信号に応じて前記第 1 と第 2 の中間クロックを生成するために、前記複数の遅延基準クロックのうちの 2 つを選択する、クロックセクタとを含む、請求項 2 の遅延同期ループ。

【請求項 5】

前記遅延連鎖が、

直列に接続された複数の遅延セルであって、第 1 の遅延セルが前記基準クロックを受信するように適合され、複数の遅延基準クロックの 1 つを生成するために各遅延セルが同一の固定された遅延を導入する、複数の遅延セルを含む、請求項 4 の遅延同期ループ。

20

【請求項 6】

前記複数の遅延セルが 17 個の遅延セルからなる、請求項 5 の遅延同期ループ。

【請求項 7】

前記遅延コントローラは、

前記基準クロックを受信するように適合され、かつ前記位相獲得ループから前記第 1 と第 2 のフィードバッククロックを受信するように結合され、前記第 1 と第 2 のフィードバッククロックと前記基準クロックとの間の相対的な位相に応じてリード/ラグ信号を生成する、位相検出器と、及び

30

前記リード/ラグ信号を前記位相検出器から受信するように結合され、前記リード/ラグ信号に応じて前記遅延制御信号を生成する、制御論理回路とを含む、請求項 2 の遅延同期ループ。

【請求項 8】

前記リード/ラグ信号がアップチック信号とダウンチック信号からなり、

前記位相検出器は、前記基準クロックが前記第 1 と第 2 のフィードバッククロックより進んでいる場合に前記アップチック信号をアサートし、前記基準クロックが前記第 1 と第 2 のフィードバッククロックより遅れている場合に前記ダウンチック信号をアサートし、及び

前記制御論理回路は、前記アップチック信号と前記ダウンチック信号を受信するように結合された有限のステートマシンを含み、それらの信号に応じてその有限のステートマシンの状態を修正し、その状態に応じて前記遅延制御信号を生成する、請求項 7 の遅延同期ループ。

40

【請求項 9】

前記位相検出器は、

前記基準クロック及び前記第 1 のフィードバッククロックを受信するように適合され、前記基準クロックが前記第 1 のフィードバッククロックより進んでいる場合に第 1 のアップ信号をアサートし、前記基準クロックが前記第 1 のフィードバッククロックより遅れている場合に第 1 のダウン信号をアサートする、第 1 の交差検出型位相検出器と、

前記基準クロック及び前記第 2 のフィードバッククロックを受信するように適合され、前

50

記基準クロックが前記第2のフィードバッククロックより進んでいる場合に第2のアップ信号をアサートし、前記基準クロックが前記第2のフィードバッククロックより遅れている場合に第2のダウン信号をアサートする、第2の交差検出型位相検出器と、及び前記第1のアップ信号、前記第1のダウン信号、前記第2のアップ信号、及び前記第2のダウン信号を受信するように結合され、それらの信号に応じて前記アップチック信号と前記ダウンチック信号を生成する、組み合わせ論理回路とを含む、請求項8の遅延同期ループ。

【請求項10】

前記位相獲得ループは、

前記第1と第2の中間クロックを受信するように適合され、前記ローカルクロックを生成するために、前記第1と第2の中間クロックの一方を遅延制御信号により調整される前記第3の調整可能な遅延期間だけ遅延させる、遅延回路と、及び前記基準クロックを受信するように適合され、かつ前記ローカルクロックを受信するように結合され、そして前記遅延制御信号を前記遅延回路に送るよう結合されて、前記基準クロックと前記ローカルクロックとの間の相対的な位相に応じて前記遅延制御信号を生成する、遅延コントローラとを含む、請求項1の遅延同期ループ。

10

【請求項11】

前記第1の中間クロックが前記第2の中間クロックより進んでおり、前記遅延回路が、前記ローカルクロックを生成するために前記第1の中間クロックを前記第3の調整可能な遅延期間だけ更に遅延させ、及び前記第3の調整可能な遅延期間が前記第4の遅延期間より長い、請求項10の遅延同期ループ。

20

【請求項12】

前記第1の中間クロックが前記第2の中間クロックより進んでおり、前記遅延回路が、前記ローカルクロックを生成するために前記第2の中間クロックを前記第3の調整可能な遅延期間だけ更に遅延させ、及び前記第3の調整可能な遅延期間が前記第4の遅延期間より短い、請求項10の遅延同期ループ。

【請求項13】

前記遅延コントローラは、

前記基準クロック及び前記ローカルクロックを受信するように適合され、前記ローカルクロックと前記基準クロックとの間の相対的な位相に応じてリード/ラグ信号を生成する、位相検出器と、及び

30

直列に接続された充電ポンプ及びループフィルタであって、その充電ポンプが前記リード/ラグ信号を前記位相検出器から受信するように結合され、そのループフィルタが前記遅延制御信号を前記遅延回路に送るよう結合され、前記リード/ラグ信号に応じて前記遅延制御信号を生成する、直列に接続された充電ポンプ及びループフィルタとを含む、請求項10の遅延同期ループ。

【請求項14】

基準クロックに同期したローカルクロックを生成するための遅延同期ループであって、基準クロックを受信するように適合され、その基準クロックを、第1の遅延制御信号により調整される第1と第2の調整可能な遅延期間だけ遅延させて、それぞれが前記基準クロックと同じ周波数を有する第1と第2の中間クロックを生成する、第1の遅延回路と、前記第1と第2の中間クロックを前記第1の遅延回路から受信するように結合され、前記基準クロックに同期したローカルクロックを生成するために前記第1と第2の中間クロックの一方を第3の調整可能な遅延期間だけ遅延させるための第2の遅延回路であって、前記第3の調整可能な遅延期間を第2の遅延制御信号により調整し、第1と第2のフィードバッククロックを生成するために前記第1と第2の中間クロックのそれぞれを第4の遅延期間だけ更に遅延させる、第2の遅延回路と、

40

前記基準クロックを受信するように適合され、かつ前記第1と第2のフィードバッククロ

50

ックを受信するように結合され、そして前記第 1 の遅延制御信号を前記第 1 の遅延回路に送るように結合されて、前記第 1 の遅延制御信号を生成する、第 1 の遅延コントローラであって、前記第 1 の遅延制御信号が、前記第 1 のフィードバッククロックの対応する基準エッジと前記第 2 のフィードバッククロックの対応する基準エッジとの間に前記基準クロックの基準エッジを置くように、前記第 1 と第 2 の調整可能な遅延期間を調整する、第 1 の遅延コントローラと、及び

前記基準クロックを受信するように適合され、かつ前記ローカルクロックを受信するように結合され、そして前記第 2 の遅延制御信号を前記第 2 の遅延回路に送るように結合されて、前記基準クロックと前記ローカルクロックとの間の相対的な位相に応じて前記第 2 の遅延制御信号を生成する、第 2 の遅延コントローラとを含む、遅延同期ループ。

10

【請求項 15】

前記第 1 と第 2 の調整可能な遅延期間が、前記第 1 の遅延制御信号に応じて複数の所定遅延期間から選択される、請求項 14 の遅延同期ループ。

【請求項 16】

基準クロックに同期したローカルクロックを生成するための方法であって、基準クロックを受信するステップと、

第 1 と第 2 の中間クロックを生成するために前記基準クロックを第 1 と第 2 の調整可能な遅延期間だけ遅延させるステップと、

前記基準クロックに同期したローカルクロックを生成するために前記第 1 と第 2 の中間クロックの一方を第 3 の調整可能な遅延期間だけ遅延させるステップと、

20

前記第 1 と第 2 の中間クロックのそれぞれを第 4 の遅延期間だけ遅延させて、第 1 と第 2 のフィードバッククロックを生成するステップと、及び

前記第 1 のフィードバッククロックの対応する基準エッジと前記第 2 のフィードバッククロックの対応する基準エッジとの間に前記基準クロックの基準エッジを置くように、前記第 1 と第 2 の調整可能な遅延期間を調整するステップとを含む、方法。

【請求項 17】

前記第 1 と第 2 の調整可能な遅延期間を調整するステップは、

前記基準クロックと前記第 1 と第 2 のフィードバッククロックとの間の相対的な位相を判定するステップと、及び

前記基準クロックと前記第 1 と第 2 のフィードバッククロックとの間の前記相対的な位相に応じて前記第 1 と第 2 の調整可能な遅延期間を調整するステップとを含む、請求項 16 の方法。

30

【請求項 18】

前記第 1 と第 2 の調整可能な遅延期間を調整するステップが、

前記基準クロックと前記第 1 と第 2 のフィードバッククロックとの間の前記相対的な位相に応じて複数の調整できない遅延期間のうちの 1 つを選択するステップを含む、請求項 17 の方法。

【請求項 19】

前記調整できない遅延期間のうちの 1 つを選択するステップは、

複数の遅延基準クロックを生成するために、調整できない遅延期間のそれぞれだけ前記基準クロックを遅延させるステップと、及び

40

前記複数の遅延基準クロックのうちの 2 つを選択するステップとを含む、請求項 18 の方法。

【請求項 20】

前記調整できない遅延期間のうちの 1 つを選択するステップは、

前記基準クロックと前記第 1 と第 2 のフィードバッククロックとの間の相対的な位相に応じて有限のステートマシンへの入力を生成するステップと、

前記入力に応じて前記有限のステートマシンの状態をアップデートするステップと、及び前記状態に応じて前記調整できない遅延期間のうちの 1 つを選択するステップとを含む、請求項 18 の方法。

50

【請求項 2 1】

前記有限のステートマシンへの入力を生成するステップは、
第 1 のアップ信号と第 1 のダウン信号を生成するために、前記基準クロックの位相と前記第 1 のフィードバッククロックの位相とを比較するステップと、
第 2 のアップ信号と第 2 のダウン信号を生成するために、前記基準クロックの位相と前記第 2 のフィードバッククロックの位相とを比較するステップと、及び
前記有限のステートマシンへの入力を生成するために、前記第 1 のアップ信号、前記第 1 のダウン信号、前記第 2 のアップ信号及び前記第 2 のダウン信号を論理的に組み合わせるステップとを含む、請求項 2 0 の方法。

【請求項 2 2】

10

前記有限のステートマシンへの入力が、アップ、ダウン、及びホールドを含むグループから選択され、
前記状態が、その状態に応じて選択される調整できない遅延期間の増加する順に順序づけられ、及び
前記有限のステートマシンの状態をアップデートするステップは、
前記入力がホールドである場合に同じ状態のままであるステップと、
前記入力がダウンである場合に前記状態を増加させるステップと、及び
前記入力がアップである場合に前記状態を減少させるステップとを含む、請求項 2 0 の方法。

【請求項 2 3】

20

前記第 1 と第 2 の中間クロックの一方を第 3 の調整可能な遅延期間だけ遅延させるステップが、
前記基準クロックと前記ローカルクロックとの間の位相差を最小限にするために前記第 3 の調整可能な遅延期間を調整するステップを含む、請求項 1 6 の方法。

【請求項 2 4】

前記第 3 の調整可能な遅延期間を調整するステップは、
リード/ラグ信号を生成するために、前記ローカルクロックの位相を前記基準クロックの位相と比較するステップと、
遅延制御信号を生成するために、前記リード/ラグ信号に応じてループフィルタを充電するステップと、及び
前記遅延制御信号に応じて前記第 2 の調整可能な遅延期間を調整するステップとを含む、請求項 2 3 の方法。

30

【請求項 2 5】

前記第 1 の中間クロックが前記第 2 の中間クロックより進んでおり、
前記第 1 と第 2 の中間クロックの一方を第 3 の調整可能な遅延期間だけ遅延させるステップが、前記第 1 の中間クロックを前記第 3 の調整可能な遅延期間だけ遅延させることを含み、及び
前記第 3 の調整可能な遅延期間が前記第 4 の遅延期間より長い、請求項 2 3 の方法。

【請求項 2 6】

前記第 1 の中間クロックが前記第 2 の中間クロックより進んでおり、
前記第 1 と第 2 の中間クロックの一方を第 3 の調整可能な遅延期間だけ遅延させるステップが、前記第 2 の中間クロックを前記第 3 の調整可能な遅延期間だけ遅延させることを含み、及び
前記第 3 の調整可能な遅延期間が前記第 4 の遅延期間より短い、請求項 2 3 の方法。

40

【請求項 2 7】

基準クロックに同期したローカルクロックを生成するための遅延同期ループであって、
基準クロックを受信するように適合され、その基準クロックを遅延させて中間クロック生成する、周波数獲得ループであって、その周波数獲得ループが、
前記基準クロックを受信するように適合され、前記中間クロックを生成するために、遅延制御信号により調整される調整可能な遅延期間だけ前記基準クロックを遅延させ、その調

50

整可能な遅延期間が、複数の調整できない遅延期間から選択される、遅延回路と、及び前記基準クロック及び前記中間クロックに基づいたフィードバッククロックを受信するように適合され、かつ前記遅延制御信号を前記遅延回路に送るように結合されて、前記基準クロックと前記フィードバッククロック間の相対的な位相に応じて前記遅延制御信号を生成する、遅延コントローラとを含む、周波数獲得ループと、及び前記基準クロックを受信するように適合され、かつ前記周波数獲得ループから前記中間クロックを受信するように結合されて、前記中間クロックを遅延させて前記基準クロックに同期したローカルクロックを生成する、位相獲得ループとを含み、前記周波数獲得ループが、前記中間クロックを前記位相獲得ループの動作範囲内に置くのに十分な量だけ前記基準クロックを遅延させ、前記フィードバッククロックが、第1と第2のフィードバッククロックからなり、前記調整可能な遅延期間により、前記基準クロックの基準エッジが、前記第1のフィードバッククロックの対応する基準エッジと前記第2のフィードバッククロックの対応する基準エッジとの間に置かれる、遅延同期ループ。

10

【請求項28】

基準クロックに同期したローカルクロックを生成するための遅延同期ループであって、基準クロックを受信するように適合され、その基準クロックを遅延させて中間クロックを生成する、周波数獲得ループであって、その周波数獲得ループが、前記基準クロックを受信するように適合され、前記中間クロックを生成するために、遅延制御信号により調整される調整可能な遅延期間だけ前記基準クロックを遅延させ、その調整可能な遅延期間が、複数の調整できない遅延期間から選択される、遅延回路と、及び前記基準クロック及び前記中間クロックに基づいたフィードバッククロックを受信するように適合され、かつ前記遅延制御信号を前記遅延回路に送るように結合されて、前記基準クロックと前記フィードバッククロック間の相対的な位相に応じて前記遅延制御信号を生成する、遅延コントローラとを含み、その遅延コントローラが、前記基準クロック及び前記フィードバッククロックを受信するように適合され、前記フィードバッククロックと前記基準クロックとの間の相対的な位相に応じてリード/ラグ信号を生成する、位相検出器と、及び

20

前記リード/ラグ信号を前記位相検出器から受信するように結合され、前記リード/ラグ信号に応じて前記遅延制御信号を生成する、制御論理回路とを含む、周波数獲得ループと、及び

30

前記基準クロックを受信するように適合され、かつ前記周波数獲得ループから前記中間クロックを受信するように結合されて、前記中間クロックを遅延させて前記基準クロックに同期したローカルクロックを生成する、位相獲得ループとを含み、

前記周波数獲得ループが、前記中間クロックを前記位相獲得ループの動作範囲内に置くのに十分な量だけ前記基準クロックを遅延させ、

前記フィードバッククロックが第1と第2のフィードバッククロックからなり、

前記リード/ラグ信号がアップチック信号とダウンチック信号からなり、

前記位相検出器が、前記第1のフィードバッククロックと前記第2のフィードバッククロックを受信するように結合されて、それに応じて前記アップチック信号と前記ダウンチック信号を生成し、

40

前記制御論理回路が、前記アップチック信号と前記ダウンチック信号を受信するように結合された有限のステートマシンを含み、それに応じてその有限のステートマシンの状態を修正し、その状態に応じて前記遅延制御信号を生成する、遅延同期ループ。

【請求項29】

前記位相検出器は、

前記基準クロック及び前記第1のフィードバッククロックを受信するように適合され、それに応じて第1のアップ信号と第1のダウン信号を生成する、第1の交差検出型位相検出器と、

前記基準クロック及び前記第2のフィードバッククロックを受信するように適合され、そ

50

れに応じて第2のアップ信号と第2のダウン信号を生成する、第2の交差検出型位相検出器と、及び

前記第1のアップ信号、前記第1のダウン信号、前記第2のアップ信号、及び前記第2のダウン信号を受信するように結合され、それに応じて前記アップチック信号と前記ダウンチック信号を生成する、組み合わせ論理回路とを含む、請求項28の遅延同期ループ。

【請求項30】

基準クロックに同期したローカルクロックを生成するための遅延同期ループであって、基準クロックを受信するように適合され、その基準クロックを遅延させて中間クロック生成する、周波数獲得ループと、及び

前記基準クロックを受信するように適合され、かつ前記周波数獲得ループから前記中間クロックを受信するように結合されて、前記中間クロックを遅延させて前記基準クロックに同期したローカルクロックを生成する、位相獲得ループであって、その位相獲得ループが

10

前記中間クロックを受信するように適合され、前記ローカルクロックを生成するために、前記中間クロックを遅延制御信号により調整される調整可能な遅延期間だけ遅延させる、遅延回路と、及び

前記基準クロックを受信するように適合され、かつ前記ローカルクロックを受信するように結合され、そして前記遅延制御信号を前記遅延回路に送るよう結合されて、前記基準クロックと前記ローカルクロック間の相対的な位相に応じて前記遅延制御信号を生成する、遅延コントローラとを含む位相獲得ループとを含み、

20

前記周波数獲得ループが、前記中間クロックを前記位相獲得ループの動作範囲内に置くのに十分な量だけ前記基準クロックを遅延させ、

前記中間クロックが第1と第2の中間クロックからなり、

前記遅延回路が、前記第1の中間クロックの遅延を前記第2の中間クロックの遅延に対して増加させる、遅延同期ループ。

【請求項31】

基準クロックに同期したローカルクロックを生成するための遅延同期ループであって、基準クロックを受信するように適合され、その基準クロックを遅延させて中間クロック生成する、周波数獲得ループと、及び

前記基準クロックを受信するように適合され、かつ前記周波数獲得ループから前記中間クロックを受信するように結合されて、前記中間クロックを遅延させて前記基準クロックに同期したローカルクロックを生成する、位相獲得ループであって、その位相獲得ループが

30

前記中間クロックを受信するように適合され、前記ローカルクロックを生成するために、前記中間クロックを遅延制御信号により調整される調整可能な遅延期間だけ遅延させる、遅延回路と、及び

前記基準クロックを受信するように適合され、かつ前記ローカルクロックを受信するように結合され、そして前記遅延制御信号を前記遅延回路に送るよう結合されて、前記基準クロックと前記ローカルクロック間の相対的な位相に応じて前記遅延制御信号を生成する、遅延コントローラとを含む位相獲得ループとを含み、

40

前記周波数獲得ループが、前記中間クロックを前記位相獲得ループの動作範囲内に置くのに十分な量だけ前記基準クロックを遅延させ、

前記中間クロックが第1と第2の中間クロックからなり、

前記遅延回路が、前記第2の中間クロックの遅延を前記第1の中間クロックの遅延に対して減少させる、遅延同期ループ。

【請求項32】

基準クロックに同期したローカルクロックを生成するための方法であって、

基準クロックを受信するステップと、

中間クロックを生成するために前記基準クロックを第1の調整可能な遅延期間だけ遅延させるステップであって、前記基準クロックを遅延させることが、

50

前記中間クロックに基づいてフィードバッククロックを生成することと、及び
前記基準クロックと前記フィードバッククロックとの間の相対的な位相に応じて複数の調整できない遅延期間のうちの1つを選択することにより、前記第1の調整可能な遅延期間を調整することとを含む、ステップと、及び
前記基準クロックに同期したローカルクロックを生成するために前記中間クロックを第2の調整可能な遅延期間だけ遅延させるステップとを含む、
前記フィードバッククロックが、第1と第2のフィードバッククロックからなり、
前記調整できない遅延期間のうちの1つを選択することが、前記基準クロックの基準エッジを前記第1のフィードバッククロックの対応する基準エッジと前記第2のフィードバッククロックの対応する基準エッジとの間に置くように前記調整できない遅延期間を選択
することを含む、方法。

10

【請求項33】

基準クロックに同期したローカルクロックを生成するための方法であって、
基準クロックを受信するステップと、
中間クロックを生成するために前記基準クロックを第1の調整可能な遅延期間だけ遅延させるステップであって、前記基準クロックを遅延させることが、
前記中間クロックに基づいてフィードバッククロックを生成することと、及び
前記基準クロックと前記フィードバッククロックとの間の相対的な位相に応じて複数の調整できない遅延期間のうちの1つを選択することにより、前記第1の調整可能な遅延期間を調整することとを含む、ステップと、及び
前記基準クロックに同期したローカルクロックを生成するために前記中間クロックを第2の調整可能な遅延期間だけ遅延させるステップとを含む、
前記調整できない遅延期間のうちの1つを選択することが、
前記基準クロックと前記フィードバッククロック間の相対的な位相に応じて有限のステートマシンへの入力を生成することと、
前記入力に応じて前記有限のステートマシンの状態をアップデートすることと、及び
前記状態に応じて前記調整できない遅延期間のうちの1つを選択することとを含む、
前記フィードバッククロックが第1と第2のフィードバッククロックからなり、
前記有限のステートマシンへの入力を生成することが、
第1のアップ信号と第1のダウン信号を生成するために、前記基準クロックの位相と前記
第1のフィードバッククロックの位相とを比較することと、
第2のアップ信号と第2のダウン信号を生成するために、前記基準クロックの位相と前記
第2のフィードバッククロックの位相とを比較することと、及び
前記有限のステートマシンへの入力を生成するために、前記第1のアップ信号、前記第1のダウン信号、前記第2のアップ信号及び前記第2のダウン信号を論理的に組み合わせることとを含む、方法。

20

30

【請求項34】

基準クロックに同期したローカルクロックを生成するための方法であって、
基準クロックを受信するステップと、
中間クロックを生成するために前記基準クロックを第1の調整可能な遅延期間だけ遅延させるステップと、及び
前記基準クロックに同期したローカルクロックを生成するために前記中間クロックを第2の調整可能な遅延期間だけ遅延させるステップであって、前記基準クロックと前記ローカルクロックとの間の位相差を最小限にするために前記第2の調整可能な遅延期間を調整することを含む、ステップとを含む、
前記中間クロックが、第1と第2の中間クロックからなり、
前記第2の調整可能な遅延期間を調整することが、前記第2の中間クロックの遅延に対して前記第1の中間クロックの遅延を増加させることを含む、方法。

40

【請求項35】

基準クロックに同期したローカルクロックを生成するための方法であって、

50

基準クロックを受信するステップと、

中間クロックを生成するために前記基準クロックを第1の調整可能な遅延期間だけ遅延させるステップと、及び

前記基準クロックに同期したローカルクロックを生成するために前記中間クロックを第2の調整可能な遅延期間だけ遅延させるステップであって、前記基準クロックと前記ローカルクロックとの間の位相差を最小限にするために前記第2の調整可能な遅延期間を調整することを含む、ステップとを含み、

前記中間クロックが、第1と第2の中間クロックからなり、

前記第2の調整可能な遅延期間を調整することが、前記第1の中間クロックの遅延に対して前記第2の中間クロックの遅延を減少させることを含む、方法。

10

【発明の詳細な説明】

【0001】

【発明の分野】

本発明は、概して基準クロックに対して周波数と位相が同期したローカルクロックを生成することに関し、とりわけ基準クロックを遅延させることによりローカルクロックを生成することに関する。

【0002】

【関連技術の説明】

同期システムにおいて、そのシステムの集積回路は、共通基準クロックに同期される。多くの場合、このような同期は、とりわけ以下の理由により、単一の基準クロックを集積回路のそれぞれに対して分配することにより単純に実現することができない。集積回路が基準クロックを受信した時、多くの場合その回路は、基準クロックを調整した後でクロックを使用できるようになる。例えば、回路は、入ってくる基準クロックをバッファリングするか、又は入ってくる基準クロックをある電圧レベルから別のレベルへ変換する。この処理により基準クロック自体の遅延が導入され、その結果ローカルクロックと呼ばれることになる処理された基準クロックは、多くの場合、もはや入ってくる基準クロックと十分に同期していないことになる。より速いクロック速度は許容できる遅延量、即ちクロックスキューを減らすため、より速いシステムクロック速度の動向は、この問題を更に悪化させる。

20

【0003】

この問題を解決するために、一般に追加の回路を用いてローカルクロックを基準クロックに同期させる。この目的のために使用される2つの共通回路は、位相同期ループ(PLL)と遅延同期ループ(DLL)である。

30

【0004】

位相同期ループにおいて、電圧制御発信器がローカルクロックを生成する。ローカルクロックの位相と基準クロックの位相が、位相周波数検出器により比較され、結果として生じる誤差信号を用いてループフィルタを介して電圧制御発振器をドライブする。ループフィルタを介したフィードバックにより、基準クロックに対してローカルクロックの位相が同期する。しかしながら、フィードバックループの安定性は、ループフィルタの一部分に依存する。更に、ループフィルタの電子的特性は、多くの場合製造上のパラメータに大幅に依存する。結果として、同じループフィルタの設計でも、ループフィルタがある工程で製造された場合には安定したフィードバックループになるが、別の工程により製造された場合には不安定なフィードバックループになる可能性がある。全ての製造工程用に単一のループフィルタの設計を行うことは困難であり、ループフィルタの設計は、一般に工程毎に最適化されなければならない。

40

【0005】

遅延同期ループは、入ってくる基準クロックを整数の周期で遅延させることにより同期したローカルクロックを生成する。より詳細には、集積回路のバッファ及び電圧レベル変換器等により、ある一定の遅延量が導入される。遅延同期ループにより追加の遅延量が導入され、結果として生じるローカルクロックは、入ってくる基準クロックと同期する。この

50

アプローチは、位相同期ループのアプローチにおける固有の安定性の問題を回避する。しかしながら、遅延同期ループは、周波数レンジが狭い欠点を有する。遅延同期ループは、所望の同期を達成するために追加の遅延量を調整するが、この調整は本質的に位相調整である。遅延同期ループは大幅な周波数調整が必要であり、そのため従来の遅延同期ループの全体的な周波数レンジを制限する。

【 0 0 0 6 】

従って、ローカルクロックを基準クロックに対して同期させ、製造工程の変動に対して頑強 (r o b u s t) であり、広い周波数レンジにわたって動作することができる装置が必要とされる。

【 0 0 0 7 】

10

【 発明の概要 】

本発明によれば、好適には、基準クロックに同期したローカルクロックを生成するための装置は、周波数獲得ループと位相獲得ループを含む。周波数獲得ループは基準クロックを受信して基準クロックを遅延させることにより、位相獲得ループの動作範囲内に入る中間クロックを生成する。位相獲得ループはその中間のクロックを遅延させて基準クロックに同期したローカルクロックを生成する。本発明は、上述したアーキテクチャが製造上のばらつきに対して頑強であり、基準クロックの広い周波数レンジに対応することができるため特に有利である。

【 0 0 0 8 】

更に、本発明によれば、基準クロックに同期したローカルクロックを生成するための方法は、1) 基準クロックを受信するステップ、2) 中間のクロックを生成するためにその基準クロックを第1の調整可能な遅延期間だけ遅延させるステップ、3) その基準クロックに同期したローカルクロックを生成するためにその中間のクロックを第2の調整可能な遅延期間だけ遅延させるステップを含む。

20

【 0 0 0 9 】

本発明は、添付図面とともに理解される場合、本発明の以下の詳細な説明及び添付の特許請求の範囲からより容易に明らかになるであろう他の利点及び特徴を有する。

【 0 0 1 0 】

【 好適な実施態様の詳細な説明 】

図1は、本発明用に向いているシステム100のブロック図である。システム100には、発振器102といくつかの集積回路が含まれ、図1には3つの集積回路104a、104b、104cが示される。各集積回路104a、104b、104cには、クロック発生器106a、106b、106cが含まれる。各集積回路104a~104cは基準クロック (R E F _ C L K) を、信号ライン108を介して発振器102から受信するように結合される。各集積回路104a~104cの内部において、クロック発生器106a~106cは、基準クロックを受信して、集積回路用のライン110a~110cにローカルクロック (L O C _ C L K) を生成する。

30

【 0 0 1 1 】

システム100が同期して動作するために、ローカルクロックのそれぞれは、基準クロックに同期しなければならない。即ち、クロック発生器106a~106cは、クロック発生器106a~106cがライン110a~110cに生成したローカルクロックが、クロック発生器106a~106cがライン108で受信した基準クロックと同期していることを確実にしなければならない。一般的に、クロック発生器106a~106cは、入ってくる基準クロックを処理して、集積回路104a~104c用に適するようにローカルクロックを作る。この処理には、バッファリング、増幅、又はさまざまな電圧レベル間の変換などの機能が含まれる。この処理を実行する回路は、遅延、即ちクロックスキューを、入ってくる基準クロックに導入することになる。従って、処理された基準クロックは、入ってくる基準クロックと概して同期しないことになる。更に、クロック発生器106a~106cは、処理回路要素によって導入されるクロックスキューを補償しなければならない。

40

50

【 0 0 1 2 】

図 1 は、共通基準クロックに対して別個の集積回路 1 0 4 a ~ 1 0 4 c の同期を示す。当業者であれば、本発明が集積回路の同期に限定されないことを認識するであろう。例えば、本発明を用いて、基板又はマルチチップモジュールを互いに同期させることができる。代案として、本発明を用いて、単一の集積回路上の複数の位置で複数のローカルクロックを基準クロックに同期させることができる。

【 0 0 1 3 】

また、本発明は、図 1 に示すように、複数のローカルクロックが単一の基準クロックに同期するシステムに限定されない。例えば、各ローカルクロックを異なる基準クロック又は別のローカルクロックにすら同期させることができる。

10

【 0 0 1 4 】

図 2 は、図 1 のシステム 1 0 0 での使用に適しているクロック発生器 1 0 6 d に関する従来技術の実施態様のブロック図である。図 2 の実施態様は、一般に遅延同期ループ (D L L) として知られている。D L L 1 0 6 d には、遅延回路 2 0 0 と遅延コントローラ 2 0 2 が含まれる。遅延回路 2 0 0 は、基準クロックをライン 1 0 8 で受信するように適合され、また生成したローカルクロックをライン 1 1 0 d に出力するように適合される。遅延コントローラ 2 0 2 は、基準クロックをライン 1 0 8 で受信するように適合され、入力としてローカルクロックをライン 2 1 0 で受信するように結合され、そして遅延制御信号をライン 2 0 4 で遅延回路 2 0 0 に送るよう結合される。

【 0 0 1 5 】

20

遅延回路 2 0 0 には、遅延連鎖 2 0 6 及び、図 2 に直列のバッファとして示される処理回路要素 2 0 8 が更に含まれる。前述のように、処理回路要素 2 0 8 は、バッファリングのほかに機能を実行するけれども、便宜上、バッファとして示されている。遅延連鎖 2 0 6 は、基準クロックを信号ライン 1 0 8 で受信するように適合され、基準クロックの遅延したバージョンを処理回路要素 2 0 8 に送るよう結合される。また、遅延連鎖 2 0 6 は、ライン 2 0 4 を介して遅延制御信号を受信するよう結合される。処理回路要素 2 0 8 は、受信した基準クロックの遅延したバージョンに必要な処理を実行し、そしてローカルクロックをライン 1 1 0 d に出力する。

【 0 0 1 6 】

D L L 1 0 6 d は、次のように動作する。遅延連鎖 2 0 6 は、基準クロックをライン 1 0 8 で受信し、ライン 2 0 4 で受信した遅延制御信号により決定された遅延期間だけその基準クロックを遅延させる。そして、遅延した基準クロックは処理回路要素 2 0 8 により処理され、結果としてローカルクロックがライン 1 1 0 d に生じる。従って、ローカルクロックは、受信した基準クロックの処理されて遅延されたバージョンである。遅延回路 2 0 0 により導入された全体的な遅延が整数のクロック周期である場合、ローカルクロックは基準クロックと同期するはずである。好適な実施態様において、全体的な遅延は、単一のクロック周期である。

30

【 0 0 1 7 】

遅延コントローラ 2 0 2 は、この条件が満たされることを確実にする。より詳細には、遅延コントローラ 2 0 2 は、基準クロックとローカルクロックのそれぞれを入力として、それぞれのライン 1 0 8、2 1 0 で受信する。遅延コントローラ 2 0 2 は、基準クロックとローカルクロックの相対的な位相を比較して遅延制御信号を生成する。その遅延制御信号はライン 2 0 4 を介して遅延連鎖 2 0 6 に送られる。基準クロックとローカルクロック間の位相不整合を減らすために、例えば遅延回路 2 0 0 により導入される遅延期間を基準クロックの整数の周期に等しくさせるために、遅延制御信号は遅延連鎖 2 0 6 により導入される遅延期間を調整する。

40

【 0 0 1 8 】

D L L 1 0 6 d は、基準クロックとローカルクロックを同期させるための別の一般的なアプローチである位相ロックループに比べて製造上のばらつきに対して頑強である。しかしながら、D L L 1 0 6 d は周波数レンジが狭い欠点を有しており、この欠点は図 3 を

50

参照することにより理解できる。例示のために、遅延回路 200 が T_{max} の最大遅延期間を有するものと仮定する。更に、DLL 106d は、最初に遅延回路 200 の遅延をその最大値 T_{max} に設定することによりローカルクロックを基準クロックに同期させ、そして基準クロックと生成したローカルクロック間の相対的な位相に応じて遅延期間を調整するものと仮定する。更に、DLL 106d は、基準クロックとローカルクロックの立ち上がりエッジに同期するものと仮定する。即ち、DLL 106d は、多くの DLL に関して典型的であるように、ローカルクロックの立ち上がりエッジが基準クロックの最も近い立ち上がりエッジの方へ移動するように遅延期間を調整するであろう。

【0019】

図 3 は、REF_CLK1、REF_CLK2、REF_CLK3 と表示された 3 つの異なる周期の基準クロックに関するタイミング図を示す。便宜上、これら 3 つの基準クロックの立ち上がりエッジ 300、302、304 は、時間的に同期する。これらの基準クロックのいずれかが DLL 106d により受信される場合、DLL 106d は、最大遅延期間 T_{max} だけ遅延した最初の立ち上がりエッジ 306 を有するローカルクロックを初めに生成するであろう。前述した初期化の手順によれば、基準クロック 1 の場合、DLL 106d はローカルクロックの立ち上がりエッジ 306 を基準クロック 1 の最も近い立ち上がりエッジ 308 に位置合わせしようとする。これを実現するために、遅延回路 200 により導入される遅延は、減らされなければならない。全体的な遅延を 0 まで減らすことができる最も好適な場合を想定すると、DLL 106d はローカルクロックを基準クロック 1 に同期させることが可能となるであろう。

【0020】

さて、基準クロック 2、3 を考察する。これら 2 つの場合、基準クロックの最も近い立ち上がりエッジは、それぞれエッジ 310、312 である。DLL 106d は、立ち上がりエッジ 306 をそれぞれ立ち上がりエッジ 310、312 に同期させることによりローカルクロックをそれぞれの基準クロック 2、3 に同期させようとするであろう。DLL 106d は、遅延回路 200 により導入される遅延期間を増加させて同期を達成するようにするであろう。しかしながら、遅延期間は既にその最大値に設定されている。従って、DLL 106d は、ローカルクロックを基準クロック 2 又は 3 に同期させることができないであろう。

【0021】

一般に、DLL 106d がローカルクロックを基準クロックと同期させるためには、ローカルクロックの立ち上がりエッジ 306 は、基準クロックの立ち上がりエッジ 308 と基準クロックの立ち下がりエッジ 314 の間になければならない。基準クロックが周期 T を有する場合、この要件は、 $T < T_{max} < 1.5T$ と換言できる。 T に関して解くと、不等式

$$(2/3) T_{max} < T < T_{max}$$

を生じる。不等式を反転させると、

$$f_{max} < f < (3/2) f_{max}$$

となり、ここで $f_{max} = 1/T_{max}$ 、 f は基準クロックの周波数である。この式は、DLL 106d の周波数動作範囲を定義する。 T_{max} 故に f_{max} は、半導体製造工程、温度、供給電圧等の関数として大幅に変動する可能性があり、従来の DLL 106d の周波数レンジを保証することは困難である。従って、DLL 106d がローカルクロックを基準クロックと同期させることができることを保証することは困難である。

【0022】

図 4 は、本発明に従って、図 1 のシステム 100 での使用に適している二重ループの遅延同期ループ (DLLDLL) 106e の一実施態様のブロック図である。DLLDLL 106e には、2 つの遅延回路 400、402、及びそれらのそれぞれの遅延コントローラ 404、406 が含まれる。第 1 の遅延回路 400 は、基準クロックをライン 108 で受信するように適合され、更に中間クロック (INT_CLK) を第 2 の遅延回路 402 へライン 408 を介して送るよう結合される。第 2 の遅延回路 402 は、ライン 110e に

10

20

30

40

50

ローカルクロックを出力するように適合される。遅延回路 400 用の遅延コントローラ 404 は、遅延制御信号を遅延回路 400 ヘライン 410 で送るように結合される。また、遅延コントローラ 404 は、基準クロックをライン 108 で受信するように適合され、フィードバッククロック (FBK_{CLK}) を遅延回路 402 からライン 412 で受信するように結合される。同様に、遅延回路 402 用の遅延コントローラ 406 は、遅延制御信号を遅延回路 402 ヘライン 414 で送るように結合される。また、コントローラ 406 は、基準クロックをライン 108 で受信するように適合され、ローカルクロックをライン 416 で受信するように結合される。

【0023】

DLDLL 106 e を、2つのフィードバックループ 418、420 に分割できる。周波数獲得ループ 418 には遅延回路 400、その対応するコントローラ 404、及び遅延回路 402 が含まれ、他方では遅延回路 402、及びその対応するコントローラ 406 が含まれる。周波数獲得ループ 418 は、基準クロックをライン 108 で受信するように適合され、中間クロックを位相獲得ループ 420 ヘライン 408 を介して送るように結合される。位相獲得ループ 420 は、中間クロックをライン 408 で受信するように結合され、基準クロックをライン 108 で受信するように適合され、そしてローカルクロックをライン 110 e に出力するように適合される。なお、この実施態様において、遅延回路 402 は、周波数獲得ループ 418 と位相獲得ループ 420 の双方の要素となる。

【0024】

DLDLL 106 e の動作は、ループ 420、418 のそれぞれを順に考察することにより理解できる。位相獲得ループ 420 は中間クロックをライン 408 で受信する。遅延回路 402 はライン 408 の中間クロックを遅延させてローカルクロックをライン 110 e に生成する。遅延コントローラ 406 は、ライン 108 の基準クロックをライン 416 のローカルクロックと比較して遅延制御信号をライン 414 に生成する。その遅延制御信号は、遅延回路 402 により導入される遅延期間を調整する。このように、ライン 110 e のローカルクロックは、ライン 108 の基準クロックに対して同期する。しかしながら、位相獲得ループ 420 自体の動作は、図 2 の従来の DLDLL 106 d に関連して前述した狭い周波数動作範囲の影響を受けるであろう。

【0025】

周波数獲得ループ 418 は、制限された動作範囲の問題に対処する。周波数獲得ループ 418 は、基準クロックをライン 108 で受信してそれを遅延させることによりライン 408 に中間クロックを生成する。周波数獲得ループ 418 により導入される遅延は、ライン 408 の中間クロックが位相獲得ループ 420 の動作範囲内に入るように選択される。従って、DLDLL 106 e の動作範囲は、位相獲得ループ 420 単体の場合より広くなる。より詳細には、ライン 408 の中間クロックは遅延回路 402 により遅延されてフィードバッククロックをライン 412 に生成する。フィードバッククロックは、遅延コントローラ 404 によりライン 108 の基準クロックと比較される。好適な実施態様において、コントローラ 404 は、基準クロックとフィードバッククロックの相対的な位相を比較する。遅延コントローラ 404 は、ライン 410 に遅延制御信号を送り、遅延回路 400 により導入される遅延期間を調整する。従って、ライン 408 の中間クロックが位相獲得ループ 420 の動作範囲内に入ることが保証される。

【0026】

DLDLL 106 e は同期したローカルクロックを生成するために、入ってくる基準クロックを遅延させることに基づいているため、DLDLL 106 e は図 2 の従来の DLDLL 106 d の特性であった製造上のばらつきに対して頑強である利点を保持する。しかしながら、DLDLL 106 e は周波数獲得ループ 418 を含むため、DLDLL 106 e は、従来の DLDLL 106 d に比べて広い周波数レンジの追加の利点を有する。

【0027】

図 5 は、図 4 の DLDLL 106 e の好適な実施態様のブロック図である。この好適な実施態様において、遅延回路 400 には、遅延連鎖 500 とクロックセクタ 502 が含

10

20

30

40

50

まれる。遅延コントローラ 404 には、交差検出型 (cross-sensing) 位相検出器対 504 と制御論理回路 506 が含まれる。また、DLDDL 106e には、図 4 のように、遅延回路 402 と遅延コントローラ 406 も含まれる。

【0028】

周波数獲得ループ 418 は次のように結合される。遅延連鎖 500 は、基準クロックをライン 108 で受信するように適合され、多数の遅延クロックを並列にライン 508 を介してクロックセクタ 502 へ送るよう結合される。この実施態様において、17 個の遅延クロックが使用されるけれども、本発明はこの特定の数に制限されない。クロックセクタ 502 は、中間クロックを遅延回路 402 へ送るよう結合される。しかしながら、この実施態様において、中間クロックは 2 つの独立したクロックからなり、それらのクロックはライン 510 に F クロック (FCLK')、ライン 512 に B クロック (BCLK') として表示される。遅延回路 402 は、フィードバッククロックを交差検出型位相検出器対 504 へ送るよう結合される。しかしながら、中間クロックを用いる場合、フィードバッククロックは 2 つのクロック、即ちライン 514 のフィードバック F クロック (FCLK) とライン 516 のフィードバック B クロック (BCLK) を含む。交差検出型位相検出器対 504 は、両方のフィードバッククロックを受信し、更に基準クロックをライン 108 で受信するように適合される。また、アップチック (up tick) (UPT) 信号とダウンチック (down tick) (DOWNT) 信号のそれぞれを制御論理回路 506 へそれぞれのライン 518、520 で送るよう結合される。制御論理回路は、遅延制御信号をライン 410 でクロックセクタ 502 へ送るよう結合される。

【0029】

位相獲得ループ 420 の結合は、中間クロックが 2 つの独立したクロックからなることを除いて、図 4 のものと同じである。より詳細には、遅延回路 402 は F クロックと B クロックのそれぞれを各ライン 510、512 で受信するよう結合され、そしてローカルクロックをライン 110e に出力するようにも適合される。遅延コントローラ 406 は、ローカルクロックをライン 416 で受信するよう結合され、基準クロックをライン 108 で受信するよう適合される。コントローラ 406 は遅延制御信号をライン 414 で遅延回路 402 へ送る。

【0030】

図 6 は、図 5 の遅延連鎖 500 の好適な実施態様のブロック図である。遅延連鎖 500 は直列に接続された 17 個の遅延セル 600a ~ 600q からなる。第 1 の遅延セル 600a は基準クロックをライン 108 で受信するよう適合され、それぞれ続くセル 600b ~ 600q は前のセルの出力を受信するよう結合される。各遅延セル 600a ~ 600q は同一の固定された遅延量を導入する。遅延連鎖 500 は各遅延セル 600a ~ 600q の後にタップが付けられて 17 個の遅延クロック CLK(0)、CLK(1)、... CLK(16) を生じさせる。遅延クロックは、クロックセクタ 502 にライン 508 を介して結合される。

【0031】

図 7A は、図 6 の遅延連鎖 500 の動作を示すタイミング図である。遅延セル 600a は基準クロックを T_t 量だけ遅延させて遅延クロック CLK(0) を生じさせ、遅延セル 600b は CLK(0) を T_t 量だけ遅延させて遅延クロック CLK(1) を生じさせ、以下同じように続く。その結果は、時間的に規則正しく間隔がつけられた立ち上がりエッジ 700 ~ 716 を有する一連の遅延クロック CLK(0) ~ CLK(16) になる。わかりやすくするために、CLK(0) ~ CLK(16) のようなクロックは、タイミング図において、完全な波形の代わりに波形の立ち上がりエッジを表す単一の矢印により多くの場合表現することにする。例えば、CLK(0) は、完全な波形の代わりに、立ち上がりエッジの矢印 700 により表現される。更に、以下の実施態様は立ち上がりエッジに関して説明されるけれども、本発明は立ち下がりエッジのような別の基準エッジを利用することもできる。

【0032】

10

20

30

40

50

図4と図5の周波数獲得ループ418の残りの動作は、図7Bと図7Cのタイミング図に関連して理解され得る。クロックセクタ502は、FクロックとBクロックになるように2つの隣接する遅延クロックを選択する。そして、遅延回路402はこれらのクロックの双方を等しい量だけ遅延させて、フィードバックFクロックとフィードバックBクロックを生成する。周波数獲得ループ418は、図7Bと図7Cの行4に示されるように、基準クロックの両側にあるフィードバックFクロックとフィードバックBクロックを生じる2つのクロックをCLK(0)~CLK(16)から選択する。言い換えれば、周波数獲得ループ418は、フィードバックFクロックが基準クロックより進み、一方フィードバックBクロックが基準クロックより遅れるようにFクロックとBクロックを選択する。基準クロックがフィードバックFクロックとフィードバックBクロックとの間にある場合、FクロックとBクロックからなる中間クロックは、位相獲得ループ420の動作範囲内に入る。

10

【0033】

図7Bは、フィードバッククロックの双方が最初に基準クロックより進んでいる場合を示す。この図において、フィードバッククロックの立ち上がりエッジは普通の太さの矢印により表され、そして基準クロックは太い矢印により表される。符号CLK(n)は、対応するフィードバッククロックがCLK(n)に基づいていることを示す。行1において、最初のフィードバッククロックはCLK(2)とCLK(3)に基づいている一方で、行4に示されるように所望のフィードバッククロックはCLK(5)とCLK(6)に基づいている。そのフィードバックループを介して、周波数獲得ループ418は、CLK(2)とCLK(3)に基づいた最初の状態から行2に示されるようにCLK(3)とCLK(4)に基づいた状態へ、そして行3に示されるようにCLK(4)とCLK(5)に基づいた状態へ、そして最後に行4に示されるようにCLK(5)とCLK(6)に基づいた状態へと、フィードバックFクロックとフィードバックBクロックを移動させる。そして、周波数獲得ループ418はフィードバッククロックをこの状態にロックする。

20

【0034】

図7Cは、フィードバックFクロックとフィードバックBクロックが最初に基準クロックより遅れる場合を示す。この場合、フィードバッククロックは、行1に示されるように、最初にCLK(8)とCLK(9)に基づいているが、図7Bの状態と類似しており、周波数獲得ループは、フィードバッククロックがCLK(5)とCLK(6)に基づくまでフィードバッククロックを時間的に前方へ移動させ、従って図7Cの行4に示されるように基準クロックの側に立つ。

30

【0035】

遅延連鎖500は T_t の整数倍である遅延を導入することにより、DLDDL 106eにより導入される全体的な遅延の荒調整を行う。そして、遅延回路402は全体的な遅延の細密調整を行う。遅延回路402が T_{min} から T_{max} の遅延範囲を導入する場合、 $T_t < T_{max} - T_{min}$ を選択することにより、導入される全体的な遅延が広い範囲にわたって連続的に調整可能となることを保証して、それ故にDLDDL 106eの周波数動作範囲が大幅に増加するであろう。より詳細には、DLDDL 106eは、ほぼ $N * T_t$ の範囲にわたって全体的な遅延を調整できるであろう。ここで、Nは遅延セル600a~600qの数である。比較において、従来のDDL 106dは、ほぼ $(T_{max} - T_{min})$ の範囲にわたって全体的な遅延を調整できるだけである。 T_t は概して $(T_{max} - T_{min})$ の値に等しいため、DLDDL 106eは従来のDDL 106dに比べて大幅に広い周波数動作範囲を有する。

40

【0036】

図8は、図5の交差検出型位相検出器対504の好適な実施態様のブロック図である。交差検出型位相検出器対504には、2つの交差検出型位相検出器800a、800b、及び組み合わせ論理回路804が含まれる。第1の交差検出型位相検出器800aは、基準クロックをライン108で受信するように適合され、フィードバックFクロックをライン514で受信するように結合される。同様に、第2の交差検出型位相検出器800bは、

50

基準クロックをライン 108 で受信するように適合され、フィードバック B クロックをライン 516 で受信するように結合される。交差検出型位相検出器 800a、800b の双方は、アップ信号 (FUP 又は BUP) とダウン信号 (FDOWN 又は BDOWN) を組み合わせ論理回路 804 へ送るよう結合される。組み合わせ論理回路 804 は、アップチック (UPT) とダウンチック (DOWNT) のそれぞれを制御論理回路 506 へそれぞれのライン 518、520 で送るよう結合される。アップチック信号とダウンチック信号は、NOR ゲート 806 にも送られて交差検出型位相検出器 800a、800b 用のリセット信号を生成する。

【0037】

図 9 は、図 8 の交差検出型位相検出器 800a の好適な実施態様のブロック図である。交差検出型位相検出器 800a には、アップ信号を生成するための信号経路 901、及びダウン信号を生成するための経路 903 が含まれる。アップ信号経路 901 には、直列に接続された 3 つのラッチ 900a、900b、900c、及び 3 入力 AND ゲート 902a が含まれる。その直列接続の第 1 のラッチ 900a は基準クロックを受信するように適合され、フィードバック F クロックが 3 つのラッチ 900a ~ 900c のそれぞれを刻時するように結合される。3 つのラッチ 900a ~ 900c の出力は、AND ゲート 902a に結合され、AND ゲート 902a はその出力においてアップ信号を生じさせる。

【0038】

ダウン信号経路 903 は、基準クロックとフィードバック F クロックの役割を逆にしたことを除いて、アップ信号経路 901 と同様である。より詳細には、信号経路 903 は、3 つのラッチ 900d、900e、900f、及び 3 入力 AND ゲート 902b からなる。ラッチ 900d ~ 900f は、直列に接続され、それらラッチの出力は AND ゲート 902b の入力に結合され、AND ゲート 902b の出力はダウン信号となる。第 1 のラッチ 900d はライン 514 でフィードバック F クロックを受信するように結合され、ライン 108 の基準クロックは 3 つのラッチ 900d ~ 900f を刻時するために使用される。

【0039】

交差検出型位相検出器 800a は、交差検出 (cross-sensing) である。その理由は、一方の信号経路において基準クロックがフィードバック F クロックを検出し、他方の経路においてフィードバック F クロックが基準クロックを検出するからである。交差検出型位相検出器 800a により受信されたりセット信号は、ラッチ 900a ~ 900f に送られる。好適な実施態様において、同じ回路を図 8 の交差検出型位相検出器 800b に使用する。

【0040】

図 10A と図 10B は、図 9 の交差検出型位相検出器 800a の動作を示すタイミング図である。図 10A は、フィードバック F クロックが基準クロックより遅れる場合を示す。アップ信号経路 901 において、フィードバック F クロックがラッチ 900a ~ 900c を刻時する。従って、ラッチされた値は、図 10A の X 印 1000、1002、1004、1006 に示されるように、フィードバック F クロックの立ち上がりエッジにおける基準クロックの値となる。基準クロックがフィードバック F クロックより進んでいるため、ラッチ 900a ~ 900c にラッチされた値は、2 進数の 1 となる。しかしながら、AND ゲート 902a の結果として、アップ信号は、3 つの連続した 1 がラッチされるまでアサート (1008) されない。対照的に、ダウン信号経路 903 は、X 印 1010、1012、1014、1016 により示されるように、0 でラッチされる。AND ゲート 902b の結果として、ダウン信号は、最初の 0 (1010) がラッチされるとすぐイナクティブ (1018) にされる。

【0041】

図 10B は、基準クロックがフィードバック F クロックより遅れる場合を示す。アップ信号経路 901 は、1020、1022、1024、1026 の 0 でラッチし、アップ信号は最初の 0 (1020) が信号経路 901 にラッチされるとすぐイナクティブ (1028) にされる。ダウン信号経路 903 は、1030、1032、1034、1036 の 1 を

10

20

30

40

50

ラッチするが、ダウン信号自体は3つの連続した1がラッチされるまでアサート(1038)されない。

【0042】

交差検出型位相検出器800aの動作は、以下のように要約される。アップ信号は、基準クロックが3つの連続した周期に関してフィードバッククロックより進んでいる場合にアサートされ、基準クロックが単一の周期に関してフィードバッククロックより遅れている場合にイナクティブにされる。同様に、ダウン信号は、基準クロックが3つの連続した周期に関してフィードバッククロックより遅れている場合にアサートされ、基準クロックがフィードバッククロックより進むやいなやイナクティブにされる。交差検出型位相検出器800bは同様に動作するけれども、フィードバッククロックの代わりにフィードバックBクロックに関して動作する。

10

【0043】

当業者であれば、交差検出型位相検出器対504以外の位相検出器を使用すること、並びにライン518、520のUP T信号とDOWN T信号以外のリード/ラグ信号を使用できることを認めるであろう。

【0044】

図11は、図8の組み合わせ論理回路804の動作を示す論理テーブルである。図8に示すように、組み合わせ論理回路804は、それぞれの交差検出型位相検出器800a、800bからアップ信号とダウン信号を受信する。図11において、交差検出型位相検出器800aからの信号は、FUPとFDOWNと表示され、交差検出型位相検出器800bからの信号は、BUPとBDOWNと表示される。組み合わせ論理回路804は、図11のテーブルに従って、入力FUP、FDOWN、BUP、BDOWNをライン518と520の2つの出力UP TとDOWN Tへと変換する。

20

【0045】

図11に示すように、UP TとDOWN Tのさまざまな組み合わせにも名前が与えられる。図11の最後の列に示されるように、「アップ」出力は、フィードバッククロックとフィードバックBクロックの双方が基準クロックより遅れることを意味する。この状態において、フィードバッククロックは、図7Bで前に説明したように、時間的に前に移動するであろう。「ダウン」出力は、反対の状態に対応しており双方のフィードバッククロックは基準クロックより進んでいる。その結果、図7Aに示されるように、双方のフィードバッククロックは、時間的に後ろへ移動するであろう。「ホールド」出力は、基準クロックがフィードバックBクロックより進んでいるが、フィードバッククロックより遅れている所望の状態に対応する。この場合、フィードバッククロックの移動は必要ない。「ホールド」は、図11の最後の行に示されるように、入力の他の組み合わせにも対応する。例えば、これは、システムのノイズにより所望の状態から一時的に逸脱する場合に発生する。この場合、基準クロックが少なくとも3つの連続した周期に関してフィードバッククロックの双方より進むか、又は遅れるまで、フィードバッククロックの変化は保証されない。3つの連続した周期の要件は、直列の3つのラッチ900a~900cと900d~900fの結果である。代替の実施態様において、3以外の数を使用できる。最後の出力「リバース」は、基準クロックの立ち下がりエッジがフィードバッククロックとフィードバックBクロックの立ち上がりエッジ間にあることを意味する。これは、所望の状態ではないため、以下に説明するように、この状態からうまく逃れることが重要である。

30

40

【0046】

図12は、図5の制御論理回路506の動作を示す状態図である。16個の状態は、2進数字0000から1111を有する楕円形で表される。状態のそれぞれは、FクロックとBクロックに対する遅延クロックCLK(0)~CLK(16)の特定の選択に対応する。状態0000において、CLK(0)がFクロックとして選択され、CLK(1)がBクロックとして選択される。状態0001において、CLK(1)がFクロックとして選択され、CLK(2)がBクロックとして選択され、以下同じように続く。制御論理回路506は、組み合わせ論理回路804からの出力に応じて状態を変更する。制御論理回路

50

506 がホールドを受信する場合、状態は変更されないままである。制御論理回路 506 がダウンを受信する場合、2 値の状態は 1 つだけ増加し、従って双方のフィードバック信号の遅延を増加させる。しかしながら、状態が既に 1111 であり増やすことができない場合、代わりにその状態は、0111 に変更される。同様に、制御論理回路 504 がアップを受信する場合、状態は 1 つだけ減らされる。また、状態が既に 0000 であり減らすことができない場合、状態は 1000 に変更される。最後に、制御論理回路 504 がリバースを受信する場合、状態は、現在の状態の最上位ビットが 0 である時に増加し、最上位ビットが 1 である時に減少する。

【0047】

図 13A と図 13B は、図 5 の位相獲得ループ 420 の動作に関する 2 つの代替の方法を示すタイミング図である。便宜上、図 13A の方法をタイプ 1 と呼び、図 13B の方法をタイプ 2 と呼ぶことにする。図 5 を参照すると、位相獲得ループ 420 は、F クロックと B クロックを周波数獲得ループ 418 からライン 510、512 で受信する。遅延回路 402 は F クロックと B クロックの双方を等しい量だけ遅延させてライン 514 にフィードバック F クロック及びライン 516 にフィードバック B クロックを生成する。図 13A と図 13B の両方の行 1 に示されるように、基準クロックがフィードバック F クロックとフィードバック B クロックの間に立つ (flank) ように、F クロックと B クロックが周波数獲得ループ 418 により選択される。位相獲得ループ 420 は、F クロックと B クロックを受信して、ライン 108 の基準クロックに同期するローカルクロックをライン 110e に生成する。図 13A のアプローチのタイプ 1 において、ローカルクロックは、入ってくる F クロックを遅延させることにより生成される。より詳細には、入ってくる F クロックは、フィードバッククロックを生成するために必要な遅延より多い遅延を受ける。従って、図 13A の行 2 に示されるように、ローカルクロックは、2 つのフィードバッククロックの間に入り、基準クロックに同期できる。図 13B のアプローチのタイプ 2 において、ローカルクロックは、B クロックを遅延することにより生成される。より詳細には、入ってくる B クロックは、フィードバッククロックを生成するために必要な遅延より少ない遅延を受ける。従って、図 13B に示すように、ローカルクロックは基準クロックに同期できる。

【0048】

図 14 は、図 13A の方法に従って、図 5 の位相獲得ループ 420 の一実施態様のブロック図である。即ち、図 14 は、タイプ 1 のアプローチを実現する、図 5 の位相獲得ループ 420 の実施態様である。図 5 のように、位相獲得ループ 420a には、遅延回路 402a、及び遅延コントローラ 406a が含まれ、遅延回路 402a はタイプ 1 遅延回路 402a と呼ぶことにする。遅延コントローラ 406a には、動的位相検出器対 1402、充電ポンプ 1404、及びループフィルタ 1406 が含まれる。位相獲得ループ 420a は、以下のように結合される。タイプ 1 遅延回路 402a は、F クロックと B クロックを周波数獲得ループ 418 からライン 510、512 で受信するように結合され、またフィードバック F クロックとフィードバック B クロックを周波数獲得ループ 418 からライン 514、516 で送るよう結合される。また、タイプ 1 遅延回路 402a は、ローカルクロックをライン 110e に出力するようにも適合される。動的位相検出器対 1402 は、ローカルクロックをライン 416 で受信するように結合され、また基準クロックをライン 108 で受信するようにも適合される。動的位相検出器対 1402 は、リード/ラグ信号である UPP 信号と DOWNP 信号のそれぞれを充電ポンプ 1404 へそれぞれのライン 1408、1410 で送るよう結合される。そして、充電ポンプ 1404 はライン 414 で遅延制御信号をタイプ 1 遅延回路 402a へループフィルタ 1406 を介して送るよう結合される。

【0049】

図 15 は、図 14 のタイプ 1 遅延回路 402a の好適な実施態様の回路図である。タイプ 1 遅延回路 402a には、3 つの遅延連鎖 1500a、1500b、1502、及び処理回路要素の組 208a、208b、208c の 3 つが含まれる。遅延連鎖 1500a、1

10

20

30

40

50

500b、1502のそれぞれは、処理回路要素208a~208cのうちの1つに直列に結合されて信号経路を形成する。より詳細には、遅延連鎖1500aはFクロックをライン510で受信するように結合される。そして、遅延連鎖1500aの出力は、処理回路要素208aの入力に結合され、フィードバックFクロックをライン514に生成する。同様に、処理回路要素208cに結合される遅延連鎖1500bがBクロックをライン512で受信して、フィードバックBクロックをライン516に生成する。同様に、ライン510のFクロックは、処理回路要素208bに結合される遅延連鎖1502にも結合され、処理回路要素208bはローカルクロックをその出力ライン110eに生成する。遅延連鎖1500a、1500bは固定された遅延を導入するけれども、遅延連鎖1502により導入される遅延期間は、ライン414で受信した遅延制御信号により調整され得る。処理回路208a、208cを用いて回路208bにより導入される遅延を複製する。従って、回路208a、208cは、回路208bと同じであるか、又はそれらは単に等しい遅延を導入する回路であってもよい。

10

【0050】

図16は、図14の位相獲得ループ420aの動作を示すタイミング図である。このタイミング図の例において、フィードバックFクロックとローカルクロックは、互いに最初、同期して始まる(1600)が、基準クロックより進んでいる(1602)。動的位相検出器対1402は、基準クロックとローカルクロックを比較してローカルクロックが基準クロックより進んでいる期間、DOWNPをアサートする(1604)。同時に、アサートになった(1604)DOWNP及びイナクティブになった(1606)UPPは、ループフィルタ1406を充電ポンプ1404の電流源に接続する。即ち、充電ポンプ1404は、DOWNPがアサートされている期間中にループフィルタ1406を充電する。ループフィルタ1406を充電することによりライン414の遅延制御信号が増加する(1608)。その結果として、この増加は、ローカルクロックが受ける遅延を増加させて、フィードバックFクロックに対してローカルクロックを遅延する(1610)。このプロセスは、ローカルクロックと基準クロックが同期する(1612)まで継続する。ローカルクロックが基準クロックより遅れる場合、UPPがアサートされてライン414の遅延制御信号が減少し、そしてローカルクロックが受ける遅延も減少して、それゆえに基準クロックとローカルクロックが同期する。

20

【0051】

図17は、図14の動的位相検出器対1402の好適な実施態様のブロック図である。動的位相検出器対1402には、一对の動的位相検出器1700a、1700bが含まれる。各動的位相検出器1700a、1700bは、CLK0入力とCLK1入力、及び出力を含む。動的位相検出器1700aは、基準クロックをそのCLK0入力、ローカルクロックをそのCLK1入力を受信してUPPを出力するように結合される。動的位相検出器1700bは、ローカルクロックをそのCLK0入力、基準クロックをそのCLK1入力を受信してDOWNPを出力するように結合される。

30

【0052】

動的位相検出器1700a、1700bは、CLK0入力がCLK1入力より進んでいる期間、それらの出力をアサートする。動的位相検出器1700a、1700bの好適な実施態様は、Kyeongho LeeとDeog-Kyoon Jeongによる米国同時係属出願第08/631,420号の「High-speed and high-precision phase-locked loop」に開示されており、それらの教示は参照により本明細書に組み込まれる。とりわけ、同時係属出願第08/631,420号の図6にあるアップ信号発生器604とダウン信号発生器606は、動的位相検出器1700a、1700bの好適な実施態様である。

40

【0053】

図18は、図13Bの方法に従って、図5の位相獲得ループ420の一実施態様のブロック図である。即ち、図18は、タイプ2のアプローチを実現する、図5の位相獲得ループ420の実施態様である。位相獲得ループ420bには、タイプ2遅延回路402bと遅

50

延コントローラ 406b が含まれる。遅延コントローラ 406b には、動的位相検出器対 1402、充電ポンプ 1404、及びループフィルタ 1406 が含まれる。

【0054】

タイプ 2 遅延回路 402b は、F クロックと B クロックを周波数獲得ループ 418 からライン 510、512 で受信するように結合され、またフィードバック F クロックとフィードバック B クロックを周波数獲得ループ 418 からライン 514、516 で送るために結合される。また、タイプ 2 遅延回路 402b は、ローカルクロックをライン 110e に出力するようにも適合される。動的位相検出器対 1402、充電ポンプ 1404、及びループフィルタ 1406 は、以下のことを除いて図 14 のように結合される。第 1 に、ライン 414 の遅延制御信号は、タイプ 1 遅延回路 402a ではなくタイプ 2 遅延回路 402b に送られる。第 2 に、動的位相検出器対 1402 と充電ポンプ 1404 間の接続が図 14 に示されているように変更されている。図 14 において、アサートになる UPP がライン 1408 でループフィルタ 1406 を充電ポンプ 1404 の電流沈下 (current sink) に接続する。図 18 において、アサートになる DOWNP がライン 1810 で同じ目的を達成する。同様の説明が図 14 の DOWNP と図 18 の UPP に当てはまる。

10

【0055】

図 19 は、図 18 のタイプ 2 遅延回路 402b の好適な実施態様の回路図である。タイプ 2 遅延回路 402b には、3 つの遅延連鎖 1500a、1500b、1900、及び処理回路要素の組 208a、208b、208c の 3 つが含まれる。遅延連鎖 1500a、1500b、及び処理回路要素 208a、208c は、図 15 のように結合される。遅延連鎖 1900 は B クロックをライン 512 で受信するように結合される。そして、遅延連鎖 1900 の出力は処理回路要素 208b の入力に結合され、処理回路要素 208b はローカルクロックをその出力でライン 110e に生成する。遅延連鎖 1500a、1500b は固定された遅延を導入するけれども、遅延連鎖 1900 により導入される遅延は、ライン 414 で受信した遅延制御信号により調整され得る。

20

【0056】

図 20 は、図 16 のタイミング図と同様のタイミング図であり、図 18 の位相獲得ループ 420b の動作を示す。フィードバック B クロックとローカルクロックは、互いに最初、同期して始まる (2000) が、基準クロックより遅れている (2007)。動的位相検出器対 1402 は、基準クロックとローカルクロックを比較して、ローカルクロックが基準クロックより遅れている期間、UPP をアサートする (2004)。同時に、アサートになった (2004) UPP 及びイナクティブになった (2006) DOWNP は、ループフィルタ 1406 を充電ポンプ 1404 の電流源に接続する。そしてループフィルタ 1406 を充電することによりライン 414 の遅延制御信号が増加して (2008)、ローカルクロックが受ける遅延を減少させて、フィードバック B クロックに対してローカルクロックを進ませる (2010)。このプロセスは、ローカルクロックと基準クロックが同期する (2012) まで継続する。

30

【0057】

図 21 は、本発明に従って基準クロックに同期したローカルクロックを生成するための方法を示すフロー図である。この方法を、前述した好適な実施態様に関して説明するけれども、該方法は他の装置を用いて実施されてもよい。図 4 と図 21 を参照すると、基準クロックが、DLDDL 106e によりライン 108 で受信される (2100)。そして、遅延回路 400 が第 1 の遅延期間だけ基準クロックを遅延させて (2102)、中間クロックをライン 408 に生成する。そして、遅延回路 402 が第 2 の遅延期間だけ中間クロックを遅延させて (2104)、同期したローカルクロックをライン 110e に生成する。好適な実施態様において、ローカルクロックは、基準クロックに関する 1 つのクロック期間だけ遅延する。

40

【0058】

図 22 は、第 1 の遅延期間だけ基準クロックを遅延させる、図 21 のステップ 2102 の好適な実施態様を示すフロー図である。再度、図 4 を参照すると、周波数獲得ループ 41

50

8は、ライン408の中間クロックに基づいてフィードバッククロックをライン412に生成する(2200)。遅延コントローラ404は、フィードバッククロックを受信して、遅延回路400により導入される第1の遅延期間をライン412のフィードバッククロックとライン108の基準クロック間の相対的な位相に基づいて調整する(2202)。そして、遅延回路400はライン108の入ってくる基準クロックを第1の遅延期間の量だけ遅延させる(2204)。

【0059】

図23は、中間クロックを第2の遅延期間だけ遅延させる、図21のステップ2104の好適な実施態様を示すフロー図である。再度、図4を参照すると、遅延コントローラ406は、ライン110eの出ていくローカルクロックとライン108で受信された基準クロック間の相対的な位相に基づいて第2の遅延期間を調整する(2300)。そして、遅延回路402は、中間クロックを第2の遅延期間の量だけ遅延させて(2302)、出ていくローカルクロックをライン110eに生成する。

10

【0060】

図21～図23は、基準クロックに同期したローカルクロックを生成するための方法に関するおおざっぱな説明を提供する。前述したDLDLL 106e用のこの方法に関する好適な実施態様の更なる詳細は、その前の文章と図面に包含される。

【0061】

本発明のいくつかの好適な実施態様に関してかなり詳しく説明したが、他の実施態様も可能である。例えば、本発明を、当業界で既知の技術を用いて半導体デバイスの集積回路へと組み込むことが可能である。従って、添付の特許請求の範囲の思想および範囲を、本明細書に包含される好適な実施態様の記述に制限するべきではない。

20

【図面の簡単な説明】

【図1】

本発明用に向いているシステム100のブロック図である。

【図2】

従来技術の遅延同期ループ106dのブロック図である。

【図3】

図2の従来技術の遅延同期ループ106dの周波数レンジを示すタイミング図である。

【図4】本発明に従って、二重ループの遅延同期ループ106eの一実施態様のブロック図である。

30

【図5】図4の二重ループの遅延同期ループ106eの好適な実施態様のブロック図である。

【図6】図5の遅延連鎖500の好適な実施態様のブロック図である。

【図7A】図5の周波数獲得ループ418の動作を示すタイミング図である。

【図7B】図5の周波数獲得ループ418の動作を示すタイミング図である。

【図7C】図5の周波数獲得ループ418の動作を示すタイミング図である。

【図8】図5の交差検出型位相検出器対504の好適な実施態様のブロック図である。

【図9】図8の交差検出型位相検出器800aの好適な実施態様のブロック図である。

【図10A】図9の交差検出型位相検出器800の動作を示すタイミング図である。

40

【図10B】図9の交差検出型位相検出器800の動作を示すタイミング図である。

【図11】図8の組み合わせ論理回路804の動作を示す論理テーブルである。

【図12】図5の制御論理回路506の動作を示す状態図である。

【図13A】図5の位相獲得ループ420の動作に関する2つの互い違いになる方法の一方を示すタイミング図である。

【図13B】図5の位相獲得ループ420の動作に関する2つの互い違いになる方法の他方を示すタイミング図である。

【図14】図13Aの方法に従って、図5の位相獲得ループ420に関する一実施態様のブロック図である。

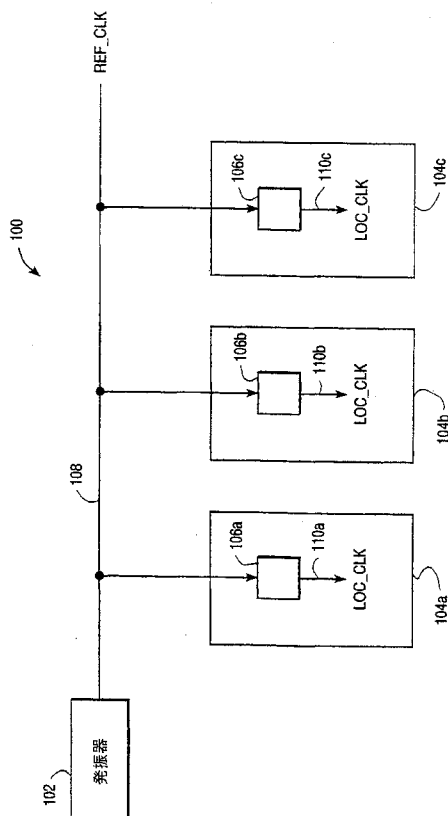
【図15】図14のタイプ1遅延回路402aの好適な実施態様の回路図である。

50

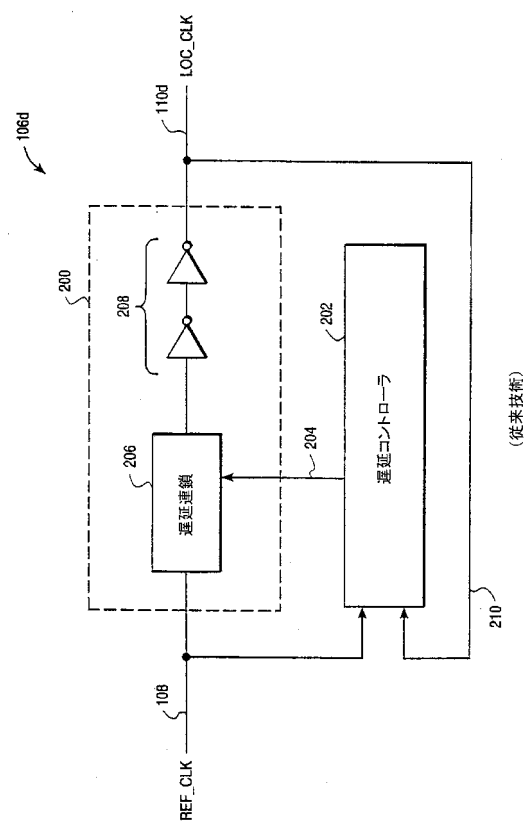
- 【図 16】図 14 の位相獲得ループ 420 a の動作を示すタイミング図である。
- 【図 17】図 14 の動的位相検出器対 1402 の好適な実施態様のブロック図である。
- 【図 18】図 13 B の方法に従って、図 5 の位相獲得ループ 420 に関する別の実施態様のブロック図である。
- 【図 19】図 18 のタイプ 2 遅延回路 402 b の好適な実施態様の回路図である。
- 【図 20】図 18 の位相獲得ループ 420 b の動作を示すタイミング図である。
- 【図 21】本発明に従って、基準クロックに同期したローカルクロックを生成するための方法を示すフロー図である。
- 【図 22】第 1 の遅延期間だけクロックを遅延させる、図 21 のステップ 2102 の好適な実施態様を示すフロー図である。
- 【図 23】第 2 の遅延期間だけクロックを遅延させる、図 21 のステップ 2104 の好適な実施態様を示すフロー図である。

10

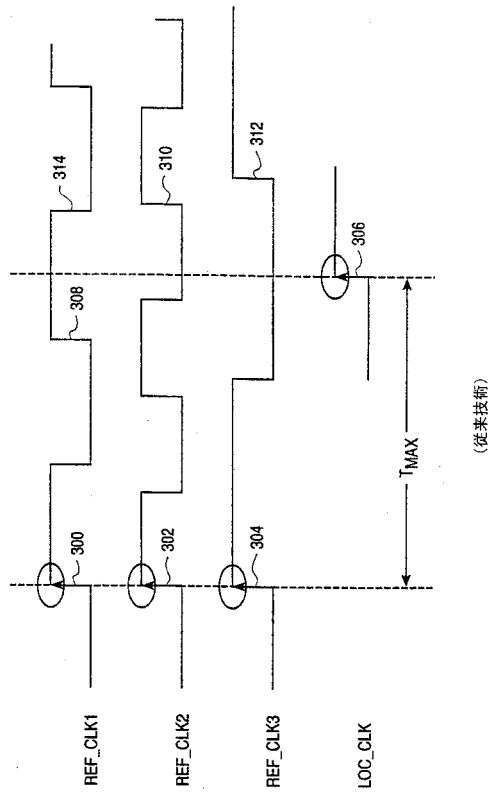
【図 1】



【図 2】

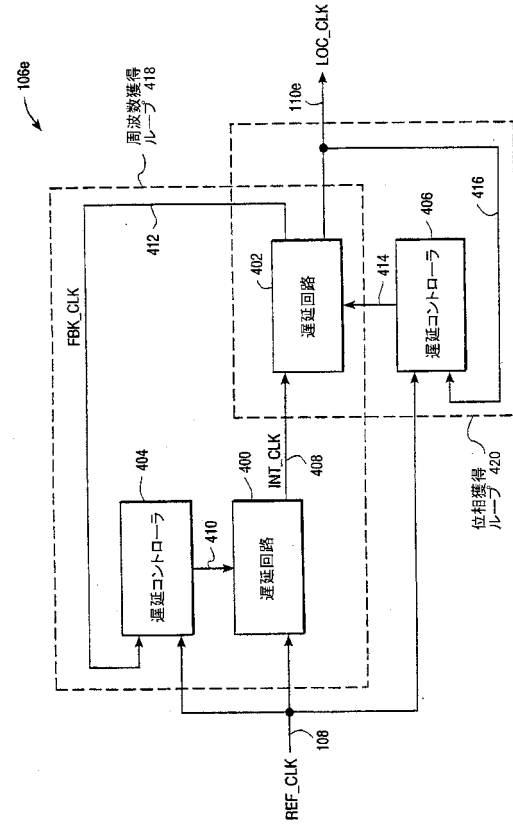


【図 3】

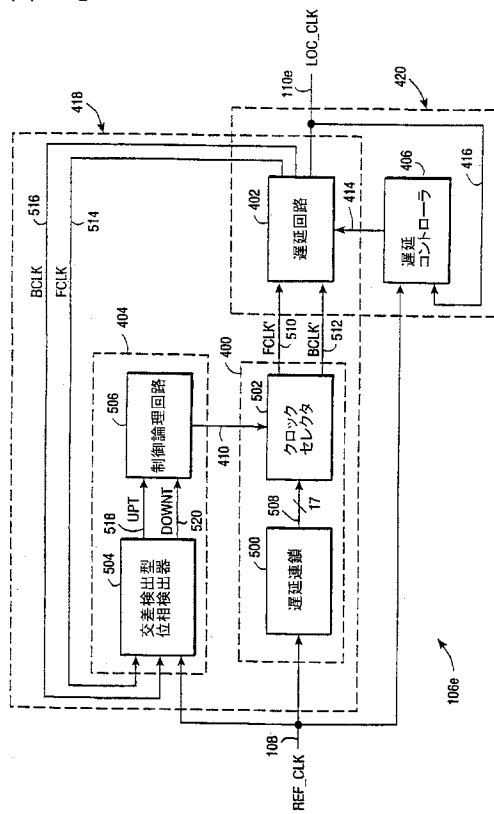


(従来技術)

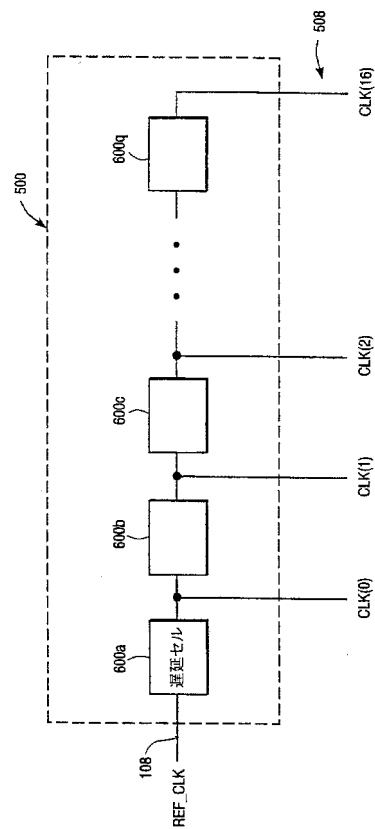
【図 4】



【図 5】



【図 6】



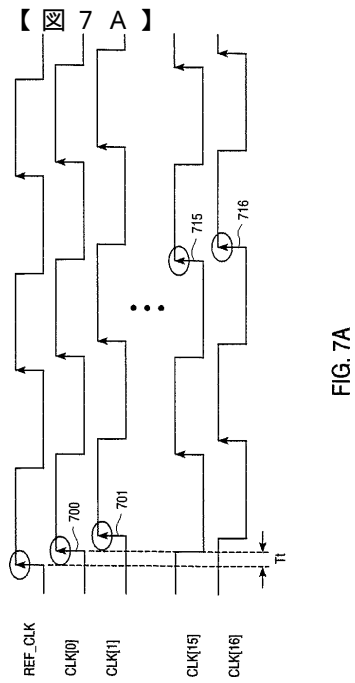
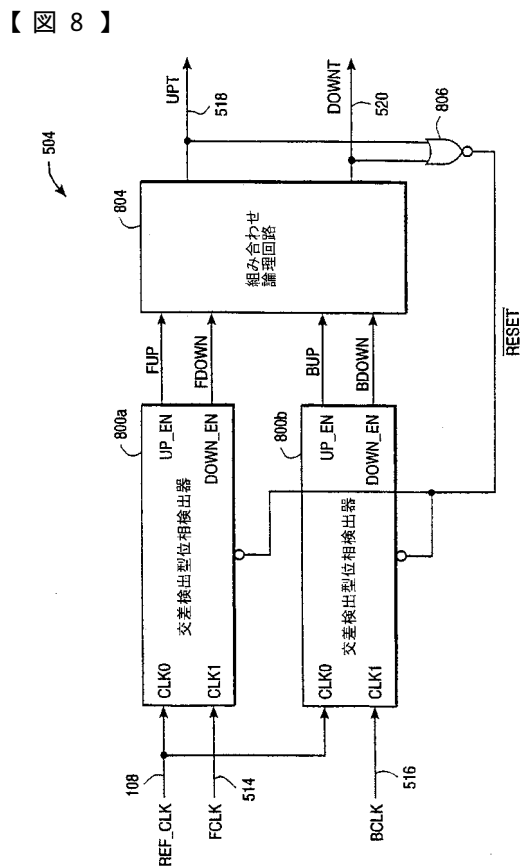
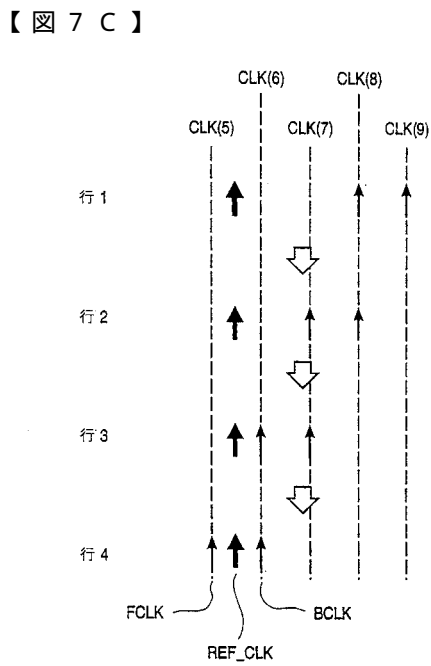
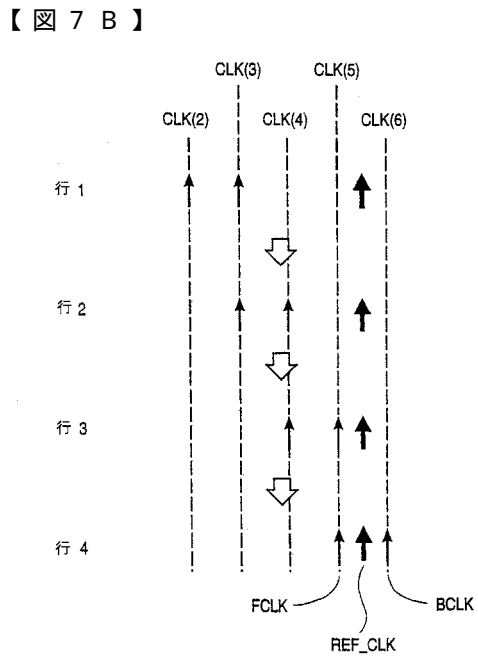
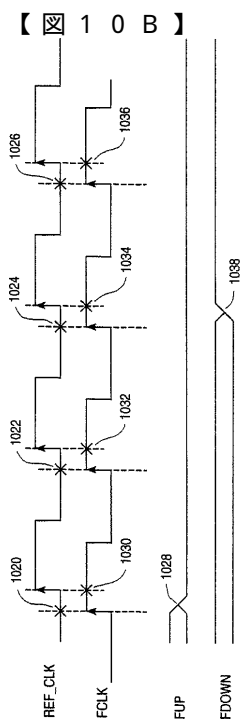
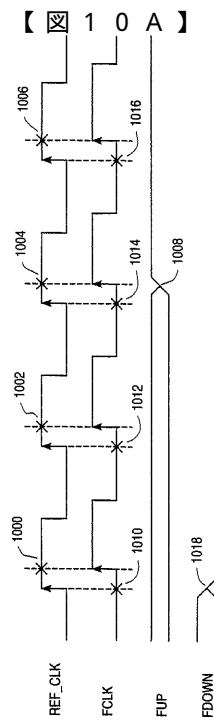
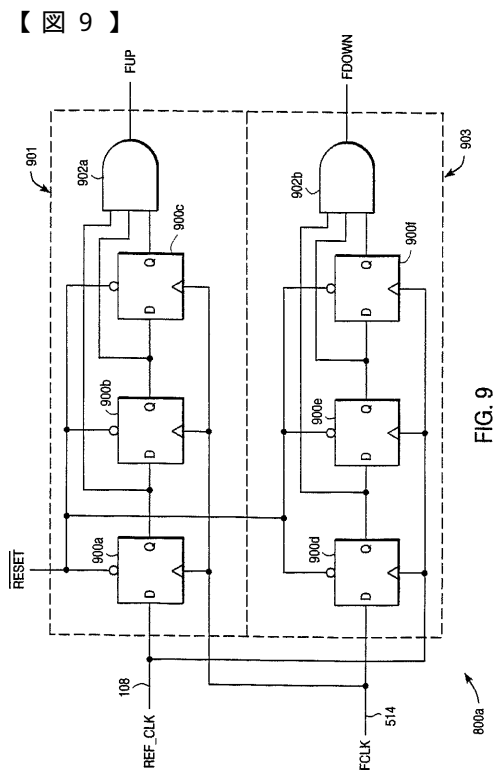


FIG. 7A

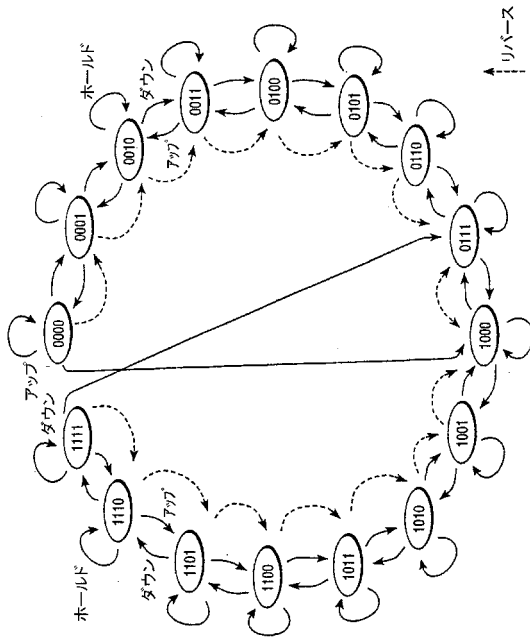




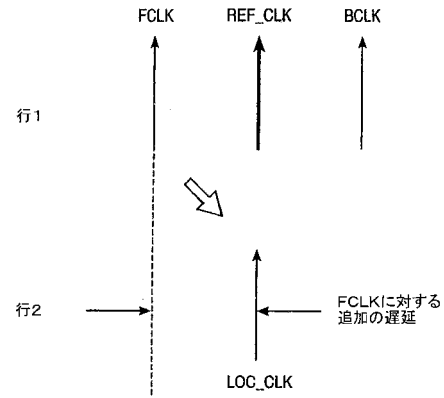
【図 11】

入力	出力	出力名	状態
FUP FDOWN BUP BDOWN			
1 0 1 0	UPT = '1' DOWNNT = '0'	アップ	REF_CLK FCLK/BCLK
0 1 1 0	UPT = '0' DOWNNT = '0'	ホールド	REF_CLK FCLK/BCLK
0 1 0 1	UPT = '0' DOWNNT = '1'	ダウン	REF_CLK FCLK/BCLK
1 0 0 1	UPT = '1' DOWNNT = '1'	リバース	REF_CLK FCLK/BCLK
その他	UPT = '0' DOWNNT = '0'	ホールド	

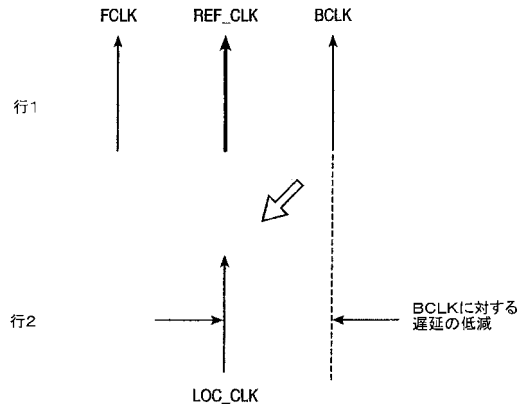
【図 1 2】



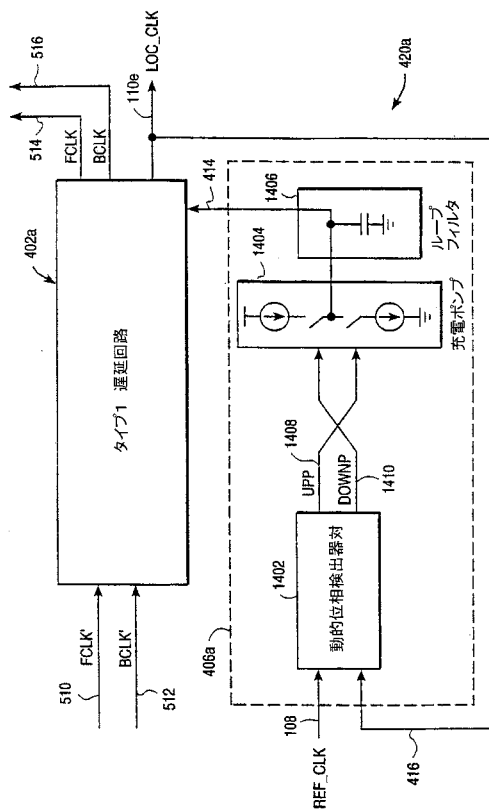
【図 1 3 A】



【図 1 3 B】



【図 1 4】



【図 1 5】

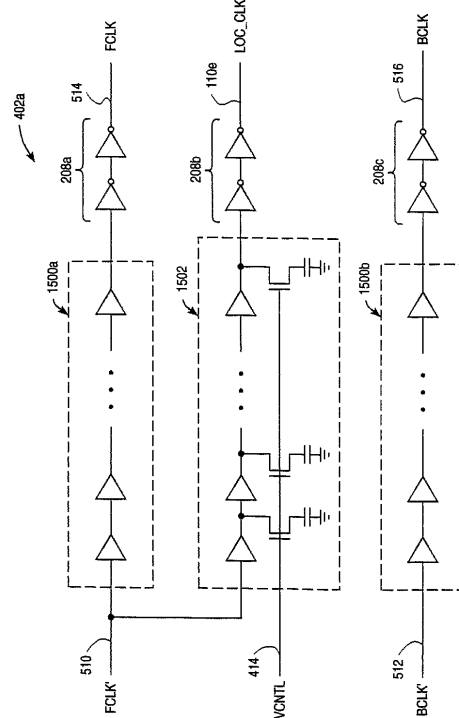


FIG. 15

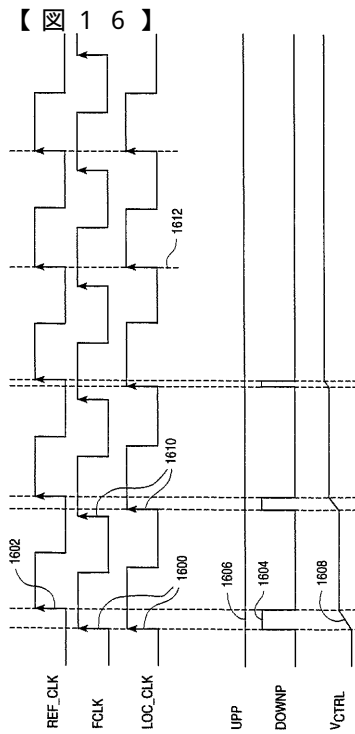
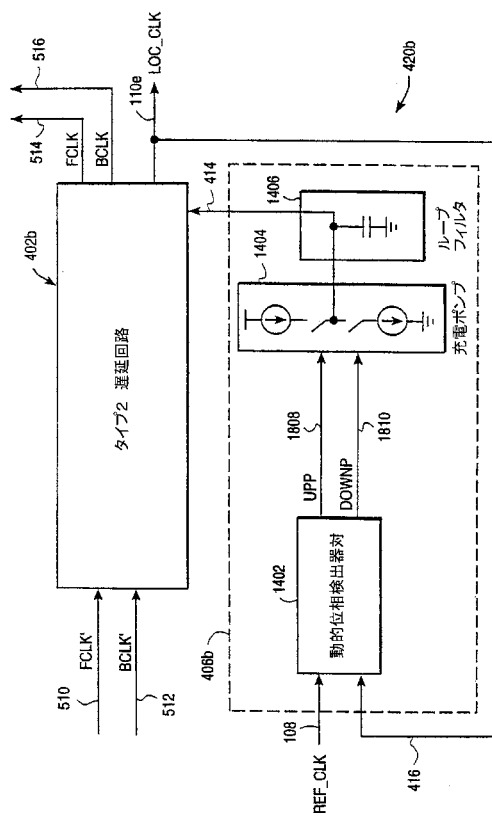
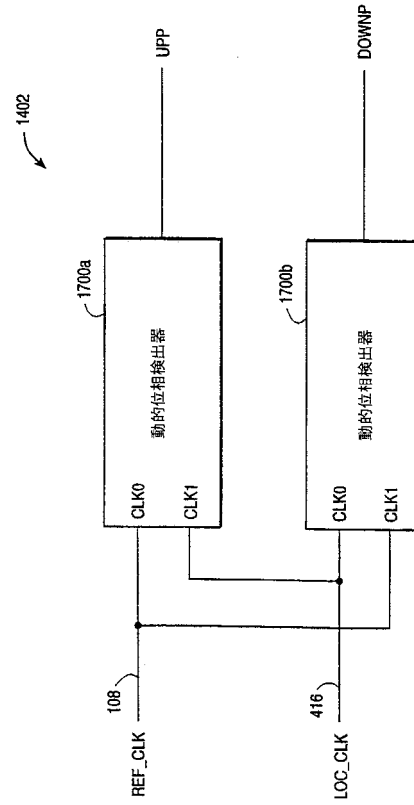


FIG. 16

【図 18】



【図 17】



【図 19】

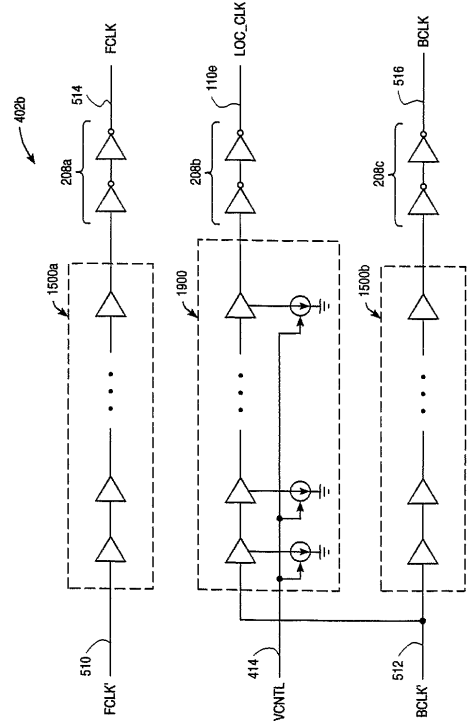


FIG. 19

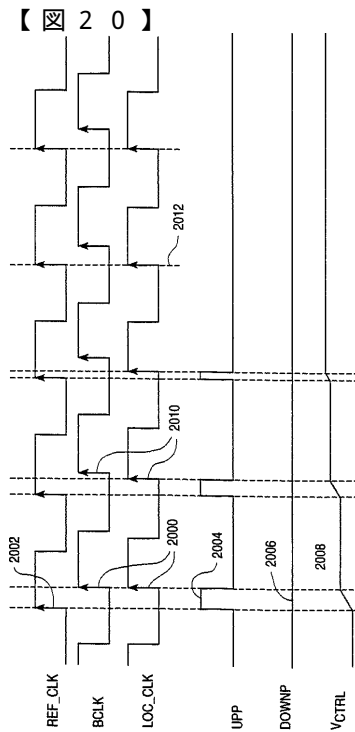
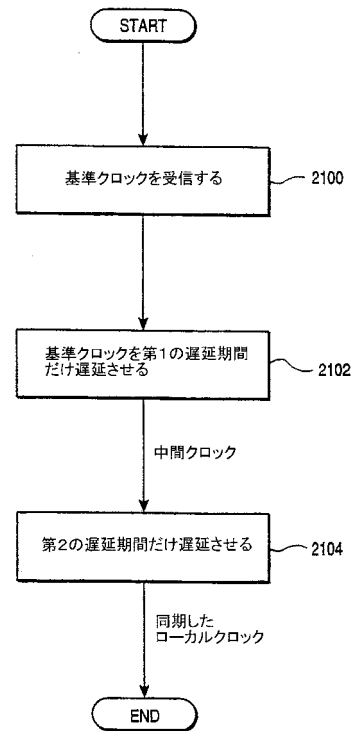
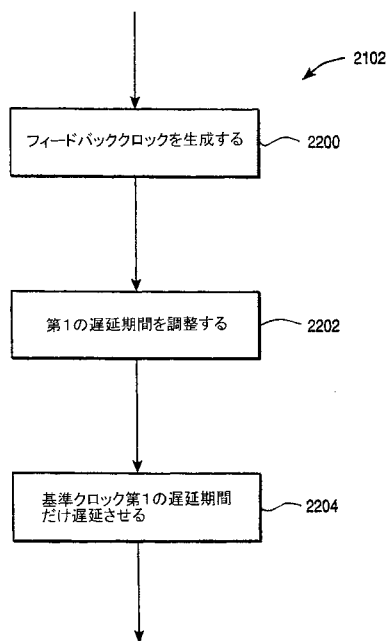


FIG. 20

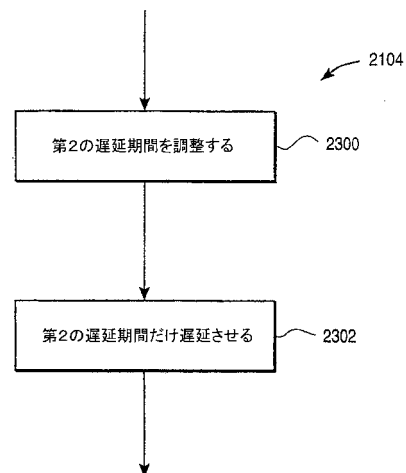
【図 21】



【図 22】



【図 23】



フロントページの続き

- (72)発明者 リー, キョンホ
大韓民国ソウル121-180, マ-ボ-グ, ダン-イン-ドン, 301, ホン-イク・ブリー
ン・ピラ・ク-ドン, 13-7
- (72)発明者 ムーン, ヨンサム
大韓民国709-1, チュアン・2-ドン, ナム-グ・インチェオン,
- (72)発明者 ジョン, デオ・キューン
アメリカ合衆国カリフォルニア州94306, パロアルト, アルマ・ストリート・ナンバ
ー307
・3351

審査官 甲斐 哲雄

- (56)参考文献 欧州特許出願公開第00704975 (EP, A1)
特開平11-055091 (JP, A)
米国特許第5109394 (US, A)
John G. Maneatis, Low-Jitter and Process-Independent DLL and PLL Based on Self-Biased
Techniques, IEEE International Solid-State Circuits Conference, IEEE, 1996年 2月
9日, vol.39, 130,131,430, XP000685564
- (58)調査した分野(Int.Cl.⁷, DB名)
H03L 7/00-7/14