



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0015909
(43) 공개일자 2017년02월10일

(51) 국제특허분류(Int. Cl.)
G11C 11/4076 (2006.01) G11C 7/10 (2015.01)
H03L 7/08 (2006.01) H03L 7/081 (2006.01)
(52) CPC특허분류
G11C 11/4076 (2013.01)
G11C 7/1066 (2013.01)
(21) 출원번호 10-2016-7033909
(22) 출원일자(국제) 2015년05월11일
심사청구일자 없음
(85) 번역문제출일자 2016년12월02일
(86) 국제출원번호 PCT/US2015/030214
(87) 국제공개번호 WO 2015/187308
국제공개일자 2015년12월10일
(30) 우선권주장
14/298,730 2014년06월06일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
디펜더퍼, 잔 크리스찬
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
청, 유예천 클레어
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인 남앤드남

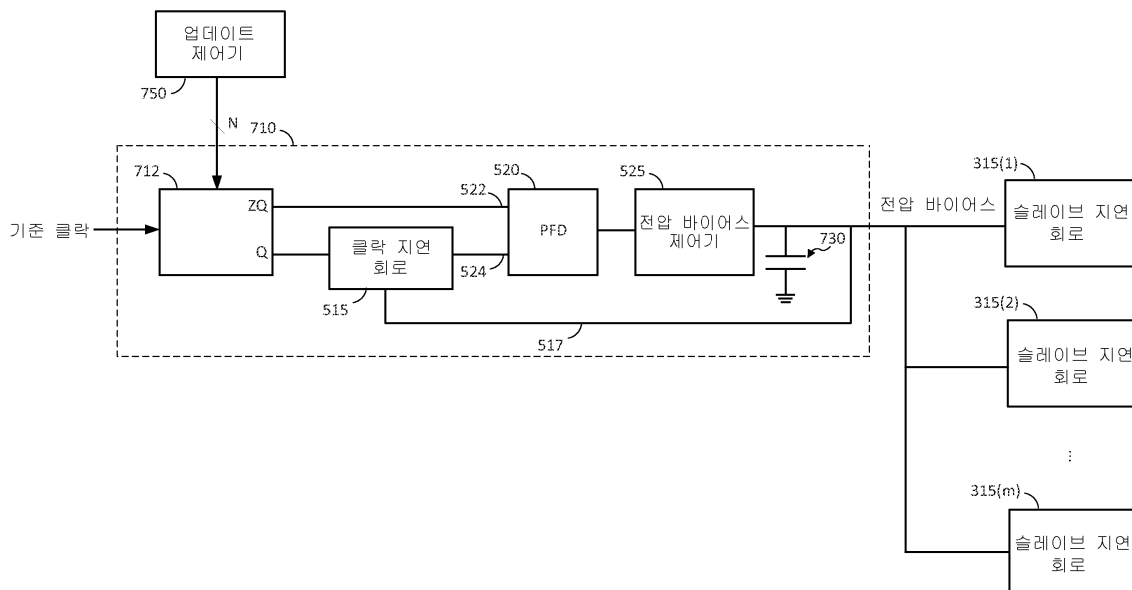
전체 청구항 수 : 총 26 항

(54) 발명의 명칭 메모리 인터페이스를 위한 프로그래밍가능한 전력

(57) 요약

지연 제어를 위한 시스템들 및 방법들이 본원에 설명된다. 일 실시예에서, 지연 시스템은 전압 바이어스를 제 2 지연 회로로 제공하고 전압 바이어스를 업데이트 레이트로 업데이트하도록 구성되는 제 1 지연 회로를 포함하며, 전압 바이어스는 제 2 지연 회로의 지연을 제어한다. 지연 시스템은 또한 제 1 지연 회로의 업데이트 레이트를 조정하도록 구성되는 업데이트 제어기를 포함한다. 예컨대, 업데이트 제어기는 지연 시스템을 포함하는 메모리 인터페이스의 타이밍 요건들에 기초하여 업데이트 레이트를 조정할 수 있다. 업데이트 레이트는, 전력을 감소시키기 위해 타이밍 요건들이 더욱 완화될 경우 감소될 수 있고, 타이밍 요건들이 더 촘촘한 경우에는 증가될 수 있다.

대표도 - 도7



(52) CPC특허분류

G11C 7/1093 (2013.01)

H03L 7/08 (2013.01)

H03L 7/0805 (2013.01)

H03L 7/0812 (2013.01)

명세서

청구범위

청구항 1

지연 시스템으로서,

전압 바이어스를 제 2 지연 회로로 제공하고, 상기 전압 바이어스를 업데이트 레이트로 업데이트하도록 구성되는 제 1 지연 회로 -상기 전압 바이어스는 상기 제 2 지연 회로의 지연을 제어함-; 및

상기 제 2 지연 회로에 의해 신호의 데이터 레이트가 지연되는 것에 기초하여 상기 제 1 지연 회로의 상기 업데이트 레이트를 조정하도록 구성되는 업데이트 제어를 포함하는, 지연 시스템.

청구항 2

제 1 항에 있어서,

상기 업데이트 제어기는, 상기 신호의 상기 데이터 레이트가 제 1 데이터 레이트와 대략 동일한 경우 상기 업데이트 레이트를 제 1 업데이트 레이트로 설정하고, 상기 신호의 상기 데이터 레이트가 제 2 데이터 레이트와 대략 동일한 경우 상기 업데이트 레이트를 제 2 업데이트 레이트로 설정하도록 구성되며,

상기 제 1 데이터 레이트는 상기 제 2 데이터 레이트보다 낮고, 상기 제 1 업데이트 레이트는 상기 제 2 업데이트 레이트보다 낮은, 지연 시스템.

청구항 3

제 1 항에 있어서,

상기 제 1 지연 회로는 기준 클락에 기초하여 상기 전압 바이어스를 업데이트하도록 구성되고, 상기 업데이트 레이트는 상기 기준 클락의 N 기간들 당 상기 전압 바이어스의 1 업데이트와 대략 동일하고, N은 정수이고, 상기 업데이트 제어기는 N을 조정하도록 구성되는, 지연 시스템.

청구항 4

제 3 항에 있어서,

상기 업데이트 제어기는, 상기 신호의 상기 데이터 레이트가 제 1 데이터 레이트와 대략 동일한 경우 N을 제 1 값으로 설정하고, 상기 신호의 상기 데이터 레이트가 제 2 데이터 레이트와 대략 동일한 경우 N을 제 2 값으로 설정하도록 구성되고, 상기 제 1 데이터 레이트는 상기 제 2 데이터 레이트보다 낮고, 상기 N의 제 1 값은 상기 N의 제 2 값보다 큰, 지연 시스템,

청구항 5

제 1 항에 있어서,

상기 제 1 지연 회로는,

기준 클락으로부터, 상기 전압 바이어스의 각각의 업데이트에 대해 펄스 쌍을 생성하도록 구성되는 업데이트 회로 -각각의 펄스 쌍은 제 1 펄스 및 제 2 펄스를 포함하고 상기 제 1 펄스는 상기 제 2 펄스와 관련하여 상기 기준 클락의 대략 1 기간만큼 지연됨-;

상기 각각의 펄스 쌍의 제 2 펄스를 상기 전압 바이어스에 의해 제어되는 양만큼 지연시키도록 구성되는 전압-제어 지연 회로;

상기 각각의 펄스 쌍에 대해, 각각의 제 1 펄스와 각각의 지연된 제 2 펄스 간의 위상 에러를 검출하도록 구성되는 위상 주파수 검출기; 및

각각의 검출된 위상 에러에 기초하여 상기 각각의 펄스 쌍에 대해 상기 전압 바이어스를 업데이트하도록 구성되는 전압 바이어스 제어기를 포함하는, 지연 시스템.

청구항 6

제 5 항에 있어서,

상기 업데이트 회로는 상기 기준 클락의 N개 기간들 당 1 펄스 쌍의 레이트로 펄스 쌍들을 생성하도록 구성되고, N은 정수이고, 상기 업데이트 제어기는 N을 조정하도록 구성되는, 지연 시스템.

청구항 7

제 6 항에 있어서,

상기 업데이트 제어기는, 상기 신호의 상기 데이터 레이트가 제 1 데이터 레이트와 대략 동일한 경우 N을 제 1 값으로 설정하고, 그리고 상기 신호의 상기 데이터 레이트가 제 2 데이터 레이트와 대략 동일한 경우 N을 제 2 값으로 설정하도록 구성되고, 상기 제 1 데이터 레이트는 상기 제 2 데이터 레이트보다 낮고, 상기 N의 제 1 값은 상기 N의 제 2 값보다 큰, 지연 시스템.

청구항 8

제 1 항에 있어서,

상기 전압 바이어스에 의해 제어되는 상기 제 2 지연 회로의 지연은 상기 제 2 지연 회로의 스텝 지연이고, 상기 제 2 지연 회로는 상기 스텝 지연의 배수만큼 신호를 지연시키도록 구성되는, 지연 시스템.

청구항 9

지연 제어를 위한 방법으로서,

전압 바이어스를 지연 회로로 제공하는 단계 -상기 전압 바이어스는 상기 지연 회로의 지연을 제어함-;

상기 전압 바이어스를 업데이트 레이트로 업데이트하는 단계; 및

상기 지연 회로에 의해 신호의 데이터 레이트가 지연되는 것에 기초하여 상기 업데이트 레이트를 조정하는 단계를 포함하는, 지연 제어를 위한 방법.

청구항 10

제 9 항에 있어서,

상기 업데이트 레이트를 조정하는 단계는

상기 신호의 상기 데이터 레이트가 제 1 데이터 레이트와 대략 동일한 경우 상기 업데이트 레이트를 제 1 업데이트 레이트로 설정하는 단계; 및

상기 신호의 상기 데이터 레이트가 제 2 데이터 레이트와 대략 동일한 경우 상기 업데이트 레이트를 제 2 업데이트 레이트로 설정하는 단계를 포함하고,

상기 제 1 데이터 레이트는 상기 제 2 데이터 레이트보다 낮고, 상기 제 1 업데이트 레이트는 상기 제 2 업데이트 레이트보다 낮은, 지연 제어를 위한 방법.

청구항 11

제 9 항에 있어서,

상기 전압 바이어스를 업데이트하는 단계는 기준 클락에 기초하여 상기 전압 바이어스를 업데이트하는 단계를 포함하고,

상기 업데이트 레이트는 상기 기준 클락의 N 기간들 당 상기 전압 바이어스의 1 업데이트와 대략 동일하고, N은 정수이고, 상기 업데이트 레이트를 조정하는 단계는 N을 조정하는 단계를 포함하는, 지연 제어를 위한 방법.

청구항 12

제 11 항에 있어서,

상기 업데이트 레이트를 조정하는 단계는

상기 신호의 상기 데이터 레이트가 제 1 데이터 레이트와 대략 동일한 경우 N을 제 1 값으로 설정하는 단계; 및
상기 신호의 상기 데이터 레이트가 제 2 데이터 레이트와 대략 동일한 경우 N을 제 2 값으로 설정하는 단계를 포함하고,

상기 제 1 데이터 레이트는 상기 제 2 데이터 레이트보다 낮고, 상기 N의 제 1 값은 상기 N의 제 2 값보다 큰, 지연 제어를 위한 방법.

청구항 13

제 9 항에 있어서,

상기 전압 바이어스를 업데이트하는 단계는

기준 클락으로부터, 상기 전압 바이어스의 각각의 업데이트에 대해 펄스 쌍을 생성하는 단계 - 각각의 펄스 쌍은 제 1 펄스 및 제 2 펄스를 포함하고 상기 제 1 펄스는 상기 제 2 펄스와 관련하여 상기 기준 클락의 대략 1 기간만큼 지연됨 -;

상기 각각의 펄스 쌍의 제 2 펄스를 상기 전압 바이어스에 의해 제어되는 양만큼 지연시키는 단계;

상기 각각의 펄스 쌍에 대해, 각각의 제 1 펄스와 각각의 지연된 제 2 펄스 간의 위상 에러를 검출하는 단계; 및

각각의 검출된 위상 에러에 기초하여 상기 각각의 펄스 쌍에 대해 상기 전압 바이어스를 업데이트하는 단계를 포함하는, 지연 제어를 위한 방법.

청구항 14

제 9 항에 있어서,

제 2 전압 바이어스를 상기 지연 회로로 제공하는 단계 - 상기 제 2 전압 바이어스는 또한 상기 지연 회로의 지연을 제어함 -;

상기 제 2 전압 바이어스를 상기 업데이트 레이트로 업데이트하는 단계를 더 포함하는, 지연 제어를 위한 방법.

청구항 15

지연 제어를 위한 장치로서,

전압 바이어스를 지연 회로로 제공하기 위한 수단 - 상기 전압 바이어스는 상기 지연 회로의 지연을 제어함 -;

상기 전압 바이어스를 업데이트 레이트로 업데이트하기 위한 수단; 및

상기 지연 회로에 의해 신호의 데이터 레이트가 지연되는 것에 기초하여 상기 업데이트 레이트를 조정하기 위한 수단을 포함하는, 지연 제어를 위한 장치.

청구항 16

제 15 항에 있어서,

상기 업데이트 레이트를 조정하기 위한 수단은

상기 신호의 상기 데이터 레이트가 제 1 데이터 레이트와 대략 동일한 경우 상기 업데이트 레이트를 제 1 업데이트 레이트로 설정하기 위한 수단; 및

상기 신호의 상기 데이터 레이트가 제 2 데이터 레이트와 대략 동일한 경우 상기 업데이트 레이트를 제 2 업데이트 레이트로 설정하기 위한 수단을 포함하고,

상기 제 1 데이터 레이트는 상기 제 2 데이터 레이트보다 낮고, 상기 제 1 업데이트 레이트는 상기 제 2 업데이트 레이트보다 낮은, 지연 제어를 위한 장치.

청구항 17

제 15 항에 있어서,

상기 전압 바이어스를 업데이트하기 위한 수단은 기준 클락에 기초하여 상기 전압 바이어스를 업데이트하기 위한 수단을 포함하고,

상기 업데이트 레이트는 상기 기준 클락의 N 기간들 당 상기 전압 바이어스의 1 업데이트와 대략 동일하고, N은 정수이고, 상기 업데이트 레이트를 조정하기 위한 수단은 N을 조정하기 위한 수단을 포함하는, 지연 제어를 위한 장치.

청구항 18

제 17 항에 있어서,

상기 업데이트 레이트를 조정하기 위한 수단은

상기 신호의 상기 데이터 레이트가 제 1 데이터 레이트와 대략 동일한 경우 N을 제 1 값으로 설정하기 위한 수단; 및

상기 신호의 상기 데이터 레이트가 제 2 데이터 레이트와 대략 동일한 경우 N을 제 2 값으로 설정하기 위한 수단을 포함하고,

상기 제 1 데이터 레이트는 상기 제 2 데이터 레이트보다 낮고, 상기 N의 제 1 값은 상기 N의 제 2 값보다 큰, 지연 제어를 위한 장치.

청구항 19

제 15 항에 있어서,

상기 전압 바이어스를 업데이트하기 위한 수단은

기준 클락으로부터, 상기 전압 바이어스의 각각의 업데이트에 대해 펄스 쌍을 생성하기 위한 수단 - 각각의 펄스 쌍은 제 1 펄스 및 제 2 펄스를 포함하고 상기 제 1 펄스는 상기 제 2 펄스와 관련하여 상기 기준 클락의 대략 1 기간만큼 지연됨 -;

상기 각각의 펄스 쌍의 제 2 펄스를 상기 전압 바이어스에 의해 제어되는 양만큼 지연시키기 위한 수단;

상기 각각의 펄스 쌍에 대해, 각각의 제 1 펄스와 각각의 지연된 제 2 펄스 간의 위상 에러를 검출하기 위한 수단; 및

각각의 검출된 위상 에러에 기초하여 상기 각각의 펄스 쌍에 대해 상기 전압 바이어스를 업데이트하기 위한 수단을 포함하는, 지연 제어를 위한 장치.

청구항 20

제 15 항에 있어서,

제 2 전압 바이어스를 상기 지연 회로로 제공하기 위한 수단 - 상기 제 2 전압 바이어스는 또한 상기 지연 회로의 상기 지연을 제어함 -; 및

상기 제 2 전압 바이어스를 상기 업데이트 레이트로 업데이트하기 위한 수단을 더 포함하는, 지연 제어를 위한 장치.

청구항 21

메모리 인터페이스로서,

신호를 지연시키도록 구성되는 제 1 지연 회로 - 상기 신호는 데이터 신호 및 데이터 스트로브 신호 중 하나를 포함함 -;

전압 바이어스를 상기 제 1 지연 회로로 제공하고 상기 전압 바이어스를 업데이트 레이트로 업데이트하도록 구성되는 제 2 지연 회로 - 상기 전압 바이어스는 상기 제 1 지연 회로의 지연을 제어함 -; 및

상기 신호의 데이터 레이트에 기초하여 상기 제 2 지연 회로의 상기 업데이트 레이트를 조정하도록 구성되는 업

데이트 제어를 포함하는, 메모리 인터페이스.

청구항 22

제 21 항에 있어서,

상기 업데이트 제어기는, 상기 신호의 상기 데이터 레이트가 제 1 데이터 레이트와 대략 동일한 경우 상기 업데이트 레이트를 제 1 업데이트 레이트로 설정하고, 상기 신호의 상기 데이터 레이트가 제 2 데이터 레이트와 대략 동일한 경우 상기 업데이트 레이트를 제 2 업데이트 레이트로 설정하도록 구성되며,

상기 제 1 데이터 레이트는 상기 제 2 데이터 레이트보다 낮고, 상기 제 1 업데이트 레이트는 상기 제 2 업데이트 레이트보다 낮은, 메모리 인터페이스.

청구항 23

제 21 항에 있어서,

상기 제 2 지연 회로는 기준 클락에 기초하여 상기 전압 바이어스를 업데이트하도록 구성되고,

상기 업데이트 레이트는 상기 기준 클락의 N 기간들 당 상기 전압 바이어스의 1 업데이트와 대략 동일하고, N은 정수이고, 상기 업데이트 제어기는 N을 조정하도록 구성되는, 메모리 인터페이스.

청구항 24

제 23 항에 있어서,

상기 업데이트 제어기는, 상기 신호의 상기 데이터 레이트가 제 1 데이터 레이트와 대략 동일한 경우 N을 제 1 값으로 설정하고, 상기 신호의 상기 데이터 레이트가 제 2 데이터 레이트와 대략 동일한 경우 N을 제 2 값으로 설정하도록 구성되며,

상기 제 1 데이터 레이트는 상기 제 2 데이터 레이트보다 낮고, 상기 N의 제 1 값은 상기 N의 제 2 값보다 큰, 메모리 인터페이스.

청구항 25

제 21 항에 있어서,

상기 제 2 지연 회로는

기준 클락으로부터, 상기 전압 바이어스의 각각의 업데이트에 대해 펄스 쌍을 생성하도록 구성되는 업데이트 회로 - 각각의 펄스 쌍은 제 1 펄스 및 제 2 펄스를 포함하고 상기 제 1 펄스는 상기 제 2 펄스와 관련하여 상기 기준 클락의 대략 1 기간만큼 지연됨 -;

상기 각각의 펄스 쌍의 제 2 펄스를 상기 전압 바이어스에 의해 제어되는 양만큼 지연시키도록 구성되는 전압-제어 지연 회로;

상기 각각의 펄스 쌍에 대해, 각각의 제 1 펄스와 각각의 지연된 제 2 펄스 간의 위상 에러를 검출하도록 구성되는 위상 주파수 검출기; 및

각각의 검출된 위상 에러에 기초하여 상기 각각의 펄스 쌍에 대해 상기 전압 바이어스를 업데이트하도록 구성되는 전압 바이어스 제어기를 포함하는, 메모리 인터페이스.

청구항 26

제 21 항에 있어서,

상기 전압 바이어스에 의해 제어되는 상기 제 1 지연 회로의 상기 지연은 상기 제 1 지연 회로의 스텝 지연이고, 상기 제 1 지연 회로는 상기 스텝 지연의 배수만큼 상기 신호를 지연시키도록 구성되는, 메모리 인터페이스.

발명의 설명

기술 분야

- [0001] [0001] 본 개시내용의 양상들은 일반적으로 메모리에 관한 것으로, 더 상세하게는, 메모리 인터페이스들을 위한 프로그래밍가능한 전력에 관한 것이다.

배경 기술

- [0002] [0002] 칩은, 외부 메모리 디바이스, 이를 테면, DDR DRAM(double data rate dynamic random access memory)에 대한 칩 상의 회로들(예컨대, 메모리 제어기)과 인터페이싱(interface)하기 위한 메모리 인터페이스를 포함할 수 있다. 메모리 인터페이스는, 메모리 인터페이스 내의 신호들(예컨대, 데이터 신호들)의 타이밍을 조정하기 위한 지연 회로들을 포함할 수 있다. 예컨대, 메모리 인터페이스는 (예컨대, 메모리 인터페이스와 외부 메모리 디바이스 간의 데이터 라인들의 길이들에서의 불일치들로 인한) 데이터 신호들 간의 스큐를 보상하기 위해 지연 회로들을 포함할 수 있다. 다른 예에서, 메모리 인터페이스는 데이터 샘플링을 위해 사용되는 데이터 스트로브 신호를 데이터 신호들의 트랜지션들 사이의 중앙에 있게 하기 위한 지연 회로를 포함할 수 있다.

발명의 내용

- [0003] [0003] 다음은 그러한 실시예들의 기본적인 이해를 제공하기 위해 하나 또는 그 초과와 실시예들의 간략화된 개요를 제시한다. 이러한 개요는, 고려되는 모든 실시예들의 포괄적인 개관이 아니며, 모든 실시예들의 핵심 엘리먼트 또는 중요 엘리먼트를 식별하거나 임의의 실시예들 또는 모든 실시예들의 범위를 기술하도록 의도되지 않는다. 그것의 유일한 목적은, 이후에 제시되는 더 상세한 설명에 대한 서론으로서 간략화된 형태로 하나 또는 그 초과와 실시예들의 일부 개념들을 제시하는 것이다.
- [0004] [0004] 일 양상에 따르면, 지연 시스템이 본원에 설명된다. 지연 시스템은 전압 바이어스를 제 2 지연 회로로 제공하고 그리고 전압 바이어스를 업데이트 레이트로 업데이트하도록 구성되는 제 1 지연 회로를 포함하며, 전압 바이어스는 제 2 지연 회로의 지연을 제어한다. 지연 시스템은 또한 제 1 지연 회로의 업데이트 레이트를 조정하도록 구성되는 업데이트 제어기를 포함한다.
- [0005] [0005] 제 2 양상은, 지연 제어에 대한 방법에 관한 것이다. 방법은 전압 바이어스를 지연 회로로 제공하는 단계를 포함하고, 전압 바이어스는 지연 회로의 지연을 제어한다. 방법은 또한 전압 바이어스를 업데이트 레이트로 업데이트하는 단계 및 업데이트 레이트를 조정하는 단계를 포함한다.
- [0006] [0006] 제 3 양상은 지연 제어를 위한 장치와 관련된다. 장치는 전압 바이어스를 지연 회로로 제공하기 위한 수단을 포함하며, 전압 바이어스는 지연 회로의 지연을 제어한다. 장치는 또한 전압 바이어스를 업데이트 레이트로 업데이트하기 위한 수단, 및 업데이트 레이트를 조정하기 위한 수단을 포함한다.
- [0007] [0007] 제 4 양상은 메모리 인터페이스와 관련된다. 메모리 인터페이스는 신호를 지연시키도록 구성된 제 1 지연 회로를 포함하고, 신호는 데이터 신호 및 데이터 스트로브 신호 중 하나를 포함한다. 메모리 인터페이스 또한 전압 바이어스를 제 1 지연 회로로 제공하고, 그리고 전압 바이어스를 업데이트 레이트로 업데이트하도록 구성된 제 2 지연 회로를 포함하며, 전압 바이어스는 제 1 지연 회로의 지연을 제어한다. 메모리 인터페이스는 제 2 지연 회로의 업데이트 레이트를 조정하도록 구성된 업데이트 제어기를 더 포함한다.
- [0008] [0008] 상기 목적 및 관련 목적의 달성을 위해서, 하나 또는 그 초과와 실시예들이 이하 충분히 설명되고 특히 청구범위에서 지적되는 특징들을 포함한다. 다음의 설명 및 첨부된 도면들은, 하나 또는 그 초과와 실시예들의 특정한 예시적인 양상들을 상세히 기재한다. 그러나, 이러한 양상들은, 다양한 실시예들의 원리들이 사용될 수 있고 설명된 실시예들이 이러한 양상들 및 다른 등가물들 모두를 포함하도록 의도되는 다양한 방식들 중 일 부분만을 나타낼 뿐이다.

도면의 간단한 설명

- [0009] [0009] 도 1은 외부 메모리 디바이스와 인터페이싱하기 위한 메모리 인터페이스의 예를 도시한다.
- [0010] [0010] 도 2는 데이터 신호와 데이터 스트로브 간의 타이밍의 예를 도시하는 타이밍 다이어그램이다.
- [0011] [0011] 도 3은 본 개시내용의 실시예에 따른 마스터-슬레이브 아키텍처의 예를 도시한다.
- [0012] [0012] 도 4는 본 개시내용의 실시예에 따른 슬레이브 지연 회로의 예를 도시한다.

[0013] 도 5는 본 개시내용의 실시예에 따른 마스터 지연 회로의 예를 도시한다.

[0014] 도 6은 본 개시내용의 실시예에 따른 클락 지연 회로의 예를 도시한다.

[0015] 도 7은 본 개시내용의 일 실시예에 따른 프로그래밍가능한 전력을 이용하는 마스터 지연 회로를 도시한다.

[0016] 도 8은 본 개시내용의 일 실시예에 따른 2개의 클락 기간들마다 전압 바이어스가 업데이트되는 예를 도시하는 타이밍도이다.

[0017] 도 9는 본 개시내용의 일 실시예에 따른 4개의 클락 기간들마다 전압 바이어스가 업데이트되는 예를 도시하는 타이밍도이다.

[0018] 도 10은 본 개시내용의 일 실시예에 따른 4개의 클락 기간들마다 전압 바이어스가 업데이트되는 예를 도시하는 타이밍도이다.

[0019] 도 11은 본 개시내용의 일 실시예에 따른 업데이트 회로의 예시적인 구현을 도시한다.

[0020] 도 12는 본 개시내용의 일 실시예에 따른 루프 락킹의 일 예를 도시하는 타이밍도이다.

[0021] 도 13은 본 개시내용의 다른 실시예에 따른 슬레이브 지연 회로의 예시적인 구현을 도시한다.

[0022] 도 14a 및 도 14b는 도 13의 슬레이브 지연 회로를 통과하는 상이한 지연 경로들의 예를 도시한다.

[0023] 도 15는 본 개시내용의 일 실시예에 따른 전압-제어 지연을 이용하는 NAND 게이트의 예시적인 구현을 도시한다.

[0024] 도 16은 본 개시내용의 다른 실시예에 따른 마스터 지연 회로의 예시적인 구현을 도시한다.

[0025] 도 17은 본 개시내용의 다른 실시예에 따른 클락 지연 회로의 예시적인 구현을 도시한다.

[0026] 도 18은 본 개시내용의 일 실시예에 따른 클락 지연 회로의 제 1 지연 스테이지 및 제 2 지연 스테이지의 출력들을 도시하는 타이밍도이다.

[0027] 도 19는 본 개시내용의 일 실시예에 따른 카운트 회로의 예시적인 구현을 도시한다.

[0028] 도 20은 본 개시내용의 일 실시예에 따른 리셋 로직의 예시적인 구현을 도시한다.

[0029] 도 21은 본 개시내용의 다른 실시예에 따른 업데이트 회로의 예시적인 구현을 도시한다.

[0030] 도 22는 본 개시내용의 일 실시예에 따른 지연 제어를 위한 방법을 도시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0010] [0031] 첨부된 도면과 관련하여 후술되는 상세한 설명은 다양한 구성들의 설명을 위한 것이며, 본원에 설명된 개념들이 실시될 수 있는 유일한 구성들을 나타내기 위한 것은 아니다. 상세한 설명은 다양한 개념들의 완전한 이해를 제공하기 위해서 특정 세부사항들을 포함한다. 그러나, 이들 개념들이 이들 특정한 세부사항들 없이도 실시될 수 있다는 것은 당업자들에게 명백할 것이다. 몇몇 예시들에서, 그러한 개념들을 불명료하게 하는 것을 회피하기 위해, 잘 알려진 구조들 및 컴포넌트들은 블록도 형태로 도시되어 있다.

[0011] [0032] 칩은, 외부 메모리 디바이스, 이를 테면, DDR DRAM에 대한 칩 상의 회로들(예컨대, 메모리 제어기)과 인터페이스하기 위한 메모리 인터페이스를 포함할 수 있다. 도 1은 칩을 외부 메모리 디바이스(미도시)와 인터페이스하기 위한 예시적인 메모리 인터페이스(100)를 도시한다. 메모리 인터페이스(100)는 제 1 복수의 플립-플롭들(115(1)-115(n)), 제 1 복수의 디-스큐 회로들(120(1) -120(n)), 제 2 복수의 플립-플롭들(135(1)-135(n)), 제 2 복수의 디-스큐 회로들(145(1)-145(n)), 제 1 지연 회로(125), 및 제 2 지연 회로(140)를 포함한다.

[0012] [0033] 기록 동작들 동안, 제 1 복수의 플립-플롭들(115(1)-115(n))은 복수의 데이터 신호들(117(1)-117(n))을 병렬로 수신한다. 각각의 플립-플롭(115(1)-115(n))은 또한, 인입하는 데이터 신호들(117(1)-117(n))의 주파수의 2분의 1을 갖는 주기적 신호일 수 있는 데이터 스트로브 신호(119)를 수신한다. 각각의 플립-플롭(115(1)-115(n))은 데이터 스트로브 신호(119)의 상승 및 하강 에지들 상에서 각각의 데이터 신호(117(1)-117(n))로부터 데이터 비트들을 캡처하고, 캡처된 데이터 비트들을 각각의 디-스큐 회로(120(1)-120(n))에 출력하는데, 이는

아래에서 보다 구체적으로 설명된다.

- [0013] [0034] 데이터 스트로브 신호(119)는 또한 제 1 지연 회로(125)로 입력된다. 제 1 지연 회로(125) 이전에, 데이터 스트로브 신호(119)의 에지들은 플립-플롭들(115(1)-115(n))의 출력 데이터 신호들(118(1)-118(n))의 트랜지션들과 대략적으로 정렬된다. 이는, 각각의 플립-플롭(115(1)-115(n))이 데이터 스트로브 신호(119)의 상승 및 하강 에지들 상에서 각각의 출력 데이터신호(118(1)-118(n))에 대한 데이터 비트들을 포착하기 때문이다. 제 1 지연 회로(125)가 기간의 1/4만큼 데이터 스트로브 신호(119)를 지연시키므로, 지연된 데이터 스트로브 신호(121)의 에지들이 출력 데이터 신호들(118(1)-118(n))의 트랜지션들 사이의 대략적으로 중앙에 있게 된다.
- [0014] [0035] 도 2는 출력 데이터 신호들(118) 중 하나와 데이터 스트로브 신호(119) 사이의 타이밍 관계의 단순화된 예를 도시한다. 이 예에서, 데이터 스트로브 신호(119)의 상승 및 하강 에지들(220 및 222)은 출력 데이터 신호(118)의 트랜지션들(210)과 대략적으로 정렬된다. 기간의 1/4(T/4)만큼 지연된 이후, 데이터 스트로브 신호(121)의 상승 및 하강 에지들(220 및 222)이, 도 2에 도시된 바와 같이, 출력 데이터 신호(118)의 트랜지션들(210) 사이의 대략적으로 중앙에 있게 된다. 메모리 디바이스는 데이터 스트로브 신호(121)의 에지들에서 데이터 신호를 샘플링한다. 데이터 스트로브 신호(121)의 에지들을 데이터 신호의 트랜지션들 사이의 중앙에 있게 하는 것은, 메모리 디바이스가 데이터 신호의 유효 데이터 윈도우 내에서 데이터 신호를 샘플링하게 보장하는 것을 돕는다.
- [0015] [0036] 각각의 디-스큐 회로(120(1)-120(n))는 적은 양의 지연을 각각의 데이터 신호(118(1)-118(n))에 추가하여 메모리 인터페이스(100)로부터 메모리 디바이스(예컨대, DDR DRAM)로 진행하는 데이터 신호들 간의 스큐를 보상한다. 스큐는, 데이터 신호들을 메모리 디바이스로 전송하는데 사용되는 라인들의 길이들의 불일치들 및/또는 다른 원인으로 인한 것일 수 있다. 각각의 디-스큐 회로(120(1)-120(n))에 의해 지연된 후, 각각 출력 데이터 신호가 각각의 양방향 데이터 라인(DQ₀-DQ_{n-1}) 상에서 메모리 디바이스로 출력된다. 데이터 스트로브 신호(121)는 양방향 스트로브 라인 DQS 상의 메모리 디바이스로 출력된다. 메모리 디바이스는 데이터 스트로브 신호(121)를 사용하여 메모리 인터페이스(100)로부터 수신된 데이터 신호들을 샘플링한다.
- [0016] [0037] 관독 동작들 동안, 메모리 인터페이스(100)는 메모리 디바이스로부터 양방향 데이터 라인들(DQ₀-DQ_{n-1})을 통해 복수의 데이터 신호들(132(1)-132(n))을 그리고 메모리 디바이스로부터 양방향 스트로브 라인(DQS)을 통해 데이터 스트로브 신호(134)를 수신한다. 제 2 복수의 디-스큐 회로들(145(1)-145(n)) 각각은 데이터 신호들(132(1)-132(n)) 중 하나를 수신하고, 작은 양의 지연을 각각의 데이터 신호에 추가하여 데이터 신호들 간의 스큐를 보상한다.
- [0017] [0038] 메모리 디바이스로부터의 데이터 스트로브 신호(134)가, 데이터 스트로브 신호(134)를 기간의 1/4만큼 지연시키는 제 2 지연 회로(140)로 입력된다. 이것은, 데이터 신호들(132(1)-132(n))의 트랜지션들과 대략적으로 정렬되는 데이터 스트로브 신호의 에지들을 갖는 데이터 스트로브 신호(134)를 메모리 디바이스가 출력하기 때문에 행해진다. 데이터 스트로브 신호(134)를 기간의 1/4만큼 지연시킴으로써, 제 2 지연 회로(140)는 지연된 데이터 스트로브 신호(136)의 에지들을 데이터 신호들(132(1)-132(n))의 트랜지션들 사이의 대략적으로 중앙에 있게 한다.
- [0018] [0039] 그런다음, 지연된 데이터 스트로브(136)가 제 2 복수의 플립-플롭들(135(1)-135(n)) 각각의 클럭 입력으로 입력된다. 예컨대, 지연된 데이터 스트로브 신호(136)는 클럭 트리를 이용하여 플립-플롭들(135(1)-135(n))의 클럭 입력들로 분배될 수 있다. 각각의 플립-플롭(135(1)-135(n))은 지연된 데이터 스트로브 신호(136)의 상승 및 하강 에지들 상에서 각각의 디-스큐 회로(145(1)-145(n))의 출력(138(1)-138(n))으로부터 데이터 비트들을 캡처한다. 결과적으로 출력된 데이터 신호들(142(1)-142(n))은 추가 프로세싱을 위해 메모리 인터페이스(100) 내의 추가 회로(미도시)로 전송될 수 있다.
- [0019] [0040] 메모리 인터페이스(100)는, 데이터가 메모리 디바이스로 전송되고 메모리 디바이스로부터 수신되는 레이트가 동적으로 조정될 수 있는 다중 데이터 레이트들을 지원할 수 있다. 예컨대, 데이터 레이트는 고 데이터 레이트를 필요로 하는 애플리케이션들의 경우에는 증가될 수 있고, 고 데이터 레이트를 필요로 하지 않는 애플리케이션의 경우에는 감소될 수 있다. 데이터 레이트가 변할 때, 지연 회로들(125 및 140)의 지연들이 그에 따라 조정될 필요가 있다. 예컨대, 데이터 레이트가 2배가 되면, 데이터 스트로브 신호(119)의 기간은 절반으로 감소된다. 이 예에서, 제 1 지연 회로(125)의 지연은 데이터 스트로브 신호(119)에 대한기간의 1/4의 지연을 유지하기 위해 절반으로 감소된다. 다른 예에서, 데이터 레이트가 절반으로 감소되면, 데이터 스트로브 신호(119)의 기간이 2배가 된다. 이 예에서, 제 1 지연 회로(125)의 지연은, 데이터 스트로브 신호(119)에 대해 기

간의 1/4의 지연을 유지하기 위해 2배가 된다.

- [0020] [0041] 도 3은 메모리 인터페이스(예컨대, 메모리 인터페이스(100))에서 제어된 지연을 제공하기 위한 마스터-슬레이브 아키텍처(300)의 예를 도시한다. 마스터-슬레이브 아키텍처(300)는 마스터 지연 회로(310) 및 복수의 슬레이브 지연 회로들(315(1)-315(m))을 포함한다. 각각의 슬레이브 지연 회로(315(1)-315(m))는 스텝 지연의 배수인 지연을 제공하며, 여기서, 스텝 지연은 마스터 지연 회로(310)로부터의 전압 바이어스에 의해 제어된다. 마스터 지연 회로(310)는, 아래에 추가로 설명되는 바와 같이, 슬레이브 지연 회로들(315(1)-315(m))에 대해 원하는 스텝 지연을 유지하기 위해 (예컨대, 수정 발진기로부터) 기준 클락에 기초하여 전압 바이어스를 조정한다. 슬레이브 지연 회로들(315(1)-315(m))은 도 1에 도시된 지연 회로들(125 및 140) 및 디-스큐 회로들(120(1)-120(n) 및 145(1)-145(n))을 구현하기 위해 사용될 수 있다.
- [0021] [0042] 도 4는 슬레이브 지연 회로들(315) 중 하나의 예시적인 구현을 도시한다. 슬레이브 지연 회로(315)는 복수의 지연 엘리먼트들(440(1)-440(p))(예컨대, 버퍼들) 및 멀티플렉서(450)를 포함한다. 지연 엘리먼트들(440(1)-440(p)) 각각은 마스터 지연 회로(310)로부터의 전압 바이어스에 의해 바이어싱된다. 전압 바이어스는 각각의 지연 엘리먼트(440(1)-440(p))의 지연을 제어한다.
- [0022] [0043] 지연 엘리먼트들(440(1)-440(p))은 지연 체인(430)을 형성하기 위해 직렬로 결합되며, 각각의 지연 엘리먼트(440(1)-440(p))의 출력(445(1)-445(p))은 슬레이브 지연 회로(315)의 입력("IN"으로 표기)에서 수신된 신호에 상이한 양의 지연을 제공한다. 특히, 각각의 지연 엘리먼트(440(1)-440(p))의 출력(445(1)-445(p))은 스텝 지연의 상이한 배수인 지연을 제공하며, 스텝 지연은 하나의 지연 엘리먼트의 지연이다. 예컨대, 출력(445(1))은 하나의 스텝 지연과 동일한 지연을 제공하고, 출력(445(2))은 2 스텝 지연들과 동일한 지연을 제공하고, 출력(445(3))은 3 스텝 지연들과 동일한 지연을 제공하는 식이다.
- [0023] [0044] 지연 엘리먼트들(440(1)-440(p))의 출력들(445(1)-445(p))이 멀티플렉서(450)에 결합되고, 멀티플렉서(450)는 지연 제어기(460)의 제어 하에서 출력들(445(1)-445(p)) 중 하나를 선택한다. 멀티플렉서(450)는 선택된 출력을 슬레이브 지연 회로(315)의 출력("OUT"으로 표기)에 결합시킨다. 지연 제어기(460)는, 원하는 지연에 대응하는 지연 엘리먼트(440(1)-440(p))의 출력(445(1)-445(p))을 선택할 것을 멀티플렉서(450)에 지시함으로써 지연 회로(315)의 지연을 제어한다.
- [0024] [0045] 따라서, 지연 제어기(460)는, 입력 신호가 통과하는 지연 엘리먼트들(440(1)-440(p))의 수를 제어함으로써 슬레이브 지연 회로(315)의 지연을 조정한다. 이는, 지연 제어기(460)로 하여금, 스텝 지연의 배수만큼 지연을 제어하게 하는며, 여기서, 스텝 지연은 하나의 지연 엘리먼트의 지연이다. 스텝 지연은, 상술한 바와 같이, 마스터 지연 회로(310)로부터의 전압 바이어스에 의해 제어된다. 도 4의 슬레이브 지연 회로(315)는 도 1에 도시된 지연 회로들(125 및 140) 및 디-스큐 회로들(120(1)-120(n) 및 145(1)-145(n)) 중 임의의 회로를 구현하기 위해 사용될 수 있다. 슬레이브 지연 회로들의 다른 구현들의 예들이 아래에 설명된다.
- [0025] [0046] 도 5는 마스터 지연 회로(310)의 예시적인 구현을 도시한다. 이 예에서, 마스터 지연 회로(310)는 리타이밍 회로(510), 클락 지연 회로(515), 위상 주파수 검출기(PFD)(520), 및 전압 바이어스 제어기(525)를 포함하는 DLL(delay locked loop)이다. 아래에 추가로 설명되는 바와 같이, 마스터 지연 회로(310)의 전압 바이어스 출력은 피드백 루프(517)에 의해 클락 지연 회로(515)로 피드백되어 원하는 스텝 지연을 달성한다.
- [0026] [0047] 동작 시, 리타이밍 회로(510)는 기준 클락을 수신하고, 기준 클락을 1 클락 기간 만큼 지연시키고, 지연된 기준 클락을 PFD(520)의 제 1 입력(522)으로 출력한다. 또한, 리타이밍 회로(510)는 기준 클락을 클락 지연 회로(515)로 출력한다. 클락 지연 회로(515)는, 피드백 루프(517)에 의해 마스터 지연 회로(310)의 출력으로부터 클락 지연 회로(515)로 피드백되는 전압 바이어스에 의해 제어되는 양만큼 기준 클락을 지연시킨다. 클락 지연 회로(515)는 결과적으로 지연된 기준 클락을 PFD(520)의 제 2 입력(524)으로 출력한다.
- [0027] [0048] PFD(520)는 제 1 입력(522)과 제 2 입력(524) 간의 위상 에러를 검출하고, 검출된 위상 에러에 기초하여 위상 에러 신호를 전압 바이어스 제어기(525)로 출력한다. 전압 바이어스 회로(525)는, 위상 에러를 감소시키는 방향으로 전압 바이어스를 조정한다. 전압 바이어스 회로(525)는 차지(charge) 펌프 및 루프 필터로 구현될 수 있다.
- [0028] [0049] 클락 지연 회로(515)의 지연이 기준 클락의 하나의 기간과 대략 동일할 경우, 위상 에러가 0에 접근한다. 이와 같이, 클락 지연 회로(515)의 지연이 하나의 클락 기간과 대략 동일하도록 전압 바이어스 제어기(525)가 전압 바이어스를 조정한다. 일 양상에서, 클락 지연 회로(515)는 슬레이브 지연 회로들(315(1)-315(m))의 스텝 지연의 배수 M과 대략적으로 동일한 지연을 갖는다. 이와 같이, 이 양상에서, 마스터 지연 회

로(310)는 대략 T/M의 스텝 지연을 유지하기 위해 전압 바이어스를 조정하며, T는 1 클락 기간(사이클)이다.

- [0029] [0050] 일 양상에서, 기준 클락은 수정 발진기(X0)에 의해 제공된다. 수정 발진기는, 대략적으로 온도, 전압 및/또는 프로세스가 불변인 기준 클락을 생성할 수 있다. 마스터 지연 회로(310)는 전압 바이어스를 조정하기 위한 기준으로서 기준 클락을 사용하기 때문에, 마스터 지연 회로(310)는, 대략적으로 온도, 전압 및/또는 프로세스가 불변인 스텝 지연을 유지하도록 전압 바이어스를 조정할 수 있다.
- [0030] [0051] 도 6는 마스터 지연 회로(515)의 예시적인 구현을 도시한다. 이 예에서, 클락 지연 회로(515)는 직렬로 결합된 M개의 지연 엘리먼트들(610(1)-610(M))을 포함하며, 각각의 지연 엘리먼트(610(1)-610(M))는 전압 바이어스 제어기(525)로부터 전압 바이어스에 의해 바이어싱된다. 클락 지연 회로(515)의 지연 엘리먼트들(610(1)-610(M))은 슬레이브 지연 회로들(315(1)-315(m)) 내의 지연 엘리먼트들(440(1)-440(p))의 리플리카(replica)들일 수 있다.
- [0031] [0052] 마스터 지연 회로(310)는 기준 클락의 각각의 기간 동안 전압 바이어스를 업데이트할 수 있다. 특히, PFD(520)는 각각의 클락 기간(사이클) 동안 제 1 입력(522)과 제 2 입력(524) 간의 위상 에러를 검출하고 검출된 위상 에러를 전압 바이어스 제어기(525)로 출력하여 전압 바이어스를 업데이트할 수 있다. 그러나, 각각의 클락 기간(사이클) 동안 전압 바이어스를 업데이트하는 것은 상대적으로 많은 양의 전력을 소모할 수 있으며, 이는 메모리 인터페이스가 모바일 디바이스에서 구현될 경우 배터리 수명을 감소시킨다.
- [0032] [0053] 본 개시내용의 실시예들은 프로그래밍가능한 전력을 마스터 지연 회로에 제공하며, 마스터 지연 회로가 전압 바이어스를 슬레이브 지연 회로들로 업데이트하는 레이트를 조정함으로써 마스터 지연 회로의 전력 소모가 조정된다. 예컨대, 마스터 지연 회로는, 아래에서 추가로 설명되는 바와 같이, 성능 요건들이 더 낮을 경우(예컨대, 데이터 레이트들이 더 낮을 경우), 전력 소모를 감소시키기 위해서 덜 빈번하게 전압 바이어스를 업데이트할 수 있다.
- [0033] [0054] 도 7은 본 개시내용의 일 실시예에 따른 프로그래밍가능한 전력을 이용하는 마스터 지연 회로(710)를 도시한다. 마스터 지연 회로(710)는, 클락 지연 회로(515), 위상 주파수 검출기(PFD)(520), 및 전압 바이어스 제어기(525)를 포함하는 DLL(delay locked loop)이다. 마스터 지연 회로(710)는 업데이트 회로(712) 및 출력 캐패시터(730)를 더 포함한다.
- [0034] [0055] 업데이트 회로(712)는, 마스터 지연 회로(710)가 업데이트 제어기(750)로부터의 제어 신호(N)에 기초하여 전압 바이어스를 업데이트하는 레이트를 제어하도록 구성되며, N은 프로그래밍가능하고 정수일 수 있다. 보다 구체적으로, 업데이트 회로(712)는 마스터 지연 회로(710)로 하여금 기준 클락의 N개 기간들(사이클들)마다(즉, N개 기간들 당 1 전압 바이어스 업데이트의 비로) 전압 바이어스를 업데이트하게 한다. 예컨대, N이 2이면, 마스터 지연 회로(710)는 2개의 클락 기간들(사이클들)마다 전압 바이어스를 업데이트한다.
- [0035] [0056] 업데이트 회로(712)는, 전압 바이어스가 업데이트되는 레이트들을 조정함으로써 마스터 지연 회로(710)의 전력 소모를 조정하는데 사용될 수 있다. 예컨대, 업데이트 제어기(750)는 N을 증가시킴으로써(즉, 전압 바이어스가 업데이트되는 레이트를 감소시킴으로써) 마스터 지연 회로(710)의 전력 소비를 감소시킬 수 있다.
- [0036] [0057] 동작 시, 업데이트 회로(712)는 기준 클락의 N 기간들(사이클들)마다 한 쌍의 펄스들을 출력한다. 펄스들의 각각의 쌍은 Q 펄스 및 ZQ 펄스를 포함하며, 여기서, ZQ 펄스는 Q 펄스에 대하여 약 1 클락 기간만큼 지연된다. 펄스들의 각각의 쌍에 대하여, 업데이트 회로(712)는 ZQ 펄스를 PFD(520)의 제 1 입력(522)에 출력하고 Q 펄스를 클락 지연 회로(515)로 출력한다. 클락 지연 회로(515)는, 피드백 루프(517)에 의해 전압 바이어스 제어기(525)의 출력으로부터 클락 지연 회로(515)로 피드백되는 전압 바이어스에 의해 제어되는 양만큼 Q 펄스를 지연시킨다. 클락 지연 회로(515)는 결과적으로 지연된 Q 펄스를 PFD(520)의 제 2 입력(524)으로 출력한다. PFD(520)는 ZQ 펄스와 지연된 Q 펄스 간의 위상 에러를 검출한다. 예컨대, PFD(520)는 ZQ 펄스 및 지연된 Q 펄스의 상승 에지들 간의 위상차 또는 ZQ 펄스 및 지연된 Q 펄스의 하강 에지들 간의 위상차를 검출함으로써 위상 에러를 검출할 수 있다. PFD(520)는 검출된 위상 에러에 기초하여 위상 에러 신호를 전압 바이어스 제어기(525)로 출력한다. 전압 바이어스 회로(525)는, 위상 에러를 감소시키는 방향으로 전압 바이어스를 조정한다.
- [0037] [0058] 클락 지연 회로(515)의 지연이 기준 클락의 하나의 기간과 대략 동일할 경우, 위상 에러가 0에 접근한다. 이와 같이, 클락 지연 회로(515)의 지연이 하나의 기간의 클락 기간과 대략 동일하도록 전압 바이어스 제어기(525)가 전압 바이어스를 조정한다. 일 실시예에서, 클락 지연 회로(515)는 슬레이브 지연 회로들(315(1)-315(m))의 스텝 지연의 배수 M과 대략적으로 동일한 지연을 갖는다. 이와 같이, 이 실시예에서, 마스터 지연 회로(710)는 대략 T/M의 스텝 지연을 유지하기 위해 N개 클락 기간들(사이클들)마다 전압 바이어스를

업데이트하며, T는 1 클락 기간(사이클)이다.

- [0038] [0059] 출력 캐패시터(730)는 업데이트들 사이에 전압 바이어스 제어기(525)의 출력에서 전압 바이어스를 유지하는데 사용된다. 출력 캐패시터(730)에서의 전압 바이어스가 전압 바이어스의 업데이트들 사이에서 드리프트될 수 있으며, 이는 슬레이브 지연 회로들(315(1)-315(m))에서 지터를 발생시킨다. 업데이트들 간의 시간량이 증가할 경우 전압 바이어스는 더 많은 양으로 드리프트될 수 있다. 결과적으로, 마스터 지연 회로(710)가 전압 바이어스를 업데이트하는 레이트를 감소시키는 것(즉, N을 증가시키는 것)은 더 낮은 성능(예컨대, 더 높은 지터)의 대가로 전력 소모를 감소시킬 수 있다. 따라서, 마스터 지연 회로(710)의 전력의 감소와 마스터 지연 회로(710)의 성능 간에는 트레이드오프가 존재할 수 있다.
- [0039] [0060] 이와 관련하여, 업데이트 제어기(750)가, 전압 바이어스 업데이트들의 레이트를 특정 애플리케이션에 대해 여전히 충분한 성능을 제공하는 레벨로 감소시키도록 (따라서 전력을 감소시키도록) 구성될 수 있다. 예컨대, 메모리 인터페이스가 비교적 낮은 데이터 레이트로 동작할 경우, 유효 데이터 윈도우는 비교적 크다. 이것은 메모리 인터페이스의 타이밍 요건들을 완화시켜, 메모리 인터페이스로 하여금, 마스터 지연 회로(710)로부터의 성능이 낮아지는 것(즉, 업데이트들 간의 전압 바이어스 드리프트가 더 커지는 것)을 허용하게 한다. 이 경우, 업데이트 제어기(750)는 전압 바이어스 업데이트들의 레이트를 감소시켜(즉, N을 증가시켜) 전력 소모를 감소시킬 수 있다. 메모리 인터페이스가 더 높은 데이터 레이트로 동작할 때, 유효 데이터 윈도우가 더 작아지고 메모리 간섭의 타이밍 요건들은 더 촘촘해진다(tighter))(예컨대, 메모리 인터페이스 내 플립-플롭들이 더 적은 양의 지터 양을 용인함). 이 경우, 업데이트 제어기(750)는 전압 바이어스 업데이트들의 레이트를 증가시켜(즉, N을 감소시켜) 마스터 지연 회로(710)의 성능을 증가시킬 수 있다. 따라서, 전압 바이어스가 업데이트되는 레이트는, 전력 소모를 감소시키기 위해서 고 성능이 요구되지 않을 경우에는 감소될 수 있고, 고 성능이 요구되는 경우에는 (예컨대, 더 높은 데이터 레이트로) 증가될 수 있다.
- [0040] [0061] 2개의 상이한 N 값들에 대한 마스터 지연 회로(710)의 예시적인 동작들이 이제 도 8 및 도 9를 참조하여 설명될 것이다. 도 8은 실시예를 예시하는 타이밍도이며, N은 2이다. 이 예에서, 업데이트 회로(712)는 기준 클락의 2 기간들(사이클들)마다 한 쌍의 펄스들(810(1)-810(3))을 출력한다. 펄스들의 각각의 쌍(810(1)-810(3))은 클락 지연 회로(515)로 출력된 Q 펄스 및 PFD(520)의 제 1 입력(522)으로 출력되는 ZQ 펄스를 포함하며, ZQ 펄스는 Q 펄스에 대해 대략 1 클락 기간씩 지연된다.
- [0041] [0062] 또한, 도 8은 Q 펄스가 클락 지연 회로(515)에 의해 지연된 후의 각각의 Q 펄스를 도시한다. 펄스들의 각각의 쌍에 대하여, PFD(520)는 (도 8에 도시된 바와 같이) 각각의 ZQ 펄스 및 각각의 지연된 Q 펄스 간의 위상 에러를 검출하고, 전압 바이어스 제어기(525)는 검출된 위상 에러에 기초하여 전압 바이어스를 업데이트한다. 이 예에서, 마스터 지연 회로(710)는 위상 에러를 검출하고 기준 클락의 2 기간들(사이클들)마다 검출된 위상 에러에 기초하여 전압 바이어스를 업데이트한다.
- [0042] [0063] 또한, 도 8은 각각의 지연된 Q 펄스가 각각의 ZQ 펄스에 대해 앞서는 예(각각의 ZQ 펄스를 앞섬)를 도시하지만, 지연된 Q 펄스는 각각의 ZQ 펄스에 비해 뒤질 수도 있음을 인식한다. 지연된 Q 펄스가 앞서는 경우에, 전압 바이어스 제어기(525)는 위상 에러를 감소시키기 위해 클락 지연 회로(515)의 지연을 증가시킨다. 지연된 Q 펄스가 뒤지는 경우에, 전압 바이어스 제어기(525)는 위상 에러를 감소시키기 위해 클락 지연 회로(515)의 지연을 감소시킨다.
- [0043] [0064] 도 9는 실시예를 예시하는 타이밍도이며, N은 4이다. 이 예에서, 업데이트 회로(712)는 기준 클락의 4 기간들(사이클들)마다 한 쌍의 펄스들(910(1)-910(3))을 출력한다. 펄스들의 각각의 쌍(910(1)-910(3))은 클락 지연 회로(515)로 출력된 Q 펄스 및 PFD(520)의 제 1 입력(522)으로 출력되는 ZQ 펄스를 포함하며, ZQ 펄스는 Q 펄스에 대해 대략 1 클락 기간씩 지연된다.
- [0044] [0065] 또한, 도 9는 Q 펄스가 클락 지연 회로(515)에 의해 지연된 후의 각각의 Q 펄스를 도시한다. 펄스들의 각각의 쌍에 대하여, PFD(520)는 (도 9에 도시된 바와 같이) 각각의 ZQ 펄스 및 각각의 지연된 Q 펄스 간의 위상 에러를 검출하고, 전압 바이어스 제어기(525)는 검출된 위상 에러에 기초하여 전압 바이어스를 업데이트한다. 이 예에서, 마스터 지연 회로(710)는 위상 에러를 검출하고 기준 클락의 4 기간들(사이클들)마다 검출된 위상 에러에 기초하여 전압 바이어스를 업데이트한다.
- [0045] [0066] 따라서, 도 8은 2 클락 기간들마다 전압 바이어스가 업데이트되는 예를 도시하고, 도 9는 전압 바이어스가 4 클락 기간들마다 업데이트되는 예를 도시한다. 도 9의 예는, 업데이트들 간의 더 많은 전압 바이어스 드리프트를 대가로 하여 전압 바이어스를 덜 빈번하게 업데이트함으로써 도 8의 예에 비해 전력 소비를 감소시

킬 수 있다.

- [0046] [0067] 도 10은 다른 실시예를 예시하는 타이밍도이며, N은 4이다. 이 예에서, 업데이트 회로(712)는 기준 클락의 4 기간들(사이클들)마다 한 쌍의 펄스들(1010(1)-1010(3))을 출력한다. 펄스들의 각각의 쌍(1010(1)-1010(3))은 클락 지연 회로(515)로 출력된 Q 펄스 및 PFD(520)의 제 1 입력(522)으로 출력되는 ZQ 펄스를 포함하며, ZQ 펄스는 Q 펄스에 대해 대략 1 클락 기간씩 지연된다. 이 예는, ZQ 및 Q 펄스들이 하이 대신에 로우이고, 업데이트 회로(712)의 2개의 출력들이 펄스들 사이에서 로우 대신 하이라는 점에서 도 9의 예와 상이하다.
- [0047] [0068] 또한, 도 10은 Q 펄스가 클락 지연 회로(515)에 의해 지연된 후의 각각의 Q 펄스를 도시한다. 펄스들의 각각의 쌍에 대하여, PFD(520)는 (도 10에 도시된 바와 같이) 각각의 ZQ 펄스 및 각각의 지연된 Q 펄스 간의 위상 에러를 검출하고, 전압 바이어스 제어기(525)는 검출된 위상 에러에 기초하여 전압 바이어스를 업데이트한다. 예컨대, PFD(520)는 (도 10에 도시된) 펄스들의 상승 에지들 간의 위상차 또는 펄스들의 하강 에지들 간의 위상차를 검출함으로써 위상 에러를 검출할 수 있다는 것을 인식한다. 이 예에서, 마스터 지연 회로(710)는 기준 클락의 4 기간들(사이클들)마다 전압 바이어스를 업데이트한다.
- [0048] [0069] 도 11은 본 개시내용의 일 실시예에 따른 업데이트 회로(712)의 예시적인 구현을 도시한다. 본 실시예에서, 업데이트 회로(712)는 프로그래밍가능한 카운터(1110), 제 1 클락 게이트(1115), 제 2 클락 게이트(1120), 및 클락 기간 지연 회로(1122)를 포함한다. 클락 게이트들(1115 및 1120) 각각은, 아래에 추가로 설명되는 바와 같이 기준 클락을 수신하고, 클락 게이트가 게이트-인에이블 신호를 수신할 경우 기준 클락을 통과시키고 그리고 클락 게이트가 게이트-디스에이블 신호를 수신할 경우 기준 클락을 차단하도록 구성된다.
- [0049] [0070] 프로그래밍가능한 카운터(1110)는 업데이트 제어기(750)로부터 제어 신호 N 및 기준 클락을 수신한다. 카운터(1110)는 기준 클락의 모든 각각의 제 N 기간(사이클) 동안 게이트-인에이블 신호(1125)를 출력하고, N이 1보다 큰 경우 모든 각각의 제 N 기간(사이클) 사이의 기간(들) 동안 게이트-디스에이블 신호를 출력하도록 구성된다. 게이트-인에이블 신호(1125)는 제 1 클락 게이트(1115)로 하여금 1 클락 기간 동안 기준 클락을 통과시키게 하여 Q 펄스를 생성한다. 클락 기간 지연 회로(1122)는 1 클락 기간씩 게이트-인에이블 신호를 지연시키고, 지연된 게이트-인에이블 신호(1130)를 제 2 클락 게이트(1120)로 출력한다. 지연된 게이트-인에이블 신호(1130)는 제 2 클락 게이트(1120)로 하여금 1 클락 기간 동안 기준 클락을 통과시키게 하여 ZQ 펄스를 생성한다. 제 2 클락 게이트(1120)에 입력되는 게이트-인에이블 신호(1130)는 제 1 클락 게이트(1115)에 입력되는 게이트-인에이블 신호(1125)와 관련하여 1 클락 기간만큼 지연되기 때문에, ZQ 펄스는 Q 펄스와 관련하여 1 클락 기간만큼 지연된다.
- [0050] [0071] 상기 논의된 바와 같이, 카운터(1110)는 기준 클락의 모든 각각의 제 N 기간(사이클) 동안 게이트-인에이블 신호(1125)를 출력한다. 이를 위해, 카운터(1110)는 기준 클락의 기간들의 수를 카운트하고, 카운터(1110)가 기준 클락의 N 기간들을 카운트할 때마다 게이트-인에이블 신호를 출력할 수 있다. N의 값이 프로그래밍가능하기 때문에, 카운터(1010)가 클락 게이트들(1115 및 1120)이 펄스 쌍을 생성할 수 있게 하는 레이트(및 따라서 마스터 지연 회로(710)가 전압 바이어스를 업데이트하는 레이트)는 프로그래밍가능하다.
- [0051] [0072] 클락 게이트들(1115 및 1120) 각각은 하나 또는 그 초과로 로직 게이트들을 이용하여 구현될 수 있다. 예컨대, 각각의 클락 게이트(1115 및 1120)는 제 1 및 제 2 입력들을 갖는 AND 게이트를 포함할 수 있다. AND 게이트의 제 1 입력은 기준 클락을 수신하고 AND 게이트의 제 2 입력은 게이트-인에이블 신호(로직 1) 또는 게이트-디스에이블 신호(로직 0)를 수신한다. 이 예에서, AND 게이트는 AND 게이트가 게이트-인에이블 신호(로직 1)를 수신하는 경우 기준 클락을 통과시키고, AND 게이트가 게이트-디스에이블 신호(로직 0)를 수신하는 경우 기준 클락을 차단한다. 기준 클락이 차단될 경우, AND 게이트는 로직 0을 출력한다. 본 실시예에 따른 클락 게이트들(1115 및 1120)은 하이 펄스 쌍들을 생성하기 위해 사용될 수 있다(이들의 예들은 도 8 및 도 9에 도시됨).
- [0052] [0073] 다른 예에서, 각각의 클락 게이트(1115 및 1120)는 제 1 입력 및 제 2 입력을 갖는 OR 게이트를 포함할 수 있다. OR 게이트의 제 1 입력은 기준 클락을 수신하고 OR 게이트의 제 2 입력은 게이트-인에이블 신호(로직 0) 또는 게이트-디스에이블 신호(로직 1)를 수신한다. 이 예에서, OR 게이트는 OR 게이트가 게이트-인에이블 신호(로직 0)를 수신하는 경우 기준 클락을 통과시키고, OR 게이트가 게이트-디스에이블 신호(로직 1)를 수신하는 경우 기준 클락을 차단한다. 기준 클락이 차단될 경우, OR 게이트는 로직 1을 출력한다. 본 실시예에 따른 클락 게이트들(1115 및 1120)은 로우 펄스 쌍들을 생성하기 위해 사용될 수 있다(이들의 예들은 도 10에 도시됨).

- [0053] [0074] 클락 게이트들(1115 및 1120)은 상술된 예들로 제한되지 않으며, 각각의 클락 게이트(1115 및 1120)는 다른 타입들의 로직 게이트들 및/또는 로직 게이트들의 조합을 이용하여 구현될 수 있음을 인식한다.
- [0054] [0075] 클락 기간 지연 회로(1122)는, 기준 클락 및 게이트-인에이블 신호를 수신하고, 수신된 기준 클락의 1 기간만큼 게이트-인에이블 신호를 지연시키는 플립-플롭(예컨대, D 플립-플롭)으로 구현될 수 있다.
- [0055] [0076] 상기 논의된 바와 같이, 업데이트 제어기(750)는 메모리 인터페이스의 타이밍 요건들에 기초하여 N의 값을 조정할 수 있다. 예컨대, 타이밍 요건들은 주어진 시각에 메모리 인터페이스의 데이터 레이트에 의존할 수 있다. 데이터 레이트가 감소될 때, 메모리 인터페이스의 타이밍 요건들이 더욱 완화되고, 따라서 마스터 지연 회로에 대한 성능 요건들이 감소된다. 이 경우, 전압 바이어스가 업데이트되는 레이트가 감소되어 (즉, N은 증가될 수 있음) 전력 소모를 감소시킬 수 있다. 데이터 레이트가 증가될 경우, 메모리 인터페이스의 타이밍 요건들이 보다 더 촘촘해진다(예컨대, 적절한 데이터 샘플링을 위해 플립-플롭에 의해 용인될 수 있는 지터의 양이 감소됨). 이 경우, 전압 바이어스가 업데이트되는 레이트가 증가되어 (즉, N은 감소될 수 있음) 성능이 증가될 수 있다.
- [0056] [0077] 일 실시예에서, 업데이트 제어기(750)는 룩업 테이블을 포함할 수 있으며, 룩업 테이블은 메모리 인터페이스에 의해 지원되는 복수의 상이한 데이터 레이트들을 포함한다. 룩업 테이블은 각각의 데이터 레이트를 대응하는 N의 값으로 맵핑할 수 있다. N의 값은 데이터 레이트들이 더 낮을 경우 더 클 수 있다. 이 실시예에서, 업데이트 제어기(750)는 (예컨대, 메모리 제어기로부터) 메모리 인터페이스의 현재 데이터 레이트의 표시를 수신하고, 룩업 테이블을 이용하여 현재 데이터 레이트에 대응하는 N의 값을 결정할 수 있다. 이후, 업데이트 제어기(750)는 결정된 N의 값으로 마스터 지연 회로(710)의 업데이트 회로(712)를 프로그래밍할 수 있다.
- [0057] [0078] 데이터 레이트가 변경되면, 업데이트 제어기(750)는 룩업 테이블을 이용하여 새로운 데이터 레이트에 대응하는 N의 값을 결정할 수 있다. 새로운 데이터 레이트에 대한 N의 값이 이전 데이터 레이트에 대한 N의 값과 상이한 경우, 업데이트 제어기(750)는 새로운 데이터 레이트에 대해 N의 값으로 마스터 지연 회로(710)의 업데이트 회로(712)를 프로그래밍할 수 있다. 따라서, 메모리 인터페이스의 데이터 레이트의 변화들에 따라 N의 값이 조정될 수 있다(따라서 전압 바이어스 업데이트들의 레이트가 조정될 수 있음).
- [0058] [0079] 예컨대, DDR 메모리 인터페이스의 경우, 데이터 레이트가 제 1 데이터 레이트 미만(예컨대, 400 MHz 미만)일 경우 N은 최대 값(예컨대, 32)으로 설정될 수 있고, 데이터 속도가 제 2 데이터 레이트 초과(예컨대 1.6GHz 초과)일 경우 N은 1로 설정될 수 있다. 이 예에서, N은 제 1 및 제 2 데이터 레이트들 사이(예컨대, 400 MHz와 1.6 GHz 사이)의 데이터 레이트들에 대해 1 내지 최대값의 값으로 조정될 수 있다.
- [0059] [0080] 마스터 지연 회로(710)가 처음 파워 온될 때, 위상 에러는 상대적으로 클 수 있다. 이와 관련하여, 업데이트 제어기(750)는 초기에 N의 값을 1로 설정하여 신속하게 위상 에러를 감소시키고 마스터 지연 회로(710)의 루프를 락킹할 수 있다. 위상 에러가 수용가능한 레벨까지 강하되면, 업데이트 제어기(750)는 N의 값을 증가시켜 전력 소모를 감소시킬 수 있다. 예컨대, 상기 논의된 바와 같이, 업데이트 제어기(750)는 메모리 인터페이스의 현재 데이터 레이트에 기초하여 N의 값을 증가시킬 수 있다.
- [0060] [0081] 도 12는, N의 값이 초기에 락킹 기간 1로 설정되는 예를 도시하는 타이밍도이다. 기간 동안, 마스터 지연 회로(710)의 루프를 신속하게 락킹하도록 기준 클락의 기간마다 전압 바이어스가 업데이트된다. 락킹 기간은, 위상 에러가 수용가능한 레벨(예컨대, 메모리 인터페이스의 타이밍 요건들을 충족시키는 레벨)까지 강하하는 경우 종료될 수 있다. 마스터 지연 회로(710)의 루프가 락킹된 후, N의 값이, 전력을 감소시키기 위해 증가될 수 있다. 도 12에 도시된 예에서, N의 값은 4로 증가된다. 그러나, 본 개시내용의 실시예들이 이 예로 한정되지 않으며, N의 값은 메모리 인터페이스의 타이밍 요건들을 충족시키는 임의의 값까지 증가될 수 있음을 인식한다. 또한, 락킹 기간은 도 12에 도시된 예에서의 지속시간에 제한되지 않는다는 것을 인식한다. 일반적으로, 락킹 기간의 지속시간은 위상 에러를 수용가능한 레벨까지 감소시키는데 필요한 전압 바이어스 업데이트들의 수에 의존할 수 있다.
- [0061] [0082] 일 실시예에서, 업데이트 제어기(750)는 락킹 기간의 시작부터 미리결정된 수의 클락 기간들 후에 락킹 기간을 종료할 수 있다. 이 실시예에서, 미리결정된 수의 클락 기간들은 마스터 지연 회로(710)를 락킹하는데 필요한 클락 기간들의 수의 추정치에 기초할 수 있다. 다른 실시예에서, 업데이트 제어기(750)는 PFD(520)로부터 검출된 위상 에러를 모니터링할 수 있다. 이 실시예에서, 업데이트 제어기(750)는, 검출된 위상 에러가 임계치 미만으로 강하할 경우 락킹 기간을 종료할 수 있다.

- [0062] [0083] 도 13은 본 개시내용의 실시예에 따른 슬레이브 지연 회로(1315)의 예시적인 구현을 도시한다. 슬레이브 지연 회로(1315)는 도 3에 도시된 슬레이브 지연 회로들(315(1)-315(m)) 중 임의의 것을 구현하는데 사용될 수 있다. 슬레이브 지연 회로(1315)는 순방향 경로(화살표(1312)로 나타냄)를 따르는 제 1 복수의 NAND 게이트들(1310(1)-1310(5)), 및 복귀 경로(화살표(1332)로 나타냄)를 따르는 제 2 복수의 NAND 게이트들(1330(1)-1330(5))을 포함한다. 슬레이브 지연 회로(1315)는 또한 순방향 경로와 복귀 경로 사이에 제 3 복수의 NAND 게이트들(1320(1)-1320(5))을 포함하며, 각각의 NAND 게이트(1320(1)-1320(5))가 순방향 및 복귀 경로들 상의 2개의 상이한 포지션들 사이에서 결합된다. NAND 게이트들(1310(1)-1310(5), 1320(1)-1320(5) 및 1330(1)-1330(5))은, 전압 바이어스가 각각의 NAND 게이트의 지연을 제어하는 마스터 지연 회로로부터 전압 바이어스(도 13에 도시되지 않음)에 의해 바이어싱된다.
- [0063] [0084] 이 실시예에서, 지연 제어기(1340)는 슬레이브 지연 회로(1315)의 입력과 출력("IN" 및 "OUT"으로 표기됨) 간의 지연을 제어한다. 지연 제어기(1340)는, 아래에 추가로 설명되는 바와 같이, 슬레이브 지연 회로(1315)를 통해 신호의 경로를 제어하기 위해 슬레이브 지연 회로(1315) 내의 NAND 게이트들을 선택적으로 인에이블 및 디스에이블함으로써 이를 수행한다.
- [0064] [0085] 이와 관련하여, NAND 게이트들(1310(1)-1310(5))은 지연 제어기(1340)로부터 제어 입력들(1317(1)-1317(5))에서 제어 신호들을 수신하고, NAND 게이트들(1320(1)-1320(5))은 지연 제어기(1340)로부터 제어 입력들(1325(1)-1325(5))에서 제어 신호들을 수신하고, NAND 게이트(1330(5))는 지연 제어기(1340)로부터 제어 입력(1335)에서 제어 신호를 수신한다. 설명의 용이함을 위해, NAND 게이트들의 제어 입력과 지연 제어기(1340) 사이의 연결들이 도 13에 도시되지 않았다. 제어 신호는 NAND 게이트들을 선택적으로 인에이블 및 디스에이블하여 슬레이브 지연 회로(1315)를 통해 신호의 경로를 제어하고, 따라서 슬레이브 지연 회로(1315)를 통과하는 신호의 지연을 제어한다. NAND 게이트가 (예컨대, 로직 1을 각각의 제어 입력에 입력함으로써) 인에이블될 경우, NAND 게이트는 인버터로서 작동한다. NAND 게이트가 (예컨대, 로직 0을 각각의 제어 입력에 입력함으로써) 디스에이블될 경우, NAND 게이트의 출력 상태가 일정하다.
- [0065] [0086] 도 14a는, 지연 제어기(1340)가 슬레이브 지연 회로(1315)의 NAND 게이트들(1310(1)-1310(3), 1320(4) 및 1330(1)-1330(4))을 통해 지연 경로(1410)를 형성하는 예를 도시한다. 이 예에서, 슬레이브 지연 회로(1315)를 통과하는 지연은, 신호가 8개의 NAND 게이트들을 통해 전파하기 때문에 하나의 NAND 게이트의 지연의 8배와 같다. 도 14a는 또한, 지연 제어기(1340)로부터 NAND 게이트들(1310(1)-1310(5), 1320(1)-1320(5) 및 1330(5))의 제어 입력에 입력되어 지연 경로(1410)를 형성하는 제어 신호들의 로직 상태들을 도시한다. 설명을 용이하게 하기 위해서, 제어 입력들의 참조 번호들이 도 14a에 도시되지 않았다.
- [0066] [0087] 도 14b는, 지연 제어기(1340)가 슬레이브 지연 회로(1315)의 NAND 게이트들(1310(1)-1310(4), 1320(5) 및 1330(1)-1330(5))을 통해 지연 경로(1420)를 형성하는 예를 도시한다. 이 예에서, 슬레이브 지연 회로(1315)를 통과하는 지연은, 신호가 10개의 NAND 게이트들을 통해 전파하기 때문에 하나의 NAND 게이트의 지연의 10배와 같다. 도 14b는 또한, 지연 제어기(1340)로부터 NAND 게이트들(1310(1)-1310(5), 1320(1)-1320(5) 및 1330(5))의 제어 입력에 입력되어 지연 경로(1420)를 형성하는 제어 신호들의 로직 상태들을 도시한다. 설명을 용이하게 하기 위해서, 제어 입력들의 참조 번호들이 도 14b에 도시되지 않았다.
- [0067] [0088] 이 실시예에서, 지연 제어기(1340)는 스텝 지연의 배수만큼 슬레이브 지연 회로(1315)의 지연을 조정할 수 있으며, 스텝 지연은 2개의 NAND 게이트들의 지연이다. 2개의 NAND 게이트들 스텝 지연은, 신호가 슬레이브 지연 회로(1315)의 입력 및 출력에서 동일한 극성을 갖는 것을 보장한다. 스텝 지연은, 마스터 지연 회로로부터 NAND 게이트들로 공급되는 전압 바이어스에 의해 제어된다. 슬레이브 지연 회로(1315)가 도 13에 도시된 예에서 NAND 게이트들의 수로 제한되지 않는다는 것과, 슬레이브 지연 회로(1315)가 임의의 수의 NAND 게이트들을 포함할 수 있다는 것을 인식한다. 예컨대, NAND 게이트들의 수는 선택가능한 지연들의 수를 증가시키기 위해 증가될 수 있다.
- [0068] [0089] 도 15는 본 개시내용의 일 실시예에 따른 전압-제어 지연을 이용하는 NAND 게이트(1510)의 예시적인 구현을 도시한다. NAND 게이트(1510)는 도 13의 NAND 게이트들을 구현하는데 사용될 수 있다. NAND 게이트(1510)가 NAND 로직(1512), 전류-스타빙(current-starving) PMOS 트랜지스터(1520), 및 전류-스타빙 NMOS 트랜지스터(1550)를 포함한다. 아래에서 추가로 설명되는 같이, NAND 로직(1512)은 NAND 게이트(1510)의 로직 기능들을 수행하고, PMOS 및 NMOS 트랜지스터들(1520 및 1550)은 NAND 게이트(1510)의 지연을 제어한다.
- [0069] [0090] NAND 로직(1512)은 제 1 PMOS 트랜지스터(1530), 제 2 PMOS 트랜지스터(1535), 제 1 NMOS 트랜지스터(1540), 및 제 2 NMOS 트랜지스터(1545)를 포함한다. 제 1 및 제 2 PMOS 트랜지스터들(1530 및 1535)의 소스

들이 함께 결합되고, 제 1 및 제 2 PMOS 트랜지스터들(1530 및 1535)의 드레인들이 함께 결합되고, 제 1 NMOS 트랜지스터(1540)의 드레인은 제 1 및 제 2 PMOS 트랜지스터들(1530 및 1535)의 드레인들에 결합되고, 제 1 NMOS 트랜지스터(1540)의 소스는 제 2 NMOS 트랜지스터(1545)의 드레인에 결합된다. 제 1 및 제 2 PMOS 트랜지스터들(1530 및 1535)의 소스들은 전류-스타빙 PMOS 트랜지스터(1520)를 통해 전원(Vdd)에 결합되고, 제 2 NMOS 트랜지스터(1545)의 소스는 전류-스타빙 NMOS 트랜지스터(1550)를 통해 접지에 결합된다.

[0070] [0091] NAND 게이트(1510)의 제 1 입력("IN1"으로 표기됨)은 제 1 PMOS 트랜지스터(1530) 및 제 1 NMOS 트랜지스터(1540)의 게이트들에 결합되고, NAND 게이트(1510)의 제 2 입력("IN2"로 표기됨)이 제 2 PMOS 트랜지스터(1535) 및 제 2 NMOS 트랜지스터(1545)의 게이트들에 결합된다. NAND 게이트(1510)의 출력("OUT"으로 표기됨)은 제 1 PMOS 트랜지스터(1530), 제 2 PMOS 트랜지스터(1535), 및 제 1 NMOS 트랜지스터(1540)의 드레인들에 결합된다.

[0071] [0092] 상술된 바와 같이, NAND 로직(1512)은 NAND 게이트(1510)의 로직 기능들을 수행한다. 이와 관련하여, NAND 로직(1512)은, 제 1 및 제 2 입력들(IN1 및 IN2) 둘 모두가 로직 1에 있으면 로직 0을 출력하고, 그렇지 않으면 로직 1을 출력한다. 따라서, 제 2 입력(IN2)이 로직 0인 경우, NAND 로직(1512)은 로직 상태와 관계없이 제 1 입력(IN1)에서 로직 1을 출력한다. 제 2 입력(IN2)이 로직 1인 경우, NAND 로직(1512)은 제 1 입력(IN1)에서 로직 상태의 인버스를 출력한다.

[0072] [0093] 일 예로, 제 1 입력(IN1)은 슬레이브 지연 회로(예컨대, 슬레이브 지연 회로(1315))를 통해 전파하는 신호를 수신하는데 사용될 수 있고, 제 2 입력(IN2)은 지연 제어기(예컨대, 지연 제어기(1340))로부터 제어 신호를 수신하는데 사용될 수 있다. 이 예에서, 제어 신호가 로직 0인 경우, NAND 로직(1512)은 로직 상태와 관계없이 제 1 입력(IN1)에서 로직 1을 출력한다. 이 경우, NAND 로직(1512)은 제 1 입력(IN1)에서 신호를 전파하지 않는다. 제어 신호가 로직 1이면, NAND 로직(1512)은 제 1 입력(IN1)에서 신호를 반전시키고, 따라서 신호를 인버터로서 전파한다.

[0073] [0094] 상술된 바와 같이, 전류-스타빙 PMOS 트랜지스터(1520) 및 전류-스타빙 NMOS 트랜지스터(1550)는 NAND 게이트(1510)의 지연을 제어한다. 보다 구체적으로, 전류-스타빙 NMOS 트랜지스터(1550)는 그의 게이트에서 제 1 전압 바이어스(Vbn)를 수신하고, 제 1 전압 바이어스(Vbn)에 기초하여 NAND 게이트(1510)의 출력에서 하강 에지를 발생시키는 신호의 지연을 제어한다. 이는 제 1 전압 바이어스(Vbn)가 전류-스타빙 NMOS 트랜지스터(1550)의 전도성을 제어하고, 따라서 NAND 게이트(1510)의 출력(OUT)으로부터 전류-스타빙 NMOS 트랜지스터(1550)를 통해 접지로 흐를 수 있는 전류의 양을 제어하기 때문이다. 이는, 결국, NAND 게이트(1510)의 하강 시간을 제어하고, 따라서 NAND 게이트(1510)의 출력(OUT)이 하이에서 로우로(즉, 하강 에지로) 트랜지션하는 시간량을 제어한다. 제 1 전압 바이어스(Vbn)가 더 높을수록, 출력(OUT)으로부터 접지로의 전류가 많아지므로, 지연이 더 짧아진다. 제 1 전압 바이어스(Vbn)가 더 낮을수록, 출력(OUT)으로부터 접지로의 전류가 적어지므로, 지연은 더 길어진다.

[0074] [0095] 전류-스타빙 PMOS 트랜지스터(1520)는 그의 게이트에서 제 2 전압 바이어스(Vbp)를 수신하고, 제 2 전압 바이어스(Vbp)에 기초하여 NAND 게이트(1510)의 출력(OUT)에서 상승 에지를 발생시키는 신호의 지연을 제어한다. 이는 제 2 전압 바이어스(Vbp)가 전류-스타빙 PMOS 트랜지스터(1520)의 전도성을 제어하고, 따라서 Vdd로부터 전류-스타빙 PMOS 트랜지스터(1520)를 통해 NAND 게이트(1510)의 출력(OUT)으로 흐를 수 있는 전류의 양을 제어하기 때문이다. 이는, 결국, NAND 게이트(1510)의 상승 시간을 제어하고, 따라서 NAND 게이트(1510)의 출력이 로우에서 하이로(즉, 상승 에지로) 트랜지션하는 시간량을 제어한다. 제 2 전압 바이어스(Vbp)가 더 낮을수록, Vdd로부터 출력(OUT)로의 전류가 많아지므로, 지연은 더 짧아진다. 제 2 전압 바이어스(Vbp)가 더 높을수록, Vdd로부터 출력(OUT)로의 전류가 적어지므로, 지연은 더 길어진다.

[0075] [0096] 따라서, 제 1 및 제 2 전압 바이어스들(Vbn 및 Vbp)은 NAND 게이트(1510)의 지연을 제어하고, 따라서 NAND 게이트(1510)로 구현되는 NAND 게이트들을 포함하는 슬레이브 지연 회로의 스텝 지연을 제어한다. 제 1 전압 바이어스(Vbn)는 NAND 게이트(1510)의 출력(OUT)에서 하강 에지의 지연을 제어하고, 제 2 전압 바이어스(Vbp)는 NAND 게이트(1510)의 출력(OUT)에서 상승 에지의 지연을 제어한다.

[0076] [0097] 도 16은 본 개시내용의 일 실시예에 따른 슬레이브 지연 회로들에 대한 원하는 스텝 지연을 달성하기 위해서 제 1 및 제 2 전압 바이어스들(Vbn 및 Vbp)을 조정하도록 구성되는 마스터 지연 회로(1610)를 도시한다. 마스터 지연 회로(1610)는 업데이트 회로(712), 클락 지연 회로(1615), 위상 주파수 검출기(PFD)(1620), 차지 펌프(1625), Vbp 생성기(1640), 및 초기 풀(pull) 회로(1650)를 포함한다. 마스터 지연 회로(1610)는 전하 펌프(1625)의 출력과 접지 사이에 결합된 제 1 캐패시터(1630), 및 Vdd와 Vbp 생성기(1640)의 출력 사이에 결합된

제 2 캐패시터(1645)를 더 포함한다. 아래에서 추가로 설명되는 바와 같이, 제 1 캐패시터(1630)는 제 1 전압 바이어스(Vbn)를 생성하는데 사용되고, 제 2 캐패시터(1645)는 제 2 전압 바이어스(Vbp)를 생성하는데 사용된다.

[0077] [0098] 동작 시, 업데이트 회로(712)는 기준 클락의 N 기간들(사이클들)마다 한 쌍의 펄스들을 출력한다. 펄스들의 각각의 쌍은 Q 펄스 및 ZQ 펄스를 포함하며, 여기서, ZQ 펄스는 Q 펄스에 대하여 약 1 클락 기간만큼 지연된다. 펄스들의 각각의 쌍에 대하여, 업데이트 회로(712)는 ZQ 펄스를 PFD(1620)의 제 1 입력(1622)에 출력하고 Q 펄스를 클락 지연 회로(1615)로 출력한다. 클락 지연 회로(1615)는, 각각 차지 펌프(1625) 및 Vbp 생성기(1640)의 출력들로부터 클락 지연 회로(1615)로 피드백되는 제 1 및 제 2 전압 바이어스들(Vbn 및 Vbp)에 의해 제어되는 양만큼 Q 펄스를 지연시킨다. 제 1 전압 바이어스(Vbn)는 제 1 피드백 루프(1655)에 의해 클락 지연 회로(1615)로 피드백되고, 제 2 전압 바이어스(Vbp)는 제 2 피드백 루프(1660)에 의해 클락 지연 회로(1615)로 피드백된다. 클락 지연 회로(1615)는, 결과적으로 지연된 Q 펄스를 PFD(1620)의 제 2 입력(1624)으로 출력한다.

[0078] [0099] PFD(1620)는 ZQ 펄스와 지연된 Q 펄스 간의 위상 에러를 검출한다. 예컨대, PFD(1620)는 ZQ 펄스 및 지연된 Q 펄스의 상승 에지들 간의 위상차 또는 ZQ 펄스 및 지연된 Q 펄스의 하강 에지들 간의 위상차를 검출함으로써 위상 에러를 검출할 수 있다. PFD(1620)는 검출된 위상 에러에 기초하여 전하 펌프(1625)에 UP 신호 및/또는 DOWN 신호를 출력한다. UP 신호는 전하 펌프(1625)로 하여금 제 1 캐패시터(1630)를 충전하게 하고(따라서 제 1 전압 바이어스(Vbn)를 증가시킨다), DOWN 신호는 차지 펌프(1625)로 하여금 제 1 캐패시터(1630)를 방전하게 한다(따라서 제 1 전압 바이어스(Vbn)를 감소시킨다). PFD(1620)는 검출된 위상 에러를 감소시키는 방향으로 UP 신호 및/또는 DOWN 신호(및 그에 따른 제 1 전압 바이어스(Vbn))를 조정한다.

[0079] [0100] 제 1 전압 바이어스(Vbn)는 제 1 전압 바이어스(Vbn)에 기초하여 제 2 전압 바이어스(Vbp)를 생성하는 Vbp 생성기(1640)에 입력된다. 일 실시예에서, Vbp 생성기(1640)는, Vdd-Vbp가 Vbn과 대략 동일하도록 제 2 전압 바이어스(Vbp)를 단순히 조정할 수 있다. 다른 실시예에서, Vbp 생성기(1640)는, 슬레이브 지연 회로들 내의 NAND 게이트들의 상승 시간들 및 하강 시간들이 대략 동일하도록 제 2 전압 바이어스(Vbp)를 조정할 수 있다. 예컨대, Vbp 발생기(1640)는 NAND 게이트들 중 하나로 하여금 다른 NAND 게이트가 하강하는 동안 상승하게 하는 상보적인 신호들에 의해 구동되는 2개의 NAND 게이트들을 포함할 수 있다. NAND 게이트들 둘 모두는 제 1 및 제 2 전압 바이어스들(Vbn 및 Vbp)에 의해 바이어싱될 수 있고, 슬레이브 지연 회로들의 NAND 게이트들의 리플리카들일 수 있다. 이 예에서, Vbp 생성기(1640)는, NAND 게이트들의 상승 및 하강 에지들이 교차하는 포인트(예컨대, 전압)를 검출하고, 교차점이 NAND 게이트들의 전압 스윙의 대략 중간(예컨대, 대략 Vdd의 절반)이 되도록 제 2 전압 바이어스(Vbp)를 조정할 수 있다.

[0080] [0101] 클락 지연 회로(1615)의 지연이 기준 클락의 1 기간과 대략 동일할 경우, 위상 에러는 0에 접근한다. 따라서, 마스터 지연 회로(1610)는, 클락 지연 회로(1615)의 지연이 1 클락 기간과 대략 동일하도록 제 1 및 제 2 전압 바이어스들(Vbn 및 Vbp)을 조정한다. 일 실시예에서, 클락 지연 회로(1615)는 슬레이브 지연 회로들의 스텝 지연의 배수 M과 대략적으로 동일한 지연을 갖는다. 예컨대, 간단한 구현에서, 클락 지연 회로(1615)는 직렬로 결합된 2*M개의 NAND 게이트들을 포함할 수 있으며, 스텝 지연은 2개의 NAND 게이트들의 지연이다. 이와 같이, 이 실시예에서, 마스터 지연 회로(1610)는 대략 T/M의 스텝 지연을 유지하기 위해 N개 클락 기간들(사이클들)마다 제 1 및 제 2 전압 바이어스들(Vbn 및 Vbp)을 업데이트하며, T는 1 클락 기간(사이클)이다.

[0081] [0102] 제 1 캐패시터(1630)는 업데이트들 사이에서 제 1 전압 바이어스(Vbn)를 유지하고, 제 2 캐패시터(1645)는 업데이트들 사이에서 제 2 전압 바이어스(Vbp)를 유지한다. 제 1 및 제 2 전압 바이어스들(Vbn 및 Vbp)은 업데이트들 사이에서 드리프트된다. 상술된 바와 같이, 업데이트들 사이의 시간을 증가시키는 것(즉, N을 증가시키는 것)은, 업데이트들 사이에 드리프트가 더 커지는 것을 대가로 하여 전력 소모를 감소시킨다(따라서 성능이 더 낮아진다). 이와 관련하여, 업데이트 제어기(750)는, 특정 데이터 레이트에 대한 타이밍 요건들을 여전히 충족시키면서 전력 소모를 감소시키기 위해 업데이트들의 레이트를 조정(즉, N을 조정)할 수 있다.

[0082] [0103] 초기 폴 회로(1650)는 폴스 락킹(false lock)을 방지하기 위해서 제 1 및 제 2 전압 바이어스들(Vbn 및 Vbp)에 대해 초기 값들을 설정하도록 구성된다. 이를 위해, 초기 폴 회로(1650)는 초기에 제 1 전압 바이어스(Vbn)를 전원(Vdd)으로 풀업(pull up)하고, 리셋 신호("i_rst"로 표기)가 어서트될 경우(즉, i_rst가 로직 1임) 제 2 전압 바이어스(Vbp)를 접지로 풀다운한다. 이는 초기에 클락 지연 회로(1615)를 1 클락 기간보다 더 짧은 지연으로 설정하며, 이는 마스터 지연 회로(1610)가 클락 지연 회로(1615)의 지연을 1 클락 기간으로 락킹하는 것을 보장하도록 돕는다.

- [0083] [0104] 제 1 및 제 2 전압 바이어스들(Vbn 및 Vbp)이 처음에 설정되고 리셋이 턴 오프된 후(예컨대, i_rst가 로직 0임), 마스터 지연 회로(1610)는 락킹 기간 동안 클락 기간(사이클) 마다 제 1 및 제 2 전압 바이어스들(Vbn 및 Vbp)을 업데이트할 수 있다. 일단 마스터 지연 회로(1610)가 락킹되면, 상술된 바와 같이, 전력을 절약하기 위해 업데이트들 사이의 간격이 증가될 수 있다(즉, N이 증가될 수 있다).
- [0084] [0105] 도 17은 본 개시내용의 실시예에 따른 클락 지연 회로(1615)의 예시적인 구현을 도시한다. 클락 지연 회로(1615)는 제 1 지연 스테이지(1710) 및 제 2 지연 스테이지(1750)를 포함한다. 클락 지연 회로(1615)를 통과하는 총 지연은 대략, 제 1 및 제 2 지연 스테이지들(1710 및 1750)을 통과하는 지연들의 합이다.
- [0085] [0106] 제 1 지연 스테이지(1710)는 발진기(1720), 및 카운트 회로(1730)를 포함한다. 발진기(1720)는 지연 회로(1725), 및 발진 인에이블/디스에이블 회로(1740)를 포함한다.
- [0086] [0107] 지연 회로(1725)는 도 13의 슬레이브 지연 회로(1315)의 구조와 유사한 구조로 결합된 NAND 게이트들을 포함할 수 있다. 도 17에 도시된 예에서, 지연 회로(1725) 내의 NAND 게이트들의 일 부분은 지연 회로(1725)를 통해 지연 경로(1712)를 형성하도록 인에이블된다. 일 예로, 경로(1712)의 지연은 $16 \cdot td$ 와 동일하며, 여기서 td 는 하나의 스텝 지연(예컨대, 2 NAND 게이트들의 지연)이다. 스텝 지연(td)은 제 1 및 제 2 전압 바이어스들(Vbn 및 Vbp)(도 17에 미도시)에 의해 제어된다.
- [0087] [0108] 발진 인에이블/디스에이블 회로(1740)는, 아래에서 추가로 설명되는 바와 같이, 발진기(1720)가 카운트 회로(1730)로부터의 제어 신호에 기초하여 인에이블될지 또는 디스에이블될지 여부를 제어한다. 도 17의 예에서, 발진 인에이블/디스에이블 회로(1740)는 지연 회로(1725)의 출력(1735)에 결합된 제 1 입력, 제어 신호를 수신하기 위해 카운트 회로(1730)에 결합된 제 2 입력(1745)(제어 입력으로도 지칭됨), 및 지연 회로(1725)의 입력에 결합된 출력을 갖는 NAND 게이트(1740)를 포함한다. NAND 게이트(1740)는 제 1 및 제 2 전압들 바이어스들(Vbn 및 Vbp)(도 17에 미도시)에 의해 바이어싱될 수 있다.
- [0088] [0109] 이 예에서, 제어 신호가 로직 1일 때, NAND 게이트(1740)는 지연 회로(1725)의 출력과 입력 사이에서 인버터로서 작동하여, 지연 회로(1725)를 발진시킨다. 따라서, 발진기(1720)는, 제어 신호가 로직 1일 때 인에이블된다. 제어 신호가 로직 0일 때, NAND 게이트(1740)의 출력 상태는 로직 상태와 관계없이 지연 회로(1725)의 출력에서 로직 1로 일정하게 유지된다. 이는, 지연 회로(1725)의 입력으로부터 지연 회로(1725)의 출력을 효과적으로 차단한다. 결과적으로, 지연 회로(1725)가 진동하는 것이 방지된다. 따라서, 발진기(1720)는, 제어 신호가 로직 0일 때 디스에이블된다.
- [0089] [0110] 발진기(1720)가 인에이블 될 경우, 지연 회로(1725) 및 NAND 게이트(1740)는, 폐쇄 루프를 통과하는 1회의 트립이 지연 회로(1725)를 통과하는 경로(1712)의 지연과 NAND의 게이트(1740)의 지연의 합과 동일한 그 폐쇄 루프를 형성한다. 경로(1712)의 지연이 $16 \cdot td$ 와 같은 예에서, 루프를 통과하는 하나의 트립이 대략 $16.5 \cdot td$ (즉, 경로(1712)를 통과하는 $16 \cdot$ 지연 및 NAND 게이트(1740)를 통과하는 $0.5 \cdot$ 지연)와 동일하다.
- [0090] [0111] 이제, 제 1 지연 스테이지(1710)의 예시적인 동작들이 본 개시내용의 실시예들에 따라 설명될 것이다. 이 예에서, 제 1 지연 스테이지(1710)는 업데이트 회로(712)로부터 로우 Q 펄스들을 수신한다고 가정할 수 있다(이것의 예가 도 10에 도시된다). 업데이트 회로(712)로부터의 Q 펄스의 상승 에지를 수신하기 전에, 발진기(1720)가 디스에이블된다(즉, 카운트 회로(1730)는 NAND 게이트(1740)의 제어 입력(1745)에 로직 0을 출력한다). 이외에도, 카운트 회로(1730)는 로직 1을 제 2 지연 스테이지(1750)로 출력한다.
- [0091] [0112] Q 펄스의 상승 에지에서, 카운트 회로(1730)가 트리거된다. 이는, 카운트 회로(1730)로 하여금 NAND 게이트(1740)의 제어 입력(1745)에 로직 1을 출력하게 하여 발진기(1720)를 인에이블시킨다. 이는 또한, 카운트 회로(1730)로 하여금 발진기(1720)의 발진 횟수를 카운트하기 시작하게 하고, 제 2 지연 스테이지(1750)로의 출력이 하이에서 로우로 트랜지션하게 한다.
- [0092] [0113] 발진기(1720)가 발진함에 따라, 지연 회로(1725)의 출력(1735)에서의 로직 상태가 변한다. 출력 로직 상태에서의 변화들 사이의 시간은 제 1 NAND 게이트(1740) 및 지연 회로(1725) 내의 경로(1712)를 통과하는 1회의 트립의 지연과 대략 동일하다. 카운트 회로(1730)는 지연 회로(1725)의 출력(1735)에서 각각의 하강 에지에서 카운트 값을 증분시킬 수 있다. 대안으로, 카운트 회로(1730)는 지연 회로(1725)의 출력(1735)에서 각각의 상승 에지에서 카운트 값을 증분시킬 수 있다. 어느 경우이든, 카운트 회로(1730)는, 신호가 NAND 게이트(1740) 및 지연 회로(1725) 내의 경로(1712)를 통과하여 2회 트립할 때마다 카운트 값을 증분시킨다. 제 1 NAND 게이트(1740) 및 지연 회로(1725) 내의 경로(1712)를 통과하는 지연이 $16.5 \cdot td$ 와 동일한 예의 경우, 카운트 회로(1730)는 $2 \cdot 16.5 \cdot td$ 의 지연 이후 카운트 값을 증분시킨다.

- [0093] [0114] 카운트 값이 미리결정된 단자 카운트 값(예컨대, 13 카운트들)에 도달할 경우, 카운트 회로(1730)는 로직 0을 NAND 게이트(1740)의 제어 입력(1745)에 출력하여 발진기(1720)를 디스에이블시킨다. 카운트 회로(1730)는 또한 제 2 지연 스테이지(1750)로 상승 에지를 출력한다. 따라서, 제 1 지연 스테이지(1710)가, 카운트 값이 단자 카운트 값에 도달하는 것에 대한 응답으로 제 2 지연 스테이지(1750)로 상승 에지를 출력한다. 단자 카운트 값이 13이고 NAND 게이트(1740) 및 지연 회로(1725)를 통과하는 지연이 $16.5 \cdot t_d$ 인 예의 경우, 제 1 지연 스테이지(1710)에 입력된 Q 펄스의 상승 에지와 제 2 지연 스테이지(1750)로 출력된 상승 에지 간의 지연은 대략 $13 \cdot 2 \cdot 16.5 \cdot t_d$ 와 동일하다. 단자 카운트에 도달한 후, 발진기(1720)는 카운트 회로(1730)가 다음 Q 펄스의 상승 에지에 의해 리트리거(re-trigger)될 때까지 디스에이블 상태로 남아있을 수 있다. 이외에도, 카운트 회로(1730)는 리트리거될 때까지 로직 1을 제 2 스테이지(1750)로 출력할 수 있다.
- [0094] [0115] 일 실시예에서, 제 2 지연 스테이지(1750)는 실질적으로 제 1 지연 스테이지(1710)와 동일한 구조를 갖는다. 이 실시예에서, 제 2 지연 스테이지(1750)는 발진기(1770), 및 카운트 회로(1780)를 포함한다. 발진기(1770)는 발진 인에이블/디스에이블 회로(1790) 및 지연 회로(1775)를 포함한다. 도 17의 실시예에서, 발진 인에이블/디스에이블 회로(1790)는 NAND 게이트(1790)를 포함한다. 제 2 지연 스테이지(1750)의 지연 회로(1775), 카운트 회로(1780) 및 NAND 게이트(1790)는 제 1 지연 스테이지(1710)의 지연 회로(1725), 카운트 회로(1730) 및 NAND 게이트(1740)와 실질적으로 유사한 방식으로 기능할 수 있다.
- [0095] [0116] 제 1 지연 스테이지(1710)로부터 상승 에지를 수신하기 전에, 제 2 지연 스테이지(1750) 내의 발진기(1770)가 디스에이블된다(즉, 카운트 회로(1780)는 NAND 게이트(1790)의 제어 입력(1795)에 로직 0을 출력한다). 또한, 카운트 회로(1780)는 로직 1을 PFD(1620)로 출력한다.
- [0096] [0117] 제 1 지연 스테이지(1710)로부터의 상승 에지에서, 카운트 회로(1780)가 트리거된다. 이는, 카운트 회로(1780)로 하여금 NAND 게이트(1790)의 제어 입력(1795)에 로직 1을 출력하게 하여 발진기(1770)를 인에이블시킨다. 이는 또한, 카운트 회로(1780)로 하여금 발진기(1770)의 발진 횟수를 카운트하기 시작하게 하고, PFD(1620)로의 출력이 하이에서 로우로 트랜지션하게 한다.
- [0097] [0118] 카운트 회로(1780)에서의 카운트 값이 미리결정된 단자 카운트 값(예컨대, 13 카운트들)에 도달할 경우, 카운트 회로(1780)는 로직 0을 NAND 게이트(1790)에 출력하여 발진기(1770)를 디스에이블시킨다. 카운트 회로(1780)는 또한 상승 에지를 PFD(1620)로 출력한다. 단자 카운트 값이 13이고 NAND 게이트(1790) 및 지연 회로(1775)를 통과하는 지연이 $16.5 \cdot t_d$ 인 예의 경우, 제 2 지연 스테이지(1750)에 입력된 상승 에지와 PFD(1620)로 출력된 상승 에지 간의 지연은 대략 $13 \cdot 2 \cdot 16.5 \cdot t_d$ 와 동일하다. 단자 카운트에 도달한 후, 발진기(1770)는 카운트 회로(1780)가 제 1 지연 스테이지(1710)로부터의 다음 상승 에지에 의해 리트리거될 때까지 디스에이블 상태로 남아있을 수 있다. 이외에도, 카운트(1780)는 리트리거될 때까지 로직 1을 PFD(1620)로 출력할 수 있다.
- [0098] [0119] 도 18은 Q 펄스, 제 1 지연 스테이지(1710)의 출력 및 제 2 지연 스테이지(1750)의 출력의 예를 도시하는 타이밍도이다. 이 예에서, N이 1을 초과하는 것으로 가정한다. Q 펄스의 상승 에지(1810)가 제 1 지연 스테이지(1710)의 카운트 회로(1730)를 트리거하여, 제 1 지연 스테이지(1710)의 출력이 하이에서 로우로 트랜지션하게 한다. 카운트 회로(1730)의 카운트 값이 단자 카운트에 도달할 경우, 제 1 지연 스테이지(1710)는 상승 에지(1820)를 제 2 지연 스테이지(1750)로 출력한다. 제 1 지연 스테이지(1710)로부터의 상승 에지(1820)가 제 2 지연 스테이지의 카운트 회로(1780)를 트리거하여, 제 2 지연 스테이지(1750)의 출력이 하이에서 로우로 트랜지션하게 한다. 카운트 회로(1780)의 카운트 값이 단자 카운트에 도달할 경우, 제 2 지연 스테이지(1750)는 상승 에지(1830)를 PFD(1620)로 출력한다. PFD(1620)로 출력된 상승 에지(1830)는, 도 18에 도시된 바와 같이, 제 1 및 제 2 지연 스테이지들(1710 및 1750)을 통과하는 지연들의 합만큼 Q 펄스의 상승 에지부터 지연된다.
- [0099] [0120] 상기 언급된 바와 같이, 마스터 지연 회로(1610)는, 클락 지연 회로(1615)를 통과하는 지연이 1 클락 기간과 대략 동일할 때까지 제 1 및 제 2 전압 바이어스들(V_{bn} 및 V_{bp})을 조정한다. 따라서, 마스터 지연 회로(1610)는 제 1 및 제 2 전압 바이어스들(V_{bn} 및 V_{bp})을 조정하여 T/M의 스텝 지연을 달성하며, 여기서 T는 1 클락 기간이고, M은 제 1 및 제 2 지연 스테이지들(1710 및 1750)에서의 스텝 지연들의 총 수이다. 클락 지연 회로(1615)의 각각의 스테이지(1710 및 1750)를 통과하는 지연이 $13 \cdot 2 \cdot 16.5 \cdot t_d$ 와 동일한 예의 경우, 클락 지연 회로(1615)를 통과하는 총 지연은 $2 \cdot 13 \cdot 2 \cdot 16.5 \cdot t_d$ 이다. 이 예에서, 마스터 지연 회로(1610)는 제 1 및 제 2 바이어스들(V_{bn} 및 V_{bp})을 조정하여 $T/(2 \cdot 13 \cdot 2 \cdot 16.5)$ 와 대략 동일한 스텝 지연 t_d 를 달성하며, T는 1 클락 기간이다.
- [0100] [0121] 도 17의 예시적인 클락 지연 회로(1615)는 다음 이점들 중 하나 또는 그 조합의 것을 제공한다. 첫째, 클락 지연 회로(1615)는 단순히 긴 지연 체인을 이용하는 것에 비해 훨씬 적은 수의 NAND 게이트들을 이용하여

작은 스텝 지연을 달성할 수 있음으로써, 클락 지연 회로(1615)의 크기를 감소시킨다. 이는, 클락 지연 회로(1615)가 발진기를 형성하기 위해 상대적으로 작은 지연 체인(예컨대, 경로(1712)의 NAND 게이트들)을 사용하고, 클락 지연 회로(1615)의 지연을 생성하기 위해 발진기의 발진 횟수를 카운트하기 때문이다.

[0101] [0122] 다른 이점은, 전압 바이어스 업데이트들의 레이트가 감소될 경우(즉, N이 증가할 경우) 클락 지연 회로(1615)의 전력 소모가 실질적으로 감소된다는 것이다. 이는, 발진기들(1720 및 1770)이 업데이트들 사이에는 디스에이블되기 때문이다. 결과적으로, 업데이트들 사이의 간격이 증가될 경우(즉, N이 증가할 경우), 발진기들(1720 및 1770)로부터의 동적 전력 소모가 감소된다. 예컨대, N이 1보다 크면, 발진기들(1720 및 1770)에 의해 소모되는 전력은, 클락 기간마다 전압 바이어스들(Vbn 및 Vbp)이 업데이트되는 경우에 발진기들(1720 및 1770)에 의해 소모되는 전력의 약 1/N로 감소된다.

[0102] [0123] 다른 이점은, 2개의 지연 스테이지들(1710 및 1750)을 이용하는 것은 Q 펄스들 사이에서 리셋하는데 더 많은 시간을 각각의 스테이지에 제공한다는 것이다. 예컨대, 제 1 지연 스테이지(1710)가 전류 Q 펄스에 대한 단자 카운트에 도달하고 N이 1인 경우, 제 1 지연 스테이지(1710)는 다음 Q 펄스에 대한 리셋을 위해 제 2 지연 스테이지(1750)의 지연과 대략 동일한 시간량을 갖는다.

[0103] [0124] 지연 회로들(1725 및 1775)은 NAND 게이트들로 제한되지 않는다는 것을 인식해야 한다. 예컨대, 각각의 지연 회로(1725 및 1775)는, 지연 엘리먼트들이 슬레이브 지연 회로들의 지연 엘리먼트들의 리플리카들일 수 있는 NAND 게이트들이 아닌 지연 엘리먼트들의 체인을 포함할 수 있다. 이 예에서, 지연 체인의 입력 및 출력은 발진기를 형성하도록 선택적으로 결합될 수 있고, 각각의 카운트 회로(1730 및 1780)는 발진기의 발진 횟수를 카운트하여 지연을 생성할 수 있다.

[0104] [0125] 또한, 클락 지연 회로(1615)는 2개의 지연 스테이지들로 제한되지 않는다는 것을 인식한다. 예컨대, 클락 지연 회로(1615)는, 제 1 지연 스테이지(1710)의 출력이 지연된 Q 펄스를 PFD(1620)에 제공하는 하나의 지연 스테이지(1710)를 포함할 수 있다. 하나의 지연 스테이지(1710)는, 예컨대, 지연 스테이지(1710)가 (예컨대, N이 2 이상인 경우) 제 2 지연 스테이지를 필요로 하지 않고 다음 Q 펄스에 대해 리셋하기 위한 충분한 시간을 가질 경우에 사용될 수 있다.

[0105] [0126] 도 19는 본 개시내용의 실시예에 따른 제 1 지연 스테이지(1710)의 카운트 회로(1730)의 예시적인 구현을 도시한다. 제 2 지연 스테이지(1750) 내의 카운트 회로(1780)는 또한 도 19에 도시된 회로를 사용하여 구현될 수 있다.

[0106] [0127] 이 실시예에서, 카운트 회로(1730)는 리셋 로직(1915), 카운터(1910), NAND 게이트(1920), NOR 게이트(1930), 인버터(1925) 및 OR 게이트(1935)를 포함한다. 다음 설명에서, 카운트 회로(1730)의 NAND 게이트(1920)를 제 2 NAND 게이트(1920)로 지칭할 것이고, 발진기(1720)의 인에이블/디스에이블을 위해 사용되는 NAND 게이트(1740)를 제 1 NAND 게이트(1740)로 지칭할 것이다.

[0107] [0128] 제 2 NAND 게이트(1920)는 지연 회로(1725)의 출력("o_osc"로 표기됨)에 결합된 제 1 입력, 및 리셋 로직(1915)의 출력("rst_cnt"로 표기됨)에 결합된 제 2 입력을 갖는다. 카운터(1910)는 제 2 NAND 게이트(1920)의 출력에 결합된 입력("i_cnt"로 표기됨), 및 제 1 NAND 게이트(1740)의 제어 입력(1745)에 결합된 출력("o_cnt"로 표기됨)을 갖는다. 따라서, 이 실시예에서, 카운터(1910)의 출력(o_cnt)의 로직 상태는, 발진기(1720)가 인에이블될지 또는 디스에이블될지 여부를 제어한다. OR 게이트(1935)는 초기 리셋 신호("i_rst"로 표기됨)를 수신하기 위한 제 1 입력 및 인버터(1925)를 통해 지연 회로(1725)의 출력(o_osc)에 결합된 제 2 입력을 갖는다. OR 게이트(1935)의 출력은 리셋 로직(1915)의 리셋 입력("rst"로 표기됨)에 결합된다. NOR 게이트(1930)는 카운터(1910)의 입력(i_cnt)에 결합된 제 1 입력 및 카운터(1910)의 출력(o_cnt)에 결합된 제 2 입력을 갖는다.

[0108] [0129] 이제, 카운트 회로(1730)의 예시적인 동작들이 본 개시내용의 실시예들에 따라 설명될 것이다. 이 예에서, 제 1 지연 스테이지(1710)는 업데이트 회로(712)로부터 로우 Q 펄스들을 수신한다고 가정할 수 있다(이것의 예가 도 10에 도시된다). 업데이트 회로(712)로부터의 Q 펄스의 상승 에지를 수신하기 전에, 발진기(1720)가 디스에이블되고(즉, 카운터(1910)가 제 1 NAND 게이트(1740)의 제어 입력(1745)에 로직 0을 출력한다), 지연 회로(1725)가 제 2 NAND 게이트(1920)에 로직 1을 출력(o_osc)한다. 리셋 로직(1915)이 로직 1을 제 2 NAND 게이트(1920)에 출력(rst_cnt)한다. 따라서, 제 2 NAND 게이트(1920)는 지연 회로(1725) 및 리셋 로직(1915) 둘 모두로부터 로직 1을 수신하여, 제 2 NAND 게이트(1920)가 카운터(1910)의 입력(i_cnt)에 로직 0을 출력시킨다. 카운터(1910)의 입력(i_cnt) 및 출력(o_cnt) 둘 모두가 로직 0이므로, NOR 게이트(1930)는 로직 1을 출력한다.

- [0109] [0130] Q 펄스의 상승 에지에서, 리셋 로직(1915)의 출력(rst_cnt)이 하이에서 로우로 트랜지션한다. 이는, 제 2 NAND 게이트(1920)가 카운터(1910)의 입력(i_cnt)에 로직 1을 출력하여 카운팅을 시작하도록 카운터(1910)를 트리거링한다. 응답으로, 카운터(1910)가 제 1 NAND 게이트(1740)의 제어 입력(1745)에 로직 1을 출력하게 하여(o_cnt), 발진기(1720)를 인에이블시킨다. 따라서, 카운터(1910)는, 리셋 로직(1915)의 출력(rst_cnt)이 로우가 되는 것에 대한 응답으로 발진기(1720)를 인에이블시킨다. 또한, (NOR 게이트(1930)로 또한 공급되는) 카운터(1910)의 출력(o_cnt)에서의 로직 1은, NOR 게이트(1930)의 출력이 하이에서 로우로 트랜지션하게 한다.
- [0110] [0131] 지연 회로(1725)의 출력(o_osc)이 먼저 발진 모드에서 로직 0으로 변할 경우, 로직 1이 인버터(1925) 및 OR 게이트(1935)를 통해 리셋 로직(1915)의 리셋 입력(rst)으로 입력된다. 이는, 리셋 로직(1915)이 리셋되게 하고 로직 1이 제 2 NAND 게이트(1920)로 출력되게 한다. 리셋 로직(1915)으로부터의 로직 1은, 제 2 NAND 게이트(1920)로 하여금 지연 회로(1725)의 출력의 인버스(o_osc)를 카운터(1910)의 입력(i_cnt)으로 전달하게 한다.
- [0111] [0132] 발진기(1720)가 발진함에 따라, 지연 회로(1725)의 출력(o_osc)에서의 로직 상태가 변한다. 출력 로직 상태에서의 변화들 사이의 시간은 제 1 NAND 게이트(1740) 및 지연 회로(1725) 내의 경로(1712)를 통과하는 1개의 트립의 지연과 대략 동일하다.
- [0112] [0133] 발진 동안, 카운터(1910)는 카운터 입력(i_cnt)이 로우에서 하이(즉, NAND 게이트(1920)의 출력에서 각각의 상승 에지)로 상승할 때마다 카운트 값을 증분시킨다. 이는, 신호가 제 1 NAND 게이트(1740) 및 지연 회로(1725) 내의 경로(1712)를 통과하여 2회 트립할 때마다 발생한다. 따라서, 이 양상에서, 카운터(1910)는, 제 1 NAND 게이트(1740) 및 지연 회로(1725) 내의 경로(1712)를 통과하는 2회 트립의 지연 이후에 카운트 값을 증분시킨다. 제 1 NAND 게이트(1740) 및 지연 회로(1725) 내의 경로(1712)를 통과하는 지연이 $16.5 \cdot t_d$ 와 동일한 예의 경우, 카운터(1910)는 $2 \cdot 16.5 \cdot t_d$ 의 지연 이후 카운트 값을 증분시킨다.
- [0113] [0134] 카운트 값이 단자 카운트 값(예컨대, 13 카운트들)에 도달할 경우, 카운터(1910)는 NOR 게이트(1930) 및 제 1 NAND 게이트(1740)의 제어 입력(1745) 둘 모두에 로직 0을 출력(o_cnt)한다. 제 1 NAND 게이트(1740)의 제어 입력(1745)에서 로직 0은 제 1 NAND 게이트(1740)의 출력이 로직 1로 일정하게 유지되게 하여, 발진기(1720)를 디스에이블시킨다. 제 1 NAND 게이트(1740)의 출력에서의 로직 1은 지연 회로(1725)를 통해 전파되어, 지연 회로(1725)가 로직 1을 제 2 NAND 게이트(1920)로 출력(o_osc)하게 한다. 이는, 결국, 제 2 NAND 게이트(1920)로 하여금 NOR 게이트(1930) 및 카운터(1910)의 입력(i_cnt) 둘 모두에 로직 0을 출력하게 한다. 결과적으로, NOR 게이트(1930)의 입력들 둘 모두가 로직 0이므로, NOR 게이트(1930)의 출력이 로우에서 하이로 트랜지션하게 하고, 따라서, NOR 게이트(1930)로 하여금 제 2 지연 스테이지(1750)로 상승 에지를 출력하게 한다. 따라서, 제 1 지연 스테이지(1710)는, 카운터(1910)가 단자 카운트 값에 도달한 후 제 2 지연 스테이지(1750)에 상승 에지를 출력한다. 단자 카운트 값이 13이고 제 1 NAND 게이트(1740) 및 지연 회로(1725)를 통과하는 지연이 $16.5 \cdot t_d$ 인 예의 경우, Q 펄스의 상승 에지와 제 2 지연 스테이지(1750)로 출력된 상승 에지 간의 지연은 대략 $13 \cdot 2 \cdot 16.5 \cdot t_d$ 와 동일하다.
- [0114] [0135] 상술된 바와 같이, 카운터 입력(i_cnt)에서 각각의 상승 에지에서 카운트 값을 증분시키는 대신에, 카운터(1910)는 각각의 상승 에지에서 카운트 값을 감소시킬 수 있다는 것을 인식한다. 이 경우, 카운터(1910)는 미리결정된 카운트 값으로부터 카운트를 시작하고, 각각의 상승 에지에서 카운트 값을 감소시키고, 카운트 값이 0의 단자 카운트 값에 도달할 경우 제 2 클락 지연 회로(1710)를 트리거할 수 있다.
- [0115] [0136] 도 20은 본 개시내용의 일 실시예에 따른 리셋 로직(1915)의 예시적인 구현을 도시한다. 리셋 로직(1915)은 제 1 AND 게이트(2010), 제 1 NOR 게이트(2020), 인버터(2030), 제 2 AND 게이트(2040), 제 2 NOR 게이트(2050) 및 제 3 NOR 게이트(2060)를 포함한다. 리셋 로직(1915)의 클락 입력("clk"으로 표기됨)은 제 1 AND 게이트(2010)의 제 1 입력 및 제 2 AND 게이트(2040)의 제 1 입력에 결합된다. 제 1 AND 게이트(2010)의 출력이 제 1 NOR 게이트(2020)의 제 1 입력에 결합되고, 리셋 입력이 제 1 NOR 게이트(2020)의 제 2 입력에 결합된다. 제 1 NOR 게이트(2020)의 출력은 인버터(2030)를 통해 제 1 AND 게이트(2010)의 제 2 입력으로 피드백된다. 제 1 NOR 게이트(2020)의 출력이 또한 제 2 AND 게이트(2040)의 제 2 입력에 결합된다. 제 2 AND 게이트(2040)의 출력이 제 2 NOR 게이트(2050)의 제 1 입력에 결합된다. 제 2 NOR 게이트(2050)의 출력이 제 3 NOR 게이트(2060)의 제 1 입력에 결합되고, 리셋 입력이 제 3 NOR 게이트(2060)의 제 2 입력에 결합된다. 제 3 NOR 게이트(2060)의 출력이 제 2 NOR 게이트(2050)의 제 2 입력에 결합된다. 제 2 NOR 게이트(2050)의 출력은 리셋 로직(1915)의 출력("yn"으로 표기됨)에 결합된다.
- [0116] [0137] 리셋 로직(1915)이 로직 1을 리셋 입력(rst)에 입력함으로써 리셋될 수 있다. 일단 리셋되면, 리셋 로

직(1915)은 클락 입력(clk)에서 상승 에지가 수신될 때까지 로직 1을 출력(yn)할 수 있다. 리셋 로직(1915)이 제 1 지연 스테이지(1710)에서 이용될 경우, 클락 입력(clk)이 업데이트 회로(712)의 Q 출력에 결합될 수 있고, 리셋 로직(1915)이 제 2 지연 스테이지(1750)에서 사용될 경우, 클락 입력(clk)이 제 1 지연 스테이지(1710)의 출력에 결합될 수 있다.

[0117] [0138] 클락 입력(clk)에서 상승 에지가 수신될 경우, 리셋 로직(1915)의 출력은 로우로 진행한다(즉, 리셋 로직(1915)이 로직 0을 출력한다). 상승된 바와 같이, 이는 카운트 회로(1730)의 카운터(1910)를 트리거하여 카운팅을 시작할 수 있다. 리셋 로직(1915)은, 지연 회로(1725)의 출력(o_osc)이 로우로 진행할 경우 리셋될 수 있다. 이는, 지연 회로(1725)의 출력(o_osc)이 인버터(1925)를 통해 리셋 로직(1915)의 리셋 입력(rst)에 공급되기 때문이다. 리셋 로직(1915)이 제 1 지연 스테이지(1710)에서 사용될 경우, 이는 다음 Q 펄스의 상승 에지에 대해 리셋 로직(1915)을 리셋한다.

[0118] [0139] 도 21은 본 개시내용의 실시예에 따른 업데이트 회로(2110)의 예시적인 구현을 도시한다. 업데이트 회로(2110)는 도 7 및 도 16에 도시된 업데이트 회로(712)를 구현하는데 사용될 수 있다. 업데이트 회로(2110)는, 입력 기준 클락의 N 기간들(사이클들)마다 한 쌍의 펄스들을 출력하도록 구성된다. 펄스들의 각각의 쌍은 로우 Q 펄스 및 로우 ZQ 펄스를 포함하며(이것의 예는 도 10에 도시됨), 여기서, ZQ 펄스는 Q 펄스에 대하여 약 1 클락 기간만큼 지연된다.

[0119] [0140] 업데이트 제어기(2110)는 프로그래밍가능한 카운터(2115), 제 1 인버터(2120), 제 1 D 플립-플롭(2130), 제 2 D 플립-플롭(2150), 제 2 인버터(2135), 제 1 OR 게이트(2140), 제 3 인버터(2155) 및 제 2 OR 게이트(2160)를 포함한다. 카운터(2115), 제 1 플립-플롭(2130), 및 제 2 플립-플롭(2150)은 도 21에 도시된 바와 같이 초기 리셋 신호(i_rst)에 의해 리셋될 수 있다.

[0120] [0141] 카운터(2115)는 업데이트 제어기(750)로부터 제어 신호 N 및 기준 클락을 수신한다. 카운터(2115)는 기준 클락의 모든 각각의 제 N 기간(사이클) 동안 그 출력("tcn"으로 표기됨)에서 로직 0을 출력하고, 제 N 기간(사이클)마다(N이 1보다 큰 경우임) 로직 1을 그의 출력(tcn)에서 출력하도록 구성된다.

[0121] [0142] 제 1 플립-플롭(2130)은 기준 클락에 결합된 클락 입력("clk"로 표기됨), 및 제 1 인버터(2120)를 통해 카운터(2115)의 출력(tcn)에 결합된 d 입력 및 q 출력을 갖는다. 제 2 플립-플롭(2150)은 기준 클락에 결합된 클락 입력("clk"로 표기됨), 및 제 1 플립-플롭(2130)의 q 출력(tcn)에 결합된 d 입력 및 q 출력을 갖는다. 플립-플롭들(2130 및 2150) 둘 모두는 포지티브-에지 트리거드 플립-플롭들일 수 있으며, 각각의 플립-플롭은 기준 클락의 상승 에지 상에서 각각의 d 입력에서 로직 값을 래치하고, 약 1 클락 기간 동안 각각의 q 출력에서 래치된 로직 값을 출력한다.

[0122] [0143] 제 1 OR 게이트(2140)는 제 2 인버터(2135)를 통해 제 1 플립-플롭(2130)의 q 출력에 결합된 제 1 입력, 및 기준 클락에 결합된 제 2 입력을 갖는다. 제 1 OR 게이트(2140)의 출력은 업데이트 회로(2110)의 Q 출력을 형성한다. 제 2 OR 게이트(2160)는 제 3 인버터(2155)를 통해 제 2 플립-플롭(2150)의 q 출력에 결합된 제 1 입력, 및 기준 클락에 결합된 제 2 입력을 갖는다. 제 2 OR 게이트(2160)의 출력은 업데이트 회로(2110)의 ZQ 출력을 형성한다.

[0123] [0144] 이제, 업데이트 회로(2110)의 동작들이 본 개시내용의 실시예들에 따라 설명될 것이다.

[0124] [0145] 상기 논의된 바와 같이, 카운터(2115)는 기준 클락의 모든 각각의 제 N 기간(사이클) 동안 로직 0을 출력한다. 카운터(2115)가 1 클락 기간(사이클) 동안 로직 0을 출력할 때마다, 제 1 OR 게이트(2140) 및 제 2 OR 게이트(2160)는 각각 로우 Q 펄스 및 로우 ZQ 펄스를 출력하며, ZQ 펄스는 약 1 클락 기간만큼 Q 펄스에 대하여 지연된다. 보다 구체적으로, 제 1 인버터(2120)는 카운터(2115)의 출력(tcn)에서 로직 0을 반전시키고, 제 1 플립-플롭(2130)의 d 입력에 로직 1을 출력한다. 제 1 플립-플롭(2130)은 기준 클락의 상승 에지 상에서 로직 1을 래치하고, 1 클락 기간 동안 래치된 로직 1을 그의 q 출력에서 출력한다. 제 2 인버터(2135)는 제 1 플립-플롭(2130)의 q 출력에서 로직 1을 반전시키고, 제 1 OR 게이트(2140)의 제 1 입력에 로직 0을 출력한다. 이는, 제 1 OR 게이트(2140)로 하여금 1 클락 기간 동안 기준 클락을 Q 출력으로 통과시켜 로우 Q 펄스가 생성되게 한다.

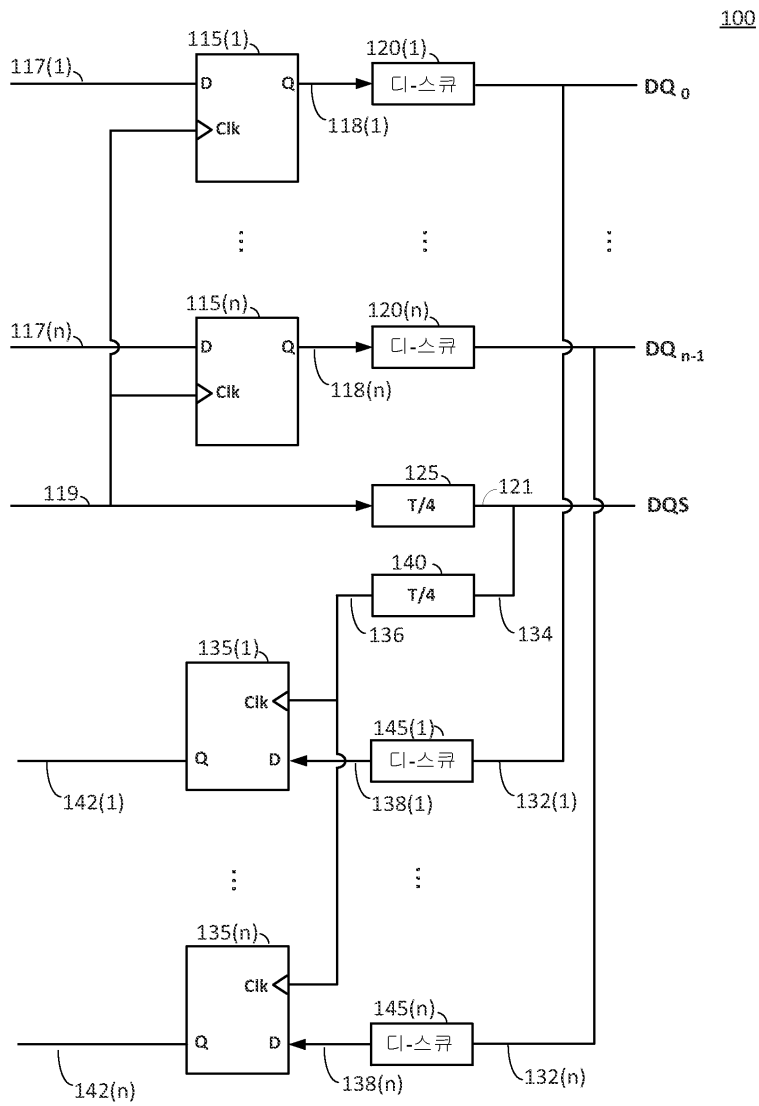
[0125] [0146] 제 2 플립-플롭(2150)은 1 클락 기간의 지연 이후 제 1 플립-플롭(2130)의 q 출력에서 로직 1을 래치하고, 래치된 로직 1을 1 클락 기간 동안 출력한다. 제 3 인버터(2155)는 제 2 플립-플롭(2150)의 q 출력에서 로직 1을 반전시키고, 제 2 OR 게이트(2160)의 제 1 입력에 로직 0을 출력한다. 이는, 제 2 OR 게이트(2160)로 하여금 1 클락 기간 동안 기준 클락을 ZQ 출력으로 통과시켜 로우 ZQ 펄스가 생성되게 한다. 제 2 플립-플롭

(2150)의 q 출력이 제 1 플립-플롭(2130)의 q 출력에 대하여 1 클락 기간만큼 지연되기 때문에, ZQ 펄스가 Q 펄스에 대하여 1 클락 기간만큼 지연된다.

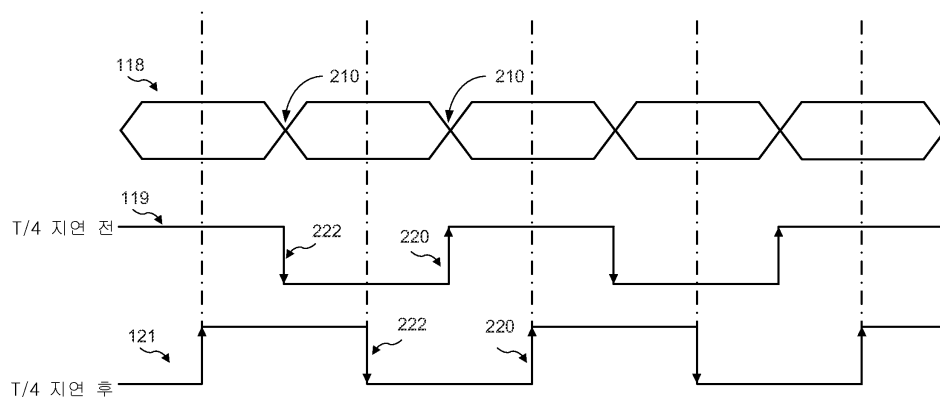
- [0126] [0147] 도 22는 본 개시내용의 일 실시예에 따른 지연 제어를 위한 방법(2200)을 도시하는 흐름도이다. 방법(2200)은 마스터 지연 회로(1610) 및 업데이트 제어기(750)에 의해 수행될 수 있다.
- [0127] [0148] 단계(2210)에서, 전압 바이어스가 지연 회로에 제공되고, 전압 바이어스는 지연 회로의 지연을 제어한다. 예컨대, 마스터 지연 회로(예컨대, 마스터 지연 회로(1610))는 슬레이브 지연 회로의 스텝 지연을 제어하기 위해 슬레이브 지연 회로(예컨대, 슬레이브 지연 회로(1315))에 전압 바이어스를 제공할 수 있다.
- [0128] [0149] 단계(2220)에서, 전압 바이어스는 업데이트 레이트로 업데이트된다. 예컨대, 전압 바이어스는 기준 클락의 N 기간들(사이클들) 당 1 업데이트의 레이트로 조정될 수 있다.
- [0129] [0150] 단계(2230)에서, 업데이트 레이트가 조정된다. 예컨대, 업데이트 레이트는 지연 회로를 포함하는 메모리 인터페이스의 타이밍 요건들에 기초하여 조정될 수 있다. 이 예에서, 전력을 감소시키기 위해서 타이밍 요건들이 더욱 완화될 경우(예컨대, 데이터 레이트들이 더 낮은 경우) 업데이트 레이트가 감소될 수 있고, 타이밍 요건들이 더 엄격한 경우(예컨대, 데이터 레이트가 더 높은 경우) 업데이트 레이트가 증가될 수 있다.
- [0130] [0151] 이 방법은 선택적으로, 신호의 데이터 레이트가 지연 회로에 의해 지연되는 것에 기초하여 업데이트 레이트를 조정하는 단계를 포함할 수 있다. 예컨대, 업데이트 레이트는, 신호의 데이터 레이트가 대략 제 1 데이터 레이트와 동일한 경우 제 1 업데이트 레이트로 설정될 수 있고, 신호의 데이터 레이트가 대략 제 2 데이터 레이트와 동일한 경우 제 2 업데이트 레이트로 설정될 수 있고, 제 1 데이터 레이트는 제 2 데이터 레이트보다 낮고, 제 1 업데이트 레이트는 제 2 업데이트 레이트보다 낮다.
- [0131] [0152] 이 방법은 선택적으로, 지연 회로에 제 2 전압 바이어스(예컨대, 전압 바이어스(Vbp))를 제공하는 단계 및 업데이트 레이트로 제 2 전압 바이어스를 업데이트하는 단계를 포함할 수 있다. 제 2 전압 바이어스는 또한 지연 회로의 지연을 제어할 수 있다.
- [0132] [0153] 업데이트 제어기(750)가 범용 프로세서, DSP(digital signal processor), ASIC(application specific integrated circuit), FPGA(field programmable gate array) 또는 다른 프로그래밍가능한 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들 또는 본원에 설명된 기능들을 수행하도록 설계된 이들의 임의의 결합으로 구현될 수 있다는 것을 인식한다. 범용 프로세서는 마이크로프로세서일 수 있지만, 대안적으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기, 또는 상태 머신일 수 있다. 프로세서는 기능들을 수행하기 위한 코드를 포함하는 소프트웨어를 실행함으로써 본원에 설명된 업데이트 제어기(750)의 기능들을 수행할 수 있다. 소프트웨어는 컴퓨터 판독가능 저장 매체, 이를 테면, RAM, ROM, EEPROM, 광학 디스크 및/또는 자기 디스크에 저장될 수 있다.
- [0133] [0154] 본 개시내용의 이전 설명은 임의의 당업자로 하여금 본 개시내용을 사용 또는 실시할 수 있도록 제공된다. 본 개시내용에 대한 다양한 변형들은 당업자들에게 용이하게 명백할 것이며, 본원에 정의된 일반적인 원리들은 본 개시내용의 사상 또는 범위를 벗어나지 않으면서 다른 변경들에 적용될 수 있다. 예컨대, 본 개시내용의 실시예들이 DRAM의 예를 사용하여 위에서 논의되었지만, 본 개시내용의 실시예들은 이러한 예로 제한되지 않으며 다른 타입들의 메모리 디바이스들에 대해 사용될 수 있다는 것이 인식될 것이다. 따라서, 본 개시내용은 본원에 설명된 예들로 제한되도록 의도되지 않으며, 본원에 개시된 원리들 및 신규한 특성들에 일치하는 가장 넓은 범위를 부여하려는 것이다.

도면

도면1

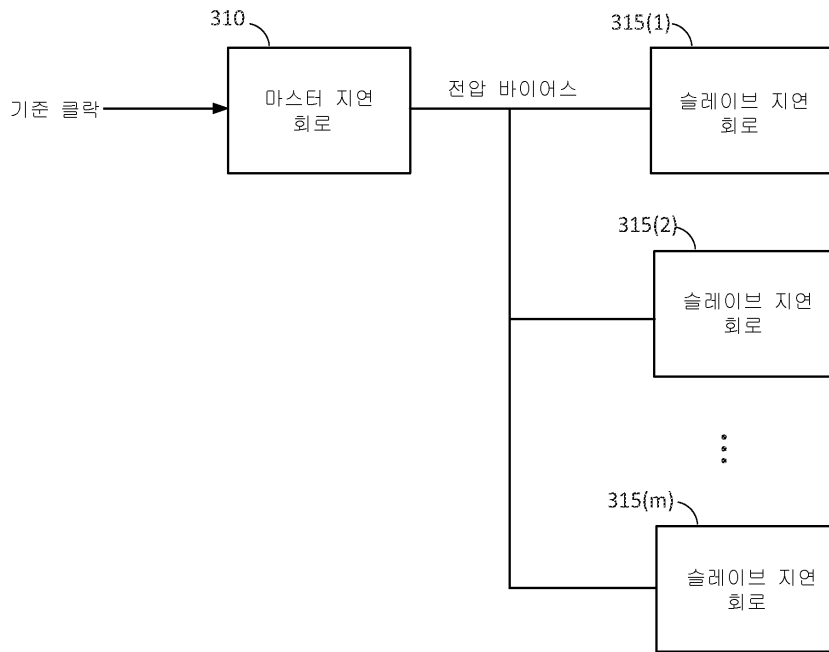


도면2

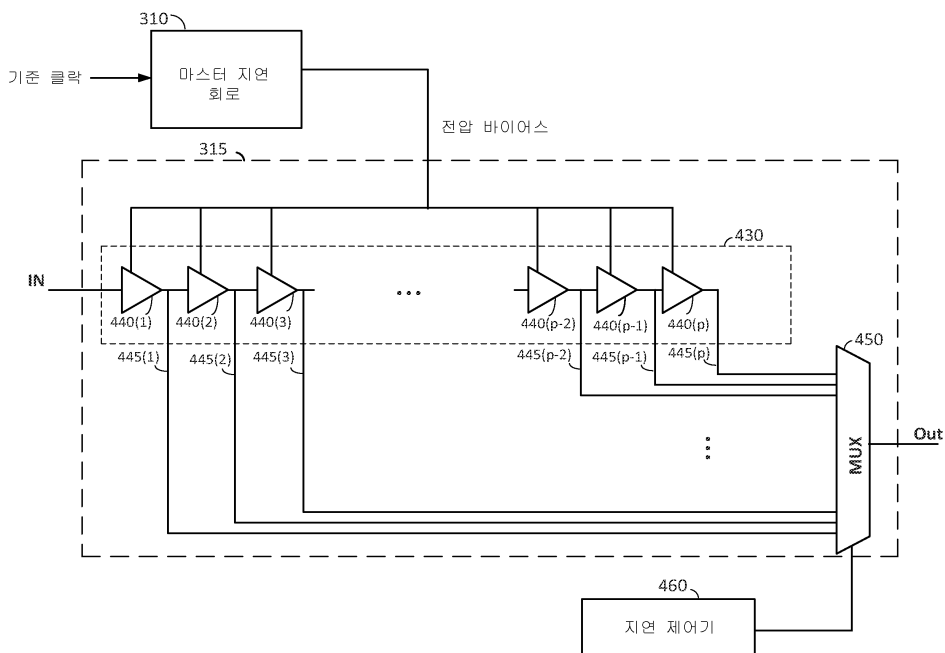


도면3

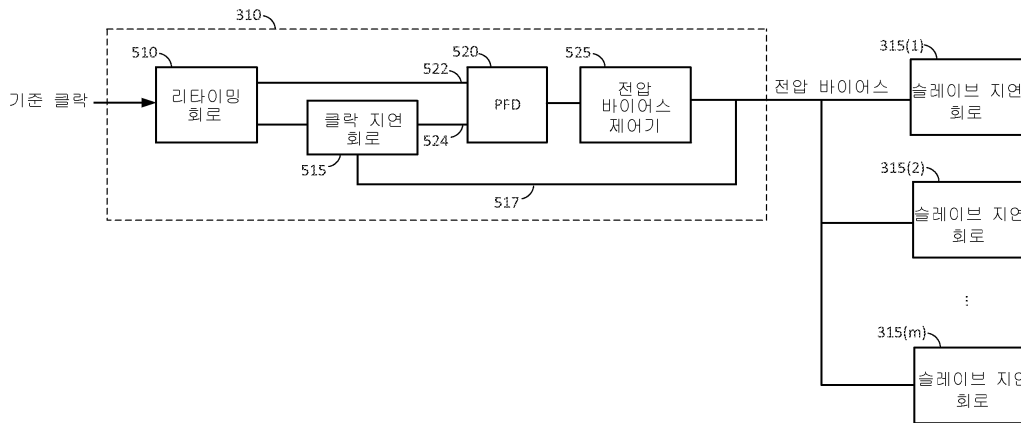
300



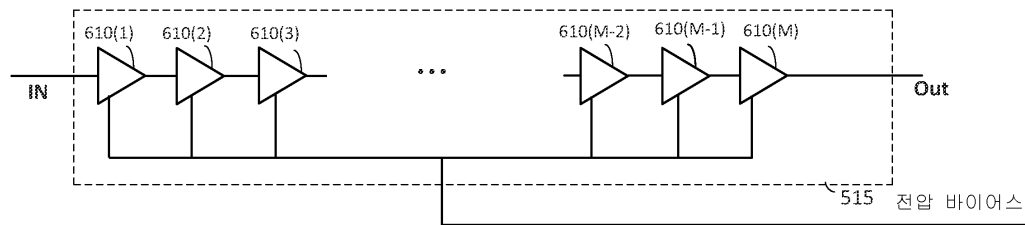
도면4



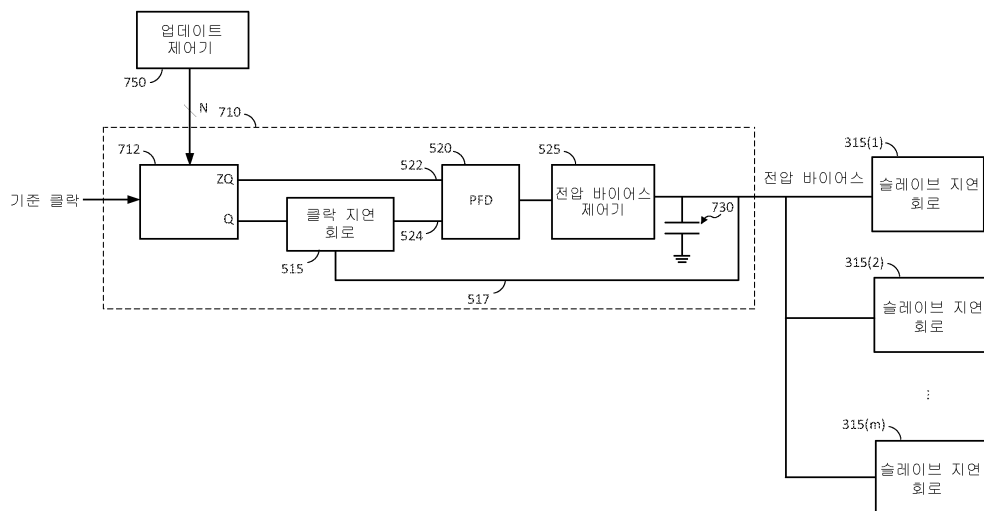
도면5



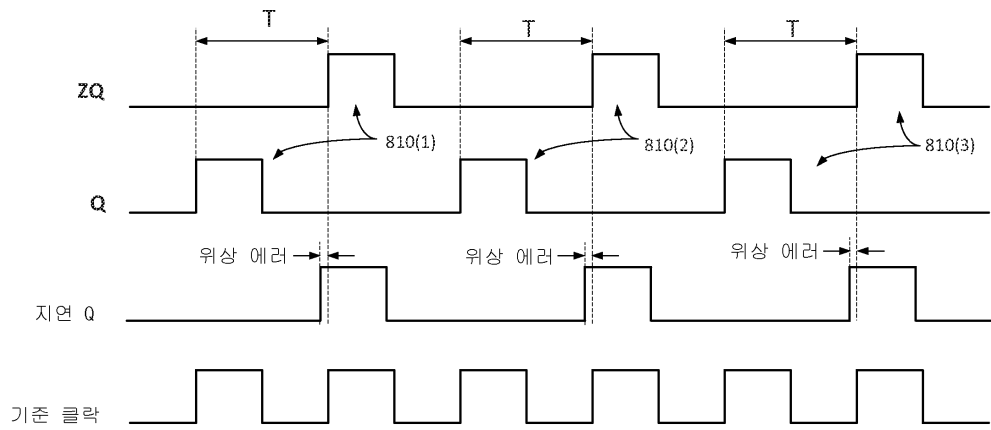
도면6



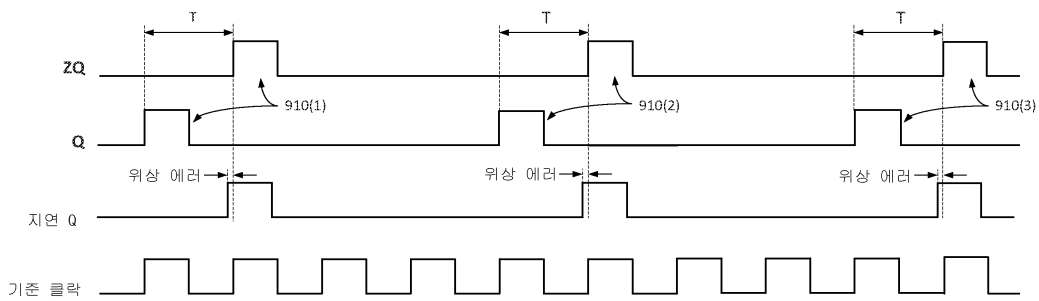
도면7



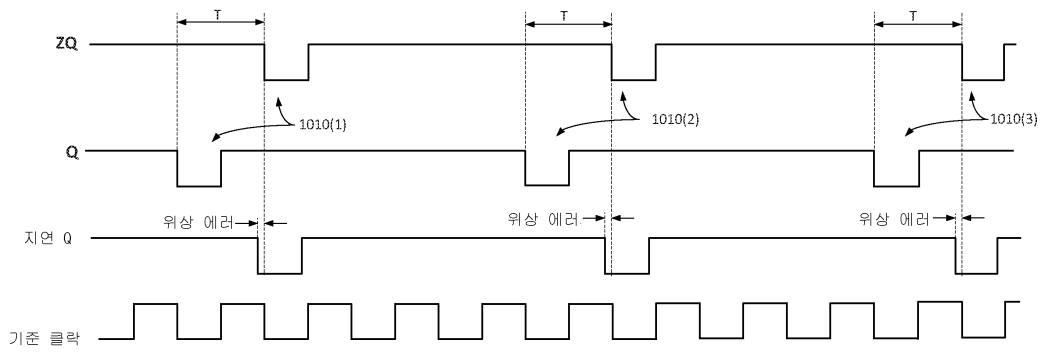
도면8



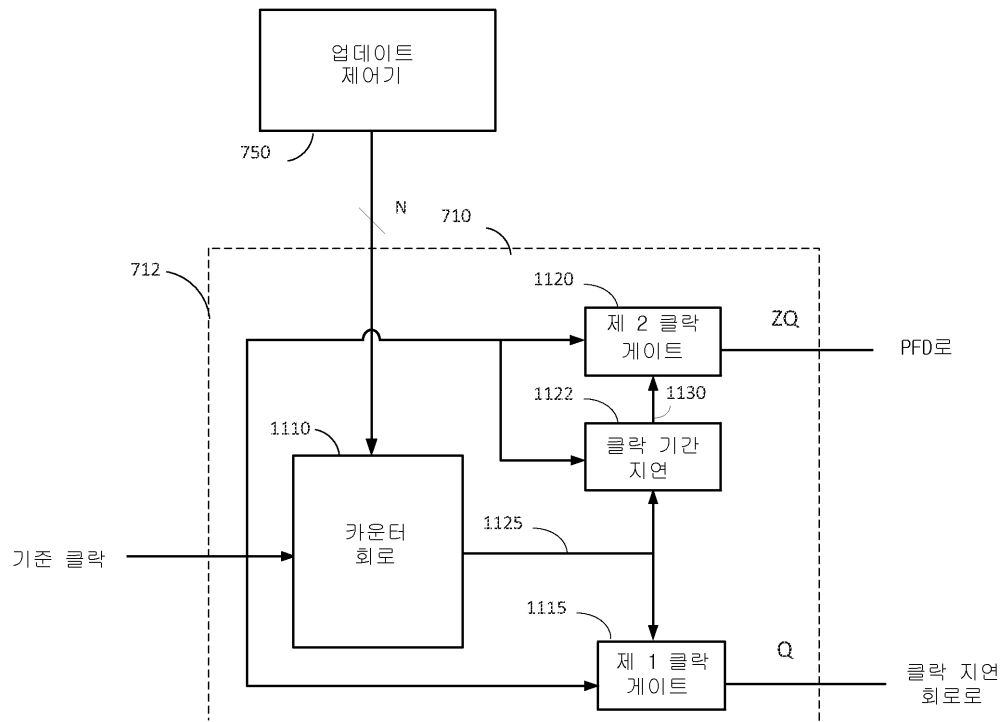
도면9



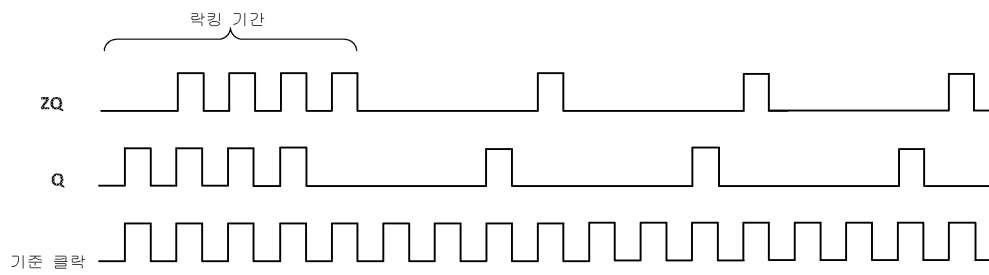
도면10



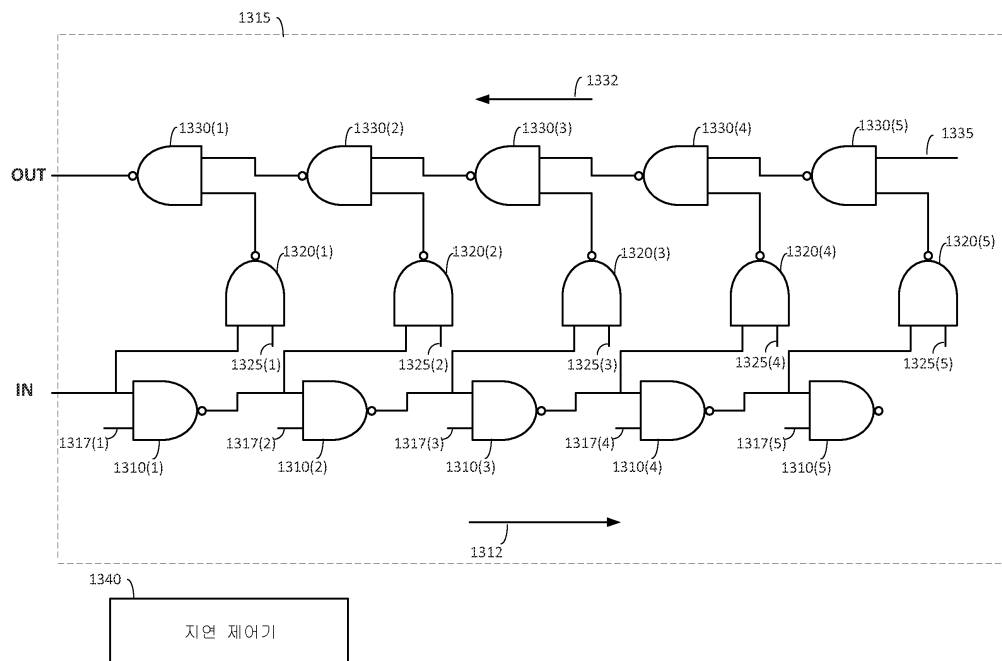
도면11



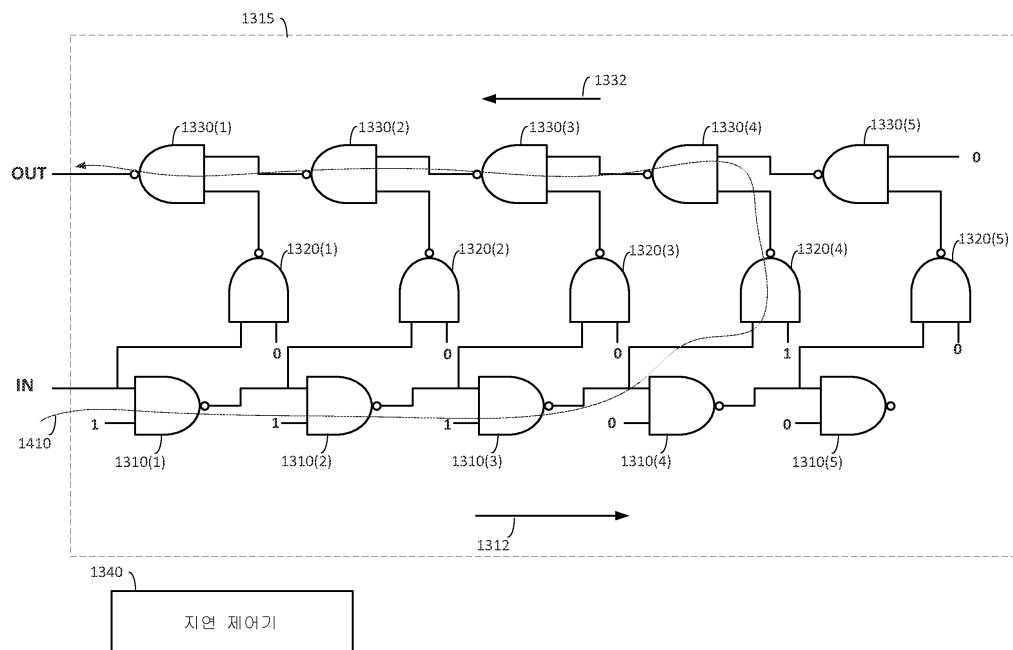
도면12



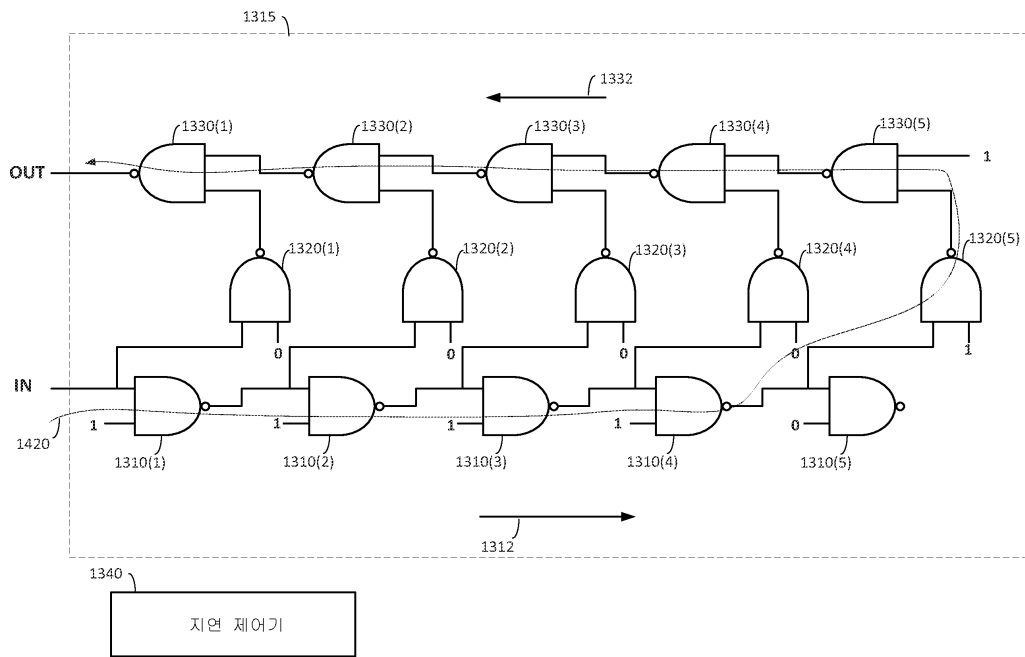
도면13



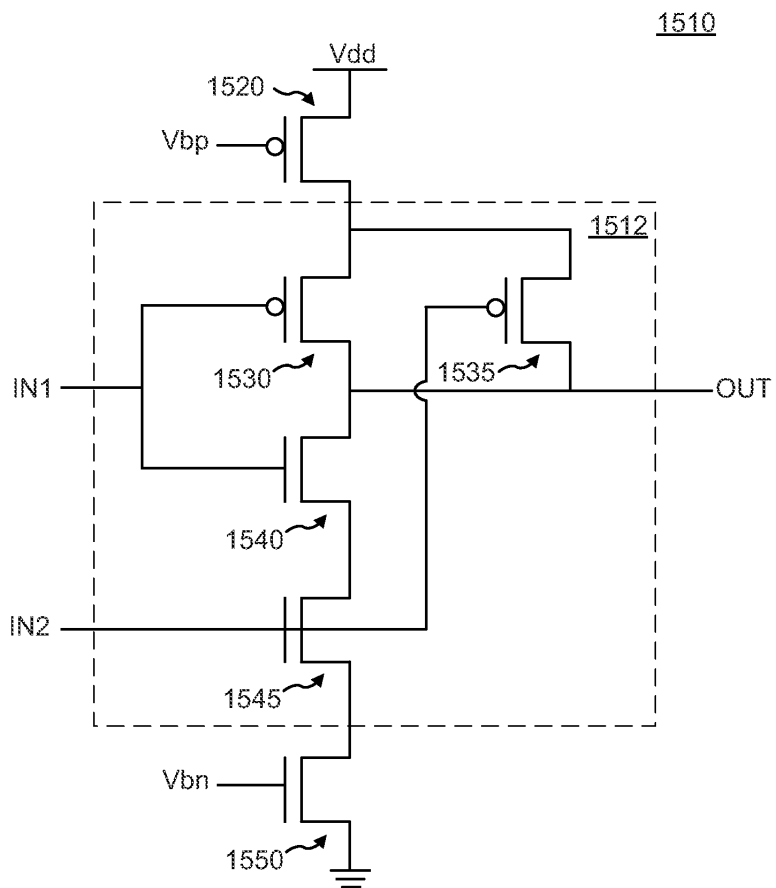
도면14a



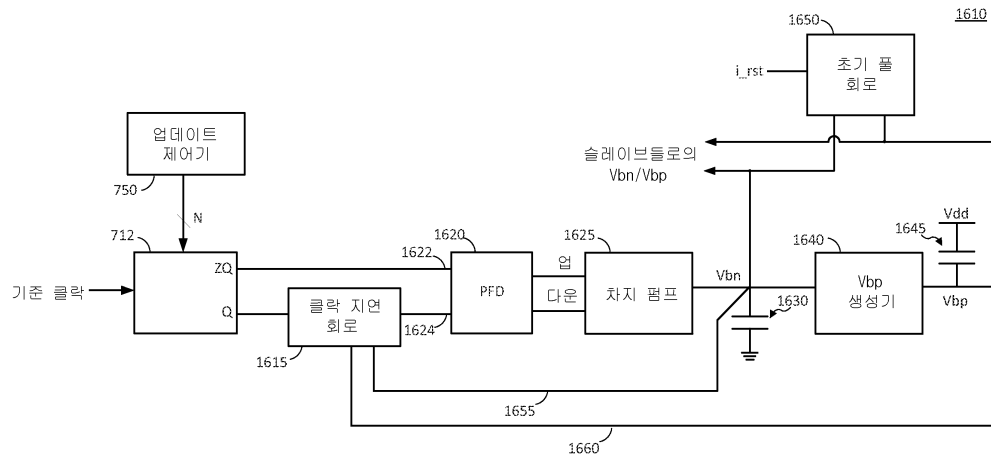
도면14b



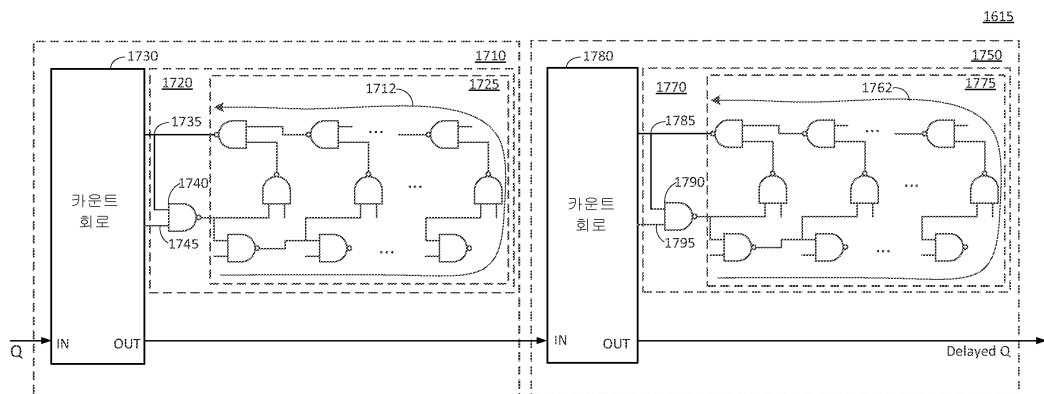
도면15



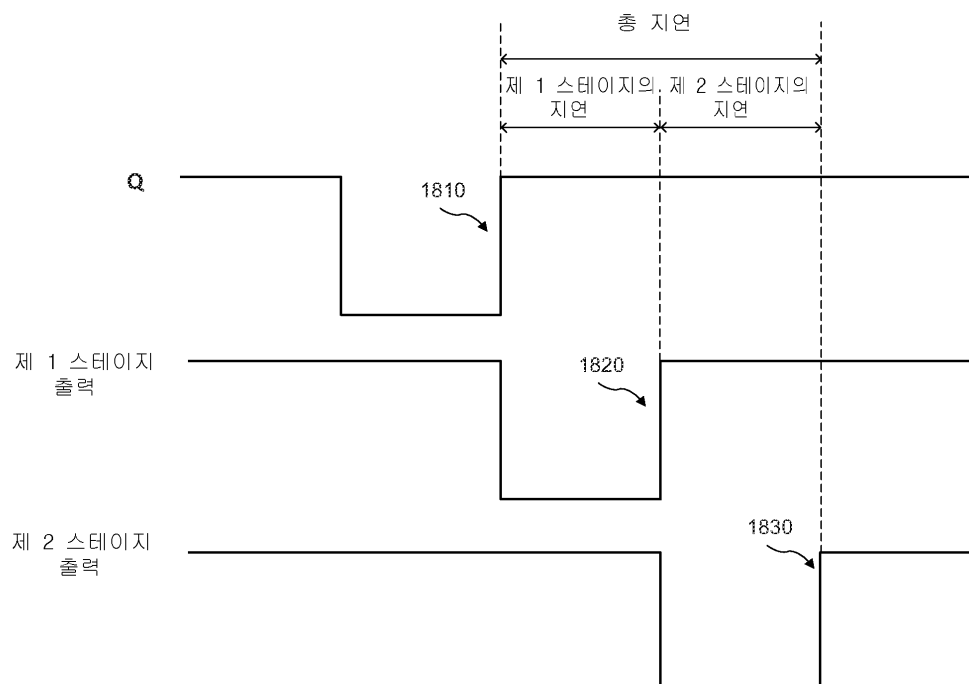
도면16



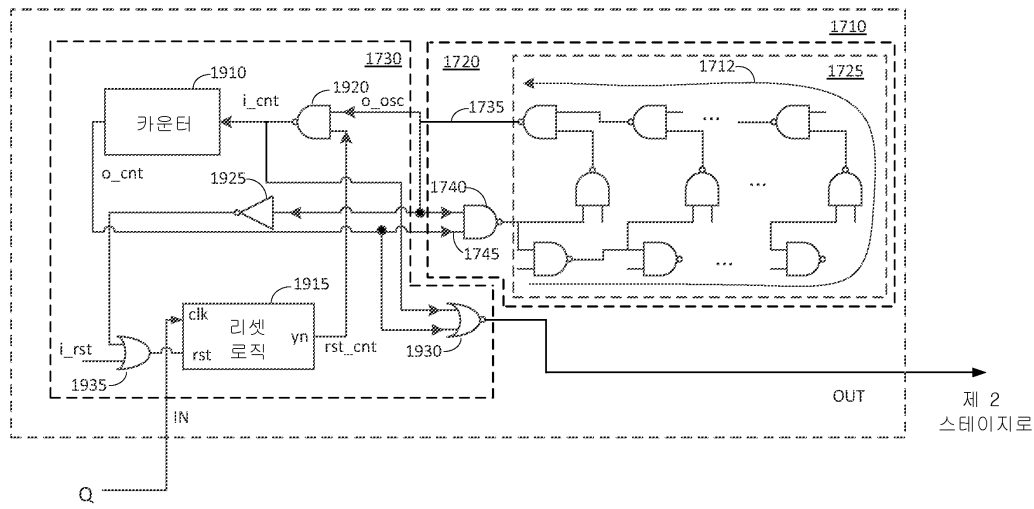
도면17



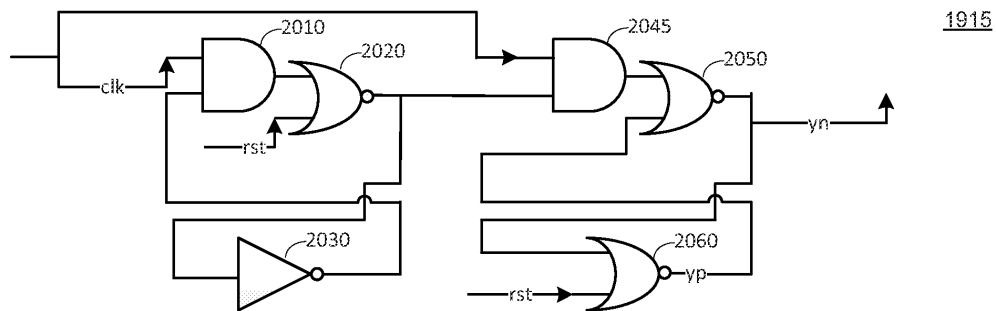
도면18



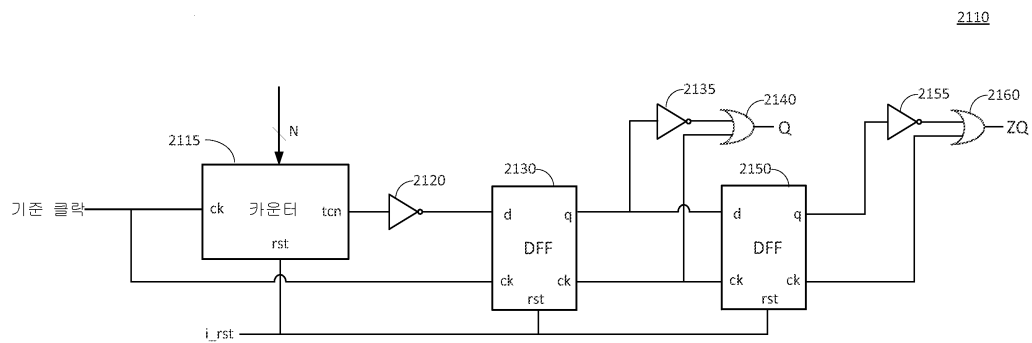
도면19



도면20



도면21



도면22

2200

