



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월24일
 (11) 등록번호 10-0848112
 (24) 등록일자 2008년07월17일

(51) Int. Cl.

G02F 1/1345 (2006.01)

(21) 출원번호 10-2002-0011887
 (22) 출원일자 2002년03월06일
 심사청구일자 2007년03월06일
 (65) 공개번호 10-2003-0072723
 (43) 공개일자 2003년09월19일
 (56) 선행기술조사문헌
 KR1020010103390 A
 KR1019990024712 A
 JP03225949 A
 JP2002057421 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박행원

경기도성남시중원구은행2동주공아파트117동602호

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 11 항

심사관 : 안준형

(54) 인쇄 회로 기판 및 이 기판을 이용한 액정 표시 장치

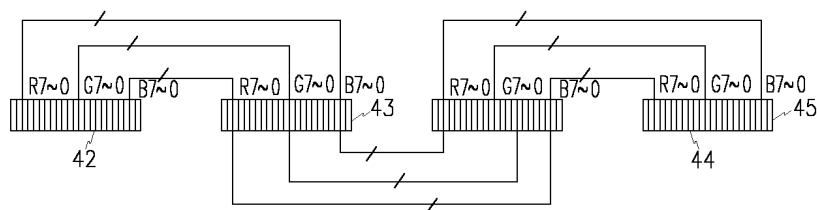
(57) 요약

본 발명은 타이밍 제어부와 드라이버 IC용 패드를 갖는 액정 표시 장치용 인쇄 회로 기판 및 이 기판에 맞는 표시 데이터를 생성하는 방법에 관한 것이다.

본 발명의 인쇄 회로 기판은, 그래픽 소스로부터 표시 데이터를 수신하여 상기 각 드라이버 IC에 맞게 비트 스위칭을 통해 표시 데이터를 변환하는 타이밍 제어부; 각각이 표시 데이터의 비트 수에 대응하는 다수의 도전 라인을 가지며, 상기 타이밍 제어부로부터 변환된 표시 데이터를 공급받아 상기 각 드라이버 IC에 제공하는 다수의 패드; 및, 상기 다수의 패드의 인접하는 두 패드 사이에서 각 패드의 도전 라인을 서로 연결시키는 배선 패턴을 포함하며, 상기 타이밍 제어부는 상기 다수의 패드 중 일부의 패드에 표시 데이터를 공급하도록 연결되고, 인접하는 두 패드 사이의 배선 패턴은 인접하는 두 패드의 중심에 대해 대칭인 도전 라인들이 서로 연결되도록 형성되어 있다.

본 발명의 인쇄 회로 기판에서는 패드들 사이의 데이터 배선이 종래에 비해 꺾임이 절반으로 감소하고 그 길이도 크게 짧아진다는 것에 특징이 있다.

대표도 - 도4



특허청구의 범위

청구항 1

다수의 드라이버 IC에 의해 액정 패널이 구동되는 액정 표시 장치용 인쇄 회로 기판에 있어서,
 그래픽 소스로부터 표시 데이터를 수신하여 상기 각 드라이버 IC에 맞게 비트 스왑을 통해 표시 데이터를 변환하는 타이밍 제어부;
 각각이 표시 데이터의 비트 수에 대응하는 다수의 도전 라인을 가지며, 상기 타이밍 제어부로부터 변환된 표시 데이터를 공급받아 상기 각 드라이버 IC에 제공하는 다수의 패드; 및
 상기 다수의 패드의 인접하는 두 패드 사이에서 각 패드의 도전 라인을 서로 연결시키는 배선 패턴을 포함하며,
 상기 타이밍 제어부는 상기 다수의 패드 중 일부의 패드에 표시 데이터를 공급하도록 연결되고, 인접하는 두 패드 사이의 배선 패턴은 인접하는 두 패드의 중심에 대해 대칭인 도전 라인들이 서로 연결되도록 형성되는,
 액정 표시 장치용 인쇄 회로 기판.

청구항 2

제1항에 있어서,
 상기 다수의 패드들은 드라이버 IC의 갯수만큼 구비되어 있음을 특징으로 하는 액정 표시 장치용 인쇄 회로 기판.

청구항 3

제1항에 있어서,
 상기 각 패드의 도전 라인은 상기 표시 데이터의 각 비트에 대응하며, 상기 각 패드의 도전 라인의 배치 순서는 모든 패드에서 동일함을 특징으로 하는 액정 표시 장치용 인쇄 회로 기판.

청구항 4

제1항에 있어서,
 상기 타이밍 제어부는 상기 다수의 패드들 중에서 첫번째 패드에만 연결됨을 특징으로 하는 액정 표시 장치용 인쇄 회로 기판.

청구항 5

제1항에 있어서,
 상기 다수의 패드들 사이의 배선 패턴은 패드들의 상부와 하부에 교대로 형성됨을 특징으로 하는 액정 표시 장치용 인쇄 회로 기판.

청구항 6

제1항에 있어서,
 상기 표시 데이터는 소정 수의 비트로 이루어진 레드, 그린, 블루의 3개의 컬러로 구성되고, 상기 표시 데이터는 액정 패널의 홀수번째 데이터 라인을 구동하기 위한 데이터와 액정 패널의 짝수번째 데이터 라인을 구동하기 위한 데이터로 구분되어 있음을 특징으로 하는 액정 표시 장치용 인쇄 회로 기판.

청구항 7

제1항에 있어서,
 상기 타이밍 제어부는 n비트의 레드(R), 그린(G), 블루(B)로 이루어진 표시 데이터를 그래픽 소스로부터 수신하고, 상기 수신된 표시 데이터를 하나의 드라이버 IC에 필요한 데이터량 단위로 소정의 비트 순서에 따라 배열하며, 하나의 드라이버 IC에 필요한 데이터량이 배열될 때마다 상기 비트 순서는 비트 스왑에 의해 조정됨을 특징

으로 하는 액정 표시 장치용 인쇄 회로 기판.

청구항 8

제7항에 있어서,

상기 비트 스왑은,

표시 데이터 중 레드(R)의 i (i 는 변수)번째 비트가 블루(B)의 $(n-i-1)$ 번째 비트로 교환되고, 블루(B)의 i 번째 비트가 레드(R)의 $(n-i-1)$ 번째 비트로 교환되며, 그린(G)의 i 번째 비트가 그린(G)의 $(n-i-1)$ 번째 비트로 교환되도록 하여 수행됨을 특징으로 하는 액정 표시 장치용 인쇄 회로 기판.

청구항 9

다수의 데이터 라인을 갖는 액정 패널;

상기 액정 패널의 데이터 라인을 분할하여 구동하는 다수의 드라이버 IC; 및

그래픽 소스로부터 표시 데이터를 수신하여 상기 각 드라이버 IC에 맞게 비트 스왑을 통해 표시 데이터를 변환하는 타이밍 제어부; 각각이 표시 데이터의 비트 수에 대응하는 다수의 도전 라인을 가지며, 상기 타이밍 제어부로부터 변환된 표시 데이터를 공급받아 상기 각 드라이버 IC에 제공하는 다수의 패드; 및, 상기 다수의 패드의 인접하는 두 패드 사이에서 각 패드의 도전 라인을 서로 연결시키는 배선 패턴을 포함하며, 상기 타이밍 제어부는 상기 다수의 패드 중 일부의 패드에 표시 데이터를 공급하도록 연결되고, 인접하는 두 패드 사이의 배선 패턴은 인접하는 두 패드의 중심에 대해 대칭인 도전 라인들이 서로 연결되도록 형성되는 인쇄 회로 기판을 포함하는 액정 표시 장치.

청구항 10

제9항에 있어서,

상기 타이밍 제어부는 n 비트의 레드(R), 그린(G), 블루(B)로 이루어진 표시 데이터를 그래픽 소스로부터 수신하고, 상기 수신된 표시 데이터를 하나의 드라이버 IC에 필요한 데이터량 단위로 소정의 비트 순서에 따라 배열하며, 하나의 드라이버 IC에 필요한 데이터량이 배열될 때마다 상기 비트 순서는 비트 스왑에 의해 조정됨을 특징으로 하는 액정 표시 장치.

청구항 11

제10항에 있어서,

상기 비트 스왑은,

표시 데이터 중 레드(R)의 i (i 는 변수)번째 비트가 블루(B)의 $(n-i-1)$ 번째 비트로 교환되고, 블루(B)의 i 번째 비트가 레드(R)의 $(n-i-1)$ 번째 비트로 교환되며, 그린(G)의 i 번째 비트가 그린(G)의 $(n-i-1)$ 번째 비트로 교환되도록 하여 수행됨을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<13> 본 발명은 액정 표시 장치용 인쇄 회로 기판(PCB : Printed Circuit Board) 및 이 기판에 맞는 표시 데이터를 생성하는 방법에 관한 것으로, 더욱 상세하게는 타이밍 제어부와 드라이버 IC용 패드를 갖는 인쇄 회로 기판 및 이 기판에 맞는 표시 데이터를 생성하는 방법에 관한 것이다.

<14> 최근, 액정 표시 장치가 컴퓨터용 모니터로서 주로 사용되면서, 액정 표시 장치의 화면이 대형화되고 있다. 예를 들어, 17인치 화면 크기와 SXGA(super extended graphics array)(1280 X 1024)의 해상도를 갖는 액정 표시 장치가 널리 보급되고 있다.

- <15> 액정 표시 장치에서는 두 층의 전극 사이에 주입된 액정 물질의 투과율이 두 전극에 인가되는 전압차에 의해 제어됨으로써 디스플레이(display)가 구현된다.
- <16> 이러한 액정 표시 장치는 액정 패널 어셈블리(liquid crystal panel assembly), 백라이트 어셈블리(backlight assembly), 새시(Chassis) 및 케이스(case)로 이루어지며, 보다 구체적으로, 상기 액정 패널 어셈블리는 액정 패널과 인쇄 회로 기판으로 구성된다. 상기 액정 패널은 매트릭스(matrix) 구조로 된 다수의 화소(pixel)로 구성되어 디스플레이를 담당하며, 상기 인쇄 회로 기판에는 액정 패널의 구동에 필요한 신호를 생성하는 타이밍 제어부, 상기 타이밍 제어부의 출력 신호를 드라이버 IC에 전달하는 다수의 패드, 그리고 액정 패널의 구동에 필요한 각종 전압을 생성하는 전압 발생회로가 실장되어 있다. 상기 액정 패널과 인쇄 회로 기판은 배선 패턴을 갖는 테이프에 의해 서로 연결되며, 이 테이프 위에는 드라이버 IC(driver IC)가 장착된다.
- <17> 상기 타이밍 제어부는 액정 표시 장치 외부의 그래픽 모듈에서 제공되는 RGB 신호로부터 RGB 표시 데이터와 제어 신호들을 생성하며, 상기 패드들은 상기 타이밍 제어부와 드라이버 IC 사이에서 신호들을 전달한다.
- <18> 이하, 첨부된 도면을 참조하여 종래의 기술을 설명한다.
- <19> 도 1에는 종래의 액정 표시 장치의 타이밍 제어부에서 제공되는 RGB 표시 데이터의 포맷이 도시되어 있다. 도 2에는 상기 도 1에 도시된 표시 데이터의 포맷에 맞게 설계된 데이터 배선을 갖는 인쇄 회로 기판이 도시되어 있다.
- <20> 도 2에서, 인쇄 회로 기판(1)에는 타이밍 제어부(2)와 다수의 패드(31, 32, 33)가 실장되어 있고, 상기 각 패드들(31, 32, 33)은 데이터 배선에 의해 서로 연결되어 있다. 상기 패드들(31, 32, 33)의 갯수는 드라이버 IC(도시하지 않음)의 갯수와 동일하며, 각 패드들(31, 32, 33)은 드라이버 IC에 각각 연결된다. 상기 인쇄 회로 기판(1)은 다층 구조이며, 도 2에는 각 패드들(31, 32, 33) 사이의 데이터 배선만 도시되어 있다. 상기 도 2에 도시되지 않았지만, 타이밍 제어부(2)에서 출력되는 표시 데이터의 배선은 1번째 패드(31)에만 연결되어 있다. 타이밍 제어부(2)와 드라이버 IC 사이의 신호 연결은 위와 같이 다수의 패드들(31, 32, 33)을 통해 이루어진다.
- <21> 예를 들어, SXGA(1280 X 1024)의 해상도이고, 드라이버 IC가 384 채널(128 X 3, RGB 3개의 컬러가 하나의 기본 화소를 이루므로)인 경우에, 10개의 드라이버 IC가 사용되고, 10개의 패드가 인쇄 회로 기판에 실장된다. 도 1의 데이터 포맷은 위에 설명된 구조를 갖는 액정 표시 장치의 타이밍 제어부에 적용된다.
- <22> 상기 도 1을 참조하면, 레드(R : red), 그린(G : green), 블루(B : blue)에 대하여 8비트의 표시 데이터가 제공되며, 각 비트의 표시 데이터는 액정 패널의 1 수평 주사 라인(horizontal scanning line)에 대하여 1280개씩 제공된다. 여기서, 각 컬러에 대해 8비트가 하나의 계조 레벨을 지시하며, RGB 3개의 컬러가 모여서 하나의 기본 화소를 표시한다.
- <23> 다음으로, 상기 인쇄 회로 기판(1)에서의 신호 전달에 대해 설명한다.
- <24> 타이밍 제어부(2)에서 1번째 드라이버 IC에 표시 데이터가 공급될 때에는, 타이밍 제어부(2)에 의해 1번째 드라이버 IC가 액티브되고, 타이밍 제어부(2)의 출력 신호는 1번째 패드(31)를 거쳐 1번째 드라이버 IC에 전달된다. 타이밍 제어부(2)에서 3번째 드라이버 IC에 표시 데이터가 공급될 때에는, 타이밍 제어부(2)에 의해 3번째 드라이버 IC가 액티브되고, 타이밍 제어부(2)에서 출력된 표시 데이터는 1번째 패드(31), 2번째 패드(32) 및 3번째 패드(33)를 거쳐 3번째 드라이버 IC에 전달된다.
- <25> 이러한 구조의 인쇄 회로 기판에서는, 패드들 사이에 데이터 배선이 형성된다. 종래에는, 도 2에 도시된 바와 같이, 패드들 사이에 형성된 배선 패턴의 꺾임이 많고 배선 패턴이 너무 길다고 하는 문제점이 있었다. 액정 표시 장치의 화면이 커지고 화질이 높아질수록, 드라이버 IC의 수와 표시 데이터의 비트 수가 더욱 증가하며, 이것은 전자파 장애(EMI : electro-magnetic interference)를 가중시킨다. 또한, 종래의 액정 표시 장치용 인쇄 회로 기판에서는 배선 패턴이 길고 복잡하므로, 기판도 크고 층(layer)의 수가 많다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <26> 본 발명은 상기한 바와 같은 기술적 배경 하에 이루어진 것으로서, 본 발명의 제1목적은 패드들 사이의 배선 패턴이 단순화된 액정 표시 장치용 인쇄 회로 기판을 제공하는 것이다.
- <27> 본 발명의 제2의 목적은 단순화된 배선 패턴을 갖는 인쇄 회로 기판에 적용할 수 있는 표시 데이터 생성 방법을 제공하는 것이다.

발명의 구성 및 작용

- <28> 상기한 목적을 달성하기 위한 본 발명은 다수의 드라이버 IC에 의해 액정 패널이 구동되는 액정 표시 장치용 인쇄 회로 기판에 관한 것으로서,
- <29> 그래픽 소스로부터 표시 데이터를 수신하여 상기 각 드라이버 IC에 맞게 비트 스왑을 통해 표시 데이터를 변환하는 타이밍 제어부;
- <30> 각각이 표시 데이터의 비트 수에 대응하는 다수의 도전 라인을 가지며, 상기 타이밍 제어부로부터 변환된 표시 데이터를 공급받아 상기 각 드라이버 IC에 제공하는 다수의 패드; 및
- <31> 상기 다수의 패드의 인접하는 두 패드 사이에서 각 패드의 도전 라인을 서로 연결시키는 배선 패턴을 포함하며,
- <32> 상기 타이밍 제어부는 상기 다수의 패드 중 일부의 패드에 표시 데이터를 공급하도록 연결되고, 인접하는 두 패드 사이의 배선 패턴은 인접하는 두 패드의 중심에 대해 대칭인 도전 라인들이 서로 연결되도록 형성되어 있다.
- <33> 상기한 본 발명의 구성에서는, 인쇄 회로 기판의 패드들 사이의 데이터 배선을 단순화시키기 위하여, 인접한 패드들 사이의 중심에 대해 서로 대칭적으로 각 패드의 도전 라인이 연결되도록 하고, 타이밍 제어부에서는 이러한 패드들 사이의 배선 패턴에 맞게 표시 데이터가 생성되도록 함으로써, 인쇄 회로 기판의 패드들 사이의 데이터 배선이 종래에 비해 격음이 절반으로 감소하고 그 길이도 크게 짧아진다는 것에 특징이 있다.
- <34> 즉, 본 발명의 인쇄 회로 기판에서는, 패드들 간의 데이터 배선의 비트 순서가 스왑되어 있기 때문에, 타이밍 제어부에서 하나의 드라이버 IC에 상응하는 데이터마다 비트 순서가 미리 스왑되도록 표시 데이터를 생성하여야 한다. 상기 표시 데이터는 n비트로 이루어진 레드(R), 그린(G), 블루(B)로 구성된다. 상기 타이밍 제어부에서의 비트 스왑은 표시 데이터 중 레드(R)의 i(i는 변수)번째 비트가 블루(B)의 (n-i-1)번째 비트로 교환되고, 블루(B)의 i번째 비트가 레드(R)의 (n-i-1)번째 비트로 교환되며, 그린(G)의 i번째 비트가 그린(G)의 (n-i-1)번째 비트로 교환되도록 수행된다. 상기 타이밍 제어부는 하나의 드라이버 IC에 필요한 데이터양 단위로 표시 데이터를 배열할 때마다 이러한 비트 스왑을 수행함으로써, 본 발명에서 제안된 인쇄 회로 기판에 표시 데이터가 올바르게 전달되도록 한다.
- <35> 상기 설명된 본 발명의 목적, 기술적 구성 및 그 효과는 아래의 실시예에 대한 설명을 통해 보다 명백해질 것이다.
- <36> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다.
- <37> 먼저, 도 3을 참조하여 본 발명이 적용된 액정 패널 어셈블리를 설명한다.
- <38> 상기 도 3에 도시되어 있듯이, 본 발명이 적용된 액정 패널 어셈블리는 인쇄 회로 기판(40)과 액정 패널(50)로 구성된다. 상기 인쇄 회로 기판(40)에는 타이밍 제어부(41)와 드라이버 IC용 패드(42 내지 47)가 실장되어 있고, 상기 도 3에 도시되지는 않았지만, 전압 발생 회로와 액정 구동에 필요한 주변회로가 실장되어 있다. 상기 타이밍 제어부(41)는 그래픽 소스(graphic source, 도시하지 않음)로부터 n비트의 레드(R), 그린(G), 블루(B)로 이루어진 표시 데이터를 수신한다.
- <39> 본 발명에서는, 액정 표시 장치의 해상도가 SXGA(1280 X 1024)이고, 드라이버 IC가 384 채널(128 X 3, RGB 3개의 컬러가 하나의 기본 화소를 이루므로)인 것으로 가정하고 있으므로, 10개의 드라이버 IC가 사용되고, 10개의 패드가 인쇄 회로 기판에 실장된다. 한편, 본 명세서 전반에 걸쳐 사용된 수치(numerical value) 또는 소자의 갯수는 발명의 이해를 돕기 위해 단지 예로 든 것이며, 그 구체적인 값은 본 발명의 기술적 범위를 한정하지 않는다. 그리고, 이러한 수치 또는 갯수는 하드웨어의 설계 조건에 따라 변경 가능하다는 점은 본 발명이 속하는 분야에서 통상의 지식을 가진 자에게 있어서 자명하다.
- <40> 각각의 드라이버 IC용 패드(42 내지 47)는 다수의 내부 도전 라인(internal conducting lines)을 가진다. 예를 들어, 하나의 계조(gray level)를 표시하기 위하여 8비트의 표시 데이터가 사용될 경우, 하나의 화소는 레드, 그린, 블루의 3색으로 구성되고 각 색은 8비트의 표시 데이터에 의해 계조 표시가 이루어지므로, 상기 드라이버 IC용 패드(42 내지 47)는 최소 24(8 X 3)개의 도전 라인을 가진다. 이 때, 각 패드(42 내지 47)의 도전 라인은 8비트의 레드, 그린, 블루에 각각 대응하며, 각 비트의 배치 순서는 모든 패드(42 내지 47)에서 동일하다. 또한, 상기 타이밍 제어부(41)는 표시 데이터외에 각종 제어 신호를 드라이버 IC에 전달해야 하므로, 이러한 신호를 위한 단자도 필요하다. 본 명세서에서는 설명의 편의를 위하여 표시 데이터를 위한 배선만이 도시되어 있다.

- <41> 상기 드라이버 IC용 패드(42 내지 47)와 액정 패널(50)은 테이프(81 내지 86)에 의해 서로 연결되어 있으며, 상기 각 테이프(81 내지 86)는 배선 패턴을 가진다. 상기 각 테이프(81 내지 86)에는, 예를 들어 소스 드라이버 IC와 같은 드라이버 IC(61 내지 66)가 각각 장착된다. 상기 각 테이프(81 내지 86)의 배선 패턴은 장착된 드라이버 IC의 입력측 단자와 출력측 단자에 접속될 수 있도록 형성되며, 외부적으로는 액정 패널(50)의 데이터 라인과 연결되고 동시에 상기 드라이버 IC용 패드의 내부 도전 라인과도 연결될 수 있도록 형성된다. 결과적으로, 상기 구조에서 신호 전달은 타이밍 제어부(41)에서 시작하여 드라이버 IC용 패드, 테이프의 배선, 드라이버 IC 및 테이프의 배선을 경유하여 액정 패널(50)에서 끝난다. 한편, 상기 인쇄 회로 기판(40)은 다층 구조이며, 타이밍 제어부(40)와 1번째 드라이버 IC용 패드(42) 사이의 배선 패턴과, 상기 패드들(42 내지 47) 사이의 연결 패턴은 서로 다른 층에 위치한다.
- <42> 다음으로, 도 4 내지 도 6을 참조하여 본 발명의 제1실시예를 설명한다.
- <43> 도 4에는 본 발명의 제1실시예에 따른 인쇄 회로 기판의 데이터 배선이 도시되어 있고, 도 5에는 상기 도 4의 인쇄 회로 기판에서의 표시 데이터 전달 과정이 예시되어 있고, 도 6에는 상기 도 4에 도시된 인쇄 회로 기판에 제공되는 표시 데이터의 포맷이 나타내어져 있다.
- <44> 도 4에 도시된 바와 같이, 본 발명의 제1실시예에 따른 인쇄 회로 기판에서는 드라이버 IC용 패드들 사이의 데이터 배선이 종래에 비해 단순화되어 있다. 보다 구체적으로, 종래에는 인접한 두 패드들 사이에서 첫번째 패드의 가장 좌측 내부 도전 라인은 두번째 패드의 가장 좌측 내부 도전 라인과 연결되고, 이와 유사하게, 첫번째 패드의 가장 우측 내부 도전 라인은 두번째 패드의 가장 우측 내부 도전 라인과 연결되도록 데이터 배선이 형성되었다. 그러나, 본 발명에서는 인접한 두 패드 사이의 중심에 대해 대칭인 위치에 있는 단자끼리 서로 연결되도록 데이터 배선이 형성된다. 예를 들어, 도 4에서, 1번째 패드(42)의 표시 데이터 비트 (R7~0)는 2번째 패드(43)의 비트(B7~0)에 연결되고, 1번째 패드(42)의 비트 (G7~0)는 2번째 패드(43)의 비트(G7~0)에 연결되며, 1번째 패드(42)의 비트(B7~0)는 2번째 패드(43)의 비트(R7~0)에 연결된다. 즉, 상기 두 패드(42, 43) 사이의 중심선을 기준으로 대칭인 위치에 있는 단자끼리 연결된다. 만약, 1번째 패드(42)와 2번째 패드(43)의 비트 순서가 (R7, R6, ... , R1, R0, G7, G6, ... , G1, G0, ... , B7, B6, ... , B1, B0)일 경우, 예를 들어, 1번째 패드(42)의 R7 비트는 2번째 패드(43)의 B0 비트와 연결되고, 1번째 패드(42)의 G6 비트는 2번째 패드(43)의 G1 비트와 연결되며, 1번째 패드(42)의 B3 비트는 2번째 패드(43)의 R4 비트와 연결된다.
- <45> 또한, 상기 패드들 사이의 데이터 배선은 패드들의 상하에 교대로 형성된다. 다시 말해서, 첫번째 패드와 두번째 패드 사이의 데이터 배선은 두 패드의 위쪽에 형성되고, 두번째 패드와 세번째 패드 사이의 데이터 배선은 두 패드의 아래쪽에 형성된다. 위와 같이 구성된 본 발명의 데이터 배선은 종래에 비해 배선의 꺾임이 적고 그 길이도 상당히 짧아짐을 알 수 있다. 예를 들어, 종래에는 첫번째 패드와 두번째 패드 사이의 배선에서 꺾임이 4회 발생하였으나, 본 발명에서는 꺾임이 2회 발생한다. 또한, 각 배선의 길이도 꺾임이 감소함으로 인해 종래에 비해 짧다.
- <46> 다음으로, 도 5 및 도 6을 참조하여 도 6에 도시된 포맷을 갖는 표시 데이터가 인쇄 회로 기판(40)의 타이밍 제어부(41)에서 드라이버 IC(61 내지 66)로 전달되는 과정을 설명한다.
- <47> 본 발명에서는, 인쇄 회로 기판(40) 상의 패드들 사이의 데이터 배선이 종래의 방식과 다르므로, 타이밍 제어부(41)에서는 변경된 방식에 맞게 표시 데이터의 포맷이 생성되어야 한다. 즉, 종래의 방식에서는 인접하는 두 패드 사이의 데이터 배선이 동일한 컬러와 동일한 비트를 갖는 도전 라인끼리 서로 연결되도록 형성되었으나, 본 발명에서는 인접하는 두 패드의 도전 라인이 서로 대칭적으로 연결되므로, 타이밍 제어부(41)는 하나의 드라이버 IC에 상응하는 데이터 용량마다 비트가 전체적으로 스왑되도록 표시 데이터의 포맷을 생성하여야 한다.
- <48> 도 5에서, 각 드라이버 IC(61 내지 66)는 액정 패널(도 5에서는 도시하지 않음) 상의 데이터 라인을 분할하여 각각 담당하고 있으며, 타이밍 제어부(41)는 상기 각 드라이버 IC에 그 IC의 몫에 해당하는 표시 데이터를 제공하여야 한다. 도 5의 표시 데이터는 1 수평 주사 라인의 화소를 표시하기 위한 양이다. 타이밍 제어부(41)는 각 드라이버 IC를 순차적으로 액티브(active)시키고, 액티브 상태인 드라이버 IC에만 표시 데이터를 공급한다. 즉, 도 5의 1번째 드라이버 IC(61)가 액티브되면, 타이밍 제어부(41)에서 출력된 표시 데이터는 패드(42)를 거쳐 드라이버 IC(61)에 공급된다. 이 때의 표시 데이터는 도 6에 도시된 (R7, ... , R0, G7, ... , G0, B7, ... , B0) 비트들의 128번째까지의 데이터이다. 다음으로, 타이밍 제어부(41)에 의해 도 5의 2번째 드라이버 IC(62)가 액티브되면, 타이밍 제어부(41)에서 출력된 표시 데이터는 1번째 패드(42)와 2번째 패드(43)를 경유하여 2번째 드라이버 IC(62)에 공급된다. 이 때의 표시 데이터는 1번째 드라이버 IC용 표시 데이터의 비트들을 서로 스왑시킨 데이터로서, (B0, ... , B7, G0, ... , G7, ... , R0, ... , R7) 비트의 129번째에서 256번째까지의 데이터

이다.

- <49> 이하, 비트 스왑에 대해 더욱 상세하게 설명한다. 표시 데이터가 n비트의 레드(R), 그린(G), 블루(B)로 이루어진다고 가정할 때, 상기 비트 스왑은, 표시 데이터 중 레드(R)의 i(i는 변수)번째 비트가 블루(B)의 (n-i-1)번째 비트로 교환되고, 블루(B)의 i번째 비트가 레드(R)의 (n-i-1)번째 비트로 교환되며, 그린(G)의 i번째 비트가 그린(G)의 (n-i-1)번째 비트로 교환되도록 하여 수행된다.
- <50> 즉, 위에서 설명된 바와 같이, 패드들 사이에서 데이터 배선의 비트 순서가 스왑되어 있기 때문에, 타이밍 제어부(41)에서 하나의 드라이버 IC에 상응하는 데이터마다 비트 순서를 미리 스왑시켜서 생성함으로써 최종적으로 드라이버 IC에는 올바르게 데이터가 전달될 수 있다.
- <51> 이와 같이, 본 발명에서는 인쇄 회로 기판(40)의 패드들 사이의 데이터 배선을 단순화시키기 위하여, 인접한 패드들 사이의 중심에 대해 서로 대칭적으로 각 패드의 도전 라인이 연결되도록 하고, 타이밍 제어부(41)에서는 이러한 패드들 사이의 배선 패턴에 맞게 표시 데이터가 생성되도록 함으로써, 인쇄 회로 기판(40)의 패드들 사이의 데이터 배선이 종래에 비해 꺾임이 절반으로 감소하고 그 길이도 크게 짧아진다. 상기 설명된 본 발명의 데이터 배선 구조는 액정 표시 장치의 해상도가 높아지고, 화면이 대형화할수록 더욱 유용하다. 즉, 해상도가 높아지면, 액정 패널의 화소 수가 증가하고, 이에 따라, 드라이버 IC의 수가 증가하거나 단자수가 많은 드라이버 IC가 사용되어야 한다. 그리고, 인쇄 회로 기판에서도 패드들 사이의 데이터 배선이 더욱 미세해져야 하므로, 본 발명에서와 같은 단순한 구조의 데이터 패턴은 배선 패턴의 형성이나 전자파 장애의 측면에서 종래의 구조보다 훨씬 큰 잇점을 가진다.
- <52> 다음으로, 도 7 및 도 8을 참조하여 본 발명의 제2실시예를 설명한다.
- <53> 상기 제2실시예에서는 듀얼 포트(dual port) 드라이버 IC가 사용된다. 듀얼 포트 드라이버 IC는 액정 패널의 데이터 라인을 홀수번째 데이터 라인과 짝수번째 데이터 라인으로 나누어서 구동하며, 이러한 듀얼 포트 드라이버 IC에서는 표시 데이터를 위한 단자도 홀수번째 단자와 짝수번째 단자로 구분되어 있다.
- <54> 종래의 액정 표시 장치에서는, 듀얼 포트 드라이버 IC가 사용될 경우, 인접하는 패드들 사이에서 짝수번째 도전 라인과 홀수번째 도전 라인을 연결하기 위한 배선 패턴이 인쇄 회로 기판의 서로 다른 층(layer)에 존재하도록 구성되었다. 이것은 같은 층에 존재할 경우에 이들 배선이 서로 교차하기 때문이다. 그러나, 본 발명에서와 같이, 인접하는 패드들 사이의 중심에 대해 대칭되도록 패드들의 도전 라인이 연결되는 배선 패턴이 적용될 경우에는, 듀얼 포트 드라이버 IC가 액정 표시 장치에 사용되더라도, 인접한 패드들 사이의 배선 패턴이 서로 교차하지 않으므로, 하나의 층에 이들 배선 패턴이 모두 형성될 수 있다.
- <55> 보다 구체적으로, 도 7에서, 1번째 패드(71)의 홀수번째 표시 데이터 비트(R07~0, G07~0, B07~0)는 2번째 패드(72)의 짝수번째 표시 데이터 비트(BE7~0, GE7~0, RE7~0)에 각각 연결되고, 1번째 패드(71)의 짝수번째 표시 데이터 비트(RE7~0, GE7~0, BE7~0)는 2번째 패드(72)의 홀수번째 표시 데이터 비트(B07~0, G07~0, R07~0)에 각각 연결된다. 즉, 상기 두 패드(42, 43) 사이의 중심선을 기준으로 대칭인 위치에 있는 단자끼리 서로 연결된다. 또한, 상기 패드들 사이의 데이터 배선은 패드들의 상하에 교대로 형성된다. 다시 말해서, 첫번째 패드와 두번째 패드 사이의 데이터 배선은 두 패드의 위쪽에 형성되고, 두번째 패드와 세번째 패드 사이의 데이터 배선은 두 패드의 아래쪽에 형성된다.
- <56> 상기 제2실시예는 앞서 설명된 제1실시예와는 RGB의 비트가 짝수번째와 홀수번째로 구분되어 있다는 것외에는 동일하다.
- <57> 도 8에는 상기 도 7에 도시된 데이터 패턴을 가진 패드에 공급하기 위한 표시 데이터의 포맷이 도시되어 있고, 이 표시 데이터 포맷은 타이밍 제어부에서 생성된다. 상기 도 8에 도시된 표시 데이터의 포맷은 1 수평 주사 라인의 화소를 구동하는데 필요한 데이터이다. 상기 도 8을 참조하면, 표시 데이터는 레드, 그린, 블루의 3색으로 구분되어 있고, 각 컬러에 대해서도 짝수번째와 홀수번째 데이터로 구분되어 있다. 먼저, 각 비트는 (R07, ... , R00, G07, ... , G00, B07, ... , B00, RE7, ... , RE0, GE7, ... , GE0, BE7, ... , BE0)의 순서로 배열되고, 각 비트에 1번째 드라이버 IC에 필요한 데이터 분량이 배열된다. 다음으로, 각 비트가 서로 스왑되고, 이들 스왑된 비트에 2번째 드라이버 IC에 필요한 데이터 분량이 배열된다. 이러한 방식으로, 하나의 드라이버 IC에 필요한 데이터의 분량마다 표시 데이터의 비트를 스왑시켜 배열함으로써, 1 수평 주사 라인의 화소에 해당하는 표시 데이터가 생성될 수 있다. 즉, 본 발명의 제2실시예에서는, 패드들 사이의 데이터 배선의 비트 순서가 스왑되어 있기 때문에, 타이밍 제어부에서 하나의 드라이버 IC에 상응하는 데이터 분량마다 비트 순서를 미리 스왑시켜서 생성함으로써 최종적으로 드라이버 IC에는 올바르게 데이터가 전달될 수 있다.

발명의 효과

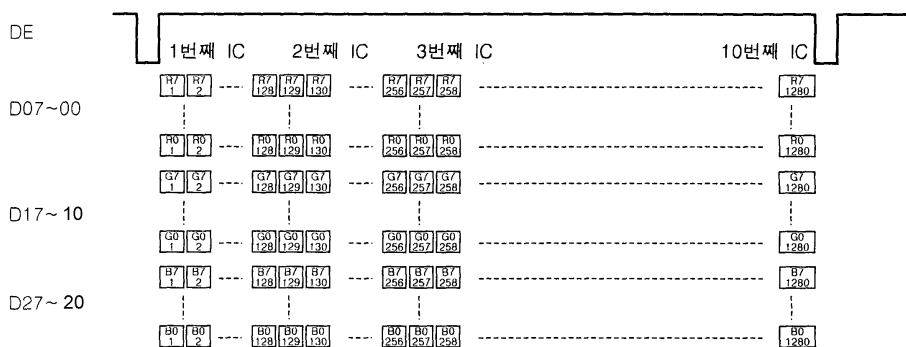
<58> 이상으로 설명된 바와 같이, 본 발명에서는 인쇄 회로 기판의 패드들 사이의 데이터 배선을 단순화시키기 위하여, 인접한 패드들 사이의 중심에 대해 서로 대칭적으로 각 패드의 도전 라인이 연결되도록 하고, 타이밍 제어 부에서는 이러한 패드들 사이의 배선 패턴에 맞게 표시 데이터가 생성되도록 함으로써, 인쇄 회로 기판의 패드들 사이의 데이터 배선이 종래에 비해 꺾임이 절반으로 감소하고 그 길이도 크게 짧아진다. 상기 설명된 본 발명의 데이터 배선 구조는 액정 표시 장치의 해상도가 높아지고, 화면이 대형화할수록 더욱 유용하다.

도면의 간단한 설명

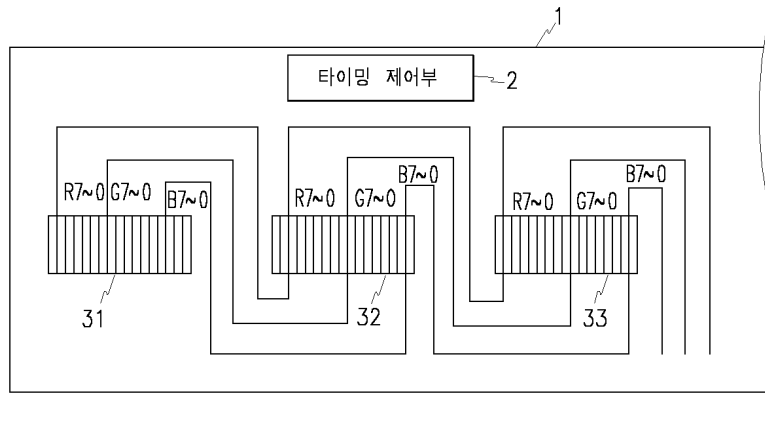
- <1> 도 1은 종래의 액정 표시 장치에서 표시 데이터의 포맷을 나타낸 도면.
- <2> 도 2는 상기 도 1에 도시된 표시 데이터의 포맷에 맞게 설계된 데이터 배선을 갖는 인쇄 회로 기판을 나타낸 도면.
- <3> 도 3은 액정 표시 장치에서 본 발명이 적용되는 액정 패널 어셈블리의 구성을 나타낸 도면.
- <4> 도 4는 본 발명의 제1실시예에 따른 인쇄 회로 기판의 데이터 배선을 나타낸 도면.
- <5> 도 5는 상기 도 4의 인쇄 회로 기판에서의 표시 데이터 전달 과정을 나타낸 도면.
- <6> 도 6은 상기 도 4에 도시된 데이터 배선을 갖는 인쇄 회로 기판에 제공되는 표시 데이터의 포맷을 나타낸 도면.
- <7> 도 7은 본 발명의 제2실시예에 따른 인쇄 회로 기판의 데이터 배선을 나타낸 도면.
- <8> 도 8은 상기 도 7에 도시된 데이터 배선을 갖는 인쇄 회로 기판에 제공되는 표시 데이터의 포맷을 나타낸 도면.
- <9> (도면의 주요 부분에 대한 부호의 설명)
- <10> 40 : 인쇄 회로 기판 41 : 타이밍 제어부
- <11> 50 : 액정 패널 60 : 테이프
- <12> 61 : 소스 드라이버 IC

도면

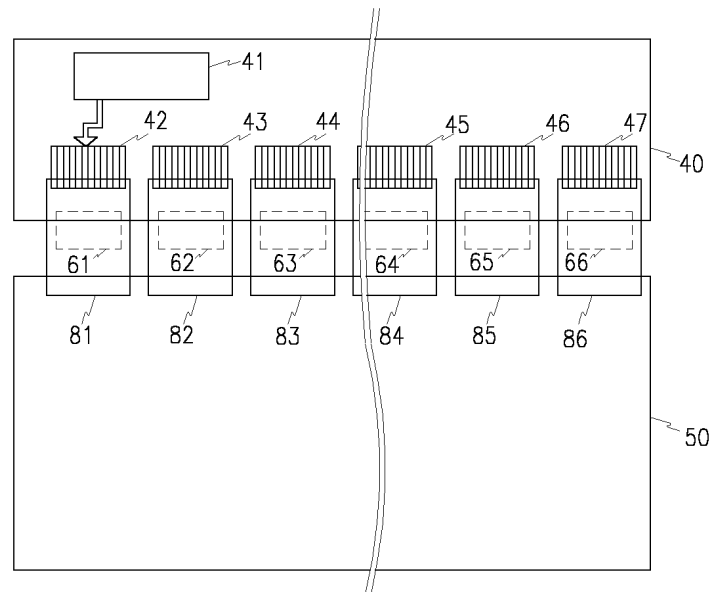
도면1



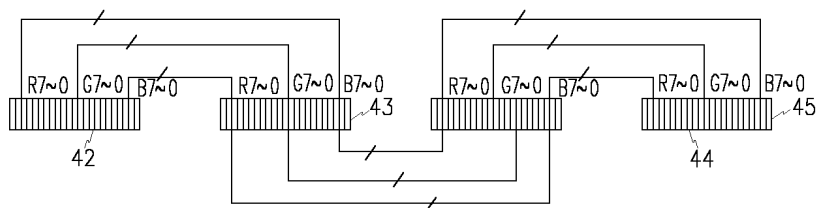
도면2



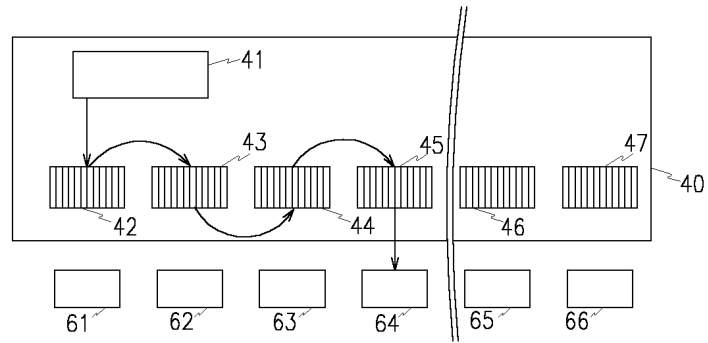
도면3



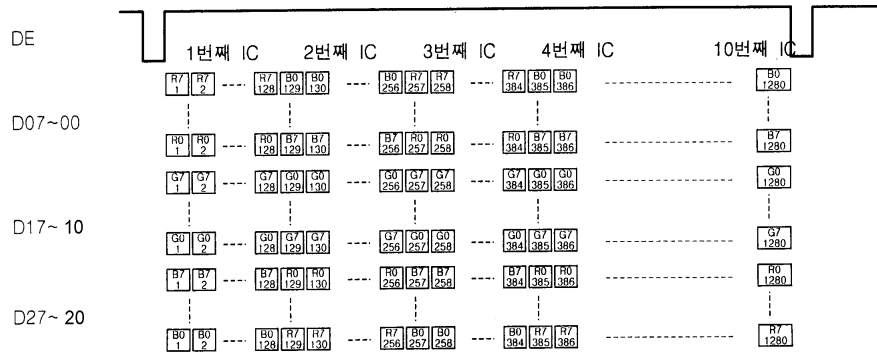
도면4



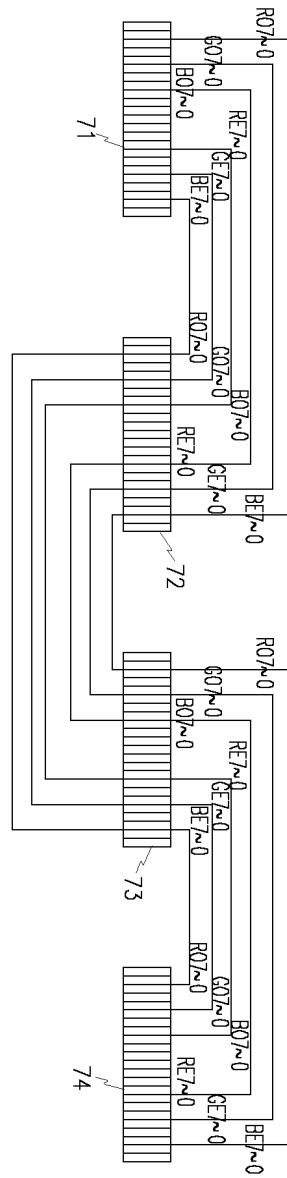
도면5



도면6



도면7



도면8

