



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0083960
(43) 공개일자 2013년07월24일

(51) 국제특허분류(Int. Cl.)

G11C 16/02 (2006.01) G11C 16/06 (2006.01)

(21) 출원번호 10-2012-0004606

(22) 출원일자 2012년01월16일

심사청구일자 2012년01월16일

(71) 출원인

창원대학교 산학협력단

경상남도 창원시 의창구 사림동 9 창원대학교

(72) 발명자

김영희

경상남도 창원시 반림동 현대아파트 112동 1001호

(74) 대리인

이철희

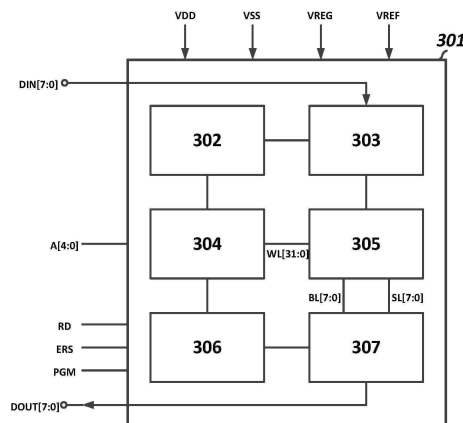
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 싱글-폴리 MTP 메모리

(57) 요약

본 발명에서는 싱글 폴리 MTP 셀을 이용하여 PMIC(Power Management Integrated Circuit)용 MTP 메모리(Multi-Time Programmable memory)를 설계하였다. 저면적의 메모리를 설계하기 위해 V10V 선택회로와 V5V 선택회로를 제안하였으며, logic 회로를 단순화한 워드라인 구동회로(Word-Line Driver)를 제안하였다. 삭제 모드(erase mode)와 프로그램 모드(program mode)에 모두 필요한 V10V(=10V)와 V5V(=5V) 전압은 7단계 VPP(Boosted Voltage) 차지 펌프의 내부 펌핑 노드 전압을 선택해주므로 추가적인 차지 펌프없이 한 개의 VPP 차지 펌프로만 구현하므로 레이아웃 면적을 줄였다.

대표도 - 도4



특허청구의 범위

청구항 1

데이터 입력의 프로그램 데이터를 지정된 MTP 메모리(Multi-Time Programmable memory) 셀 어레이에 프로그램하기 위한 데이터 입력 버퍼와 데이터 쓰기 스위치;

상기 데이터 입력 버퍼와 데이터 쓰기 스위치와 연결되고 여러 개의 전압을 공급하는 직류-직류 컨버터;

상기 직류-직류 컨버터와 연결되고 어드레스에 따라 MTP 메모리(Multi-Time Programmable memory) 셀 어레이에 전압을 공급하는 워드라인 구동회로;

상기 데이터 입력 버퍼와 데이터 쓰기 스위치 블록, 상기 워드라인 구동회로 및 데이터 읽기 스위치와 데이터-버스 감지앰프 블록에 연결된 MTP 메모리(Multi-Time Programmable memory) 셀 어레이;

상기 워드라인 구동회로 와 데이터 읽기 스위치와 데이터-버스 감지앰프 블록에 연결되고 동작 모드에 따라 제어 신호를 발생시키는 제어 로직회로; 및

상기 제어 로직회로와 연결되고 MTP(Multi-Time Programmable) 셀의 데이터를 읽어내기 위한 상기 읽기 데이터 스위치와 데이터-버스 감지앰프; 를 포함하고,

상기 직류-직류컨버터에서 여러 개의 출력전압을 7단계의 차지 펌프의 내부 펌핑 노드 전압을 이용하여 한 개의 차지 펌프로만 구현하는 것을 특징으로 하는 싱글-폴리 MTP 메모리

청구항 2

제 1항에 있어서, 상기 직류-직류 변환기는

기준전압 생성기;

기준전압 생성기에서 발생하는 제1 신호와 상기 제1 차지 펌프의 제 1출력전압을 입력받는 레벨 감지기;

상기 제1 레벨 감지기의 출력을 입력받는 제1 링 발진기;

상기 제1 링 발진기의 출력을 입력받는 제1 제어 로직;

상기 제1 제어 로직의 출력을 입력받아 상기 제 1출력전압과 제3 출력전압을 출력하는 제1 차지 펌프;

상기 제1 차지 펌프의 제2 신호와 제3 신호를 입력받아 제2 출력전압을 출력하는 제1 선택 회로;

기준전압 생성기에서 발생하는 제 4신호와 제2 차지 펌프의 제4 출력전압을 입력받는 제2 레벨 감지기;

상기 제2 레벨감지기의 출력을 입력받는 제2 링 발진기;

상기 제2 링 발진기의 출력을 입력받는 제2 제어 로직;

상기 제2 제어로직의 출력을 입력받는 제2 차지 펌프;

제1 출력전압, 제2 출력전압, 제3 출력전압 및 제4 출력전압 중 어느 하나의 출력라인에 한 개 이상 연결되어있는 각각의 캐패시터를 포함하는 것을 특징으로 하는 싱글-폴리 MTP 메모리

청구항 3

제 2항에 있어서, 상기 제1 차지 펌프는

상기 제1 제어 로직의 출력을 받는 제1 차지 펌프;

제1 차지 펌프 의 출력에 연결된 제2 차지 펌프;

상기 제2 차지 펌프 의 출력에 연결된 제3 차지 펌프;

상기 제3 차지 펌프 의 출력에 연결된 제4 차지 펌프;

상기 제4 차지 펌프 의 출력에 연결된 제5 차지 펌프;

상기 제5 차지 펌프 의 출력에 연결된 제6 차지 펌프;

상기 제6 차지 펌프 의 출력에 연결된 제7 차지 펌프; 및

상기 7개의 각각의 차지 펌프의 출력단에 각각의 다른 7개의 프리차징 회로가 연결되는 것을 포함하고,

상기 제1 차지 펌프, 제2 차지 펌프 및 프리차징 회로가 연결된 라인에서 상기 제3 출력전압을 출력하고,

상기 제3 차지 펌프, 제4 차지 펌프 및 프리차징 회로가 연결된 라인에서 상기 제2 신호를 출력하고,

상기 제4 차지 펌프, 제5 차지 펌프 및 프리차징 회로가 연결된 라인에서 상기 제3 신호를 출력하고,

상기 제7 차지 펌프 및 프리차징 회로가 연결된 라인에서 제 1출력전압을 출력하는 것을 특징으로 하는 싱글-폴리 MTP 메모리

청구항 4

제 3항에 있어서, 상기 프리차징 회로는

제 1단자가 상기 직류-직류 변환기의 제 4 출력전압을 전원으로 사용하여 연결되고 제 2단자와 제 4단자가 출력 전압과 연결된 제 1스위치;

제 1단자와 제 4단자가 상기 출력 전압과 연결되고 제 2단자가 제 3스위치의 제 1단자와 연결되는 제 2스위치;

제 1 단자가 상기 제 2 스위치의 상기 제 2단자와 연결되고 제 2 단자와 제 4단자는 그라운드와 연결되는 상기 제 3스위치;

상기 제 2스위치와 상기 제 3스위치의 제 3단자는 제어신호가 연결 되고,

상기 제 1스위치의 제 3단자는 상기 제 2스위치와 상기 제 3스위치가 연결된 라인에서 입력되는 것을 특징으로 하는 싱글-폴리 MTP 메모리

청구항 5

제 2항에 있어서, 상기 제1 선택 회로는

프로그램 데이터 신호를 입력받는 차동증폭기;

차동증폭기의 출력을 입력받는 인버터;

제 1단자가 상기 직류-직류 변환기의 제3 신호, 제 2단자가 상기 직류-직류 변환기의 제2 출력전압, 제 3 단자가 상기 인버터의 출력과 연결되고 제 4단자가 제 3스위치의 제 2단자와 연결된 제 1스위치;

제 1단자가 상기 직류-직류 변환기의 제2 출력전압, 제 2단자가 상기 직류-직류 변환기의 제3 신호, 제 3 단자가 상기 차동증폭기의 출력과 연결되고 제 4단자가 제 5스위치의 제 2단자와 연결된 제 2 스위치;

제 1단자가 상기 직류-직류 변환기의 제3 신호, 제 2단자 및 제 4단자가 상기 제 1스위치의 제 4단자와 연결되고, 제 3 단자가 상기 직류-직류 변환기의 제2 출력전압과 연결된 제 3스위치;

제 1단자가 상기 직류-직류 변환기의 제2 출력전압, 제 2단자 및 제 4단자가 상기 제 1스위치의 제 4단자와 연결되고, 제 3 단자가 상기 직류-직류 변환기의 제3 신호와 연결된 제 4스위치;

제 1단자가 상기 직류-직류 변환기의 제2 출력전압, 제 2단자 및 제 4단자가 상기 제 2스위치의 제 4단자와 연결되고, 제 3 단자가 상기 직류-직류 변환기의 제2 신호와 연결된 제 5스위치;

제 1단자가 상기 직류-직류 변환기의 제2 신호, 제 2단자 및 제 4단자가 상기 제 2스위치의 제 4단자와 연결되고, 제 3 단자가 상기 직류-직류 변환기의 제2 출력전압과 연결된 제 6스위치; 및

상기 직류-직류 변환기의 제2 출력전압과 연결된 캐패시터를 포함하는 것을 특징으로 하는 싱글-폴리 MTP 메모리

청구항 6

제 1항에 있어서, 워드라인 구동회로는

구동입력1과 구동입력2를 입력받는 낸드 게이트;

상기 낸드 게이트의 출력을 입력받는 제 1인버터;

역제어신호1을 입력받는 제 1단자, 제어신호1을 입력받는 제 2단자, 상기 제 1인버터의 출력을 입력받는 제 3단자 및 차동증폭기의 입력과 연결된 제 4단자를 포함하는 제 1스위치;

역제어신호2를 입력받는 제 1단자, 제어신호2를 입력받는 제 2단자, 상기 낸드 게이트의 출력을 입력받는 제 3단자 및 차동증폭기의 입력과 연결된 제 4단자를 포함하는 제 2스위치;

스위칭 전원 공급기의 하이"High" 신호를 전원으로 사용하고, 상기 제 1스위치와 상기 제 2스위치로부터 입력받는 상기 차동증폭기;

상기 스위칭 전원 공급기의 하이"High" 신호와 연결되는 제 1단자, 상기 차동증폭기의 출력을 입력받는 제 2단자, 상기 스위칭 전원 공급기의 로우"Low" 신호와 연결되는 제 3단자를 포함하는 제 2 인버터를 포함하는 것을 특징으로 하는 싱글-폴리 MTP 메모리

청구항 7

제 6항에 있어서, 상기 스위칭 전원 공급기의 하이"High" 신호 및 로우"Low" 신호를 사용자가 임의로 결정할 수 있는 것을 특징으로 하는 싱글-폴리 MTP 메모리

명세서

기술분야

본 발명에서는 MTP 메모리 설계에 관한 것으로, 특히 저면적의 메모리를 설계하기 위해 디코딩 로직 회로를 단순화한 워드라인 구동회로(Word-Line Driver)를 설계하였다. 그리고 삭제 모드(erase mode)와 프로그램 모드(program mode)에 모두 필요한 V10V(=10V)와 V5V(=5V) 전압은 7단계 교차 결합 차지 펌프의 내부 펌핑 노드 전압을 선택해줌으로 추가적인 직류-직류 변환기 없이 한 개의 직류-직류 변환기로만 구현하는 회로를 포함한 싱글-폴리 MTP 메모리에 관한 것이다.

배경기술

MTP 메모리(Multi-Time Programmable memory)는 아날로그 트리밍 용도로 사용되며, 공정이 단순하고 가격 경쟁력(Cost Effectiveness)이 있기 때문에 많은 PMIC 칩에 사용되고 있다. PMIC(Power Management IC)는 휴대전화기, 노트북 PC, TV와 모니터 등의 정보기기에서 입력전원을 받아서 시스템에서 요구하는 안정적인 전원으로 변환하여 공급하는 칩이다. PMIC(Power Management IC) 칩에 사용되는 NVM 셀(Non-Volatile Memory cell)은 싱글-폴리 EEPROM, 더블-폴리 EEPROM, 플래쉬와 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) 셀(cell)이 사용되고 있다

일반적으로 PMIC 칩에서 수 Kb 이상의 NVM 메모리는 비트 셀 사이즈가 수 μm^2 로 정도의 더블-폴리 EEPROM, 플래쉬와 SONOS cell이 사용되며, BCD 공정에 5~8개의 엑스트라 마스크 레이어가 필요하다. 그리고 수 Kb 이하의 NVM 메모리는 비트 셀 사이즈가 수 십 μm^2 이상의 싱글-폴리 EEPROM인 MTP 셀(Multi-Time Programmable cell)이 사용되며, 대부분 한 개 또는 두 개의 마스크 레이어가 추가된다. 그리고 원가 절감을 위하여 저면적 설계가 요구되며, 하나의 MTP(Multi-Time Programmable) IP로 표 1의 노트북 PC, 휴대전화기, 모니터등의 응용기기에 대응하기 위해서는 2.5V~5.5V의 동작전압 범위를 갖는 넓은 작동범위의 전압을 갖는 회로설계가 요구된다.

MTP 메모리(Multi-Time Programmable memory)에 사용되는 MTP 셀(Multi-Time Programmable cell)은 도 1에서 보는 바와 같이 싱글-폴리 EEPROM으로 BN(Buried N) 확산과 FG(Floating Gate) 사이의 BN(Buried N) 커패시터, 감지 트랜지스터(sense Transistor)와 선택 트랜지스터(select Transistor)로 구성되어 있다. 도 1는 MTP(Multi-Time Programmable) 셀의 회로도도를 보여주고 있다. 도 1의 플로팅 게이트에 전자를 방출시키는 동작은 삭제 모드(erase mode)이고, 플로팅 게이트에서 전자를 주입하는 동작은 프로그램 모드(program mode)이다. EEPROM 셀(cell)의 삭제와 프로그램은 플로팅 게이트 아래의 터널 옥사이드를 통해서 FN-터널링(Fowler-Nordheim tunneling)에 의해 이루어진다. MTP(Multi-Time Programmable)의 쓰기 모드(write mode)는 항상 삭제 모드(erase mode) 이후 프로그램 모드(program mode)가 이루어져야 한다.

도 2는 본 발명에 따른 MTP(Multi-Time Programmable) 셀의 동작모드에 따른 노드별 바이어스 전압 조건을 나타

내는 것이다. 삭제 모드에서는 선택된 셀의 워드라인(WL)에 0V, 비트라인(BL)에 15V를 인가하여 FN-터널링에 의해 플로팅 게이트 노드에 있는 전자를 방출 시킨다. 그리고 프로그램 모드에서는 선택된 셀의 워드라인에 18.5V, BL에 0V를 인가하여 FN-터널링에 의해 플로팅 게이트 노드로 전자를 주입한다. 소스 라인(SL)은 쓰기 모드(write mode)에서 모두 플로팅(floating) 상태이고, 읽기 모드(read mode)에서는 0V이다.

[0006] 선택된 워드라인(WL)은 삭제 모드(erase mode), 프로그램 모드(program mode)와 읽기 모드(read mode)에서 각각 0V, VPP(=18.5V), VRD(=3.3V)와 같이 각기 다른 전압을 제공하는 방법을 사용한다. 반면 선택되지 않은 워드라인은 삭제 모드(erase mode), 프로그램 모드(program mode)와 읽기 모드(read mode)에서 V10V(=10V), V5V(=5V), 0V의 전압을 출력하는 방법을 사용한다. V10V와 V5V는 데이터 방해(data disturb)를 방지하기 위한 전압으로 V10V는 선택되지 않은 셀(cell)이 삭제되는 것을 방지하기 위한 전압이고, V5V는 선택되지 않은 셀(cell)이 프로그램 되는 것을 방지하기 위한 전압이다.

[0007] 도 3에서 보는 바와 같이 삭제된 셀(cell)의 문턱전압(Threshold Voltage)은 1.9V 이하이고, 프로그램 된 셀(cell)의 문턱전압은 5.0V 이상이다. 읽기 모드에서는 워드라인에 3.3V의 VRD 전압을 인가한다. 삭제된 셀은 BL에 0V를 출력하는 반면, 프로그램 된 셀은 VDD를 출력한다. MTP(Multi-Time Programmable) IP 설계에서 필요한 전압은 VPP, V10V(=10V), V5V(=5V), VRD(=3.3V), VDD가 필요하다. VPP는 프로그램 모드에서 18.5V, 삭제 모드에서 15V이다.

[0008] 기존의 EEPROM 회로는 워드라인 구동회로(Word-Line driver) 2개 마다 하나의 행 주소 디코더(row address decoder)를 공유하고, 각각의 워드라인 구동회로(Word-Line driver)에서 마지막 주소 디코딩(final address decoding)을 하는 회로를 사용하였다. 이 경우 CMOS 로직 회로가 차지하는 면적이 큰 단점이 있다. 그리고 VPP(Boosted Voltage) 전압을 발생하는 포지티브 차지 펌프(positive charge pump)회로의 내부 펌핑 노드 전압을 이용하여 VPP보다 낮은 전압을 공급해주는 VPPL 선택회로가 개시되었다. 이 경우는 2 펌핑 노드 전압을 선택해주는 HW 스위칭(HW Switching) 회로가 차지하는 레이아웃 면적이 커지는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0009] 본 발명이 해결하고자 하는 기술적 과제는, MTP 메모리 설계에서 저면적의 MTP(Multi-Time Programmable) IP를 설계하기 위해 디코딩 로직 회로를 단순화한 워드라인 구동회로(Word-Line Driver)를 설계하고, 동작 모드에 따라 필요한 VPP, V10V, V5V와 VRD 전압은 7단계 VPP 차지 펌프와 2단계의 VRD 차지 펌프 회로에 의해 공급하여 여분의 차지 펌프(extra charge pump)에 해당하는 면적을 줄이는 싱글-폴리 MTP 메모리를 제공하는데 있다.

과제의 해결 수단

[0010] 상기 기술적 과제를 이루기 위한 본 발명에 따른 싱글-폴리 MTP 메모리는 데이터 입력의 프로그램 데이터를 지정된 MTP 메모리(Multi-Time Programmable memory) 셀 어레이에 프로그램하기 위한 데이터 입력 버퍼와 데이터 쓰기 스위치, 상기 데이터 입력 버퍼와 데이터 쓰기 스위치와 연결되고 여러 개의 전압을 공급하는 직류-직류 컨버터, 상기 직류-직류 컨버터와 연결되고 어드레스에 따라 MTP 메모리(Multi-Time Programmable memory) 셀 어레이에 전압을 공급하는 워드라인 구동회로, 상기 데이터 입력 버퍼와 데이터 쓰기 스위치 블록, 상기 워드라인 구동회로 및 데이터 읽기 스위치와 데이터-버스 감지앰프 블록에 연결된 MTP 메모리(Multi-Time Programmable memory) 셀 어레이, 상기 워드라인 구동회로 와 데이터 읽기 스위치와 데이터-버스 감지앰프 블록에 연결되고 동작 모드에 따라 제어 신호를 발생시키는 제어 로직회로 및 상기 제어 로직회로와 연결되고 MTP(Multi-Time Programmable) 셀의 데이터를 읽어내기 위한 상기 읽기 데이터 스위치와 데이터-버스 감지앰프를 포함하고, 상기 직류-직류컨버터에서 여러 개의 전압을 7단계 VPP 차지 펌프의 내부 펌핑 노드 전압을 이용하여 한 개의 VPP 차지 펌프로만 구현하는 것을 특징으로 한다.

발명의 효과

[0011] 본 발명에 따른 싱글-폴리 MTP 메모리는 저면적의 MTP(Multi-Time Programmable) IP를 설계하기 위해 디코딩 로직 회로를 단순화한 워드라인 구동회로(Word-Line Driver)를 설계하였고, 동작 모드에 따라 필요한 VPP, V10V, V5V와 VRD 전압은 7단계 VPP 차지 펌프와 2단계의 VRD 차지 펌프 회로에 의해 공급해 줄 수 있으므로 여분의 차지 펌프(extra charge pump)에 해당하는 면적을 줄일 수 있는 장점이 있다.

도면의 간단한 설명

- [0012] 도 1은 종래기술에 따른 MTP(Multi-Time Programmable) 셀의 회로도를 나타내는 도면이다.
- 도 2는 종래기술에 따른 MTP(Multi-Time Programmable) 셀의 동작모드에 따른 노드별 바이어스 전압 조건을 나타내는 것이다.
- 도 3은 종래기술에 따른 삭제와 program된 셀(cell)의 문턱전압이다.
- 도 4은 본 발명에 따른 MTP 메모리(Multi-Time Programmable memory)의 블록도를 나타내는 도면이다.
- 도 5는 본 발명에 따른 워드라인 구동회로(Word-Line driver)를 나타내는 도면이다.
- 도 6은 본 발명에 따른 동작 모드별 스위칭 전원공급장치의 출력 전압을 나타낸 것이다.
- 도 7는 본 발명에 따른 데이터-버스 감지앰프를 나타내는 도면이다.
- 도 8은 본 발명에 따른 동작 모드별 직류-직류 컨버터의 전압이다.
- 도 9는 본 발명에 따른 제안된 직류-직류 변환기의 블록 다이어그램을 나타내는 도면이다.
- 도 10은 본 발명에 따른 7단계 VPP 차지 펌프 회로도를 나타내는 도면이다.
- 도 11은 본 발명에 따른 직류-직류 컨버터의 프리차징 회로 중 VRD 프리차징 회로를 나타내는 도면이다.
- 도 12는 본 발명에 따른 V10V 스위칭(Switching) 파워 회로를 나타내는 도면이다.
- 도 13은 본 발명에 따른 MTP 메모리(Multi-Time Programmable memory) 레이아웃 이미지를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하에서는 본 발명의 구체적인 실시 예를 도면을 참조하여 상세히 설명하도록 한다.
- [0014] 도 4은 본 발명에 따른 MTP 메모리(Multi-Time Programmable memory)의 블록도를 나타내는 도면이다.
- [0015] MTP 메모리(Multi-Time Programmable memory)는 다음과 같이 구성되어 있다. 32 행(rows) × 8 열(columns)의 메모리 셀 어레이(Memory cell array)(305), 어드레스 A[4:0]에 따라 32개의 행 중에 하나를 선택하여 워드라인 노드에 전압을 공급하는 워드라인 구동회로(304), MTP 셀(Multi-Time Programmable cell)의 데이터를 읽어내기 위한 읽기 데이터 스위치(Read Data Switch)와 데이터-버스 감지앰프(Data-Bus Sense Amplifier)(307), 데이터 입력의 프로그램 데이터(program data)를 지정된 MTP 셀(Multi-Time Programmable cell)에 프로그램하기 위한 데이터 입력 버퍼(buffer)와 데이터 쓰기 스위치(write Data Switch)(303)가 있다. 그리고 동작 모드에 따라 제어 신호를 발생시키는 제어 로직회로(306)가 있다.
- [0016] 입력 제어 신호(Input control signal)는 데이터 읽기, 데이터 지우기, 프로그램 신호가 있다. 한편 직류-직류 컨버터(302)는 VPP, V10V, V5V, VRD 전압을 공급한다. 삭제 모드(Erase mode)와 프로그램 모드(program mode)에 모두 필요한 V10V와 V5V 전압은 7단계 VPP(Boosted Voltage) 차지 펌프의 내부 펌핑 노드 전압을 선택해줌으로 추가적인 차지 펌프없이 한 개의 VPP 차지 펌프로만 구현하므로 레이아웃 면적을 줄일 수 있다. 5개의 어드레스 A[4:0]에 의해 32 바이트(Byte) 중의 한 바이트가 선택되며, 데이터 읽기와 쓰기는 바이트 단위로 수행된다.
- [0017] 도 5는 본 발명에 따른 워드라인 구동회로(word line driver)를 나타내는 도면이다.
- [0018] 워드라인 구동회로는 구동입력1과 구동입력2를 입력받는 낸드 게이트(503), 상기 낸드 게이트의 출력을 입력받는 제 1인버터(504), 역제어신호1을 입력받는 제 1단자, 제어신호1을 입력받는 제 2단자, 상기 제 1인버터의 출력을 입력받는 제 3단자 및 차동증폭기(505)의 입력과 연결된 제 4단자를 포함하는 제 1스위치(501), 역제어신호2를 입력받는 제 1단자, 제어신호2를 입력받는 제 2단자, 상기 낸드 게이트의 출력을 입력받는 제 3단자 및 차동증폭기(505)의 입력과 연결된 제 4단자를 포함하는 제 2스위치(502), 스위칭 전원 공급기의 하이"High" 신호(ROW_HW)를 전원으로 사용하고, 상기 제 1스위치와 상기 제 2스위치로부터 입력받는 상기 차동증폭기(505), 스위칭 전원 공급기의 하이"High" 신호(ROW_HW)를 연결되는 제 1단자, 상기 차동증폭기(505)의 출력을 입력받는 제 2단자, 스위칭 전원 공급기의 로우"Low" 신호(ROW_LW)와 연결되는 제 3단자를 포함하는 제 2 인버터(506)를 포함하는 것을 특징으로 한다.

- [0019] 본 발명에서 설계된 워드라인 구동회로(word line driver) 회로의 로우 디코딩 로직은 프리디코딩 입력된 구동 입력1, 구동입력2를 디코딩 입력하였다. 구동입력1은 5개의 어드레스 A[4:0] 중 A4와 A3을 프리디코딩 입력한 것이고, 구동입력2는 5개의 어드레스 A[4:0] 중 A2, A1과 A0를 프리디코딩 입력한 것이다.
- [0020] 도 6은 본 발명에 따른 동작 모드별 스위칭 전원공급장치의 출력 전압을 나타낸 것이다.
- [0021] ROW_HV 전압은 삭제 모드(erase mode), 프로그램 모드(program mode)와 읽기 모드(read mode)에서 각각 10V, 18.5V와 3.3V의 전압을 공급하므로 도 5에서 보는 바와 같이 VDD-to-ROW_HV 전압 레벨 변환기 회로가 필요하다. 전압 레벨 변환기 회로는 최대 18.5V의 높은 전압이 인가되므로 높은 전압 트랜지스터를 사용하여 설계하였다.
- [0022] 도 7는 본 발명에 따른 데이터-버스 감지앰프를 나타내는 도면이다.
- [0023] PMOS 트랜지스터인 MP1은 읽기 모드로 진입하면서 DB_LOADb(Data Bus LOAD bar) 신호에 의해 데이터 버스라인을 VDD로 올린다. 워드라인이 활성화되면서 MTP 셀(Multi-Time Programmable cell)의 문턱전압이 5.0V 이상인 로직 '1'로 프로그램 된 셀에 연결된 데이터 버스라인 전압은 VDD를 유지하는 반면, MTP 셀(Multi-Time Programmable cell)의 문턱전압이 1.9V 이하인 로직 '0'로 프로그램 된 셀은 온된 MTP 셀(Multi-Time Programmable cell)에 의해 데이터 버스라인을 0V로 방전시킨다.
- [0024] 데이터 버스라인에 BL의 데이터가 충분히 올라가게 되면 도 7의 클럭 인버터에 의해 데이터 버스에 전압을 감지하여 출력 데이터 포트로 출력한다.
- [0025] 출력 데이터 버퍼는 SAENb(Sense Amplifier Enable bar) 신호가 '로우(Low)'인 구간동안 데이터 버스의 읽기 데이터를 감지하여 출력하고 '하이(High)'인 구간동안은 도 7의 D-렛치(Latch)에 의해 감지된 데이터를 가두어 둔다. 높은 임피던스를 갖는 PMOS 부하 트랜지스터 MP1은 '1'로 프로그램된 셀(cell)에 접근하는 경우 BL에 연결된 선택되지 않은 셀(cell)의 꺼진 누설전류에 의해 BL이 '로우(Low)'로 떨어지는 것을 방지하기 위해 BL과 데이터 버스라인을 '하이(High)'상태로 충분히 일시정지(hold)시켜 주어야 한다.
- [0026] 도 8은 본 발명에 따른 동작 모드별 직류-직류 컨버터의 전압이다. MTP 메모리 설계에서 사용되어지는 전압은 직류-직류 변환기의 출력전압으로 VPP, V10V, V5V, VRD 전압이 있고, 직류-직류 변환기의 입력전압으로 VDD와 VREG 전압이 있다. 그래서 VPP, V10V, V5V, VRD의 전압을 만들기 위해서는 일반적으로 직류-직류 변환기 회로가 사용된다.
- [0027] 도 9는 본 발명에 따른 제안된 직류-직류 변환기의 블록 다이어그램을 나타내는 도면이다.
- [0028] 직류-직류 변환기(900)는 기준전압 생성기(901), 기준전압 생성기(901)에서 발생하는 VREF와 VPP를 입력받는 VPP 레벨 감지기(902), VPP 레벨 감지기(902)의 출력을 입력받는 VPP 링 발진기(903), 상기 VPP 링 발진기(903)의 출력을 입력받는 VPP 제어 로직(904), 상기 VPP 제어 로직(904)의 출력을 입력받는 VPP 차지 펌프(905) 및 상기 VPP 차지 펌프(905)의 출력 중 V10V_ERS와 V10V_PGM을 입력받는 V10V 선택 회로(906), 기준전압 생성기에서 발생하는 VREF_VRD와 VRD 차지 펌프의 VRD를 입력받는 VRD 레벨 감지기, 상기 VRD 레벨감지기의 출력을 입력받는 VRD 링 발진기, 상기 VRD 링 발진기의 출력을 입력받는 VRD 제어 로직, 상기 VRD 제어로직의 출력을 입력받는 VRD 차지 펌프, VPP, VRD, V10V 및 V5V 중 어느 하나의 출력라인에 한 개 이상 연결되어있는 각각의 캐패시터를 포함하는 것을 특징으로 한다
- [0029] 본 발명에서는 직류-직류 변환기를 VPP 차지 펌프 회로와 VRD 차지 펌프 회로만 이용하여 VPP, V10V, V5V, VRD 전압을 공급하는 직류-직류 컨버터 회로를 제안하였다. 직류-직류 변환기는 본 발명의 쓰기 모드(write mode)에 필요한 VPP, V10V와 V5V 전압이 공급되어야 한다.
- [0030] 직류-직류 컨버터에서 VRD 차지 펌프는 VREG를 입력전압으로 사용하며, 2단계 교차 결합 차지 펌프에 의해 3.3V의 증폭된 전압을 공급한다. 3.3V의 VRD 전압은 읽기 모드(read mode)시 선택된 워드라인 드라이버에 인가하는데 필요하다.
- [0031] 본 발명의 VPP 차지 펌프 회로는 7단계 VPP 차지 펌프를 사용한다.
- [0032] 도 10은 본 발명에 따른 7단계 VPP 차지 펌프 회로도(1000)를 나타내는 도면이다.
- [0033] VPP 차지 펌프 회로(1000)는 상기 VPP 제어 로직의 출력을 받는 제1 차지 펌프(1001), 제1 차지 펌프(1001)의 출력에 연결된 제2 차지 펌프(1002), 상기 제2 차지 펌프(1002)의 출력에 연결된 제3 차지 펌프(1003), 상기 제3 차지 펌프(1003)의 출력에 연결된 제4 차지 펌프(1004), 상기 제4 차지 펌프(1004)의 출력에 연결된 제5 차지 펌프(1005), 상기 제5 차지 펌프(1005)의 출력에 연결된 제6 차지 펌프(1006), 상기 제6 차지 펌프(1006)

의 출력에 연결된 제7 차지 펌프(1007) 및 상기 7개의 각각의 차지 펌프의 출력단에 각각의 다른 7개의 VRD 프리차징 회로(1008)이 연결되는 것을 포함하고, 상기 제1 차지 펌프(1001), 제2 차지 펌프(1002) 및 VRD 프리차징 회로(1008)가 연결된 라인에서 V5V를 출력하고, 상기 제3 차지 펌프(1003), 제4 차지 펌프(1004) 및 VRD 프리차징 회로(1008)가 연결된 라인에서 V10V_PGM을 출력하고, 상기 제4 차지 펌프(1004), 제5 차지 펌프(1005) 및 VRD 프리차징 회로(1008)가 연결된 라인에서 V10V_ERS를 출력하고, 상기 제7 차지 펌프 및 VRD 프리차징 회로(1008)가 연결된 라인에서 VPP를 출력하는 것을 특징으로 한다.

[0034] 직류-직류 변환기에서 출력되는 전압 중 VPP는 7단계 교차 결합 차지 펌프에 의해 공급된다. 그리고 V10V와 V5V는 7단계 교차 결합 차지 펌프의 내부 펌핑 노드 전압을 선택하여 구현하였다.

[0035] 먼저 V5V는 7단계 교차 결합 차지 펌프 회로의 첫 번째 펌핑 노드의 출력 전압을 사용하였고, V10V는 V10V_ERS 전압과 V10V_PGM 전압을 쓰기 모드(write mode)에 따라 선택해주는 V10V 전원 스위칭 회로에 의해 스위칭 된다.

[0036] 도 11은 본 발명에 따른 직류-직류 컨버터의 프리차징 회로 중 VRD 프리차징 회로를 나타내는 도면이다.

[0037] 도 11은 대기상태에서 VPP 차지 펌프의 펌핑 단계별 출력전압인 출력 전압 노드 전압과 V10V 전압을 VRD 전압으로 프리차징하는 회로를 보여주고 있다.

[0038] VRD 프리차징은 제 1단자가 VRD와 연결되고 제 2단자와 제 4단자가 출력 전압과 연결된 제 1스위치(1101), 제 1단자와 제 4단자가 출력 전압과 연결되고 제 2단자가 제 3스위치(1103)의 제 1단자와 연결되는 제 2스위치(1102), 제 1 단자가 상기 제 2 스위치(1102)의 상기 제 2단자와 연결되고 제 2 단자와 제 4단자는 그라운드와 연결되는 상기 제 3스위치(1103), 상기 제 2스위치(1102)와 상기 제 3스위치(1103)의 제 3단자는 VPP_ONb가 연결 되고, 상기 제 1스위치(1101)의 제 3단자는 상기 제 2스위치(1102)와 상기 제 3스위치(1103)가 연결된 라인에서 입력되는 것을 특징으로 한다.

[0039] 도 12는 본 발명에 따른 V10V 스위칭 파워(Switching power) 회로를 나타내는 도면이다.

[0040] VPP 전하펌프의 임의의 노드전압인 V10V_PGM과 V10V_ERS 전압을 이용하여 프로그램 모드에서는 turn-on된 MP0를 통해 V10V_PGM 전압이, 그리고 삭제 모드에서는 turn-on된 MP1를 통해 V10V_ERS 전압이 V10V에 공급되도록 하는 V10V 전원 스위칭 회로를 사용하였다. VRD는 읽기 모드(read mode)에서 공급되어야 하는 전압이다.

[0041] V10V 선택 회로는 PGMD 신호를 입력받는 차동증폭기(1207), 차동증폭기(1207)의 출력을 입력받는 인버터(1208), 제 1단자가 V10V_PGM, 제 2단자가 V10V, 제 3 단자가 상기 인버터의 출력과 연결되고 제 4단자가 제 3스위치의 제 2단자와 연결된 제 1스위치(1201), 제 1단자가 V10V, 제 2단자가 V10V_PGM, 제 3 단자가 상기 차동증폭기의 출력과 연결되고 제 4단자가 제 5스위치(1205)의 제 2단자와 연결된 제 2 스위치(1202), 제 1단자가 V10V_PGM, 제 2단자 및 제 4단자가 상기 제 1스위치(1201)의 제 4단자와 연결되고, 제 3 단자가 V10V와 연결된 제 3스위치(1203), 제 1단자가 V10V, 제 2단자 및 제 4단자가 상기 제 1스위치(1201)의 제 4단자와 연결되고, 제 3 단자가 V10V_PGM과 연결된 제 4스위치(1204), 제 1단자가 V10V, 제 2단자 및 제 4단자가 상기 제 2스위치(1202)의 제 4단자와 연결되고, 제 3 단자가 V10V_PGM과 연결된 제 5스위치(1205), 제 1단자가 V10V_PGM, 제 2단자 및 제 4 단자가 상기 제 2스위치(1202)의 제 4단자와 연결되고, 제 3 단자가 V10V와 연결된 제 6스위치(1206) 및 V10V와 연결된 캐패시터를 포함하는 것을 특징한다.

[0042] 도 13은 본 발명에 따른 MTP 메모리(Multi-Time Programmable memory) 레이아웃 이미지를 나타내는 일실시례이다.

[0043] 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 이라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방이 가능함은 명백한 사실이다.

부호의 설명

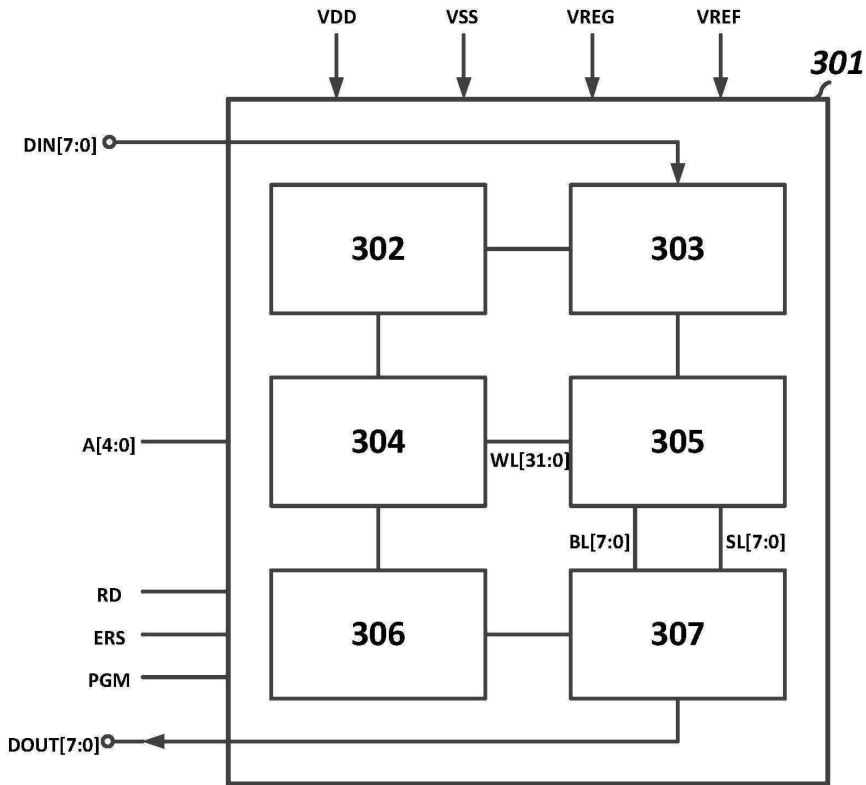
[0044] 302 : 직류-직류 컨버터(DC-DC converter)

303 : 데이터 쓰기 스위치(write Data Switch)

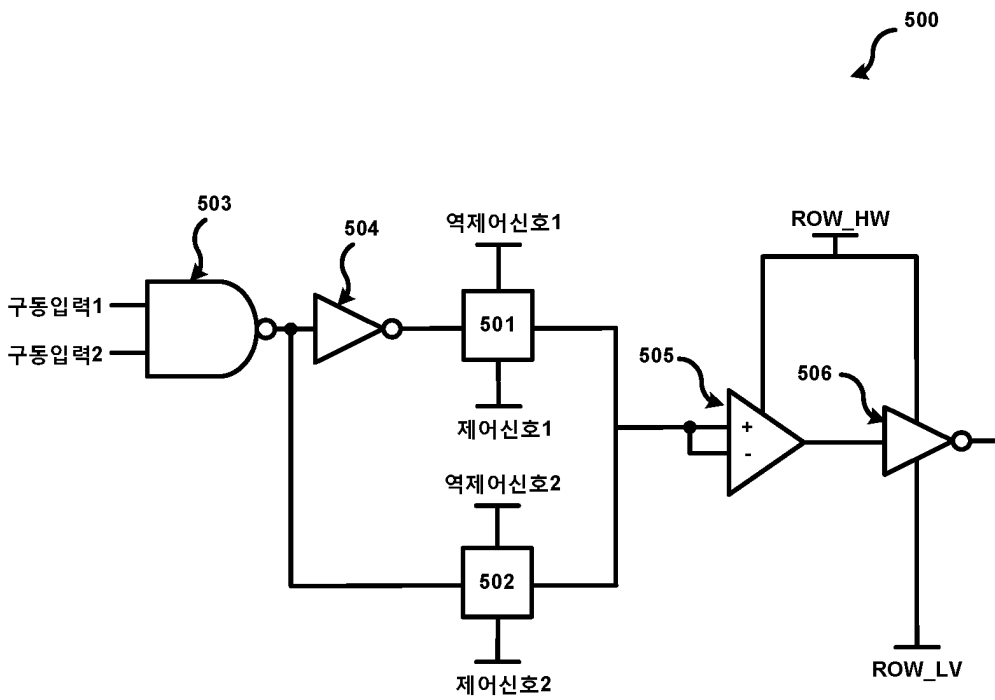
304 : 워드라인 구동회로(Word-Line driver)

305 : 메모리셀 어레이(Memory cell array)

도면4



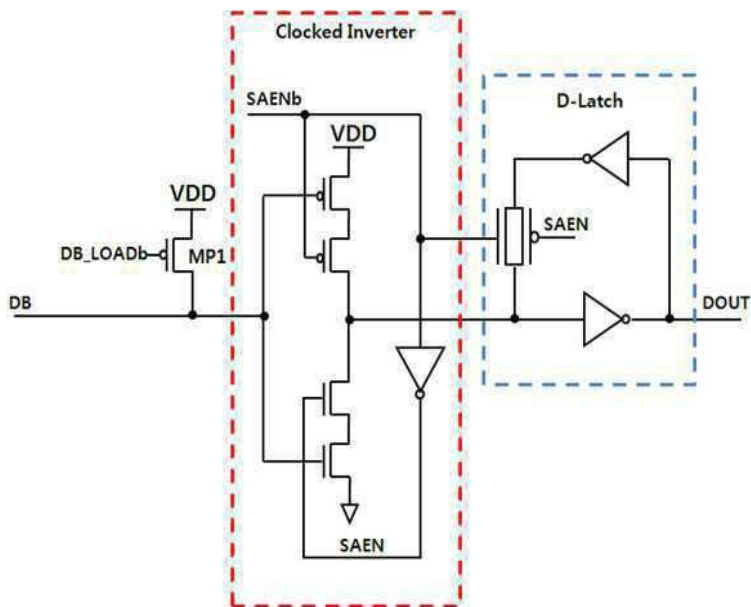
도면5



도면6

스위칭 Power Supply	ERASE	PROGRAM	READ
ROW_HV	10V	18.5V	3.3V
ROW_LV	0V	5V	0V

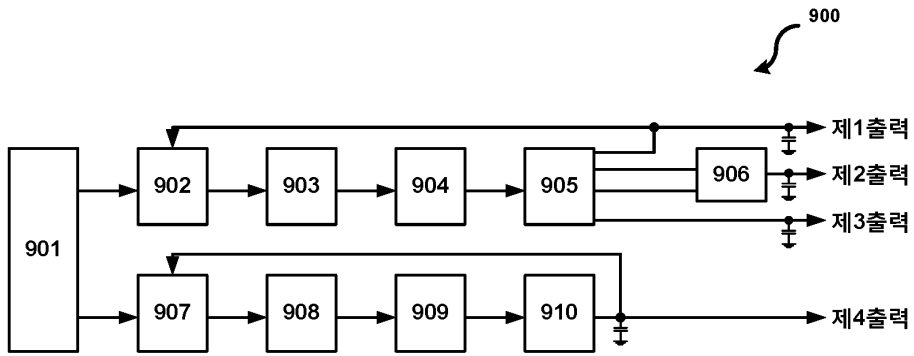
도면7



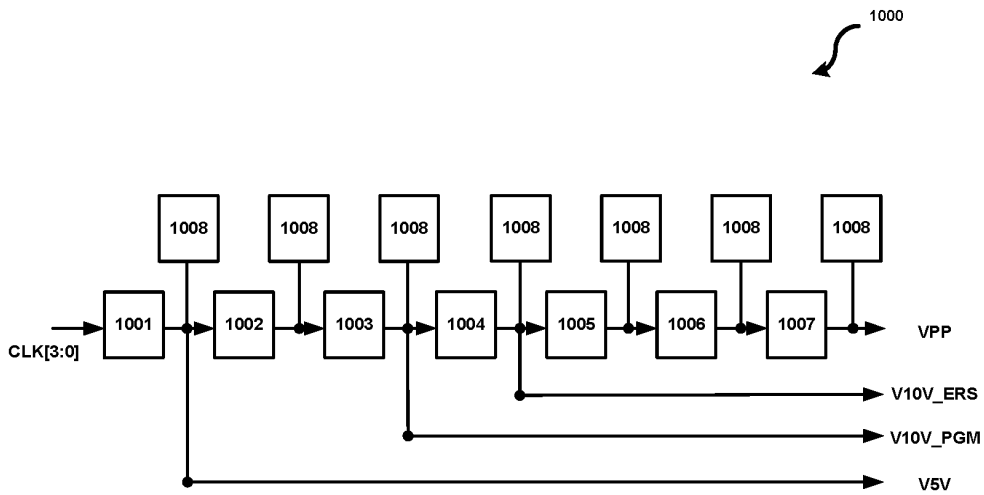
도면8

VoltageSource	ERASE	PROGRAM	READ	Remark
VDD	2.5V ~ 5.5V	2.5V ~ 5.5V	2.5V ~ 5.5V	Input
VREG	2.5V	2.5V	2.5V	Input
VPP	15V	18.5V	3.3V	Output
V10V	10V	10V	3.3V	Output
V5V	5V	5V	3.3V	Output
VRD	3.3V	3.3V	3.3V	Output

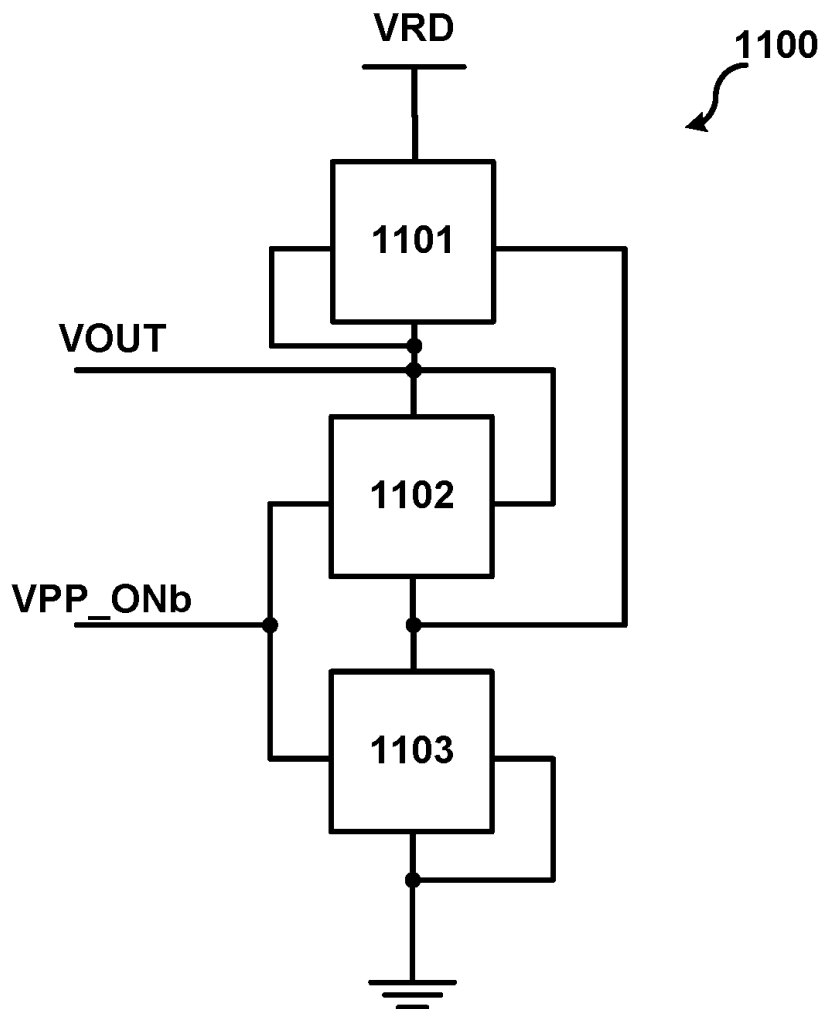
도면9



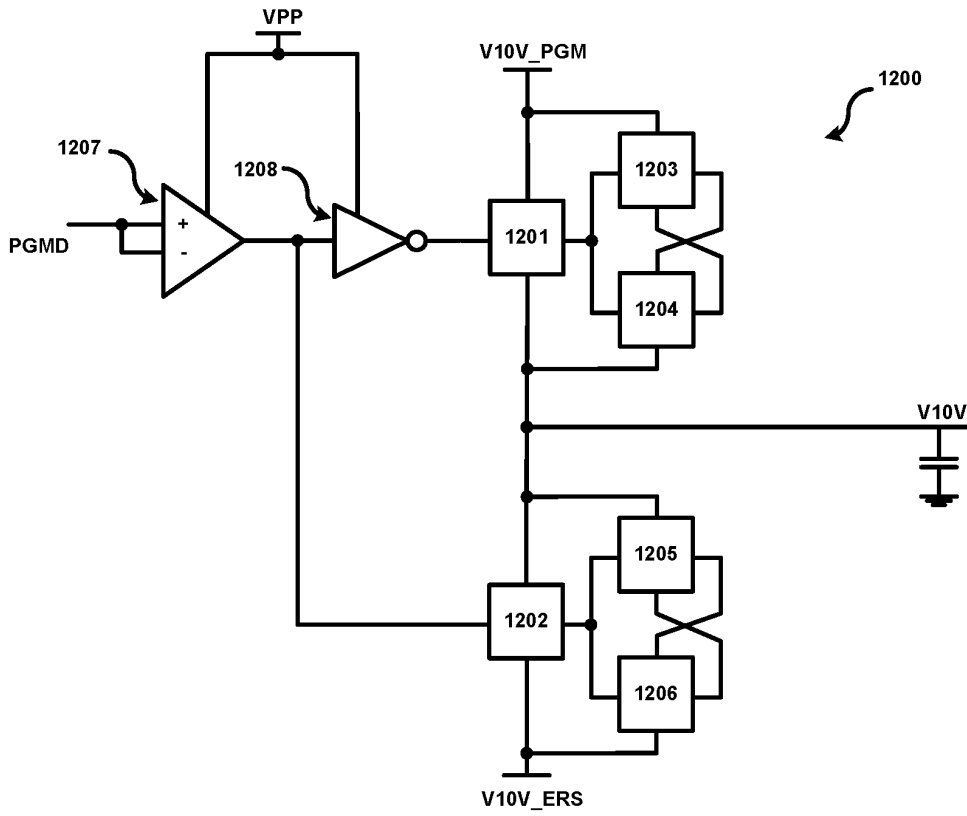
도면10



도면11



도면12



도면13

