

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第6246509号
(P6246509)

(45) 発行日 平成29年12月13日(2017.12.13)

(24) 登録日 平成29年11月24日(2017.11.24)

(51) Int.Cl.

F I

G 1 1 C 11/16 (2006.01)

G 1 1 C 13/00 (2006.01)

G 1 1 C 11/16 2 3 O

G 1 1 C 13/00 4 0 0 B

G 1 1 C 13/00 4 0 0 G

請求項の数 10 (全 30 頁)

(21) 出願番号	特願2013-136299 (P2013-136299)	(73) 特許権者	390019839
(22) 出願日	平成25年6月28日 (2013. 6. 28)		三星電子株式会社
(65) 公開番号	特開2014-10885 (P2014-10885A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成26年1月20日 (2014. 1. 20)		C o . , L t d .
審査請求日	平成28年6月27日 (2016. 6. 27)		大韓民国京畿道水原市靈通区三星路129
(31) 優先権主張番号	13/538, 869		129, S a m s u n g - r o , Y e o n
(32) 優先日	平成24年6月29日 (2012. 6. 29)		g t o n g - g u , S u w o n - s i , G
(33) 優先権主張国	米国 (US)		y e o n g g i - d o , R e p u b l i c
			o f K o r e a
		(74) 代理人	100110364
			弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 抵抗性メモリの感知増幅回路

(57) 【特許請求の範囲】

【請求項 1】

第 1 出力信号を出力する第 1 差動出力端子と、
前記第 1 出力信号と反対である第 2 出力信号を出力する第 2 差動出力端子と、
抵抗性メモリセルと連関されたビットラインに連結された第 1 入力端子と、
参照メモリセルと連関された参照ラインに連結された第 2 入力端子と、
前記第 2 入力端子及び前記第 1 差動出力端子に連結され、参照ライン電流を通過させる
第 1 トランジスターと、
前記第 1 入力端子及び前記第 1 差動出力端子に連結され、前記第 1 トランジスターと直
列に配列され、ビットライン電流を通過させる第 2 トランジスターと、
パワー供給電圧と接地電圧との間の電圧レベルを有する中間パワー供給電圧ノードに連
結されたプリチャージ部分と、を含み、
前記プリチャージ部分は前記第 1 差動出力端子及び前記中間パワー供給電圧ノードに連
結された第 1 プリチャージトランジスター及び前記第 2 差動出力端子及び前記中間パワー
供給電圧ノードに連結された第 2 プリチャージトランジスターを含み、
前記プリチャージ部分は感知増幅回路のプリチャージ段階の間に動作し、前記第 1 差動
出力端子の電圧レベルは前記参照ライン電流と前記ビットライン電流との間のデルタ平均
電流にしたがって変化する抵抗性メモリの感知増幅回路。

【請求項 2】

前記ビットラインは前記参照ラインと連関された前記参照ライン電流の少なくとも一部

を再使用する請求項 1 に記載の抵抗性メモリの感知増幅回路。

【請求項 3】

前記第 2 トランジスタのドレインは第 1 差動出力端子と第 1 トランジスタのドレインに連結され、

前記第 2 トランジスタのソースは前記抵抗性メモリセルと連関された前記ビットラインに連結され、

前記第 1 差動出力端子はハイインピーダンス出力端子となり、

前記ハイインピーダンス出力端子の電圧レベルは前記感知増幅回路の増幅段階にตอบสนองして変化する請求項 1 又は 2 に記載の抵抗性メモリの感知増幅回路。

【請求項 4】

前記第 1 プリチャージトランジスタはプリチャージコントロール信号を受信し、前記プリチャージコントロール信号にตอบสนองして前記感知増幅回路の前記プリチャージ段階の間に前記参照メモリセルと連関された前記ビットライン及び前記参照ラインをプリチャージし、

前記第 2 プリチャージトランジスタは前記プリチャージコントロール信号を受信し、前記プリチャージコントロール信号にตอบสนองして前記感知増幅回路の前記プリチャージ段階の間に前記第 2 差動出力端子と連関された寄生キャパシタンスをプリチャージする請求項 1 に記載の抵抗性メモリの感知増幅回路。

【請求項 5】

前記第 1 及び第 2 差動出力端子に連結されたラッチ回路をさらに含み、

前記ラッチ回路は、

パワー供給電圧ノードに連結され、第 1 ラッチコントロール信号にตอบสนองして前記感知増幅回路のラッチ段階を活性化する第 1 ラッチイネーブルトランジスタと、

前記第 1 ラッチイネーブルトランジスタ及び前記第 1 差動出力端子に連結された第 1 ラッチトランジスタと、

前記第 1 ラッチイネーブルトランジスタ及び前記第 2 差動出力端子に連結された第 2 ラッチトランジスタと、

接地電圧ノードに連結され、第 2 ラッチコントロール信号にตอบสนองして前記感知増幅回路のラッチ段階を活性化する第 2 ラッチイネーブルトランジスタと、

前記第 2 ラッチイネーブルトランジスタ及び前記第 1 差動出力端子に連結された第 3 ラッチトランジスタと、

前記第 2 ラッチイネーブルトランジスタ及び前記第 2 差動出力端子に連結された第 4 ラッチトランジスタを含み、

前記第 1 乃至第 4 ラッチトランジスタは前記ラッチ段階の間に前記第 1 及び第 2 ラッチコントロール信号の各々によってターンオンされた前記第 1 及び第 2 ラッチイネーブルトランジスタにตอบสนองして前記抵抗性メモリセルに格納されたビット値にしたがって前記第 1 又は第 2 差動出力端子での論理値 “ 0 ” 又は論理値 “ 1 ” を各々ラッチする請求項 1 に記載の抵抗性メモリの感知増幅回路。

【請求項 6】

前記第 1 ラッチイネーブルトランジスタは P M O S トランジスタであり、

前記第 2 ラッチイネーブルトランジスタは N M O S トランジスタであり、

前記第 1 及び第 2 ラッチトランジスタは各々 P M O S トランジスタであり、

前記第 3 及び第 4 ラッチトランジスタは各々 N M O S トランジスタである請求項 5 に記載の抵抗性メモリの感知増幅回路。

【請求項 7】

前記第 1 ラッチトランジスタのソースは前記第 1 ラッチイネーブルトランジスタのドレインに連結され、

前記第 2 ラッチトランジスタのソースは前記第 1 ラッチイネーブルトランジスタのドレインに連結され、

前記第 3 ラッチトランジスタのソースは前記第 2 ラッチイネーブルトランジスタの

10

20

30

40

50

ドレーンに連結され、

前記第4ラッチトランジスタのソースは前記第2ラッチイネーブルトランジスタのドレーンに連結され、

前記第1ラッチトランジスタのゲートは前記第2差動出力端子に連結され、

前記第2ラッチトランジスタのゲートは前記第1差動出力端子に連結され、

前記第3ラッチトランジスタのゲートは前記第2差動出力端子に連結され、

前記第4ラッチトランジスタのゲートは前記第1差動出力端子に連結され、

第1及び第3ラッチトランジスタの各ドレーンは第1差動出力端子に連結され、

第2及び第4ラッチトランジスタの各ドレーンは第2差動出力端子に連結される請求項5に記載の抵抗性メモリの感知増幅回路。

10

【請求項8】

前記抵抗性メモリセルは少なくともSTT-MRAMセル、MRAMセル、メモリスタRAMセル、又はCBRAMセルの中でいずれか1つを含む請求項1に記載の抵抗性メモリの感知増幅回路。

【請求項9】

前記抵抗性メモリセルはSTT-MRAMセルである請求項1に記載の抵抗性メモリの感知増幅回路。

【請求項10】

前記抵抗性メモリセルに連結されたソースラインをさらに含み、
前記ソースラインが接地電圧ノードに連結される時、前記感知増幅回路は第1トランジスタの特性を含み、

20

前記ソースラインがパワー供給電圧ノードに連結される時、前記感知増幅回路は前記第1トランジスタの特性と比較してスワップされる第2トランジスタの特性を含む請求項1に記載の抵抗性メモリの感知増幅回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は抵抗性メモリの感知増幅回路に関する。

【背景技術】

【0002】

30

本発明は抵抗性メモリの感知増幅回路に関し、さらに具体的には電流再使用機能(current re-using capabilities)、高いノイズ耐性特性、そして読出し及び/又は再使用動作モード(read/re-write operation modes)を有する抵抗性メモリの感知増幅回路に関する。

【0003】

抵抗性メモリは他の次世代不揮発性メモリの中でも、市場でより広く使用されることが予想される。抵抗性メモリは、例えば、STT-MRAM(spin transfer torque magnetoresistive random-access memory)、MRAM(magnetoresistive random-access memory)、memristor RAM、ReRAM、CBRAM等を含むことができる。

40

【0004】

図1Aは従来技術による感知増幅器を示す回路図である。図1Aを参照すれば、ラッチ回路は各々読出し電流ソース(read current source、IR1)及び参照電流ソース(reference current source、IR2)に対応するM1、M2、M3、M4のMOSトランジスタ及びM5、M6のMOSトランジスタで構成される。感知増幅器はM7、M8のMOSトランジスタで構成される読出し回路15の動作は(a)プリ-チャージモード(pre-charge mode)、(b)増幅モード(amplification mode)、(c)ラッチ及び再読出しモード(latch+rewrite mode)を含む。各モードは図1B~1Dに参

50

考として図示されている。初期状態で、スイッチコントローラからのコントロール信号 1、 2、 3 はロー状態 (“ L ”) に設定される。

【 0 0 0 5 】

図 1 B ~ 1 D は従来技術において、互に異なる状態での動作を示す図 1 A の等価回路である。

【 0 0 0 6 】

図 1 B はプリ - チャージモードでの等価回路を示す。コントロール信号 2 は読出し電流パス (read current path) に対するプリ - チャージを開始するためにハイ (“ H ”) に設定される。プリ - チャージ電流はプリ - チャージトランジスター M 5、M 6 (P M O S トランジスター) から M R A M セル 1 3 と参照セル 1 3 ' 方向に流れ、
図 1 A のラッチ回路の一部であり、交差して連結されたトランジスター M 3、M 4 (N M O S トランジスター) とクランプトランジスター M 1 1、M 1 2 (N M O S トランジスター) を流れる。プリ - チャージモードと安定モード (s t a b l e m o d e) で、読出しデータ (O u t、/ O u t) はプリ - チャージトランジスター M 5、M 6 と等化トランジスター M e q (P M O S トランジスター) によって、パワー供給電圧 V D D に近い電圧に設定される。したがって、トランジスター M 1、M 2 はオフ状態になり、トランジスター M 1 ~ M 4 を含むラッチ回路は動作しない。

【 0 0 0 7 】

図 1 C は増幅モードでの等価回路を示す。コントロール信号 1 はハイ “ H ” に設定され、トランジスター M 5、M 6、M e q はターンオフされる。データ (O u t、/ O u t) はパワー供給電圧 V D D からトランジスター M 1、M 2 まで減少し、トランジスター M 1 ~ M 4 を含むラッチ回路の正のフィードバック (p o s i t i v e f e e d b a c k) による増幅、そしてデータ (O u t、/ O u t) が決定される。この時、読出し電流パスはラッチ回路のドライブ電流パス (d r i v e c u r r e n t p a t h) と同一であり、コントロール信号 1 はハイ “ H ” になって、動作が連続的にプリ - チャージモードから増幅モードに変化される。たとえ増幅モード間の全般的な回路が図示されているが、図 1 C ではクランプトランジスター M 1 1、M 1 2 が図示されない。

【 0 0 0 8 】

図 1 D はラッチ及び再書込みモードでの等価回路である。図 1 D に示したように、出力 (O u t、/ O u t) の間の電圧差が十分に大きい時、トランジスター M 7、M 8 をブースティングするようにコントロール信号 3 がハイ “ H ” に設定され、トランジスター M 1 ~ M 4 を含むラッチ回路の増幅が加速される。ラッチ回路からの出力、データ (O u t、/ O u t) が決定される時、再書込み動作が遂行される。

【 0 0 0 9 】

従来の抵抗性メモリで使用される感知増幅技術は問題が発生することができる。例えば、従来の感知増幅器は複数のビットラインと複数の参照ラインに使用される並列電流によって過渡的な正の電流を使用しなければならない。結果的に、電流消費量が許容値を超過され得る。また、従来の感知増幅技術のノイズ減少 (n o i s e i m m u n i t y) は許容値より低いことがあり得る。

【 0 0 1 0 】

また、抵抗性メモリの感知増幅器技術を改善しようとする時、特別な問題が発生することができる。例えば、M R A M メモリセルにおいて、メモリセルに格納されたデータが “ 1 ” であるか、“ 0 ” であるかを判別する時、M R A M セルに過渡的な電流が流れれば、読出しディスタ urb (r e a d d i s t u r b) 問題が発生する。言い換えれば、メモリセルに格納された値が意図せずに “ 1 ” から “ 0 ” に、又はその反対に変更されてしまうことがある。

【 0 0 1 1 】

読出しディスタ urb を避けるための 1 つの方案は感知増幅器の読出し電流を減少させることである。しかし、このような方法は応答時間の遅くなること、出力信号レベルの減少、データ読出し比率の減少、望まない電磁気ノイズ及び他のディスタ urb に対する敏感度

10

20

30

40

50

の増加のような意図しなかった問題を発生させ得る。このようなパフォーマンス劣化は望まないことである。さらに、このような電磁気ノイズはそれ自体にセル又は感知増幅器の出力信号のデータが変わってしまう場合があり得る。

【0012】

したがって、低い電力消費及び強いノイズ減少特性を有し、低い供給電圧でも速く応答する読出し／再書き込み機能を提供する抵抗性メモリの感知増幅器が要求される。

【発明の概要】

【発明が解決しようする課題】

【0013】

本発明の目的は電流再使用機能 (current re-using capabilities)、高いノイズ耐性特性、そして読出し及び／又は再使用動作モード (read/re-write operation modes) を有する抵抗性メモリの感知増幅回路を提供することにある。

【課題を解決するための手段】

【0014】

本発明による抵抗性メモリの感知増幅回路は、第1出力信号を出力する第1差動出力端子と、前記第1出力信号と反対である第2出力信号を出力する第2差動出力端子と、抵抗性メモリセルと連関されたビットラインに連結された第1入力端子と、参照メモリセルと連関された参照ラインに連結された第2入力端子と、前記第2入力端子及び前記第1差動出力端子に連結され、参照ライン電流を通過させる第1トランジスターと、前記第1差動出力端子に連結され、前記第1トランジスターと直列に配列され、ビットライン電流を通過させる第2トランジスターと、を含み、前記第1差動出力端子の電圧レベルは前記参照ライン電流と前記ビットライン電流との間のデルタ平均電流にしたがって変化する。

【0015】

本発明にしたがう実施形態において、抵抗性メモリに格納されたビット情報を感知する方法、感知増幅回路のプリチャージ段階で、プリチャージ部分によって少なくともビットライン又は参照ラインをプリチャージする段階と、前記感知増幅回路の増幅段階で、参照ライン電流を前記参照ラインを通じて流れるようにし、ビットライン電流を前記ビットラインを通じて流れるようにする段階と、前記感知増幅回路の前記増幅段階で、前記参照ライン電流及び前記ビットライン電流の間のデルタ平均電流にตอบสนองして第1差動出力端子での電圧変化をもたらす段階と、を含む。また、感知増幅回路のラッチ段階で、ラッチ回路によって前記第1差動出力端子又は第2差動出力端子での論理値“0”又は論理値“1”を各々ラッチする段階をさらに含む。

【0016】

本発明において、メモリ装置、複数のワードラインと、前記ワードラインと交差するように配列された複数のビットラインと、前記ワードライン及び前記ビットラインが交差する部分に配列された抵抗性メモリセルを各々含む複数のメモリブロックと、前記複数のメモリブロックの少なくとも1つのブロックでの、対応するビットライン及び対応するメモリセルと各々連関された複数の感知増幅器と、前記複数の感知増幅器に連結され、少なくとも前記感知増幅器の各増幅段階の間に参照ライン電流を複写する電流ミラー回路と、を含み、前記ビットラインは前記複写された参照電流の一部を再使用する。

【発明の効果】

【0017】

本発明による抵抗性メモリの感知増幅回路は、電流再使用機能 (current re-using capabilities)、高いノイズ耐性特性、そして読出し及び／又は再使用動作モード (read/re-write operation modes) を有する。

【図面の簡単な説明】

【0018】

【図1A】従来技術による感知増幅器を示す回路図である。

10

20

30

40

50

【図 1 B】従来技術において、互に異なる状態での動作を示す図 1 A の等価回路である。

【図 1 C】従来技術において、互に異なる状態での動作を示す図 1 A の等価回路である。

【図 1 D】従来技術において、互に異なる状態での動作を示す図 1 A の等価回路である。

【図 2】本発明の実施形態による感知増幅回路を含むメモリ装置の実施形態を示す図面である。

【図 3 A】図 2 のメモリ装置のメモリセルアレイに含まれた S T T - M R A M メモリセルを例示的に示す図面である。

【図 3 B】図 2 のメモリ装置のメモリセルアレイに含まれた S T T - M R A M メモリセルを例示的に示す図面である。

【図 4 A】本発明にしたがう図 2 のメモリ装置のメモリセルと関連された図 2 の感知増幅器の一例を示す図面である。

10

【図 4 B】図 4 A の感知増幅器に連結されて使用されるコントロール信号を生成するコントロール信号回路の一例を示す図面である。

【図 5】“準備”又は“プリ - チャージ”段階の動作と関連された図 4 A の感知増幅器の等価回路の一例を示す図面である。

【図 6】“セット”又は“増幅”段階の動作と関連された図 4 A の感知増幅器の等価回路の一例を示す図面である。

【図 7】“進行”又は“ラッチ”段階と関連された図 4 A の感知増幅器の等価回路の一例を示す図面である。

【図 8】本発明の一実施形態にしたがってメモリセル抵抗が“H”値である R_H に以前に設定されている時、図 4 A の感知増幅器の互に異なる段階での波形の一例を示す図面である。

20

【図 9】本発明の一実施形態にしたがってメモリセル抵抗が“L”値である R_L に以前に設定されている時、図 4 A の感知増幅器の互に異なる段階での波形の一例を示す図面である。

【図 10】本発明にしたがう感知増幅器を使用する抵抗性メモリのデータ感知動作を示す順序図である。

【図 11 A】本発明の他の実施形態による電流ミラーと関連された図 2 の感知増幅器の一実施形態を示す図面である。

【図 11 B】図 11 A の回路のためのラッチイネーブルコントロール信号を生成するコントロール信号回路の一例を示す図面である。

30

【図 12 A】本発明の実施形態による読出し / 再書き込み機能を含む感知増幅器の一例を示す図面である。

【図 12 B】図 12 A の回路のためのラッチイネーブルコントロール信号を生成するコントロール信号回路の一例を示す図面である。

【図 13 A】本発明の実施形態によるメモリセル抵抗が以前にハイに設定されている時、図 12 A の感知増幅器の互に異なる段階と関連された波形図を例示的に示す図面である。

【図 13 B】本発明の実施形態によるメモリセル抵抗が以前にローに設定されている時、図 12 A の感知増幅器の互に異なる段階と関連された波形図を例示的に示す図面である。

【図 14 A】本発明の他の実施形態によるエッジ - 参照セル配列又はパターンでのメモリセルアレイ及び関連されたメモリブロックのレイアウトの実施形態を示す図面である。

40

【図 14 B】本発明の他の実施形態によるビット - 参照セル配列又はパターンでのメモリセルアレイ及び関連されたメモリブロックのレイアウトの実施形態を示す図面である。

【図 15】本発明の実施形態に他の抵抗性メモリ装置の多様な適用例を示す図面である。

【図 16】本発明の実施形態による抵抗性メモリ装置を含むコンピューティングシステムに関する図面である。

【図 17】本発明の実施形態による抵抗性メモリを含むコンピューティングシステムを示す図面である。

【図 18】フラッシュメモリを代替する抵抗性メモリを使用したストレージクラスメモリを含むメモリシステムの本発明にしたがう一実施形態を示す図面である。

50

【図19】同期式DRAMを代替する抵抗性メモリを使用したストレージクラスメモリを含むメモリシステムの本発明にしたがう一実施形態を示す図面である。

【図20】同期式DRAM及びフラッシュメモリを代替して抵抗性メモリを使用するストレージクラスメモリを含むメモリシステムの本発明にしたがう一実施形態を示す図面である。

【発明を実施するための形態】

【0019】

本発明の長所及び特徴、そしてそれを達成する方法は添付される図面と共に詳細に記載されている実施形態を通じて説明される。しかし、本発明はここで説明される実施形態に限定されなく、他の形態に具体化されることもあり得る。本実施形態は本発明が属する技術分野で通常の知識を有する者に本発明の技術的思想を容易に実施できるように詳細に説明するために提供される。

10

【0020】

図面において、本発明の実施形態は図示された特定形態に限定されることなく、説明を明確するために誇張されている部分もある。また、明細書全体にかけて同一の参照番号で表示された部分は同一の構成要素を示す。

【0021】

本明細書で“及び/又は”という表現は前後に羅列された構成要素の中で少なくとも1つを含む意味に使用される。また、“連結される/結合される”という表現は他の構成要素と直接的に連結させるか、或いは他の構成要素を通じて間接的に連結されることを含む意味として使用される。本明細書で単数形は文句で特別に言及しない限り複数形も含む。また、明細書で使用する“含む”又は“含む”と言及された構成要素、段階、動作及び素子は1つ以上の他の構成要素、段階、動作、素子及び装置の存在又は追加を意味する。

20

【0022】

図2は本発明の実施形態による感知増幅回路150を含むメモリ装置105の実施形態を示す図面である。図2を参照すれば、メモリ装置105はメモリセルアレイ110、データ入出力回路170、アドレスデコーダ180、及び制御ロジック190を含む。データ入出力回路170は感知増幅回路150を含み、感知増幅回路150は本発明の実施形態にしたがってメモリセルアレイ110に格納されたビット情報をセンシングするか、或いは読み出す動作を遂行する。

30

【0023】

図2を参照すれば、メモリセルアレイ110は複数のメモリセル30を含み、各メモリセルは1つ又はその以上のデータビットを格納する。メモリセルMCは複数のワードラインWLS、複数のソースラインSLs、そして複数のビットラインBLsに連結される。ビットラインBLsはワードラインWLSと交差するように配置される。また、メモリセルの中で一部は参照メモリセル70であり得る。参照メモリセル70は複数の参照ラインRLsに連結される。参照メモリセルは以下でさらに詳細に説明される。

【0024】

メモリセルはワードラインとビットラインが交差する位置(図示せず)に配置され得る。メモリセル30はメモリブロック120、130のようにメモリブロックにグループ化され得る。例えば、1Mbのメモリブロックにおいて、1000個のワードラインと1000個のビットラインがメモリブロックと関連され得る。したがって、このようなブロックと関連された各ビットラインは関連された1000個のメモリセルを有することができる。しかし、これは例示的なことであり、いずれか適当な数字のワードライン、ビットライン及び/又はメモリセルが各ブロックと関連され得る。感知増幅回路150は複数の感知増幅器(例えば、160、165)を包含することができる。各感知増幅器はメモリブロック(例えば、120、130)の中で対応するいずれか1つのメモリブロックのビットラインと関連され得る。即ち、各ビットラインBLはそれと関連された対応する感知増幅器(例えば、160、165)を有することができる。

40

【0025】

50

アドレスデコーダー 180 はワードライン $W L s$ とソースライン $S L s$ を通じてメモリセルアレイ 110 に連結される。アドレスデコーダー 180 はコントロールロジック 190 の制御にตอบสนองして動作する。アドレスデコーダー 180 は入力アドレスをデコーディングしてワードライン $W L s$ 及びソースライン $S L s$ へ提供する。アドレスデコーダー 180 はコントロールロジック 190 からパワー（例えば、電圧又は電流）を受信し、選択されたワードライン又は非選択されたワードラインへこれを提供する。

【0026】

データ入出力回路 170 はビットライン $B L s$ を通じてメモリセルアレイ 110 に連結される。さらに具体的に、各感知増幅器（例えば、160、165）はメモリブロック（例えば、120、130）の中で対応するいずれか 1 つのメモリブロックのビットラインに連結され得る。データ入出力回路 170 はコントロールロジック 190 の制御にตอบสนองして動作する。データ入出力回路 170 はアドレスデコーダー 180 からのビットライン選択信号（図示せず）にตอบสนองしてビットラインを選択する。データ入出力回路 170 はコントロールロジック 190 からパワー（例えば、電圧又は電流）を受信し、選択されたビットラインへこれを提供する。

【0027】

コントロールロジック 190 はメモリ装置 105 の全般的な動作を制御する。コントロールロジック 190 は外部パワー及び/又はコントロール信号を受信する。コントロールロジック 190 は外部電圧を利用して内部動作に必要であるパワーを生成することができる。コントロールロジック 190 は前記コントロール信号にตอบสนองして読出し、書込み、及び/又は消去動作を制御する。

【0028】

図 3 A 及び図 3 B は図 2 のメモリ装置 105 のメモリセルアレイ 110 に含まれた STT-MRAM メモリセル 30 を例示的に示す図面である。

【0029】

一実施形態において、メモリセルアレイ 110 は複数の STT-MRAM (spin transfer torque magnetoresistive random access memory) メモリセルを包含することができる。しかし、本発明の実施形態はこれに限定されなく、STT 以外の MRAM、メモリスタ RAM (memristor RAM)、CBRAM 等にも適用されることが理解できる。

【0030】

図 3 A はマグネチックトンネル接合 (magnetic tunnel junction、以下 MTJ) 10 及びこれと関連された選択トランジスタ 20 を示す。MTJ 10 は STT-MRAM タイプメモリセルで多様な抵抗を形成し、選択トランジスタ 20 は MTJ 10 と共に STT-MRAM セル 30 を形成する。MTJ 10 は基準層 (reference or pinned layer 12)、自由層 16、そして基準層 12 と自由層 16 との間に位置するトンネル層 14 を含む。トランジスタ 20 は PMOS トランジスタに比べて高い電流ドライブ (current drive)、低い閾値電圧、そして小さい面積を有する NMOS トランジスタの特性によって普通 NMOS トランジスタが使用される。MRAM セル 30 に “1” を書き込むのに使用される電流は “0” を書き込むのに使用される電流と異なり得る。このような 2 つの書込み動作の間の電流流れ方向の非対称性はトランジスタ 20 のゲート-ソース電圧 (gate-to-source voltage) の非対称に生ずることができる。

【0031】

以下では、MTJ の自由層及び基準層が平衡状態 P である時、該当 MRAM セルはロジック “0” 状態であると定義される。MTJ の自由層及び基準層が平衡状態 P であれば、低い抵抗を有する。反対に、MTJ の自由層及び基準層が反平衡状態 AP である時、該当 MRAM セルはロジック “1” 状態であると定義される。MTJ の自由層及び基準層が反平衡状態 AP であれば、高い抵抗を有する。但し、これは例示的なことであり、他の実施形態において、反平衡状態 AP である時、該当 MRAM セルはロジック “0” 状態である

10

20

30

40

50

と定義され、平衡状態 P である時、該当 M R A M セルはロジック “ 1 ” 状態であると定義され得る。また、図 3 A に示したように、以下では M T J 1 0 の基準層が選択トランジスターと対向すると仮定される。

【 0 0 3 2 】

したがって、上述したように、上方に向かう矢印 3 5 方向にしたがう電流の流れは (i) 平衡状態 P から反平衡状態 A P にスイッチングして “ 1 ” を書き込むか、或いは (i i) 以前の設定された M T J の反平衡状態 A P を安定化することができる。これと類似して、下方に向かう矢印 4 0 方向にしたがう電流の流れは (i) 反平衡状態 A P から平衡状態 P にスイッチングして “ 0 ” を書き込むか、或いは (i i) 以前の設定された M T J の平衡状態 P を安定化することができる。但し、これは例示的なことであり、他の実施形態では先に実施形態と反対に M T J の自由層が選択トランジスターと対向することができる。この場合に、たとえ図示されずが、上方に向かう矢印 3 5 方向にしたがう電流の流れは (i) 反平衡状態 A P から平衡状態 P にスイッチするか、或いは (i i) 以前の設定された M T J の平衡状態 P を安定化することができる。これと類似に、下方に向かう矢印 4 0 方向にしたがう電流の流れは (i) 平衡状態 A P から反平衡状態 A P にスイッチするか、或いは (i i) 以前の設定された M T J の反平衡状態 A P を安定化することができる。

10

【 0 0 3 3 】

図 3 B は図 3 A の M R A M セル 3 0 の M T J 1 0 を格納されたデータにしたがって可変する抵抗を有する格納素子として表現した図面である。M T J 1 0 は (i) 電流の流れが矢印 3 5 方向である時、その状態を平衡状態 P から反平衡状態 A P に変更し、及び / 又は (i i) 電流の流れが矢印 4 0 方向である時、その状態を反平衡状態 A P から平衡状態 P に変更する。

20

【 0 0 3 4 】

M T J 1 0 を反平衡状態 A P から平衡状態 P に又はその反対にスイッチするのに必要である電圧は臨界値 V_c を超過しなければならない。この電圧に対応する電流は臨界電流又はスイッチング電流 I_c であると称される。一般動作モードで、低い抵抗の平衡状態 P から高い抵抗の反平衡状態 A P に遷移するために、正の電圧である V_c が提供されて少なくともスイッチング電流 I_c 以上の電流レベルがメモリセルへ流れる。一旦、反平衡状態 A P であれば、提供される電圧を除去することは M T J 1 0 の状態に影響を及ぼさない。これと同様に、一般動作モードで反平衡状態 A P から平衡状態 P に遷移するために、負の電圧である V_c が提供されて少なくともスイッチング電流 I_c 以上の電流レベルがメモリセルへ反対方向に流れる。一旦、平衡状態 P であれば、提供される電圧を除去することは M T J 1 0 の状態に影響を及ぼさない。

30

【 0 0 3 5 】

言い換えれば、M T J 1 0 は高い抵抗又は論理 “ 1 ” 状態に対応する反平衡状態から平衡状態にスイッチされることができ、これによって “ 0 ” (例えば、低い抵抗又は論理 “ 0 ” 状態) を格納することができる。M T J 1 0 が初期に論理 “ 1 ” 又は反平衡状態であると仮定すれば、一般モードで “ 0 ” を格納するために臨界電流 I_c と同一であるか、或いは大きい電流が矢印 4 0 方向に選択トランジスター 2 0 を通じて流れなければならない。このために、選択トランジスター 2 0 のソースノード (S L 又はソースライン) は抵抗パス (図示せず) を通じて接地電圧に連結され、正の電圧が選択トランジスター 2 0 のゲートノード (W L 又はワードライン) へ提供され、正の電圧が選択トランジスター 2 0 のドレインノード (B L 又はビットライン) へ提供される。

40

【 0 0 3 6 】

先に説明されたように、M T J 1 0 はまた平衡状態から反平衡状態にスイッチされ、これによって、 “ 1 ” を格納できる。M T J 1 0 が初期に論理 “ 0 ” 又は平衡状態であると仮定すれば、一般モードで “ 1 ” を格納するために臨界電流 I_c と同一であるか、或いは大きい電流が矢印 3 5 方向に選択トランジスター 2 0 を通じて流れなければならない。このために、ソースノード (S L 又はソースライン) には抵抗パス (図示せず) を通じて正の電圧に提供され、ゲートノード W L には正の電圧が提供され、ドレインノード B L は抵

50

抗パス（図示せず）を通じて接地電圧に連結される。

【0037】

図4Aは本発明にしたがう図2のメモリ装置105のメモリセル30と連関された図2の感知増幅器160の一例を示す図面である。たとえ1つのメモリセル30が図示されているが、適当な数字のメモリセルが感知増幅器160に連結させるか、或いは連関されることが理解できる。

【0038】

本発明の実施形態は低い電流消耗特性、強いノイズ耐性（noise immunity）を有し、低い供給電圧でも動作でき、速い速度に動作し、読出し/再書込み動作が可能である抵抗性メモリのための感知増幅器を含む。

10

【0039】

感知増幅器160は第1出力信号を出力する第1差動出力端子Out+及び第1出力信号と反対である第2出力信号を出力する第2差動出力端子Out-を含む。出力信号はメモリセル30に格納されたビットデータにしたがって論理値“0”又は論理値“1”の中でいずれか1つに対応する。

【0040】

第1入力端子In+は抵抗性メモリセル30と連関されたビットライン9、BLに連結される。第2入力端子In-は参照抵抗 R_{REF} 、50と連関された参照ラインRLに連結される。参照抵抗 R_{REF} 、50はメモリセル30が論理値“0”（例えば、 R_{BIT} が R_L と同一である時）又は論理値“1”（例えば、 R_{BIT} が R_H と同一である時）を格納しているか否かを判断する時、参照として使用される。たとえば、図4Aには図示しないが、他の実施形態としてPMOS選択トランジスタが参照抵抗 R_{REF} 、50に連結されることが理解できる。メモリセル30の選択トランジスタ20のゲート端子は対応するワードラインWLに連結される。

20

【0041】

参照抵抗 R_{REF} 、50は所定抵抗を有するようにデザインされることができる。例えば、参照抵抗 R_{REF} 、50は R_{BIT} の高抵抗 R_H と低抵抗 R_L との間の中間値を有することができる。一実施形態として、参照抵抗 R_{REF} は $2 / (1 / R_H + 1 / R_L)$ の抵抗であり得る。参照抵抗 R_{REF} が $2 / (1 / R_H + 1 / R_L)$ の抵抗にデザインされる時、電圧発生器325によって生成された電圧VBは電圧発生器330によって生成された電圧VRと同一であるか、或いは実質的に同一である。

30

【0042】

他の実施形態において、参照抵抗 R_{REF} は R_H 又は R_L の中でいずれか1つの抵抗を有することができる。参照抵抗 R_{REF} が R_H の抵抗を有する時、参照ライン電流 I_{REF} 、340は電圧発生器330によって生成されてトランジスタP1のゲート端子に提供される電圧VRによって調整され得る。同時に、ビットライン電流 I_{BIT} 、335は電圧発生器325によって生成されてトランジスタN1のゲート端子に提供される電圧VBによって調整され得る。この実施形態において、電圧VRは電圧VBに比べて大きい。

【0043】

参照抵抗 R_{REF} が R_L の抵抗を有する時、参照ライン電流 I_{REF} 、340は電圧発生器330によって生成されてトランジスタP1のゲート端子に提供される電圧VRによって調整され得る。同時に、ビットライン電流 I_{BIT} 、335は電圧発生器325によって生成されてトランジスタN1のゲート端子に提供される電圧VBによって調整され得る。この実施形態において、電圧VBは電圧VRに比べて大きい。

40

【0044】

感知増幅器160の動作を説明するために、参照抵抗 R_{REF} は $2 / (1 / R_H + R_L)$ の抵抗を有すると仮定される。また、電圧VBは電圧VRと同一であるか、或いは実質的に同一であると仮定される。

【0045】

50

メモリセル回路及び連関された導電ラインによって、所謂寄生キャパシタンス (parasitic capacitance) であるビットラインキャパシター C_{BIT} 、315 がビットライン BL とソースライン SL との間に存在することができる。これと類似に、所謂寄生キャパシタンスである参照ラインキャパシター C_{REF} 、320 が参照ライン RL と正のパワー供給電圧ノード VDD との間に存在することができる。ビットラインキャパシター 315 と参照ラインキャパシター 320 は感知増幅器 160 のプリ - チャージ段階の間に以下で説明されるようにプリ - チャージされる。スイッチ 305、310 はメモリセルアレイ 110 のメモリセル又は参照セルを感知増幅器 160 に連結されるか、或いは連結を遮断する。

【0046】

10

感知増幅器は次の3つの主要段階で動作する。即ち、A) “準備 (ready)” 又は “プリ - チャージ (pre-charge)” 段階、B) “セット (set)” 又は “増幅 (amplification)” 段階、C) “進行 (go)” 又は “ラッチ (latch)” 段階。多様な動作段階は以下でさらに詳細に説明される。

【0047】

感知増幅器 160 は第1トランジスター $P1$ を含み、第1トランジスター $P1$ はパワー (例えば、 VDD)、参照ライン RL 、第1差動出力端子 $Out+$ に連結される。第1トランジスター $P1$ は参照ライン電流 I_{REF} 、340 を導電する。感知増幅器 160 はまた第2トランジスター $N1$ を含み、第2トランジスター $N1$ はビットライン BL 、第1差動出力端子 $Out+$ に連結される。第2トランジスター $N1$ はビットライン電流 I_{BIT} 、335 を導電する。

20

【0048】

感知増幅器 160 は内部供給電圧ノード VMM に連結されたプリ - チャージ部分をさらに含む。プリ - チャージ部分は、例えば、第1プリ - チャージトランジスター $P5$ 及び第2プリ - チャージトランジスター $P6$ を包含でき、第1プリ - チャージトランジスター $P5$ は第1差動出力端子 $Out+$ 及び内部供給電圧ノード VMM に連結され、第2プリ - チャージトランジスター $P6$ は第2差動出力端子 $Out-$ 及び内部供給電圧ノード VMM に連結される。プリ - チャージ部分は感知増幅器のプリ - チャージ段階の間に動作する。トランジスター $P5$ 、 $P6$ は、例えば、エンハンスメントモード $PMOS$ ロードイングタイプトランジスター (enhancement mode $PMOS$ loading transistor)、デジタルモードオン/オフタイプトランジスター (digital mode on/off type transistor) であり得る。但し、これは例示的なことであり、他の MOS トランジスターが本発明にしたがって使用され得ることが理解できる。

30

【0049】

内部パワー供給電圧ノード VMM はパワー供給電圧 VDD と接地電圧 GND の間の電圧レベルを有する。一実施形態において、内部パワー供給電圧ノード VMM の電圧レベルはパワー供給電圧 VDD の $1/2$ 又はこれに類似なレベルであり得る。他の実施形態において、内部パワー供給電圧ノード VMM の電圧レベルはパワー供給電圧 VDD の $2/3$ 又はこれに類似なレベルであり得る。但し、これは例示的なことであり、適当な内部供給電圧レベルが使用され得ることが理解できる。内部パワー供給電圧ノード VMM はまた1つ又はその以上の信号又は感知増幅器 160 の素子のために AC グラウンド (AC ground) に動作できる。

40

【0050】

“準備” 又は “プリ - チャージ” 段階の動作の間に、プリ - チャージトランジスター $P5$ 、 $P6$ は各々ゲートを通じてコントロール信号 $S1$ を受信する。プリ - チャージ信号 $S1$ は図2のコントロールロジック 190 によって生成され得る。プリ - チャージトランジスター $P5$ はプリ - チャージコントロール信号 $S1$ に応答して感知増幅器の “準備” 又は “プリ - チャージ” 段階でビットライン電流 I_{BIT} 、335 の少なくとも一部を生成し、ビットライン電流 I_{BIT} 、335 はトランジスター $N1$ を通じて少なくともメモリセ

50

ル 30 と連関されたビットライン B_L 及びビットラインキャパシター C_{BIT} 、315 をプリ - チャージする。加えて、第 1 差動出力端子 $Out +$ と連関された寄生キャパシタンス 370 が充電される。さらに、プリ - チャージトランジスタ P_5 はプリ - チャージコントロール信号 S_1 に応答して感知増幅器の“準備”又は“プリ - チャージ”段階で参照ライン電流 I_{REF} 、340 の少なくとも一部を生成し、参照ライン電流 I_{REF} 、340 はトランジスタ P_1 を通じて少なくとも参照ライン R_L 及び参照ラインキャパシター C_{REF} 、320 をプリ - チャージする。プリ - チャージトランジスタ P_6 はプリ - チャージコントロール信号 S_1 を受信し、プリ - チャージコントロール信号 S_1 に応答して感知増幅器の“準備”又は“プリ - チャージ”段階で少なくとも第 2 差動出力端子 $Out -$ と連関された寄生キャパシタンス 375 をプリ - チャージする。

10

【0051】

“セット”又は“増幅”段階での動作の間に、感知増幅器はメモリセル 30 に格納されたビットデータを検知する。第 1 差動出力端子 $Out +$ はハイインピーダンス (high impedance) 出力端子 $Out +$ である。ハイインピーダンス出力端子の電圧レベルは参照ライン電流 I_{REF} 、340 及びビットライン電流 I_{BIT} 、335 の間のデルタ平均電流 375 に応答して変化する。即ち、参照ライン電流 I_{REF} 、340 及びビットライン電流 I_{BIT} 、335 の大きさ (magnitude) に差異があり得る。このような差異はデルタ平均電流 375 であると称され得る。デルタ平均電流 375 はメモリセル 30 に格納されたビット値にしたがって、ハイ - インピーダンス出力端子 $Out +$ の電圧レベルが同一の方向に又は異なる方向に変化 (swing) するようにする。電圧変化 (voltage swing) は“セット”又は“増幅”段階での負 (negative) の抵抗支援に依存しなく、これはトランジスタ P_3 、 P_4 又はラッチ素子によって提供される。出力電圧の装着時間 (settling time)、ノイズ耐性 (noise immunity)、信号平均 (signal averaging) 等は少なくとも出力端子 370、375 の寄生キャパシタンス C_{BIT} 、315 の寄生キャパシタンス及び / 又は C_{REF} 、320 の寄生キャパシタンスの少なくとも一部分に依存する。寄生キャパシタンスが接地されなければ、出力電圧の変化はスパイク及び他のノイズ干渉 (noise interference) に敏感であり得る。さらに、電流及び信号平均 (averaging) は回路のノイズ耐性特性を強化することができる。出力電圧の正確性はメモリセル 30 に格納されたビット値に依存し、これは R_{BIT} 、10 が R_H 又は R_L であるか否かである R_{BIT} 、10 の抵抗に依存する。

20

30

【0052】

ハイインピーダンス出力端子の電圧変化 (voltage swing) はデルタ平均電流 375 とハイインピーダンス出力端子 $Out +$ と連関された寄生キャパシタンスの乗算によってもたらすことができる。トランジスタ P_1 は出力端子 $Out +$ のインピーダンスを増加させることができ、これはより著しい電圧変化をもたらすことができる。参照ライン R_L とビットライン B_L が直列に配列されているので、ビットライン B_L は少なくとも一部の参照ライン電流 I_{REF} 、340 を再使用し、したがって、少なくとも“セット”又は“増幅”段階の動作の間に消耗される電流量を減少させる。この段階での総電流消費量の減少は半分に至ることができる (例えば、このような電流再使用回路及び特性を有しない感知増幅器に比べて 50 % の電流消費量が減少する)。さらに具体的に、仮に I_{REF} 、340 が I_{BIT} 、335 より大きければ、ハイ - インピーダンス出力端子 $Out +$ の電圧レベルは高い電圧に変化 (swing) し、これはメモリセル 30 に論理値 “1” が格納されていることを示す。反対に、 I_{REF} 、340 が I_{BIT} 、335 より小さければ、ハイ - インピーダンス出力端子 $Out +$ の電圧レベルは低い電圧に変化し、これはメモリセル 30 に論理値 “0” が格納されていることを示す。

40

【0053】

少なくとも感知増幅器の“セット”又は“増幅”段階の間に、 R_{BIT} 、10 = R_L (低い抵抗) である時、トランジスタ N_1 はトリオード領域 (triode region) モードに動作し、反面トランジスタ P_1 は飽和領域 (saturation re

50

gion)モードに動作する。反対に、少なくとも感知増幅器の“セット”又は“増幅”段階の間に、 $R_{BIT} \cdot 10 = R_H$ (高い抵抗)である時、トランジスタN1は飽和領域(saturation region)モードに動作し、反面トランジスタP1はトリオード領域(triode region)モードに動作する。トランジスタN1はメモリセル30に格納されたデータを読み出すか、或いは読出し動作を試図する時発生できるメモリセル30のデータ変化(又はdestructive write)の可能性を減らすために使用され得る。このような読出し動作でのデータの変化は読出しディスタ urb(read disturb)と称され、読出しディスタ urbの頻度はトランジスタN1の存在によって減少され得る。

【0054】

10

さらに具体的に、トランジスタN1のドレーン端子350は直接第1差動出力端子Out+及びトランジスタP1のドレーン端子360に連結される。トランジスタN1のソース端子352はメモリセル30と連関されたビットラインBLに連結される。トランジスタP1のソース端子357は参照抵抗 R_{REF} 、50と連関された参照ラインRLに連結される。トランジスタN1は望ましくはNMOSトランジスタであり得る。トランジスタP1は望ましくはPMOSトランジスタであり得る。但し、これは例示的なことであり、他のタイプのMOSトランジスタが本発明に使用され得ることが理解できる。

【0055】

点線で図示された接地状態である寄生キャパシタ370、375はビットライン及び参照電流の平均(averaging)に寄与する。結果的に、ノイズ耐性(noise immunity)が強化され、ノイズスパイク(spikes of noise)、ノイズのスイッチング(switching noise)、又は他の電磁気妨害要素が感知増幅器160によって遂行されるか、或いは出力された信号に対する妨害(disruption)をもたらす可能性が減る。高い信号パワー、改善されたノイズ耐性、改善された論理出力信号の信頼度は本実施形態の特性からの結果の長所のうちの一部である。

20

【0056】

“進行”又は“ラッチ”段階の動作の間に、感知増幅器は以下で説明されるように、感知増幅器160の第1又は第2差動出力端子(Out+、Out-)の論理値“0”又は論理値“1”をラッチする。感知増幅器160は交差連結されたラッチ回路を含み、ラッチ回路はラッチトランジスタP3、P4、N3、N4を含む。交差連結されたラッチ回路は第1及び第2差動出力端子(Out+、Out-)に連結される。

30

【0057】

交差連結されたラッチ回路は選択的に第1ラッチイネーブルトランジスタP2を含む。例示的に、第1ラッチイネーブルトランジスタP2は複数の感知増幅器(例えば、図2の160、165)各々に対してグローバルに適用され得る。即ち、1つの第1グローバルラッチイネーブルトランジスタP2がメモリ装置150の感知増幅器のラッチ回路各々をイネーブル(enable)するのに使用され得る。

【0058】

40

交差連結されたラッチ回路は選択的に第2ラッチイネーブルトランジスタN2を含む。例示的に、第2ラッチイネーブルトランジスタN2は複数の感知増幅器(例えば、図2の160、165)各々に対してグローバルに適用され得る。即ち、1つの第2グローバルラッチイネーブルトランジスタN2は第1ラッチイネーブルトランジスタP2と共にメモリ装置150の感知増幅器のラッチ回路各々をイネーブル(enable)するのに使用され得る。

【0059】

ラッチイネーブルトランジスタP2、N2は各々ラッチコントロール信号S2b及びラッチコントロール信号S2aに応答して感知増幅器160の“進行”又は“ラッチ”段階を活性化する。一実施形態において、ラッチコントロール信号S2b、S2aは図2の

50

コントロールロジック 190 によって生成され得る。第 1 ラッチイネーブルトランジスタ P 2 は正のパワー供給電圧ノード V D D に連結される。第 2 ラッチイネーブルトランジスタ N 2 は接地電圧ノード G N D に連結される。

【 0 0 6 0 】

ラッチ回路は第 1 ラッチイネーブルトランジスタ P 2 及び第 1 差動出力端子 O u t + に連結された第 1 ラッチトランジスタ P 3 を含む。第 2 ラッチトランジスタ P 4 は第 1 ラッチイネーブルトランジスタ P 2 及び第 2 差動出力端子 O u t - に連結される。第 3 ラッチトランジスタ N 3 は第 2 ラッチイネーブルトランジスタ N 2 及び第 1 差動出力端子 O u t + に連結される。第 4 ラッチトランジスタ N 4 は第 2 ラッチイネーブルトランジスタ N 2 及び第 2 差動出力端子 O u t - に連結される。

10

【 0 0 6 1 】

“ 進行 ” 又は “ ラッチ ” 段階の動作の間にラッチイネーブルトランジスタ P 2 、 N 2 は各々ラッチコントロール信号 S 2 b 、 S 2 a に応答してターンオンされ、これによってラッチトランジスタは正のフィードバック (p o s i t i v e f e e d b a c k) に基づいて、各々抵抗性メモリセル 30 に格納されたビット値にしたがう第 1 又は第 2 差動出力端子 O u t + 、 O u t - の論理値 “ 0 ” 又は論理値 “ 1 ” をラッチする。

【 0 0 6 2 】

さらに具体的に、第 1 ラッチトランジスタ P 3 のソース端子は第 1 ラッチイネーブルトランジスタ P 2 のソース端子に直接連結される。これと類似に、第 2 ラッチトランジスタ P 4 のソース端子は第 1 ラッチイネーブルトランジスタ P 2 のソース端子に直接連結される。また、第 3 ラッチトランジスタ N 3 のソース端子は第 2 ラッチイネーブルトランジスタ N 2 のドレーン端子に直接連結される。これと類似に、第 4 ラッチトランジスタ N 4 のソース端子は第 2 ラッチイネーブルトランジスタ P 2 のドレーン端子に直接連結される。第 1 ラッチトランジスタ P 3 のゲート端子は第 2 差動出力端子 O u t - に連結される。第 2 ラッチトランジスタ P 4 のゲート端子は第 1 差動出力端子 O u t + に連結される。第 3 ラッチトランジスタ N 3 のゲート端子は第 2 差動出力端子 O u t - に連結される。第 4 ラッチトランジスタ N 4 のゲート端子は第 1 差動出力端子 O u t + に連結される。

20

【 0 0 6 3 】

第 1 及び第 3 ラッチトランジスタ P 3 、 N 3 の各ドレーン端子は第 1 差動出力端子 O u t + に連結される。第 2 及び第 4 ラッチトランジスタ P 4 、 N 4 の各ドレーン端子は第 2 差動出力端子 O u t - に連結される。第 1 ラッチイネーブルトランジスタ P 2 は望ましくエンハンスメントモード P M O S ロードイングタイプトランジスタ (e n h a n c e m e n t m o d e P M O S l o a d i n g t r a n s i s t o r) 、デジタルモードオン / オフタイプトランジスタ (d i g i t a l m o d e o n / o f f t y p e t r a n s i s t o r) であり得る。第 2 ラッチイネーブルトランジスタ N 2 は望ましくエンハンスメントモード N M O S ロードイングタイプトランジスタ (e n h a n c e m e n t m o d e P M O S l o a d i n g t r a n s i s t o r) 、デジタルモードオン / オフタイプトランジスタ (d i g i t a l m o d e o n / o f f t y p e t r a n s i s t o r) であり得る。

30

40

【 0 0 6 4 】

第 1 及び第 2 ラッチトランジスタ P 3 、 P 4 は望ましく各々 P M O S タイプトランジスタであり得る。第 3 及び第 4 ラッチトランジスタ N 3 、 N 4 は望ましく各々 N M O S タイプトランジスタであり得る。但し、これは例示的なことであり、他の M O S トランジスタが本発明にしたがって使用され得ることが理解できる。

【 0 0 6 5 】

図 4 B は図 4 A の感知増幅器に連結されて使用されるコントロール信号 S 2 b 、 S 2 a を生成するコントロール信号回路の一例を示す図面である。コントロール信号回路はコントロール信号 S 2 を受信し、コントロール信号 S 2 を利用してコントロール信号 S 2 b 、 S 2 a を生成することができる。コントロール信号 S 2 b はコントロール信号 S 2 に比例

50

して反転された信号である。コントロール信号 $S2a$ はコントロール信号 $S2$ に対応する。図 4 B のコントロール信号回路は図 2 に図示されたメモリ装置 105 のコントロールロジック 190 に包含され得る。

【0066】

図 5 乃至図 7 は図 4 A の感知増幅器 160 の各段階の動作の動作を示す等価回路である。図 8 は本発明の一実施形態にしたがってメモリセル抵抗 R_{BIT} が “H” 値である R_H に以前に設定されている時、図 4 A の感知増幅器 160 の互に異なる段階での波形 (wave form) の一例を示す図面である。図 9 は本発明の一実施形態にしたがってメモリセル抵抗 R_{BIT} が “L” 値である R_L に以前に設定されている時、図 4 A の感知増幅器 160 の互に異なる段階での波形 (wave form) の一例を示す図面である。詳細な説明は図 5 乃至図 9 を参照して説明される。

10

【0067】

図 5 は “準備” 又は “プリ - チャージ” 段階 405 の動作と関連された図 4 A の感知増幅器 160 の等価回路の一例を示す図面である。

【0068】

スイッチ 305、310 は閉じられていると仮定され、これによって感知増幅器 160 がメモリセル 30 及び参照抵抗 R_{REF} 、50 に連結される。感知増幅器 160 の “準備” 又は “プリ - チャージ” 段階で、ワードライン WL はハイ状態 “H” に遷移され、プリ - チャージコントロール信号 $S1$ はロー状態 “L” であり、ラッチイネーブル信号 $S2$ はロー状態 “L” である。ラッチイネーブル信号 $S2$ がロー状態 “L” であるので、ラッチイネーブルコントロール信号 $S2b$ は “H” 状態であり、ラッチイネーブルコントロール信号 $S2a$ は “L” 状態である。

20

【0069】

したがって、第 1 プリ - チャージトランジスタ $P5$ 及び第 2 プリ - チャージトランジスタ $P6$ はプリ - チャージコントロール信号 $S1$ に応答して完全にターンオンされ、内部パワー供給電圧ノード VMM に対する導電経路を形成する。したがって、プリ - チャージトランジスタ $P5$ はビットライン電流 I_{BIT} 、335 の少なくとも一部を生成し、ビットライン電流 I_{BIT} 、335 はトランジスタ $N1$ を通じてメモリセル 30 と関連されたビットライン BL 及びビットラインキャパシター C_{BIT} 、315 及び第 1 差動出力端子 $Out+$ と関連された寄生キャパシタンス 370 をプリチャージする。さらに、プリ - チャージトランジスタ $P5$ は参照ライン電流 I_{REF} 、340 の少なくとも一部を生成し、参照ライン電流 I_{REF} 、340 はトランジスタ $P1$ を通じて少なくとも参照ライン RL 及び参照ラインキャパシター C_{REF} 、320 をプリチャージする。プリ - チャージトランジスタ $P6$ は少なくとも第 2 差動出力端子 $Out-$ と関連された寄生キャパシタンス 375 をプリチャージする。

30

【0070】

トランジスタ $P1$ 、 $N1$ はゲート電圧 VR 、 VB に応答して各々ターンオンされる。しかし、ラッチ回路はラッチイネーブルトランジスタ $P2$ 、 $N2$ がターンオフされ、他のラッチトランジスタはフローティング状態 (floating state) であるので、この段階では動作せず、したがって、図 5 の等価回路では省略された。したがって、プリ - チャージ電流はラッチ回路のいずれのトランジスタを通じて流れず、これによって応答時間が改善される。

40

【0071】

図 6 は “セット” 又は “増幅” 段階 505 の動作と関連された図 4 A の感知増幅器 160 の等価回路の一例を示す図面である。スイッチ 305、310 は閉じられていると仮定され、したがって、感知増幅器 160 はメモリセル 30 及び参照抵抗 R_{REF} 、50 に連結される。感知増幅器 160 の “セット” 又は “増幅” 段階で、ワードライン WL は “H” 状態を維持し、プリ - チャージコントロール信号 $S1$ は “H” 状態に遷移され、ラッチイネーブル信号 $S2$ は “L” 状態を維持する。第 1 プリ - チャージトランジスタ $P5$ 及び第 2 プリ - チャージトランジスタ $P6$ はしたがって、各々プリ - チャージコントロー

50

ル信号 S_1 に応答してターンオフされ、したがって、図 6 の等価回路に示したようにスイッチングがオープン (open) される。また、ラッチイネーブルトランジスタ P_2 、 N_2 が相変わらず、この段階でもオフ状態であるので、ラッチトランジスタは動作しない。

【0072】

“セット”又は“増幅”段階 505 の間に、初期の差動出力端子 $Out+$ 、 $Out-$ の電圧レベルは V_{MM} 又はこれと類似のレベルで同一である。以後、上述したように、参照ライン電流 I_{REF} 、340 とビットライン電流 I_{BIT} 、335 のデルタ平均電流 375 はメモリセル 30 に格納されたビット値にしたがって、ハイインピーダンス出力端子 $Out+$ の電圧レベルが同一の方向に又は異なる方向に変化 (swing) するようにする。第 2 差動出力端子 $Out-$ の電圧レベルはこの段階で寄生キャパシタンス 375 によって V_{MM} 又はこれと類似なレベルを維持する。

10

【0073】

仮に I_{REF} 340 が I_{BIT} 335 より大きければ、ハイインピーダンス出力端子 $Out+$ の電圧レベルは高くなるように変化し、これはメモリセル 30 も論理値 “1” が格納されていることを示す。反対に、仮に I_{REF} 340 が I_{BIT} 335 より小さければ、ハイインピーダンス出力端子 $Out+$ の電圧レベルは低くなるように変化し、これはメモリセル 30 に論理値 “0” が格納されていることを示す。“セット”又は“増幅”段階の最後には、出力端子 ($Out+$ 、 $Out-$) の出力電圧レベルの間の差異は出力信号をラッチするのに十分であるように大きくなる。

20

【0074】

図 7 は“進行”又は“ラッチ”段階 605 と連関された図 4 A の感知増幅器の等価回路の一例を示す図面である。スイッチ 305、310 は閉じられていると仮定され、したがって、感知増幅器 160 がメモリセル 30 及び参照抵抗 R_{REF} 、50 に連結される。感知増幅器 160 の“進行”又は“ラッチ”段階で、ワードライン WL は“L”状態に遷移し、プリチャージコントロール信号 S_1 は“H”状態を維持し、ラッチイネーブル信号 S_2 は“H”状態に遷移する。ラッチイネーブル信号 S_2 が“H”状態に遷移するので、ラッチイネーブルコントロール信号 S_2b は“L”状態に遷移し、ラッチイネーブルコントロール信号 S_2a は“H”状態に遷移する。第 1 プリチャージトランジスタ P_5 及び第 2 プリチャージトランジスタ P_6 はターンオフ状態を維持し、したがって、図 7 に示したようにオープンされたスイッチングとして表現される。ラッチイネーブルトランジスタ P_2 、 N_2 及びラッチトランジスタ P_3 、 P_4 、 N_3 、 N_4 は各々ラッチイネーブルコントロール信号 S_2b 、 S_2a に応答して動作することができ、したがって、ラッチ回路は出力信号をラッチすることができる。

30

【0075】

全体ラッチ回路 (例えば、ラッチトランジスタである P_3 、 P_4 、 N_3 、 N_4 で構成される) は差動出力端子 $Out+$ の電圧レベル及び V_{MM} である差動出力端子 $Out-$ の電圧レベルの差異に基づいて差動出力端子で論理値 “0” 又は論理値 “1” をラッチするのに使用される。このような電圧レベルが差異及びラッチの正のフィードバックに基づいて、出力値がラッチされることができ。

40

【0076】

メモリセル 30 に格納されたデータが論理値 “0” であるか又は論理値 “1” であるかにしたがって、ラッチ回路が異なり動作することができることが理解できる。例えば、仮にメモリセルが R_L 状態 (論理値 “0”) であれば、 I_{BIT} 335 は I_{REF} 340 に比べて大きくて、これは出力端子 $Out+$ の電圧レベルが低く変化するようにする。したがって、このような場合に、正のフィードバックに基づいてラッチトランジスタ P_4 はターンオン、ラッチトランジスタ P_3 はターンオフ、ラッチトランジスタ N_4 はターンオフ、ラッチトランジスタ N_3 はターンオンされ、これによって、差動出力端子 $Out+$ で論理値 “0” がラッチされる。反対に、仮にメモリセルが R_H 状態 (論理値 “1”) であれば、 I_{BIT} 335 は I_{REF} 340 に比べて小さく、これは出力端子 Out

50

+の電圧レベルが高くなるように変化するようにする。したがって、このような場合に、正のフィードバックに基づいてラッチトランジスタP4はターンオフ、ラッチトランジスタP3はターンオン、ラッチトランジスタN4はターンオン、ラッチトランジスタN3はターンオフされ、これによって差動出力端子Out+で論理値“1”がラッチされる。

【0077】

図10は本発明にしたがう感知増幅器160を使用する抵抗性メモリ30のデータ感知動作を示す順序図900である。902段階で、“準備”又は“プリ-チャージ”段階に進入するか否かに対する判断が遂行される。仮にはい(YES)であれば、先に説明されたビットラインと参照ラインキャパシターがプリ-チャージされる904段階が進行される。そうでなく、仮にいいえ(NO)であれば、再び開始段階に戻る。

10

【0078】

906段階で、“セット”又は“増幅”段階505へ進入するか否かに対する判断が遂行される。仮にYESであれば、908段階が進行され、“セット”又は“増幅”段階の間に、ビットライン電流と参照ライン電流との間のデルタ平均電流に応答して出力端子Out+の電圧レベルと同一の方向又は異なる方向に変化ようになる。また、先に説明されたように912段階で、電流再使用に基づいてより少ない電流が消耗され、これによって感知増幅器の電流消耗特性が改善される。反対に、仮にいいえ(NO)であれば、判断及び感知増幅器動作に戻って、906段階が再び遂行される。

【0079】

20

914段階で、“進行”又は“ラッチ”段階の動作に進入するか否かに対する判断が遂行される。仮にはい(YES)であれば、916段階へ進行し、先に説明されたように、ラッチ回路の正のフィードバックを利用して論理値“0”又は論理値“1”がラッチされる。反対に、仮にいいえ(NO)であれば、914段階に戻るか、或いは他の判断及び感知増幅器動作が遂行される。

【0080】

図11Aは本発明の他の技術的思想の実施形態による電流ミラー(current mirror、960)と連関された図2の感知増幅器160、165の一実施形態を示す図面である。先に説明されたように、感知増幅回路(150、図2)は複数の感知増幅器を包含することができる。各感知増幅器は少なくとも1つのメモリブロック(120、130、図2)の対応するビットラインと対応するメモリセルと連関され得る。電流ミラー回路960は複数の感知増幅器(例えば、160、165)に連結される。電流ミラー回路960は少なくとも各感知増幅器の“セット”又は“増幅”段階の間に、参照ライン電流I_{REF}340を複写(mirror)する。各感知増幅器のビットラインBLは複写された参照ライン電流の少なくとも一部を再使用する。

30

【0081】

複数の感知増幅器は先に説明されたように各々対応するビットライン及び対応するメモリセルに連結されたハイ-インピーダンス出力端子を包含することができる。対応するビットラインはビットライン電流I_{BIT}335を導電(conduct)する。ハイ-インピーダンス出力端子の電圧レベルは複写された参照ライン電流とビットライン電流との間のデルタ平均電流375に응答して変化(swing)する。

40

【0082】

感知増幅器(例えば、160、165)の各々は先に詳細に説明されたようにラッチ回路(例えば、P3、P4、N3、N4で構成される)を含む。メモリ装置105は第1グローバルラッチイネーブルトランジスタP2及び第2グローバルラッチイネーブルトランジスタN2をさらに含み、第1グローバルラッチイネーブルトランジスタP2及び第2グローバルラッチイネーブルトランジスタN2は各々ラッチコントロール信号S2b、S2aに응答して各感知増幅器のラッチ段階を活性化する。

【0083】

電流ミラー回路960は電流ミラートランジスタP0、N0を含む。トランジスタ

50

P 1 のゲートは電流ミラートランジスタ P 0 のゲートに連結される。電圧ソース 9 3 5 はゲート電圧 V R を電流ミラートランジスタ N 0 のゲートへ提供する。電流ミラートランジスタは複数の感知増幅器各々に $I_{REF} 340$ を複写することができる。

【 0 0 8 4 】

電流ミラー回路 9 6 0 は参照メモリセル 7 0 と関連された参照ライン R L と連結される。電流ミラー回路 9 6 0 は各感知増幅器のプリ - チャージ段階の間に、参照メモリセル 7 0 と関連された参照ライン R L をプリ - チャージする。電流ミラー回路 9 6 0 は少なくとも各感知増幅器の増幅段階の間に、参照ライン電流 $I_{REF} 340$ を複写する。また、電流ミラー回路 9 6 0 は参照メモリセル 7 0 と関連された参照ライン R L をプリチャージする。参照メモリセル 7 0 が選択トランジスタ 6 0 と参照抵抗 $R_{REF} 50$ を包含するので、メモリセル 3 0 とさらに改善されたマッチング (matching) が可能であり、これによって、マッチング感度 (matching sensitivity) が改善される。結果的に、 I_{REF} と I_{BIT} との間の差異は主に R_{REF} と R_{BIT} との間の差によることである。他の要素と他の動作モードは先に説明されたことと類似であり、したがって、詳細な説明は省略される。

【 0 0 8 5 】

図 1 1 B はコントロール信号回路の一例として、図 4 B と同一であり、図 1 1 A の回路のためのラッチイネーブルコントロール信号を生成する。したがって、図 1 1 B の詳細な説明は省略される。

【 0 0 8 6 】

図 1 2 A は本発明の実施形態による読出し / 再書込み (read / re - write) 機能を含む感知増幅器 9 7 0 の一例を示す図面である。感知増幅器 9 7 0 は図 2 及び図 4 A の感知増幅器 1 6 0 と類似であり、したがって、同一であるか、或いは類似な要素に対する説明は簡略説明をするために省略される。図 1 3 A は本発明の実施形態によるメモリセル抵抗が以前にハイ (high) に設定されている時、図 1 2 A の感知増幅器の互に異なる段階と関連された波形図を例示的に示す図面である。図 1 3 B は本発明の実施形態によるメモリセル抵抗が以前にロー (low) に設定されている時、図 1 2 A の感知増幅器の互に異なる段階と関連された波形図を例示的に示す図面である。図 1 2 A、図 1 3 A、図 1 3 B を参照して説明される。

【 0 0 8 7 】

先に説明された感知増幅器と比較して幾つかの構造的差異点がある。具体的に、感知増幅器 9 7 0 はトランジスタ N 1 を包含しない。また、接地電圧ノード G N D の代わりに、負 (negative) のパワー供給電圧ノード V S S がラッチイネーブルトランジスタ N 2 に連結される。例えば、もし正のパワー供給電圧ノード V D D が 1 . 2 V の電圧レベルを供給したら、負のパワー供給電圧ノード V S S は - 1 . 2 V の電圧レベルを供給することができる。さらに、入力及び出力端子は入出力 (I O) 端子 (I O + 、 I O -) に結合された。

【 0 0 8 8 】

動作特性と関連して、動作の多様な段階の動作は追加された読出し / 再書込み機能にもかかわらず、先に説明されたことと類似である。差異は増幅段階の間の I O + 端子の電圧変化 (swing) がデルタ平均電流ではない総ビット抵抗によって増加された参照電流 $I_{REF} 340$ (例えば、 $R_{BIT} 10$ によって増加された $I_{REF} 340$ によって直接的に決定される。トランジスタ N 1 のようなビットライン上のアクティブ装置の不存在によって、I O + 端子とメモリセル 1 0 の間に直接経路 (direct path) が存在する。この実施形態で、寄生キャパシタンス 3 7 0 はビットキャパシタンス $C_{BIT} 315$ と併合されて、共に I O + 端子で電圧レベルの定着時間 (settling time) を増加させる。これによって、スパイク又は他の可能であるノイズ妨害を減少させる (この時、ビットキャパシタンス $C_{BIT} 315$ は例えば、寄生キャパシタンス 3 7 0 に比べて 1 0 倍以上であり得る)。即ち、I O + 端子の電圧レベルは本質的に参照電流 $I_{REF} 340$ と R C 回路によって決定される。

【 0 0 8 9 】

一実施形態として、仮に $R_{BIT} = R_L$ であれば、 $IO+$ 端子は増幅段階の間に V_{MM} より低い値に低くなり、ラッチ段階の間に V_{SS} 電圧レベルに低くなって、メモリ抵抗 R_{BIT10} に R_L の値を明確に再書き込みする動作を遂行する。反対に、仮に $R_{BIT} = R_H$ であれば、 $IO+$ 端子は増幅段階の間に、 V_{MM} より高い値に高くなり、ラッチ段階の間に V_{DD} 電圧レベルに至って、メモリ抵抗 R_{BIT10} に R_H の値を明確に再書き込みする動作を遂行する。再書き込み動作が無ければ、 R_{BIT10} の値が意図せないように変更される可能性がある。このような障害 (disturbance) を避けるために、すべての読み出し動作の後に再書き込み動作を遂行することによって、 R_{BIT} に格納された値が正確な値を維持している可能性を高くすることができる。

10

【 0 0 9 0 】

図 1 2 B はコントロール信号回路の一例として、図 4 B と同一であり、図 1 2 A の回路のためのラッチイネーブルコントロール信号を生成する。したがって、図 1 2 B の詳細な説明は省略される。

【 0 0 9 1 】

図 1 4 A は本発明の他の実施形態によるエッジ - 参照セル (edge-reference cell) 配列又はパターン (例えば、1 4 0 5) でのメモリセルアレイ (例えば、1 1 0) 及び連関されたメモリブロック (例えば、1 4 1 5、1 4 2 0) のレイアウトの実施形態を示す図面である。レジェンド 1 4 0 0 は配列に使用されるシンボルの説明を提供する。図 1 4 A を参照すれば、共有感知増幅器 1 4 3 5 はメモリブロック 1 4 1 5、1 4 2 0 の中でいずれか 1 つによって又は 2 つのメモリブロック 1 4 1 5、1 4 2 0 全てによって使用される。参照メモリセル 7 0 は共有感知増幅器 1 4 3 5 に隣接するか、或いは付近に配置され得る。所定の参照メモリセル 7 0 はバンク 1 4 1 5 及び / 又はバンク 1 4 2 0 の複数のメモリビットセル 3 0 のための参照を提供することができる。

20

【 0 0 9 2 】

メモリバンク 1 4 1 5 からの参照メモリセル 7 0 及びメモリバンク 1 4 2 0 からの参照メモリセル 7 0 は対応する参照ラインを経て共有感知増幅器 (例えば、複数の感知増幅器 1 4 3 5 の中でいずれか 1 つの共有感知増幅器) に連結され得る。即ち、1 つの共有感知増幅器は互に異なるバンクからの 2 又はその以上の参照ライン及び / 又は参照メモリセルに連結され得る。これと類似に、メモリバンク 1 4 1 5 からのメモリビットセル 3 0 及びメモリバンク 1 4 2 0 からのメモリビットセル 3 0 は対応するビットラインを経て共有感知増幅器 (例えば、複数の感知増幅器 1 4 3 5 の中でいずれか 1 つ) に連結され得る。即ち、1 つの共有感知増幅器は互に異なるバンクからの 2 又はその以上のビットライン及び / 又はメモリビットセルに連結され得る。

30

【 0 0 9 3 】

図 1 4 B は本発明の他の実施形態によるビット - 参照セル (bit-reference cell) 配列又はパターン (例えば、1 4 1 0) でのメモリセルアレイ (例えば、1 1 0) 及び連関されたメモリブロック (例えば、1 4 2 5、1 4 3 0) のレイアウトの実施形態を示す図面である。図 1 4 A と同様に、レジェンド 1 4 0 0 は配列に使用されるシンボルの説明を提供する。図 1 4 B を参照すれば、共有感知増幅器 1 4 4 0 はメモリブロック 1 4 2 5、1 4 3 0 の中でいずれか 1 つによって又は 2 つのメモリブロック 1 4 2 5、1 4 3 0 の全てによって使用される。このレイアウトにおいて、メモリビットセル 3 0 は参照メモリセル 7 0 に隣接するように配置され得る。

40

【 0 0 9 4 】

1 つのバンク内の 1 つの共通参照ラインは複数の参照メモリセル 7 0 を 1 つのミラーバイアス回路 9 9 5 及び / 又は複数の感知増幅器に連結させることができる。バンク 1 4 2 5 の 1 つの参照メモリセルは第 1 共通参照ラインを通じてミラーバイアス回路 9 9 5 に連結され得る。バンク 1 4 3 0 の 1 つの参照メモリセルは第 2 共通参照ラインを通じて同一のミラーバイアス回路 9 9 5 に連結され得る。第 1 バンク 1 4 2 5 の 1 つのメモリセルは 1 つの与えられた共有感知増幅器に連結され、第 2 バンク 1 4 3 0 の他のメモリセルは

50

前記与えられた共有感知増幅器に連結され得る。ミラーバイアス回路 995 は前記共有感知増幅器（複数の）に隣接するように配置され得る。

【0095】

メモリバンク 1430 からの参照メモリセル 70 及びメモリバンク 1425 からのメモリビットセル 30 は共通参照ライン及び個別ビットラインを経て各々 1 つの共有感知増幅器（例えば、複数の感知増幅器 1440 の中でいずれか 1 つの共有感知増幅器）に連結され得る。即ち、1 つの共有感知増幅器は互に異なるバンクと関連された 1 つの共通参照ライン及び 1 つの個別ビットラインに連結される。これと類似に、共有感知増幅器は互に異なるバンクと関連された参照セル 70 及びメモリビットセル 30 に連結され得る。即ち、1 つの共有感知増幅器は互に異なるバンクからの参照セル及び / 又はメモリビットセルに

10

【0096】

上述した図 4 乃至図 14B を参照すれば、幾つかの実施形態において、ソースライン S L s は接地 G N D 電位に連結され、これは図 4 乃至図 14B で説明された回路図で特定された特徴である。しかし、これは例示的なこととして理解できる。例えば、幾つかの実施形態（例えば、図 4 乃至図 11B を参照して説明された実施形態の中でいずれか実施形態）において、ソースライン S L s はパワー供給 V D D 電位に連結でき、レギュラー V D D 電位は接地 G N D 電位に連結され得る。このような場合に、各 P M O S タイプトランジスタは N M O S タイプトランジスタに代替され得り、各 N M O S タイプトランジスタは P M O S タイプトランジスタに代替され得る。即ち、ソースライン S L s が V D D 電位に連結される時、感知増幅器はアップサイド（u p s i d e）とダウンサイド（d o w n s i d e）の間でスワップ（s w a p）され、これは N M O S タイプトランジスタが P M O S トランジスタと代替され、P M O S タイプトランジスタが N M O S タイプトランジスタと代替されることを意味する。言い換えれば、ソースラインが接地電圧に連結される時、感知増幅器は第 1 トランジスタ特性を含み、ソースラインがパワー供給電圧に連結される時、感知増幅器は第 1 トランジスタ特性に比べてスワップされた（s w a p p e d）第 2 トランジスタ特性を含む。また、幾つかの実施形態において、例えば、図 12A 及び図 12B を参照すれば、ソースライン S L s は接地 G N D 電位に連結された状態を維持することができ、負のパワー供給電圧ノード V S S はパワー供給電圧ノード V D D と代替されることができ、レギュラー V D D 電位は接地 G N D 電位に連結されることができ、N M O S トランジスタと P M O S トランジスタは上で説明されたようにスワップ（s w a p）されることができることが理解できる。

20

30

【0097】

図 15 は本発明の実施形態に他の抵抗性メモリ装置の多様な適用例を示す図面である。図 15 を参照すれば、メモリシステム 1500 は格納装置 1525 及びホスト 1520 を含む。格納装置 1525 は抵抗性メモリ 1510 及びメモリコントローラ 1505 を含む。

【0098】

格納装置 1525 はメモリカード（例えば、S D、M M C 等）のような格納媒体又は携帯可能である格納媒体（例えば、U S B メモリ等）を包含することができる。格納装置 1525 はホスト 1520 に連結され得る。格納装置 1525 はホストインターフェイスを通じてホスト 1520 からデータを送信するか、或いはホスト 1520 からデータを受信できる。格納装置 1525 は初期動作を遂行するためにホスト 1520 によってパワーが供給される。抵抗性メモリ 1510 は本発明の実施形態による感知増幅回路 1515 を包含することができる。

40

【0099】

図 16 は本発明の実施形態による抵抗性メモリ装置を含むコンピューティングシステム 1600 に関する図面である。図 16 を参照すれば、コンピューティングシステム 1600 はメモリシステム 1610、パワー供給器 1635、中央処理装置（C P U、1625）、使用者インターフェイス 1630 を含む。メモリシステム 1610 は抵抗性メモリ 1

50

620とメモリコントローラ1615を含む。中央処理装置1625はシステムバス1605に電氣的に連結される。

【0100】

抵抗性メモリ1620は本発明の実施形態による感知増幅回路を含む。抵抗性メモリ1620はメモリコントローラ1615を通じてデータを格納する。データは使用者インターフェイス1630から受信されるか、或いは中央処理装置1625によって処理される。メモリシステム1600は半導体ディスク装置又はソリッドステートディスク(SSD)として使用され得る。

【0101】

図17は本発明の実施形態による抵抗性メモリを含むコンピューティングシステム1700を示す図面である。図17を参照すれば、コンピューティングシステム1700は抵抗性メモリ装置1720、中央処理装置1725、RAM1710、使用者インターフェイス1730、そしてベースバンドチップセット(baseband chipset)のようなモデム1735を含み、各構成要素は電氣的にシステムバス1705に連結される。抵抗性メモリ1720は上述したように本発明にしたがう感知増幅回路を包含することができる。

10

【0102】

仮にコンピューティングシステム1700がモバイル装置であれば、コンピューティングシステム1700へ電源を供給するバッテリー(図示せず)をさらに包含できる。たとえば図17には図示しないが、コンピューティングシステム1700はアプリケーションチップセット、カメライメージプロセッサ(CIS)、モバイルDRAM(mobile DRAM)等をさらに包含できる。

20

【0103】

本発明の実施形態による抵抗性メモリ装置はストレージクラスメモリ(storage class memory、SCM)として使用され得る。“ストレージクラスメモリ”は不揮発性特性とランダム・アクセス特定を全て提供するメモリを指称する。

【0104】

先に説明された抵抗性メモリ(ReRAM)のみでなくPRAM、FeRAM、MRAM等もストレージクラスメモリとして使用され得る。フラッシュメモリの代わりに、ストレージクラスメモリはデータ格納メモリとして使用され得る。さらに、同期式DRAM(synchronous DRAM)の代わりに、ストレージクラスメモリはデータ格納メモリとして使用され得る。さらに、1つのストレージクラスメモリがフラッシュメモリ及び同期式DRAMを代替して使用され得る。

30

【0105】

図18はフラッシュメモリを代替する抵抗性メモリを使用したストレージクラスメモリを含むメモリシステムの本発明にしたがう一実施形態を示す図面である。図18を参照すれば、メモリシステム1800は中央処理装置1810、同期式DRAM(SDRAM、1820)、ストレージクラスメモリ1830を含む。ストレージクラスメモリ1830はフラッシュメモリの代わりにデータ格納メモリに使用される抵抗性メモリである。

【0106】

ストレージクラスメモリ1830はフラッシュメモリに比べて速い速度でデータにアクセスすることができる。例えば、4GHzの周波数に動作する中央処理装置1810を使用するPCにおいて、ストレージクラスメモリ1830タイプの抵抗性メモリはフラッシュメモリより速いアクセス速度を提供する。したがって、ストレージクラスメモリ1830を含むメモリシステム1800はフラッシュメモリを含むメモリシステムに比べて相対的に速い速度でアクセスすることができる。

40

【0107】

図19は同期式DRAMを代替する抵抗性メモリを使用したストレージクラスメモリを含むメモリシステムの本発明にしたがう一実施形態を示す図面である。図19を参照すれば、メモリシステム1900は中央処理装置1910、ストレージクラスメモリ1920

50

、フラッシュメモリ 1930 を含む。ストレージクラスメモリ 1920 は同期式 DRAM (SDRAM) の代わりにメインメモリとして使用され得る。

【0108】

ストレージクラスメモリ 1920 によって消費されるパワーは同期式 DRAM によって消費されるパワーより小さい。メインメモリはコンピューティングシステムによって消費されるパワーの 40% をチャージすることができる。このような理由で、メインメモリのパワー消費を減らすための技術が発展されてきた。DRAM と比較して、クラスメモリ 1920 は平均的に 53% の直接的なエネルギー消費の減少と 73% のパワー漏洩によるエネルギー消費の減少効果を有する。したがって、ストレージクラスメモリ 1920 を含むメモリシステム 1900 は同期式 DRAM を含むメモリシステムに比べてパワー消費を減らし得る。

10

【0109】

図 20 は同期式 DRAM 及びフラッシュメモリを代替して抵抗性メモリを使用するストレージクラスメモリを含むメモリシステムの本発明にしたがう一実施形態を示す図面である。図 20 を参照すれば、メモリシステム 2000 は中央処理装置 2010 及びストレージクラスメモリ 2020 を含む。ストレージクラスメモリ 2020 は同期式 DRAM の代わりにメインメモリとして使用でき、フラッシュメモリの代わりにデータ格納メモリとして使用され得る。メモリシステム 2000 はデータアクセス速度、低い価格、空間使用において、長所を有する。

【0110】

20

本発明の実施形態による抵抗性メモリは PoP (Package on Package)、Ball grid arrays (BGAs)、Chip scale packages (CSPs)、Plastic Leaded Chip Carrier (PLCC)、Plastic Dual In-Line Package (PDIP)、Die in Wafer Pack、Die in Wafer Form、Chip on Board (COB)、Ceramic Dual In-Line Package (CERDIP)、Plastic Metric Quad Flat Pack (MQFP)、Thin Quad Flat Pack (TQFP)、Small Outline (SOIC)、Shrink Small Outline Package (SSOP)、Thin Small Outline (TSOP)、System In Package (SIP)、Multi Chip Package (MCP)、Wafer-Level Fabricated Package (WFP)、Wafer-Level Processed Stack Package (WSP) 等のようなパッケージから選択された少なくとも 1 つのパッケージによってパッケージ化されることができる。

30

【0111】

本発明の実施形態による抵抗性メモリ装置は多様な製品に適用され得る。本発明の実施形態による抵抗性メモリ装置は例えば、メモリカード、USB メモリ、ソリッドステートディスク (SSD) 等のみでなく、個人用コンピューター、デジタルカメラ、カムコーダー、携帯電話、MP3 プレーヤー、PMP、PSP、PDA 等のような電子機器に適用され得る。

40

【0112】

前記説明された実施形態は低いパワー供給電圧を利用できる感知増幅器を提供する。さらに、前記説明された感知増幅器の実施形態は速い読出し速度、ビットラインと参照ラインとの間の差異 (例えば、寄生キャパシタンス等) に対する低い敏感度、信号平均を維持することによる強いノイズ耐性、セルフ-ラッチロジック (self-latching logic) を使用する追加的な特性を有する。但し、これは例示的なことであり、互に異なる特性が同一の感知増幅回路に共に適用されることができることが理解できる。

【0113】

前記説明された本発明の実施形態は例示的なことであり、本発明はこれに限定されない

50

。多様な代替例及び均等例が可能である。本発明の実施形態はメモリアレイ内のM R A M (m a g n e t i c r a n d o m a c c e s s m e m o r y) のタイプ及びその数字によって限定されない。本発明の実施形態は感知増幅回路を動作させるか、或いはM T Jを選択するためのP M O S、N M O S等のようなトランジスタのタイプに限定されない。本発明の実施形態は感知増幅回路のためのコントロールロジックの生成又はロジックカラム選択 (l o g i c a l c o l u m n s e l e c t i o n) 等を行移するために含まれたN O R、N A N Dのような論理ゲートのタイプによって限定されない。本発明の実施形態は発明の技術的思想が適用された集積回路のタイプによって適用されない。本発明の実施形態はC M O S、B i p o l a r、B I C M O S等のようにメモリを製造するために含まれたプロセス技術の特定類型によって限定されない。本発明の実施形態は感知増幅回路に直接的に連関されたことと説明されたが、これに限定されない。本発明の技術的思想の実施形態は応答時間、ノイズ耐性特性、低い電圧動作特性、大きい電圧ヘッドルーム (h e a d r o o m) 特性、少ない感知エラー等のような特性を含み、したがって、有用である。

10

【 0 1 1 4 】

本発明を逸脱しない範囲内で他の類似であるか、或いは非類似な変更が可能である。したがって、本発明の技術的思想は添付された請求項のみでなく、他の方式の請求項が可能である。

【 符号の説明 】

【 0 1 1 5 】

20

W L s . . . ワードライン

B L s . . . ビットライン

S L s . . . ソースライン

R L s . . . 参照ライン

M T J . . . マグネチックトンネル接合

A P . . . 反平衡状態

P . . . 平衡状態

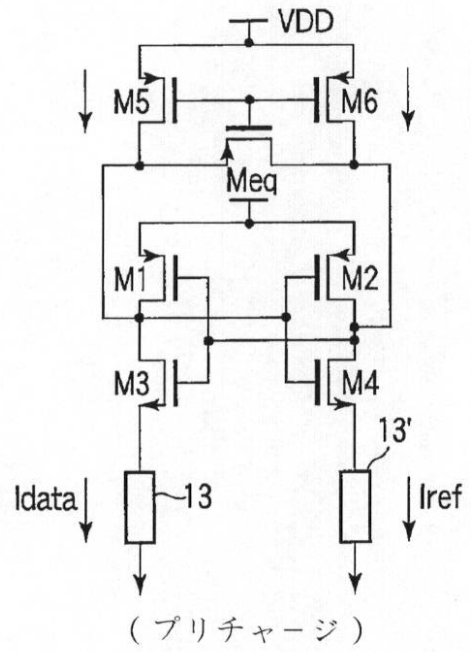
S W . . . スイッチ

I_{R E F} . . . 参照ライン電流I_{B I T} . . . ビットライン電流

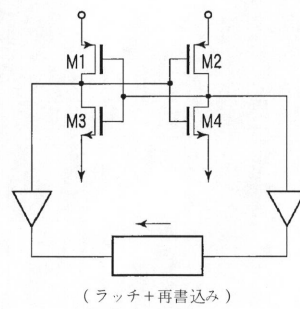
30

R_{R E F} . . . 参照抵抗R_{B I T} . . . メモリセル抵抗又はビットライン抵抗C_{B I T} . . . ビットラインキャパシターC_{R E F} . . . 参照ラインキャパシター

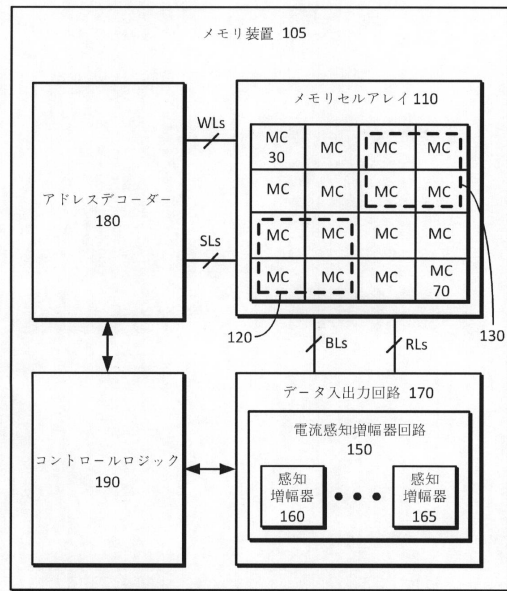
【 図 1 B 】



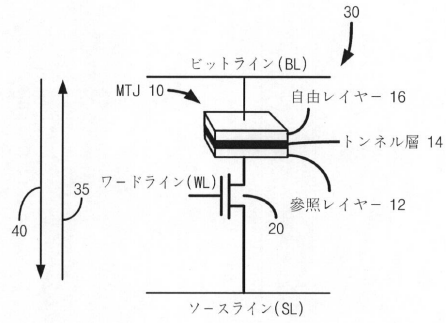
【 図 1 D 】



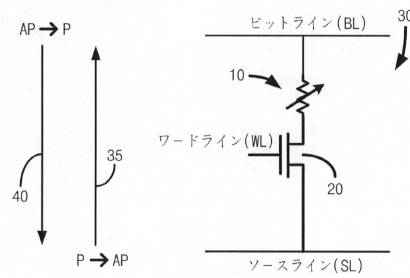
【図 2】



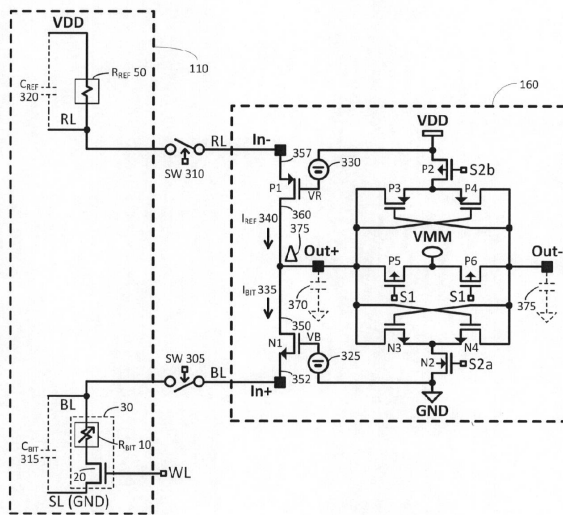
【図 3 A】



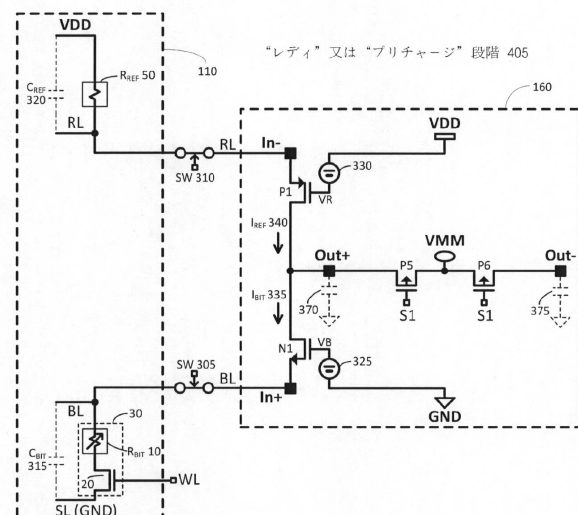
【図 3 B】



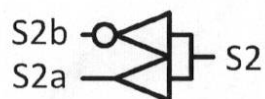
【図 4 A】



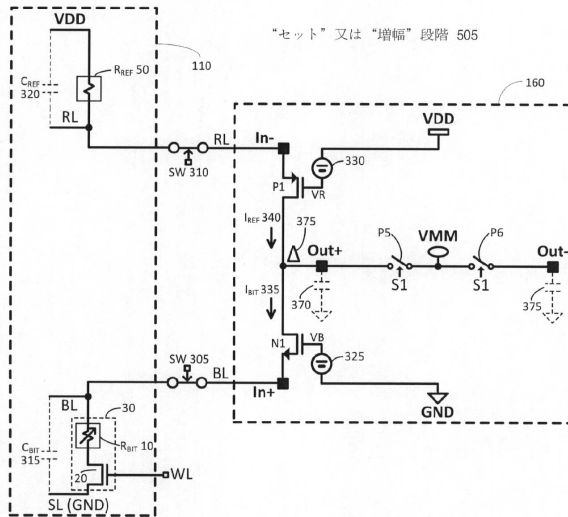
【図 5】



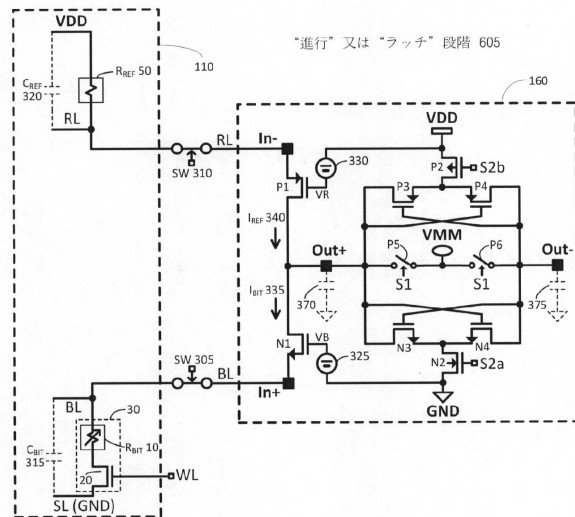
【図 4 B】



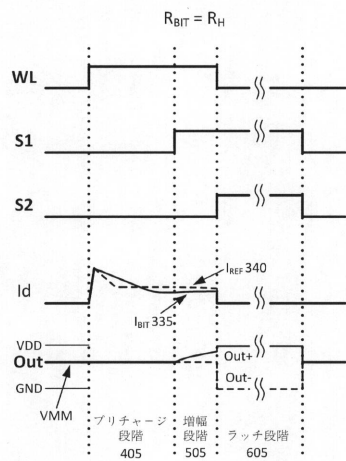
【図 6】



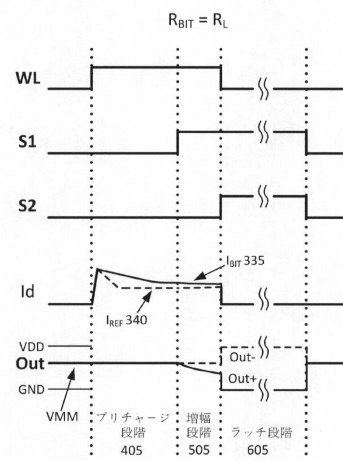
【図 7】



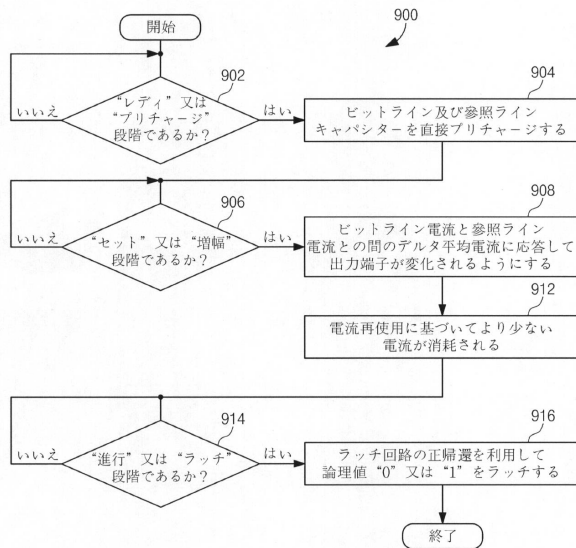
【図 8】



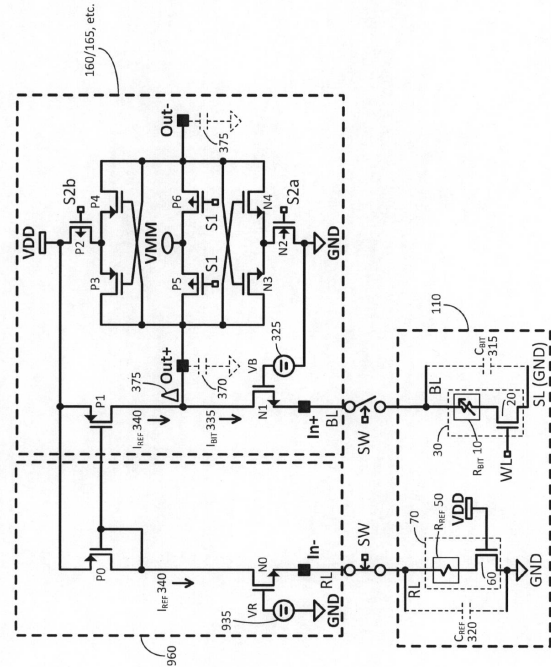
【図 9】



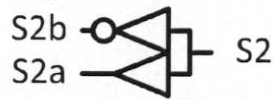
【図 10】



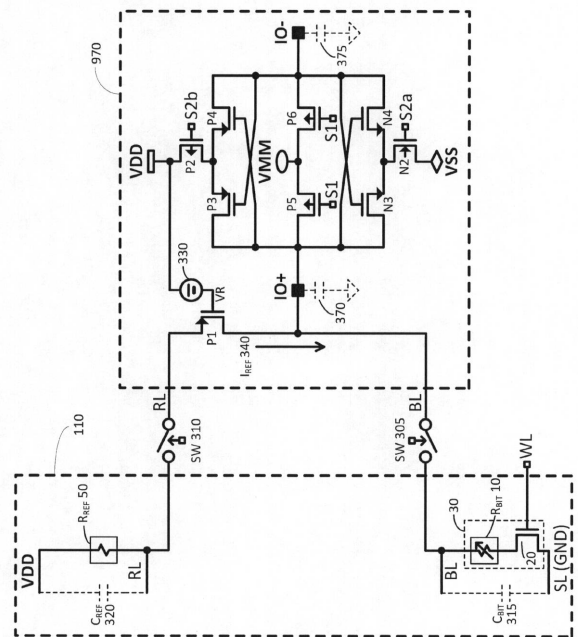
【図 11 A】



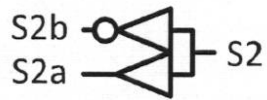
【図 11 B】



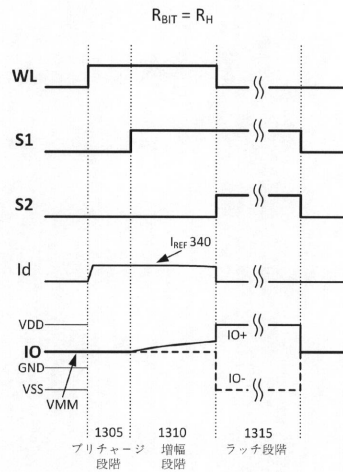
【図 12 A】



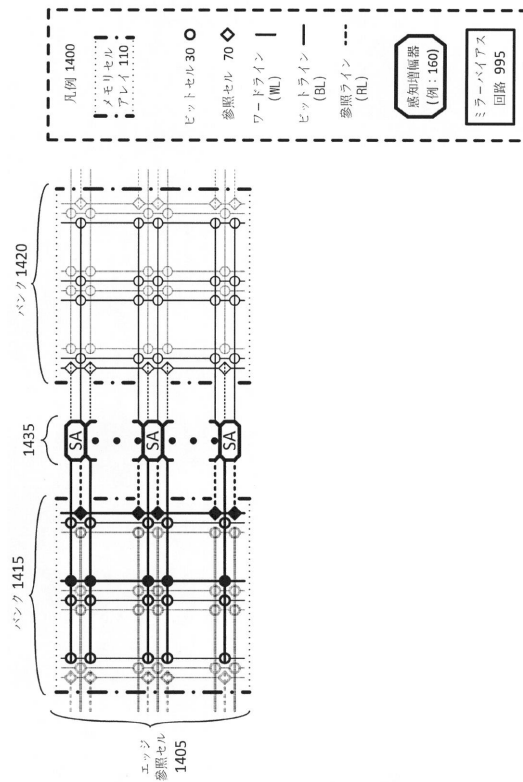
【図 1 2 B】



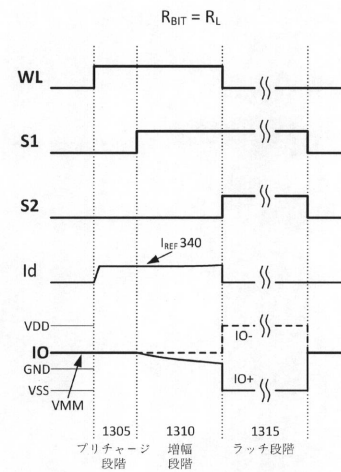
【図 1 3 A】



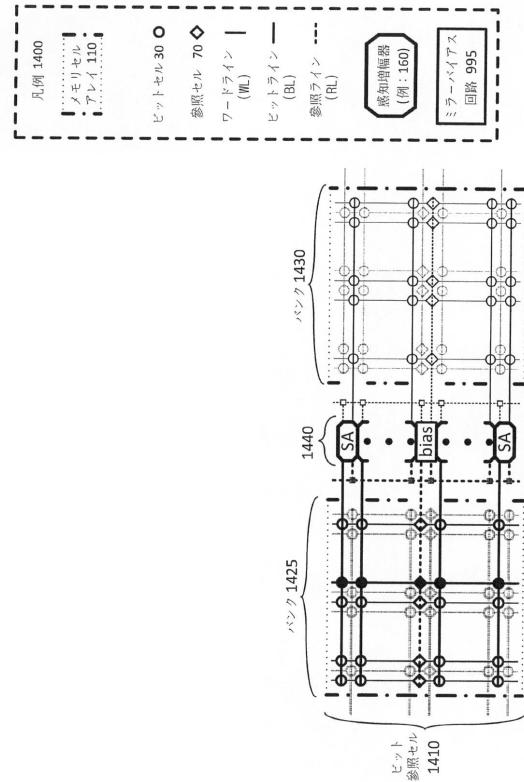
【図 1 4 A】



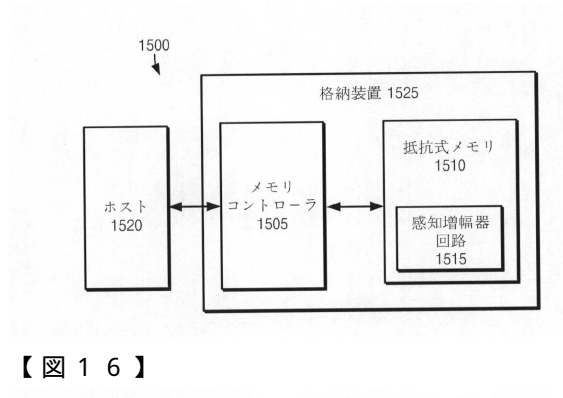
【図 1 3 B】



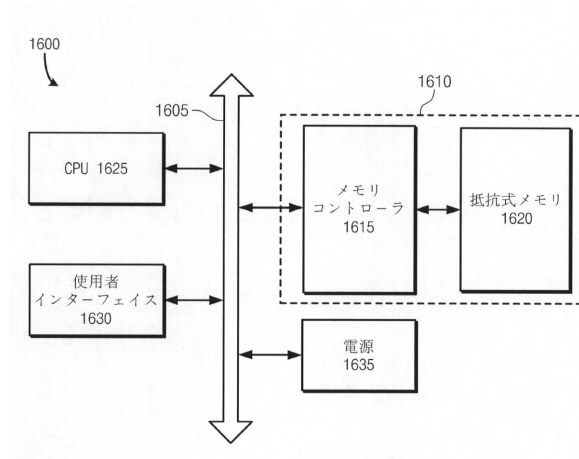
【図 1 4 B】



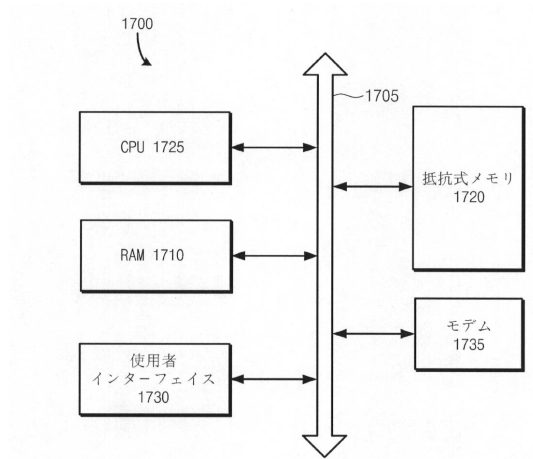
【図 15】



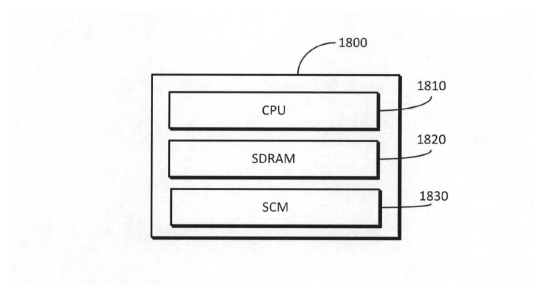
【図 16】



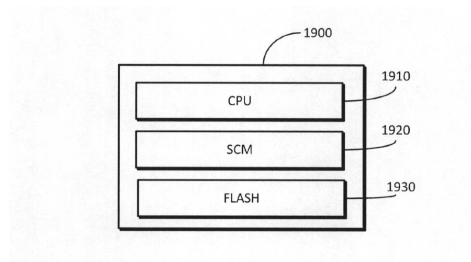
【図 17】



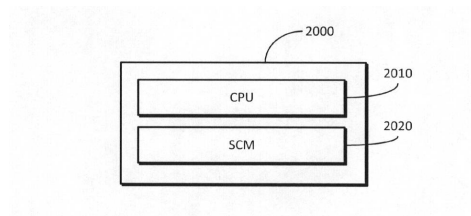
【図 18】



【図 19】



【図 20】



フロントページの続き

- (72)発明者 ヨンシク・ヨン
アメリカ合衆国・カリフォルニア・95014・クパティノー・ソレンソン・アヴェニュー・19
400・アパートメント・129
- (72)発明者 スホ・チャ
大韓民国・ソウル・グロ・グ・ゲボン - 2ドン・323 - 7
- (72)発明者 チャン・キュン・キム
大韓民国・キョンギ - ド・ファソン - シ・パンソン - ドン・(番地なし)・シボム・ハンビット・
マウル・ハンワ・グメグリーン・アパート・21・233 - 804

審査官 酒井 恭信

- (56)参考文献 特開2003 - 109375 (JP, A)
国際公開第2006 / 064559 (WO, A1)
特表2002 - 541608 (JP, A)
特開2003 - 323791 (JP, A)
特開2010 - 055719 (JP, A)
米国特許出願公開第2004 / 0223393 (US, A1)

- (58)調査した分野(Int.Cl. , DB名)
G11C 11 / 16
G11C 13 / 00