

公告本

90年1月8日修正補充

0016194

申請日期	89. 9. 8
案 號	89118421
類 別	G09G 3/36

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書 479217 新 型		
一、發明 新型名稱	中 文	液晶顯示器裝置
	英 文	LIQUID CRYSTAL DISPLAY DEVICE
二、發明 創作人	姓 名	松隈弘志
	國 籍	日本
三、申請人	住、居所	神奈川縣川崎市中原區小杉町一丁目 403 番 53 日本電氣 アイシ-マイコンシステム 株式會社内
	姓 名 (名稱)	日本電氣股份有限公司 (日本電氣株式會社)
三、申請人	國 籍	日本
	住、居所 (事務所)	東京都港區芝五丁目 7 番 1 號
三、申請人	代 表 人 姓 名	西垣浩司

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

日本 國（地區） 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
1999 年 09 月 10 日特願平-11-256693 號

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明背景

發明領域

本發明係關於一種液晶顯示器裝置，其能以降低之功率消耗操作。

相關技術說明

在開發一低功率消耗之微電腦中之一重點是在關鍵時刻停止不需要之電路操作或儘可能降低操作頻率。

第 1 圖是習知液晶顯示器裝置中之一區段驅動器電路之方塊圖。第 2 圖是習知液晶顯示器裝置中之一共同驅動器電路之方塊圖。第 3A 圖是展示習知液晶顯示器裝置，在非顯示狀態中之一區段波形之示意波形圖，其中縱座標代表電位及橫座標代表時間。第 3B 圖是展示習知液晶顯示器裝置在非顯示狀態中之一共同波形之示意波形圖，其中縱座標代表電位而橫座標代表時間。

如第 1 圖所示，使用於習知液晶顯示器裝置中之區段驅動器電路包括：一區段電源選擇器 100，一區段驅動器控制電路 110，及一區段驅動器 120。區段電源選擇器 100 具有一電源交換時序控制電路 101，其上連接有開關 a102，b103，c104 及 d105。開關 a102 連接有一接地電位 GND，及開關 b103，c104 及 d105 是分別提供有電源 VLC2，VLC1，及 VLC0。電源交換時序控制電路 101 是提供有一時脈信號在開關 c104 及 c105 間交換，並選擇輸出 VLC0 或 VLC1，作為一高電位側電源 VSH。同時控制電路 101 在開關 a102 及 103 間交換以選擇輸出 VLC2

五、發明說明 (2)

或 GND，作為一低電位側電源 VSL。

區段驅動器控制電路 110 具有一顯示時序控制電路 111，其中輸入有框信號 0 至 3 及顯示記憶資料 0，而顯示時序控制電路 111 輸出一區段驅動器閘極信號 SD0。

CMOS(互補金氧半導體)型之區段驅動器 120 具有一 p 通道輸出緩衝 121 及一 n 通道輸出緩衝 122。p 通道輸出緩衝 121 是提供有高電位側電源 VSH 作為一個輸入，而 n 通道輸出緩衝 122 是提供有低電位側電源 VSL 作為一輸入。p 通道輸出緩衝 121 和 n 通道輸出緩衝 122 之連接節點是連接至一區段端子 123。顯示時序控制電路 111 之輸出 SD0 是輸入至 p 通道輸出緩衝 121 及 n 通道輸出緩衝 122 之閘極。當區段驅動器閘極信號 SD0 是拉至一高位準時，n 通道輸出緩衝 122 被接通及 VSL 是輸出至區段端子 123。當區段驅動器閘極信號 SD0 是拉至一低位準時，p 通道輸出緩衝 121 被接通及 VSH 是輸出至區段端子 123。

如第 2 圖所示，用於習知液晶顯示器裝置中之區段驅動器電路包括一共同電源選擇器 130，一共同驅動器控制電路 140 及一共同驅動器 150。共同電源選擇器 130 具有一電源交換時序控制電路 131，其是連接有開關 a132, b133, c134 及 d135。開關 a132 是連接至接地電位 GND，而開關 b133, c134 及 d135 分別提供有電源 VLC2, VLC1 及 VLC0。電源交換時序控制電路 131 是提供有一時脈信號在開關 c134 與 d135 間交換，以選擇地輸出 VLC0

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

或 VLC1，作為高電位側電源 VCH。電路 131 在開關 a132 與 b133 間交換以選擇地輸出 VLC2 或 GND，作為低電位側電源 VCL。

共同驅動器電路 140 具有一顯示時序控制電路 141，其輸入有框信號 0 至 3，及此顯示時序控制電路 141 輸出一共同驅動器閘極信號 CD0。

CMOS 型之共同驅動器 150 具有一 p 通道輸出緩衝 151 及一 n 通道輸出緩衝 152。p 通道輸出緩衝 151 是提供有高電位側電源 VCH，作為一輸入，而 n 通道輸出緩衝 152 是提供有低電位側電源 VCL，作為一輸入，而 n 通道輸出緩衝 152 是提供有低電位側電源 VCL，作為一輸入。p 通道輸出緩衝 151 及 n 通道輸出緩衝 152 之連接節點是連接至一共同端子 153。顯示時序控制電路 141 之輸出 CD0 是輸入至 p 通道輸出緩衝 151 及 n 通道輸出緩衝 152 之閘極。當共同驅動器閘極信號 CD0 是拉至高位準時，n 通道輸出緩衝 152 則被接通及 VCL 是輸出至共同端子 153。當區段驅動器閘極信號 CD0 是拉至低位準時，則 p 通道輸出緩衝 151 被接通及 VHC 輸出至共同端子 153。

在具有上述組態之習知之液晶顯示器裝置中，區段驅動器電路之電源交換時序控制電路 101 反應於時脈信號而操作，例如選擇 VLC1 作為 VSH 輸出，同時選擇 VLC2 作為 VSL 輸出，如第 3A 圖所示。在非顯示狀態中，僅有時脈信號是輸入至區段驅動器控制電路 110 中之顯示時序控制電路 111。顯示時序控制電路 111 輸出一在高與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (4)

低間交換之信號至區段驅動器 120，與時脈信號同步，作為區段驅動器閘極信號 SD0。因此如第 3A 圖所示，一矩形區段波形 S0 是輸出至區段端子 123。

在共同驅動器電路中之電源交換時序控制電路 131 反應於時脈信號而操作，例如選擇 VLC1，作為 VCH 輸出，同時選擇 VLC2 作為 VCL 輸出，如第 3B 圖所示。在非顯示狀態中，區段驅動器控制電路 140 之顯示時序控制電路 141 是提供僅有時脈信號。顯示時序控制電路 141 輸出至共同驅動器 150 的是一在高與低間交換之信號，與時脈信號同步作為共同驅動器閘極信號 CD0。如此，一矩形之共同波形 C0 被輸出至共同端子 153，如第 3B 圖所示。

但由於區段驅動器 120 是一 CMOS 型裝置，在當信號 S0 輸出至區段端子 123 時，就會將其輸出狀態轉變成為矩形波形，如第 3A 圖所示，直通電流則是在 p 通道輸出緩衝 121 及 n 通道輸出緩衝 122 發出。

相同的是共同驅動器 150 亦是 CMOS 型裝置，在當信號 C0 輸出至共同端子 153 時，將其輸出狀態轉變成為矩形波形，如第 3B 圖所示，直通電流則是在 p 通道輸出緩衝 151 及 n 通道輸出緩衝 122 發出。此引起電流損失及增加功率消耗。

更加在習知液晶顯示器裝置(後文中稱為 LCD 裝置)中，如第 3A 圖及第 3B 圖所示，一中間電位位準之矩形波在非顯示狀態時自區段端子 123 及共同端子 153 輸出，

五、發明說明 (5)

而電流是如此浪費了。

其時在習知 LCD 裝置中，用於顯示之電源控制電路使用一升壓電源於 LCD 顯示器並能選擇是否連接或不連接此升壓電源至／自負載。所以升壓電路及負載是分離的以降低升壓需要之時間，立刻在接通電源及初始之後執行。此負載主要是指區段端子電容及 LCD 面板電路。若自一顯示狀態轉變至一非顯示狀態是僅以電源控制電路控制，則在電源控制電路中選擇電源對負載之分離以造成轉變至非顯示狀態。若升壓電路是與負載隔離，則負載不再供給有電源，立即在隔離電源前之電位是由負載本身之電容維持。所以當螢光被關閉時，在負載充電之電荷需有時間，即是區段端子或共同端子要自然地放電，致使要有頗長時間使 LCD 面板關閉。

由於要解決一部分上述問題，以降低功率消耗操作之 LCD 裝置已有提出(日本專利申請公開平 2-210492 號，日本專利申請公開平 2-221998 號)。

日本專利申請公開平 2-210492 號揭露具有多個雙向轉移閘之 LCD 顯示器，此閘是提供一驅動電路之電源中，而此驅動電源是用於一液晶顯示器元件，並能中斷用於此液晶顯示器元件之時脈信號。

此 LCD 裝置造成雙向轉移閘不導通，是以一等待控制信號使驅動 LCD 裝置元件之整個輸出端子進入高阻抗狀態，致使驅動時脈信號得以停止而不會退化液晶顯示器元件之特性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

日本專利申請公開平 2-221998 號揭露一種 LCD 裝置，其中兩個雙向轉移閘電路是連接至直接驅動液晶顯示器元件之輸出緩衝電路之供電源，及驅動液晶之電源與其他電源皆可由轉移閘電路之控制信號交換。LCD 裝置能根據一共同電極驅動信號及區段電極驅動信號之操作狀態而輸出一特殊電壓以直接驅動液晶顯示器元件。

根據日本專利申請公開平 2-210492 號，全部輸出端子皆在高阻抗狀態，因而 LCD 裝置在當此 LCD 裝置在非顯示狀態時，遭受閃爍。

根據日本專利申請公開平 2-221998 號，若 LCD 裝置是使用在動態系統中，及 GND 或 GND 為高之電位是選作轉移閘電路之輸出時，反相之偏壓被產生以增加在輸出緩衝電路之 p 通道中之電流，及 VDD 位準不能選擇為每一 LCD 端子之 n 通道緩衝之電源電位。此阻止功率消耗之降低。

此外，日本專利申請公開昭 59-002081 號，日本專利申請公開平 6-245172 號，及日本專利申請公開平 10-207429 號皆揭露降低顯示器裝置之功率消耗之技術，但都不能解決上述之缺點。

發明簡述

本發明之目標是提供一種液晶顯示器裝置，有能力在非顯示狀態中以降低功率消耗操作及降低自顯示狀態至非顯示狀態之轉變時間。

根據本發明之液晶顯示器裝置包括：一液晶顯示器面

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明（ 7 ）

板；一共同驅動器及一區段驅動器以驅動在液晶顯示器面板中之每一個圖素；一共同驅動器控制電路及一區段驅動器控制電路，分別基於一顯示時序以控制共同驅動器及區段驅動器；一升壓電路，以輸出包括接地電位之多個電位之電源；一共同電源選擇器，連接在升壓電路與共同驅動器之間以選擇地供應在高與低電位側之兩個電源至共同驅動器；一區段電源選擇器，連接在升壓電路與區段驅動器之間以選擇地供應在高與低電位側之兩個電源至區段驅動器，及一單元，以輸入一非顯示控制信號至共同電源選擇器，共同驅動器控制電路，區段電源選擇器及區段驅動器控制電路，並允許共同驅動器和區段驅動器在當一圖素是在非顯示狀態時，輸出接地電位。

根據本發明，當非顯示控制信號是輸入時，共同驅動器和區段驅動器驅動在液晶顯示器面板中之每一圖素並輸出一接地電位，因此接地電位是輸出至非顯示狀態中之每一個圖素，而不是中間電位之矩形波。所以當液晶顯示器面板是在非顯示狀態時，功率消耗可以降低。

同樣根據本發明，接地電位能施加至液晶面板中之每一個圖素，在電容中聚集之電荷在當液晶面板改變其之狀態，自顯示狀態至非顯示狀態時，就能自接地電位放電，致使電荷迅速放電。其結果是自顯示狀態至非顯示狀態之轉變所需時間得以降低，並能降低所需用於關閉螢光之時間。

五、發明說明 (8)

在此情況中，共同驅動器及區段驅動器之每一個具有一傳導性型之一 MOS(金氧半導體)電晶體及一另一傳導型之一 MOS 電晶體連接成串聯位，在高電位側電源之輸入端與低電位側電源之輸入端子之間，而共同驅動器控制電路與區段驅動器控制電路之輸出皆輸入至這些電晶體之閘極。共同電源選擇器與區段電源選擇器在當非顯示控制信號是輸入時，輸出一接地電位，作為低電位側電源，致使共同驅動器控制電路與區段驅動器控制電路在非顯示控制信號是輸入時，接通在低電位側電源輸入之側上之諸電晶體中之一電晶體。

如此，共同電源選擇器與區段電源選擇器在當非顯示控制信號是輸入時，輸出接地電位作為低電位側電源。共同驅動器控制電路與區段驅動器控制電路接通在低電位側電源輸入之側上之諸電晶體中之一電晶體。所以流過連接成串聯之一種及另一種傳導型之 MOS 電晶體之直通電流被除去，致使功率消耗得以降低。

較佳的是共同驅動器控制電路與區段驅動器控制電路具有一提供有一框信號之顯示時序控制電路，及一提供有顯示時序控制電路之輸出及非顯示控制信號之邏輯電路。當非顯示控制信號接通時，用於接通在提供有低電位側電源之側上諸電晶體中之一電晶體之信號是自邏輯電路輸出。

如此，用於接通在供給有低電位側電源之側上諸電晶體中之該電晶體之信號是自邏輯電路輸出，因而使接地

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

像

五、發明說明 (9)

電位能輸出至在液晶顯示器面板中之每一圖素，作為自此電晶體之低電位側電源。

本發明之本質、原則、及效用將自下面詳細說明閱讀時併入伴隨圖式而更為明瞭，圖式中之相同組件是由相同之參考數字或文字指示。

圖式簡單說明

第 1 圖是一習知液晶顯示器裝置中之一區段驅動器之方塊圖。

第 2 圖是一習知液晶顯示器裝置中之一共同驅動器之方塊圖。

第 3A 圖是展示習知液晶顯示器裝置在非顯示狀態中，一區段波形之示意波形圖，其中縱座標代表電位而橫座標代表時間。

第 3B 圖是展示習知液晶顯示器裝置在非顯示狀態中，一共同波形之示意波形圖，其中縱座標代表電位而橫座標代表時間。

第 4 圖是根據本發明之實例之液晶顯示器裝置之方塊圖。

第 5 圖是根據本發明之實例之液晶顯示器裝置中之區段電源選擇器，一區段驅動器控制電路及一區段驅動器之方塊圖。

第 6 圖是根據本發明之實例之液晶顯示器裝置中之共同電源選擇器，一共同驅動器控制電路及一共同驅動器之方塊圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

第 7 圖是展示根據本發明實施例之區段驅動器控制電路及區段驅動器之輸入和輸出之波形時序圖，其中縱座標代表電位而橫座標代表時間。

第 8A 圖是展示根據本發明實施例之區段驅動器之輸入及輸出波形之時序圖，其中縱座標代表電位而橫座標代表時間。

第 8B 圖是第 8A 圖之主要部分之放大視圖。

第 9 圖是展示根據本發明之實施例之共同驅動器控制電路及共同驅動器之輸入和輸出之波形時序圖，其中縱座標代表電位而橫座標代表時間。

第 10A 圖是展示根據本發明之實施例之共同驅動器之輸入及輸出波形之時序圖。

第 10B 圖是第 10A 圖之主要部分之放大視圖。

較佳實施例之詳細說明

根據本發明之實施例之液晶顯示器裝置連同伴隨圖式將詳細說明於下。

第 4 圖是根據本發明之實施例之液晶顯示器裝置之方塊圖。第 5 圖是根據本實施例之液晶顯示器裝置中之一區段電源選擇器，一區段驅動器控制電路及一區段驅動器之方塊圖。第 6 圖是根據本實施例之液晶顯示器裝置中之一共同電源選擇器，一共同驅動器控制電路及一共同驅動器之方塊圖。應注意 n 組區段驅動器 3 及區段驅動器控制電路 2 在第 5 圖中皆是相同的，並是屬類的展示於第 4 圖中。四組共同驅動器 6 及共同驅動器控制電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

像

五、發明說明(11)

路 5 在第 6 圖中皆是相同的，並是屬類的展示於第 4 圖中。

根據本實施例之液晶顯示器裝置如第 4 圖所示，一升壓電路 7 經一開關 71 連接至一電源 72，並升高電源 72 之電壓及輸出三種電源電壓 VLC0，VLC1 及 VLC2。這些電源電壓 VLC0 至 VLC2 是輸入至一區段電源選擇器 1 及一共同電源選擇器 4。此區段電源選擇器 1 在這些電源電壓和一接地電位中選擇，並輸出一高電位側電源 VSH 和一低電位側電源 VSL 至區段驅動器 3。共同電源選擇器 4 相似地在這些電源電壓和接地電位中選擇，及輸出一高電位側電源 VCH 和一低電位側電源 VCL 至共同驅動器 6。區段驅動器 3 及共同驅動器 6 輸出他們的輸出信號 S0 至 Sn 及 C0 及 C3 至一液晶(LCD)面板 9，而在 LCD 面板 9 中之個圖素因而被驅動以顯示資料。

一顯示控制電路 8 輸出一時脈至區段電源選擇器 1 及共同電源選擇器 4，以及區段驅動器控制電路 2 及其共同驅動器控制電路 5。一顯示記憶體 80 儲存待顯示在 LCD 面板 9 之顯示圖案之資料(顯示記憶資料)。應注意顯示記憶資料 0 至 n 代表在顯示記憶體 80 中之位址。在顯示記憶體 80 中之資料是經顯示控制電路 8 提供至區段驅動器控制電路 2。顯示控制電路 8 輸出一框信號至區段驅動器控制電路 2 及共同驅動器控制電路 5。根據本實施例，當液晶中之每一圖素是在非顯示狀態時，顯示器控制電路 8 輸出一非顯示控制信號。非顯示控制信號是輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (12)

入至區段驅動器控制電路 2，區段電源選擇器 1，共同驅動器控制電路 5 及共同電源選擇器 4。

✓ 如第 5 圖所示，區段電源選擇器 1 具有一電源交換時序控制電路 10，其是連接有開關 a11, b12, c13 及 d14，每一開關是以一電晶體形成。開關 a11, b12, c13 及 d14 是分別提供有接地電位 GND，電源 VLC2, VLC1 及 VLC0。電源交換時序控制電路 10 是提供有一時脈信號在開關 c13 與 d14 間交換，及選擇地輸出 VLC0 或 VLC1 作為高電位側電源 VSH。同時，電路 10 在開關 a11 與 b12 間交換以選擇地輸出 VLC2 或 GND 作為低電位側電源 VSL。

區段驅動器控制電路 2 具有一顯示時序控制電路 20 提供有框信號 0 至 3 及顯示記憶資料 0，及一 OR("或") 電路(邏輯和電路)21 提供有顯示時序控制電路 20 之輸出及非顯示控制信號。"或"電路 21 取得顯示時序控制電路 20 之輸出及非顯示控制信號之邏輯和，並輸出此結果作為一區段驅動器閘極信號 SD0 至區段驅動器 3。應注意相同情形是施加至區段驅動器閘極信號 SD1 至 SDn。

區段驅動器 3 是 CMOS 型並具有一 p 通道輸出緩衝 30 及 n 通道輸出緩衝 31。高電位側電源 VSH 是輸入至 p 通道輸出緩衝 30，同時低電位側電源 VSL 是輸入至 n 通道輸出緩衝 31。p 通道輸出緩衝 30 與 n 通道輸出緩衝 31 之連接節點是連接至區段端子 32。在 p 共同電源選擇器 30 及 n 通道輸出緩衝 31 中之每一個電晶體之閘極電極是提供自 OR 電路 21 輸出之區段驅動器閘極信號 SD0。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(13)

當區段驅動器閘極信號 SD0 是拉至一高位準時，n 通道輸出緩衝 31 被接通及 VSL 輸出至區段端子 32。同時，當區段驅動器閘極信號 SD0 是拉至一低位準時，p 通道輸出緩衝 30 被接面及 VSH 輸出至區段端子 32。相同情形是施加至區段驅動器閘極信號 SD1 至 SDn。區段驅動器 3 之輸出是施加至 LCD 面板 9 中之每一個圖素。

如第 6 圖所示，共同電源選擇器 4 具有一電源交換時序控制電路 40，其是連接有關 a41, b42, c43 及 d44，每一開關是以電晶體形成。開關 a41, b42, c43 及 d44 分別提供有接地電位 GND，電源 VCL2, VCL1 及 VCL0。電源交換時序控制電路 40 是提供有一時脈信號開關 c43 與 d44 間交換，並選擇地輸出 VLC0 或 VLC1 作為高電位側電源 VCH。同時，電路 40 在開關 a41 與 b42 間交換以選擇地輸出 VLC2 或 GND 作為低電位側電源 VCL。

共同驅動器控制電路 5 具有一顯示時序控制電路 50，其提供有框信號 0 至 3，及一 OR 電路 51，其提供有顯示時序控制電路 50 之輸出及一非顯示控制信號。OR 電路 51 取得顯示時序控制電路 50 之輸出與非顯示控制信號之邏輯和，並輸出其結果作為共同驅動器閘極信號 CD0 至共同驅動器 6。應注意相同情形是施用於共同驅動器閘極信號 CD1 至 CD3。

共同驅動器 6 是一 CMOS 型及具有一 P 通到輸出緩衝 60，

及一 n 通道輸出緩衝 61。p 通道輸出緩衝 60 是提供有高電位側電源 VCH，同時 n 通道輸出緩衝 61 是提

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

供有低電位側電源 VCL。p 通道輸出緩衝 60 及 n 通道輸出緩衝 61 之連接節點是連接至一共同端子 62。p 通道輸出緩衝 60 及 n 通道輸出緩衝 61 中之每一電晶體之閘極電極是提供有自 OR 電路 51 輸出之共同驅動器閘極信號 CD0。當共同驅動器閘極信號 CD0 被拉至高位準時 n 通道輸出緩衝 61 被接通及 VCL 是輸出至共同端子 62。同時，當共同驅動器閘極信號 CD0 被拉至低位準時，p 通道輸出緩衝 60 被接通，而 VCH 是輸出至共同端子 62。相同情形是施用於共同驅動器閘極信號 CD1 至 CD3。共同驅動器 6 之輸出是提供至 LCD 面板 9 中之每一個圖素。

根據本實施例之液晶顯示器裝置之操作將連同第 7 圖至第 10B 圖以及第 4 圖至第 6 圖說明。

第 7 圖是展示根據本實施例之區段驅動器控制電路 2 及區段驅動器 3 之輸入及輸出波形時序圖，其中縱座標代表電位及橫座標代表時間。

第 8A 圖是展示根據本實施例之區段驅動器 3 之輸入及輸出波形之時序圖，其中縱座標代表電位及橫座標代表時間。

第 8B 圖是第 8A 圖之主要部分之放大視圖。

第 9 圖是展示根據本實施例之共同驅動器控制電路及共同驅動器 6 之輸入及輸出波形時序圖，其中縱座標代表電位及橫座標代表時間。

第 10A 圖是展示根據本實施例之共同驅動器 6 之輸入及輸出波形之時序圖，其中縱座標代表電位及橫座標代

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

像

五、發明說明 (15)

表時間。

第 10B 圖是第 10A 圖之主要部分之放大視圖。

現將說明在顯示狀態中之操作。如第 8A 及 10A 圖之第一半所示，當非顯示控制信號是關閉的（在低位準），顯示器是成為在正常顯示狀態中。

更明確的是顯示器控制電路 8 發出時脈信號及框信號 0 至 3，如第 7 圖所示。在第 7 圖中由顯示記憶資料 0 代表之資料是設定為第 4 圖中之顯示記憶資料 0，致使一所要之顯示是由區段端子 32 致能在 LCD 面板 9。顯示記憶資料 0 之值是經由顯示器控制電路 8 輸入至區段驅動器控制電路 2 中之顯示時序控制電路 20。在區段驅動器控制電路 2 中之顯示時序控制電路 20 自框信號 0 至 3 及顯示記憶資料 0 發出一區段驅動器閘極信號，與習知裝置相似。

OR 電路 21 是提供有一低位準信號，作為一非顯示控制信號。當顯示時序控制電路 20 之輸出及非顯示控制信號之邏輯和被取得時，顯示時序控制電路 20 之輸出是，作為區段驅動器閘極信號 SD0。信號 SD0 是輸入至區段驅動器 3 中之 p 通道輸出緩衝 30 及 n 通道輸出緩衝 31 之閘極電極。

在區段電源選擇器 1 中之電源交換時序控制電路 10 接收非顯示控制信號及時脈信號作為輸入，並與時脈信號同步交替地接通／關閉開關 c13 及 d14 以交替輸出 VLC0 及 VLC1 作為高電位側電源 VSH。電源交換時序控制

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

象

五、發明說明 (16)

電路 10 亦與時脈信號同步而交替接通／關閉開關 a11 及 b12 以交替輸出 VLC2 及 GND，作為低電位側電源 VSH。當區段驅動器閘極信號 SD0 是高時，n 通道輸出緩衝 31 被接通及 VSL(VLC2 或 GND)之電位輸出至區段端子 32，作為區段驅動器 S0。當區段驅動器閘極信號 SD0 是低時，p 通道輸出緩衝 30 被接通及 VSH(VLC0 或 VLC1)之電位是輸出至區段端子 32，作為區段驅動器輸出 S0。如此，如第 7 圖中所示之波形 S0 中之信號是輸出至區段端子 32。區段驅動器輸出 S1 至 Sn 是相似地自區段驅動器 3 輸出。

現將說明在顯示狀態中之共同驅動器 6 之操作。如第 9 圖所示，當時脈信號和框信號 0 至 3 是輸入至顯示時序控制電路 50 時，顯示時序控制電路 50 發出共同驅動器閘極信號 CD0 至 CD3。由於非顯示控制信號在顯示狀態中是低。顯示時序控制電路 50 之輸出是自共同驅動器控制電路 5 輸出，作為共同驅動器閘極信號 CD0 至 CD3。電源交換時序控制電路 40 在開關 d44 與 c43 間與時脈同步作交換，以交替輸出 VLC0 及本發明 1，作為高電位側電源 VCH，同時交換輸出 VLC2 及 GND，作為低電位側電源 vcl。在共同驅動器 6 中，當共同驅動器閘極信號 CD0 是高的時，n 通道輸出緩衝 61 被接通及 VCL 被選出。此時 VCL 之電位是輸出至共同端子 62，作為共同驅動器輸出 C0。同時當共同驅動器閘極信號 CD0 是低的時，p 通道輸出緩衝 60 被接通及 VCH 被選出。此時 VCH

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (17)

之電位是輸出至共同端子 62，作為共同驅動器輸出 C0。因此，第 9 圖中波形 C0 之信號是輸出至共同端子 62。共同驅動器輸出 C1 至 C3 是相似地自共同驅動器 6 輸出。

在非顯示狀態中之共同驅動器 3 之操作現將連同第 8A 及 8B 圖說明。當液晶是在非顯示狀態時，顯示器控制電路 8 接通非顯示控制信號（將信號拉至高位準）。

如第 8A 圖所示，當非顯示控制信號是接通時（在高位準），不管自顯示時序控制電路 20 輸出之信號種類為何，一高位準信號是自 OR 電路 21 輸出，致使 n 通道輸出緩衝 31 被接通。當非顯示控制信號是在高位準時，電源交換時序控制電路 10 接通開關 a11 及 c13，致使 VSH 是固定至 VLC1，及 VSL 是固定至接地，作為區段電源選擇器 1 之輸出。由於區段驅動器 3 是提供有區段閘極信號 SD0 及 n 通道輸出緩衝 31 是接通，故 VSH 被選出及 GND 位準輸出至區段端子 32。

在非顯示狀態中之共同驅動器 6 之操作現將連同第 10A 及 10B 圖說明。

當非顯示控制信號是在高位準中時，如第 10A 圖所示，不管顯示時序控制電路 50 之輸出為何，一高位準信號是自 OR 電路 51 輸出，作為共同驅動器閘極信號 CD0，致使 n 通道輸出緩衝 61 被接通。當非顯示控制信號在高位準時，則電源交換時序控制電路 40 接通開關 a41 及 c43，而 VCH 是固定至 VLC1 和 VCL 是固定至 GND，作為

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

裝

五、發明說明（18）

共同電源選擇器 4 之輸出。由於 n 通道輸出緩衝 61 被接通如第 10B 圖所示，非顯示控制信號被拉至高位準，及 GBD 位準是在同一時間輸出至共同端子 62。

如上所述，根據本實施例，OR 電路 21 是提供在區段驅動器控制電路 2 之輸出級之中，並當非顯示控制信號被接通時，一高位準信號是自區段驅動器控制電路 2 輸出，作為區段驅動器閘極信號 SD0 以選擇 n 通道輸出緩衝 31。當非顯示控制信號是接通時，電源交換時序控制電路 10 選擇 GND 作為低電位側電源 VSL，因此 GND 是輸出至區段端子 32 及至 LCD 面板 9。

相似的是 GND 是輸出至共同端子 62 及至 LCD 面板 9。所以當非顯示控制信號是接通時，區段驅動器閘極信號 SD0 至 SDn 及共同驅動器閘極信號 CD0 至 CD3 皆拉至高位準，及區段驅動器輸出 S0 至 Sn 及共同驅動器輸出 C0 至 C3 皆拉至 GND。更特別的是在非顯示狀態中，區段端子 32 及共同端子 62 之輸出在中間電位時皆不是矩形波，而是在 GND 位準。如此，GND 能自區段驅動器 3 及共同驅動器 6 輸出至 LCD 面板 9 之每一圖素，致使在區段驅動器 3 及共同驅動器 6 中之直通電流在當 LCD 面板 9 是在非顯示狀態時，能予以消除。

同樣根據本實施例，區段電源選擇器 1 及共同電源選擇器 4 連接自升壓電路 7 供應之電源電壓 VLC0，VLC1 或 VLC2 或是接地電位 GND 至負載。當 LCD 面板 9 改變其狀態，自顯示狀態至非顯示狀態時，在區段電源選擇器

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (19)

1 及共同電源選擇器 4 中之非顯示控制信號可接通以連接 GND 至 VSL 及 VCL。此外在區段驅動器控制電路 2 及共同驅動器控制電路 5 中，電源交換時序控制電路 10 及 40 皆被非顯示控制信號控制，致使 VSL 及 VCL 皆由區段驅動器 3 及共同驅動器 6 選出。所以聚集於區段端子 32 及共同端子 62 之電荷可由接地電位放電，並因此電荷得以迅速放電。所以 LCD 面板 9 迅速地關閉。

應注意本發明並不限於上述之實施例，在第 5 圖中所示之區段控制電路 2 中，OR 電路 21 可不予提供。在此情況下，當非顯示控制信號是接通時，顯示時序控制電路 20 輸出框信號 0 至 3，時脈信號及顯示記憶資料 0，同時選擇非顯示控制信號。如此當非顯示控制信號是在高位準時，SD0 可拉至高位準及區段驅動器輸出 S0 可拉至 GND 輸出如上所述。所以在非顯示狀態時，在區段驅動器 3 中之直通電流引起之功率消耗能予降低。同樣在共同驅動器控制電路 5 中，OR 電路 51 可不予提供，與區段驅動器控制電路 2 相似。

在第 5 圖所示之區段驅動器 3 中，可提供兩個轉移閘以代替 p 通道輸出緩衝 30 及 n 通道輸出緩衝 31 形成之 CMOS 型裝置，每一個轉移閘具有一個 p 通道電晶體及一個 n 通道電晶體，其中 p 通道電晶體之電源是連接至 n 通道電晶體之電源，且 p 通道電晶體汲極是連接至 n 通道電晶體之汲極。VSH 是輸入至一個轉移閘之 p 通道電晶體及 n 通道電晶體之電源。VSL 是輸入至另一個轉移

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (20)

開之 p 通道電晶體及 n 通道電晶體之電源。SD0 是輸入至一個轉移開之 p 通道電晶體及另一個轉移開之 n 通道電晶體二者之閘極，SD0 之反相信號是輸入至一個轉移開之 n 通道電晶體及另一個轉移開之 p 通道電晶體二者之閘極。二轉移開之 p 通道電晶體及 n 通道電晶體之汲極皆連接至區段端子 32。如此，當 SD0 是在低位準時，VSH 是自區段端子 32 輸出如 S0。當 SD0 是在高位準時，VSL 是自區段端子 32 輸出如 S0。在此情況下，在區段電源選擇器 1 中，當非顯示控制信號是接通時，GND 是作為 VSL 輸出，區段驅動器閘極信號 SD0 被接至高位準及區段驅動器輸出 S0 可能拉至 GND 輸出如上所述，致使在非顯示狀態中之功率消耗，由區段驅動器 3 中之直通電流引起者得以降低。

同樣，對共同驅動器 6 之相同修改如上述對區段驅動器 3 之修改，亦能實行。其結果，當非顯示控制信號是接通時，GND 可作為 VCL 輸出，共同驅動器閘極信號 CD0 可拉至高位準及區段驅動器輸出 C0 可拉至 GND 如上述輸出，致使在共同驅動器 6 中在非顯示狀態下之功率消耗由直通電流所引起者得以降低。

雖然這些說明現在認為是本發明之較佳實施例，但是應瞭解各種修改皆可加作至其中，而且伴隨之申請專利範圍更意存涵蓋那些屬於本發明之真正精神及範圍之全部修改。

符號之說明

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

經濟部智慧財產局員工消費合作社印製

五、發明說明 (21)

- 100,1 區段電源選擇器
- 110,2 區段驅動器控制電路
- 120,3 區段驅動器
- 101,131,10,40 電源交換時序控制電路
- a102,b103,c104,d105 開關
- 111,141,20,50 顯示時序控制電路
- 121,151,30,60 p 通道輸出緩衝
- 122,152,31,61 n 通道輸出緩衝
- 123,32 區段端子
- 130,4 共同電源選擇器
- 140,5 共同驅動器控制電路
- 150,6 共同驅動器
- a132,b133,c134,d135 開關
- 153,62 共同端子
- 7 升壓電路
- 72 電源
- 71,a41,b42,c43,d44,a11,b12,c13,d14 開關
- 9 液晶 (LCD) 面板
- 8 顯示控制電路
- 80 顯示記憶體
- 21,51 "或"電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要 (發明之名稱： 液晶顯示器裝置)

一種顯示控制電路在當每一圖素是在非顯示狀態時，輸出一非顯示控制信號，作為一高位準信號。一個"或"電路是輸入該非顯示控制信號及一顯示時序控制電路之輸出信號，並當非顯示控制信號是在一高位準中時，不管顯示時序控制電路之輸出信號為何，皆輸出一高位準信號。同時一區段電源選擇器及一共同電源選擇器在當非顯示控制信號是高時，輸出接地，作為一低電位側電源。一區段電源選擇器及一共同電源選擇器在當"或"電路之輸出信號是高位準時，在區段電源選擇器或共同電源選擇器中輸出低電位側電源。如此，當圖素是在非顯示狀態中時，自區段驅動器輸出至每一圖素之電位經常是接地。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

四、英文創作摘要（創作之名稱：

LIQUID CRYSTAL DISPLAY DEVICE

A display control circuit outputs a non-display control signal as a high level signal when each pixel is in a non-display state. An OR circuit is input said non-display control signal and a output signal of the display timing control circuit and outputs a high level signal regardless of the output signal of a display timing control circuit when the non-display control signal is in a high level. Meanwhile, a segment power supply selector and a common power supply selector output GND as a low potential side power supply when the non-display control signal in a high. A segment driver and a common driver output the low potential side power supply among the output potential of the segment power supply selector or the common power supply selector when the output signal of the OR circuit is in a high level. Thus, the potential output to each pixel from the segment driver and the common driver when the pixel is in a non-display state is always GND.

六、申請專利範圍

1. 一種液晶顯示器裝置，包含：

一液晶顯示器面板；

一共同驅動器及一區段驅動器，以驅動在該液晶顯示器面板中之每一圖素；

一共同驅動器控制電路及一區段驅動器控制電路，分別基於一顯示時序以控制該共同驅動器及區段驅動器；

一升壓電路，以輸出包括一接地電位之多個電位之電源；

一共同電源選擇器，連接在該升壓電路與該共同驅動器之間，以選擇地供應在高與低電位側之兩個電源至該共同驅動器；

一區段電源選擇器，連接在該升壓電路與該區段驅動器之間，以選擇地供應在高與低電位側之兩個電源至該區段驅動器；及

一單元，以輸入一非顯示控制信號至共同電源選擇器、該區段驅動器控制電路、該區段電源選擇器及該區段驅動器控制電路，並容許該共同驅動器及區段驅動器在當一圖素是在非顯示狀態時，輸出該接地電位。

2. 如申請專利範圍第 1 項之液晶顯示器裝置，其中：

該共同驅動器及該區段驅動器之每一個包含一個一種傳導型之 MOS 電晶體及一個另一種傳導型之 MOS 電晶體，成串聯於該高電位側電源之輸入端子與該低電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編

六、申請專利範圍

位側電源之輸入端子之間，

該共同驅動器控制電路及區段驅動器控制電路之輸出是輸入至該諸電晶體之閘極，

該共同電源選擇器及該區段電源選擇器在當該非顯示控制信號是輸入時，輸出接地電位，作為該低電位側電源，及

該共同驅動器控制電路及該區段驅動器控制電路在當該非顯示控制信號是輸入時，接通在該低電位側電源輸入之側上之該諸電晶體中之一電晶體。

3. 如申請專利範圍第 2 項之液晶顯示器裝置，其中，

該共同驅動器控制電路及區段驅動器控制電路之每一包含：

一顯示時序控制電路，其輸入有一框信號；

一邏輯電路，其輸入有該顯示時序控制電路及該非顯示控制信號之輸出，其中當該非顯示控制信號是接通時，輸出一用於接通在低電位側電源輸入之側上之該諸電晶體中之一電晶體之信號。

4. 如申請專利範圍第 3 項之液晶顯示器裝置，其中，

該非顯示控制信號是在接通狀態中拉至一高位準之信號，及該邏輯電路取得一邏輯和。

5. 如申請專利範圍第 3 項之液晶顯示器裝置，其中，

該區段驅動器控制電路中之該顯示時序控制電路是提供有顯示記憶資料，作為一輸入以顯示在該液晶顯示器面板上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

6. 如申請專利範圍第 2 項之液晶顯示器裝置，其中，
該一種傳導型是 n 型而另一種傳導型是 p 型。

(請先閱讀背面之注意事項再填寫本頁)

裝

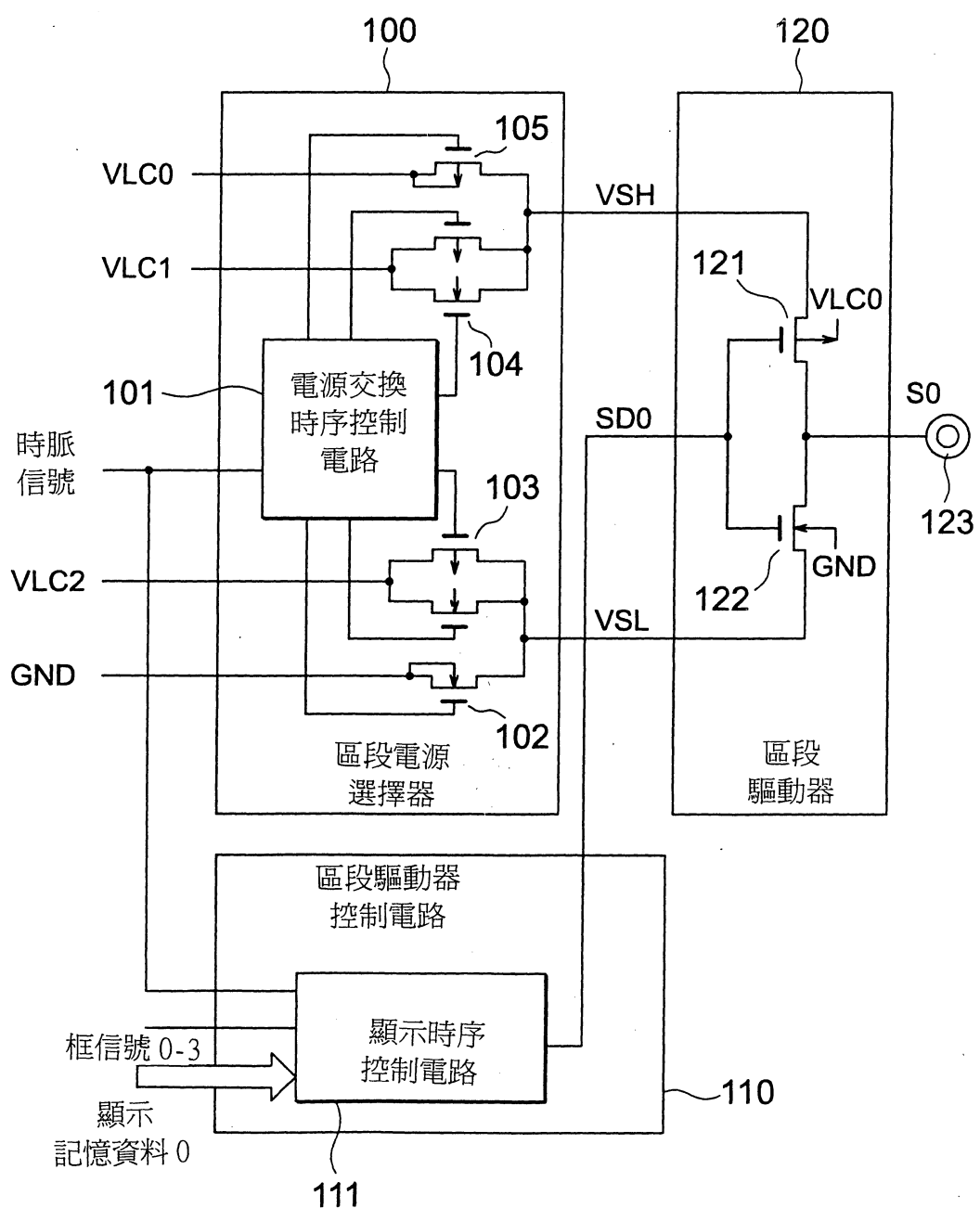
訂

結

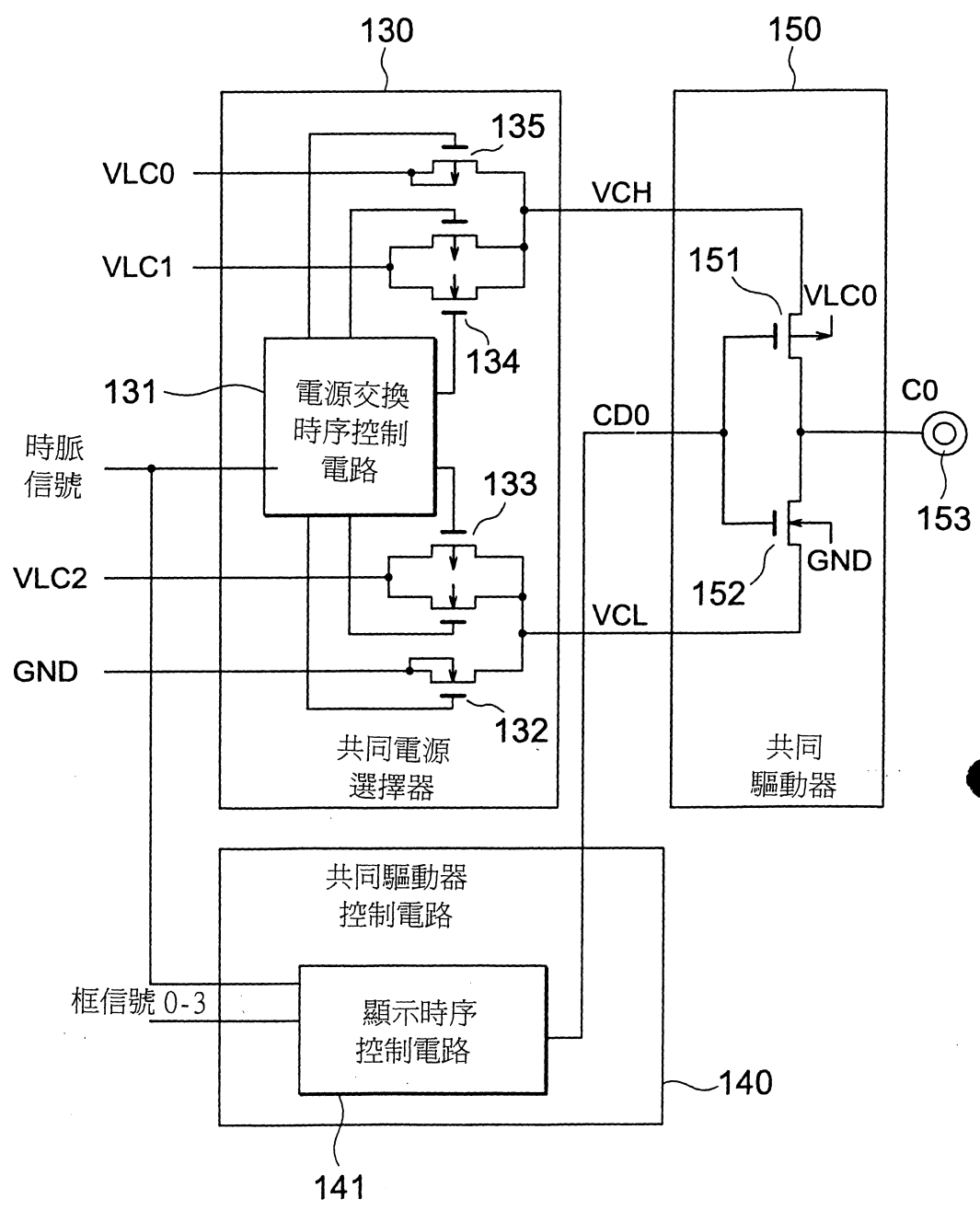
89118421

訂正清 001619

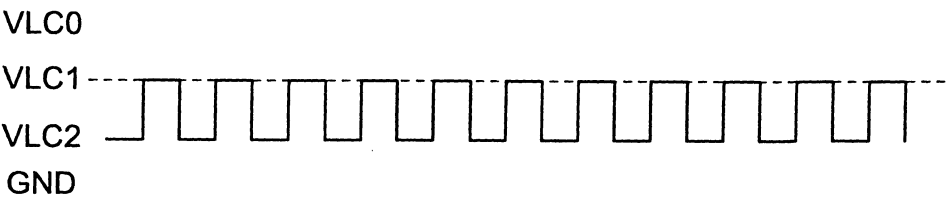
第 1 圖



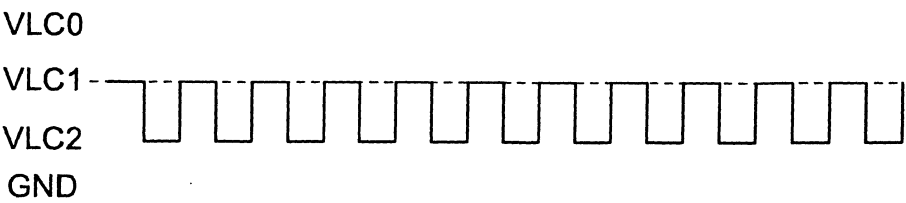
第 2 圖



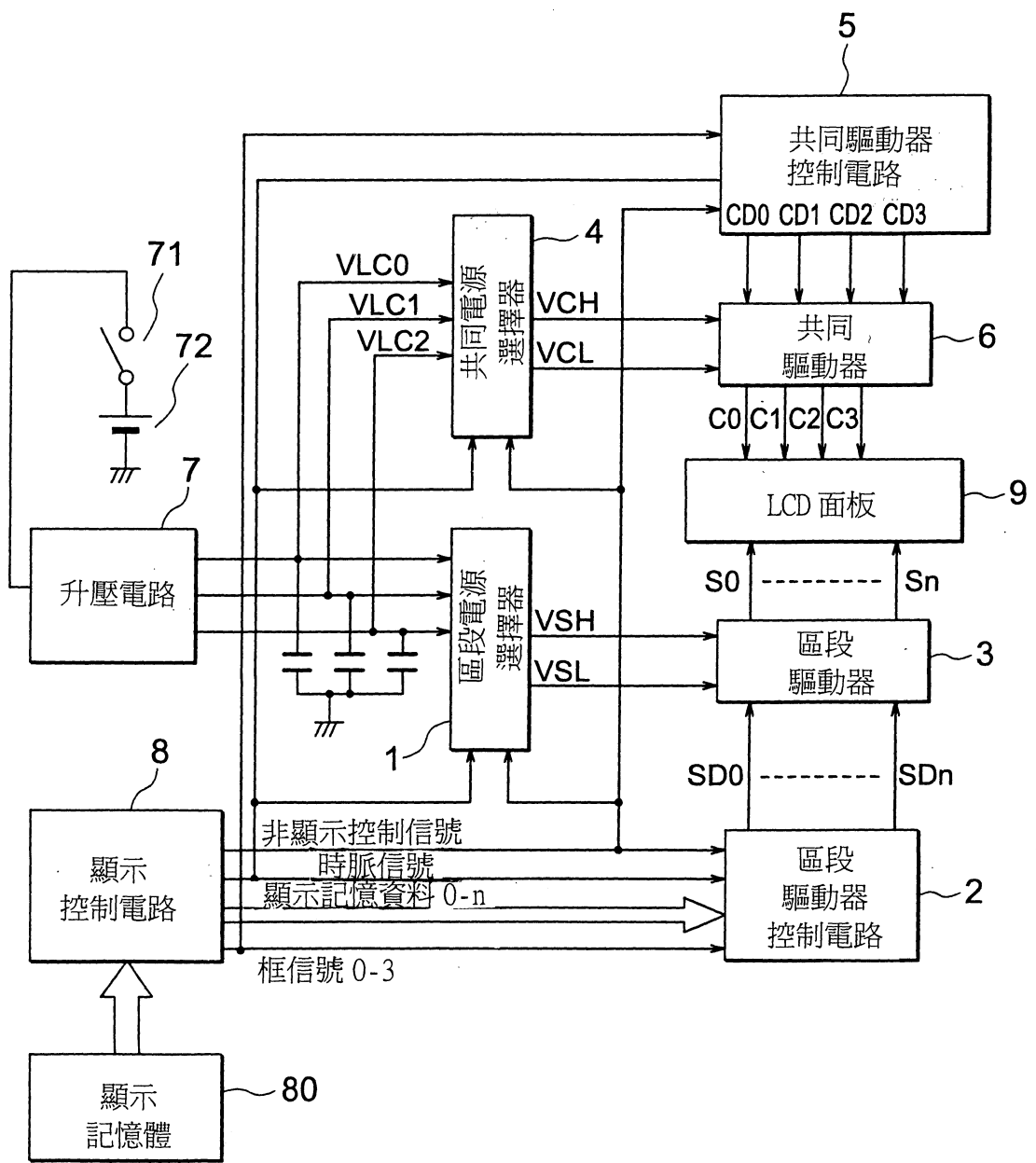
第 3A 圖



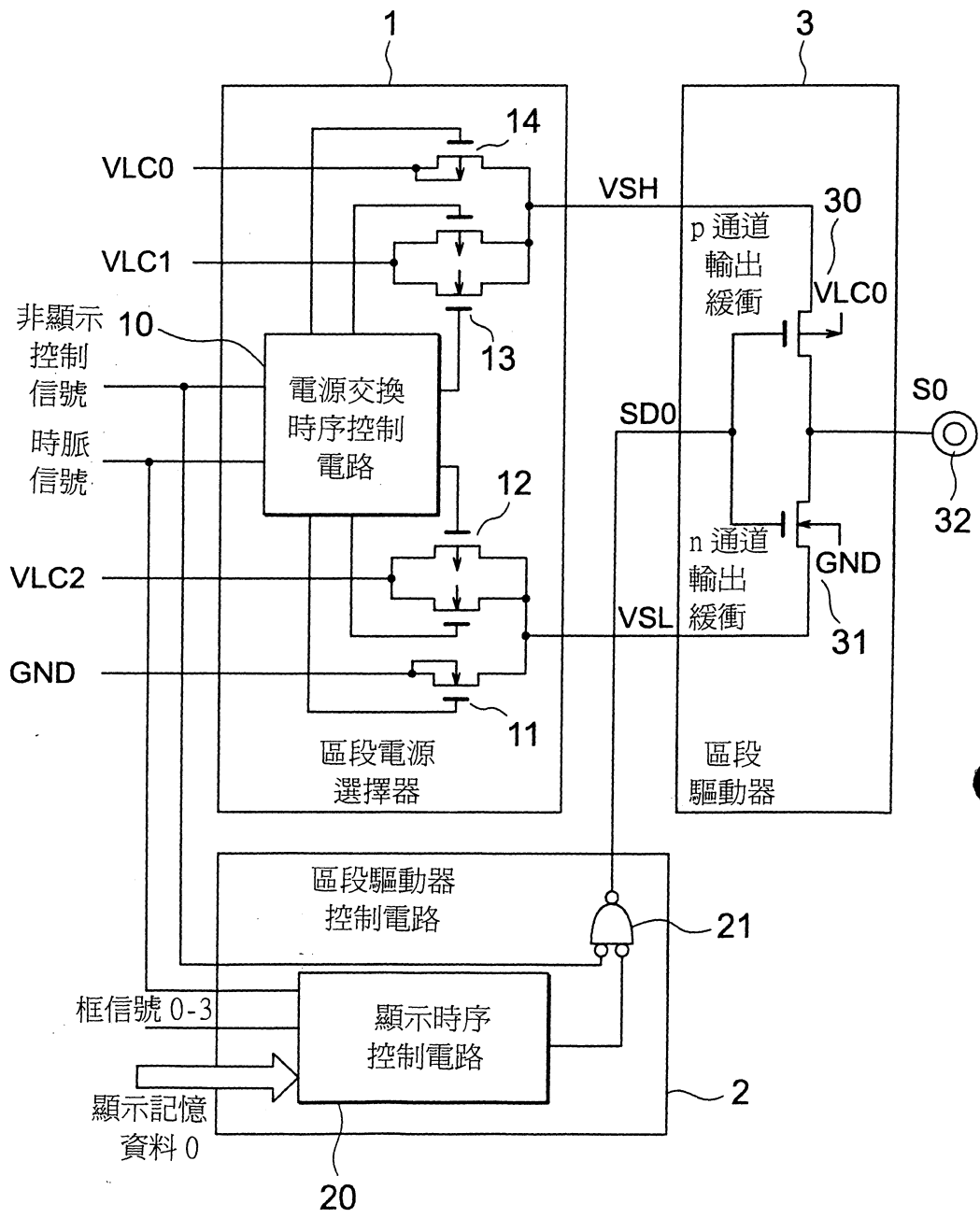
第 3B 圖



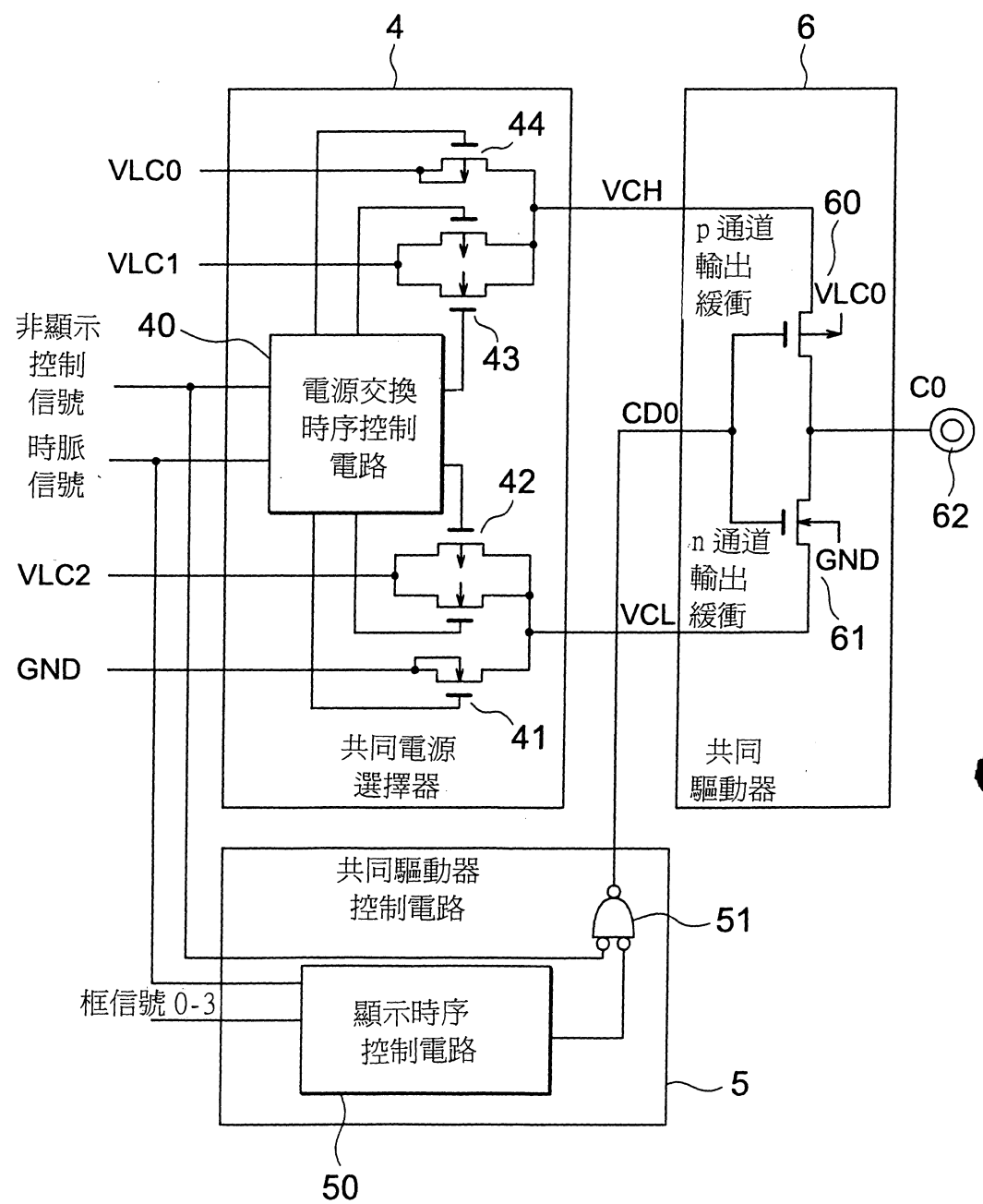
第 4 圖



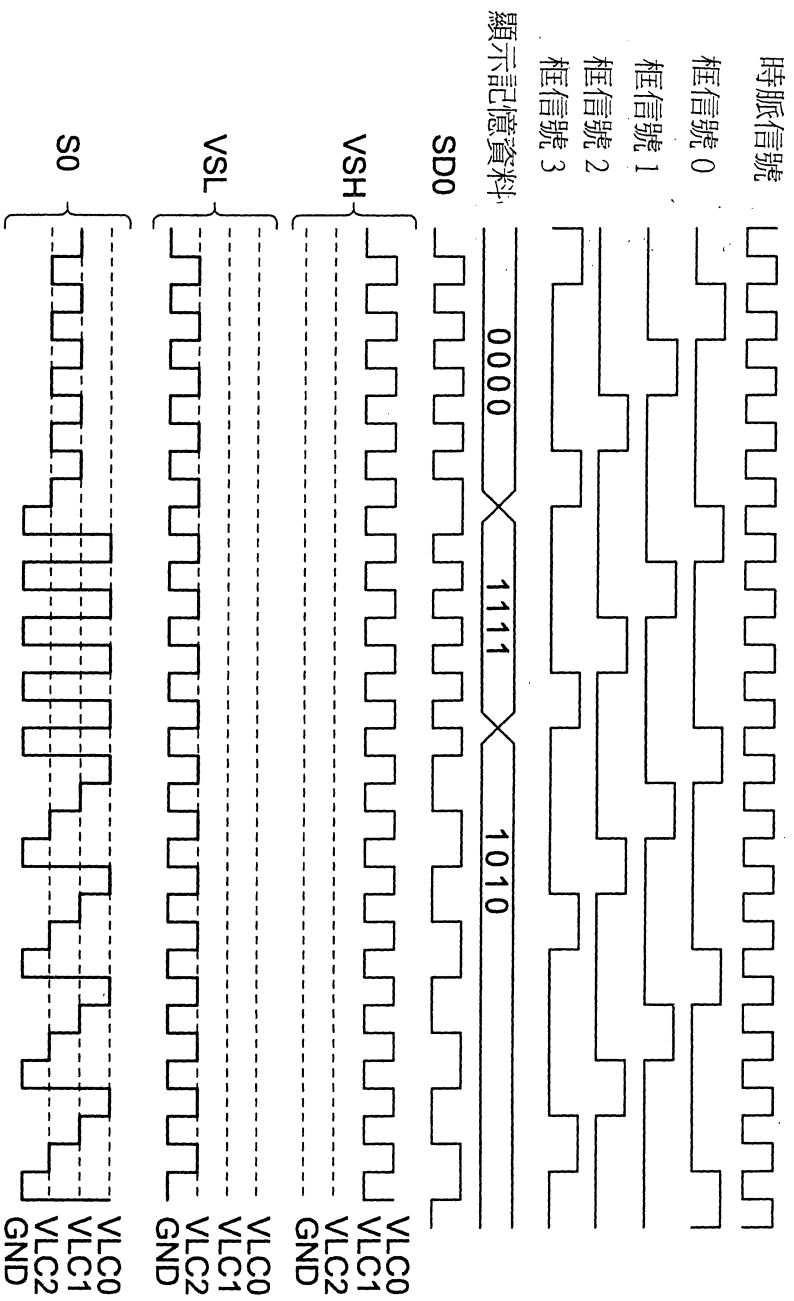
第5圖



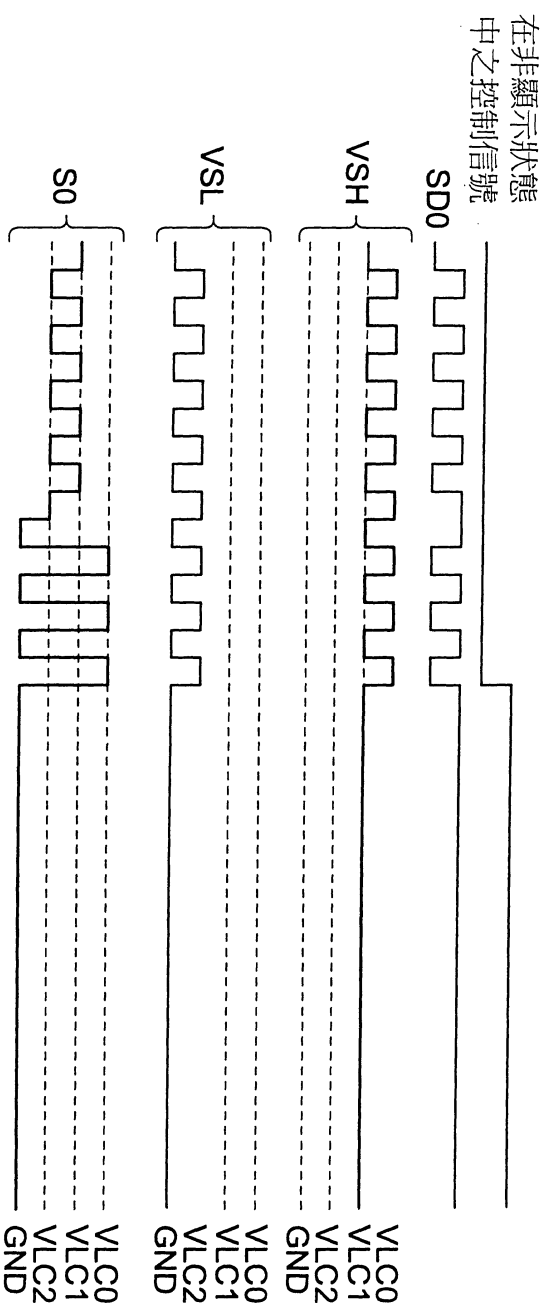
第6圖



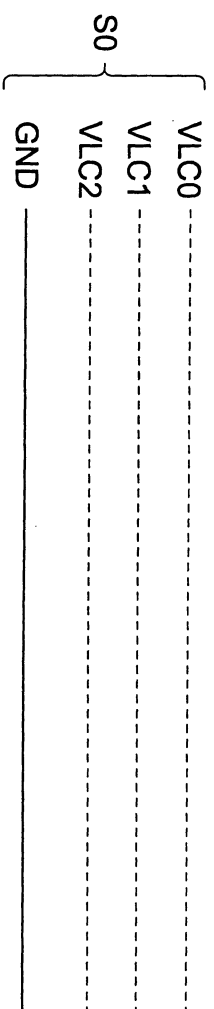
第7圖



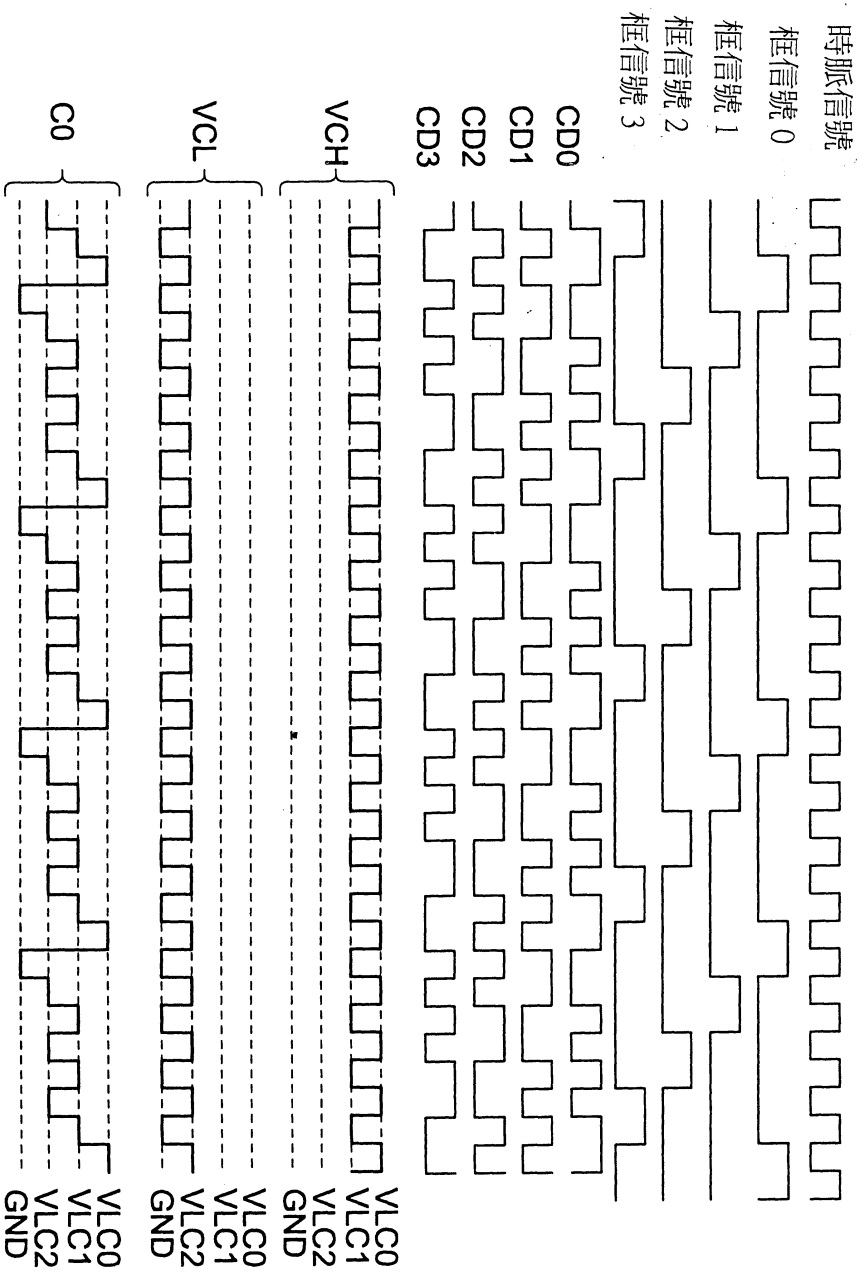
第 8A 圖



第 8B 圖

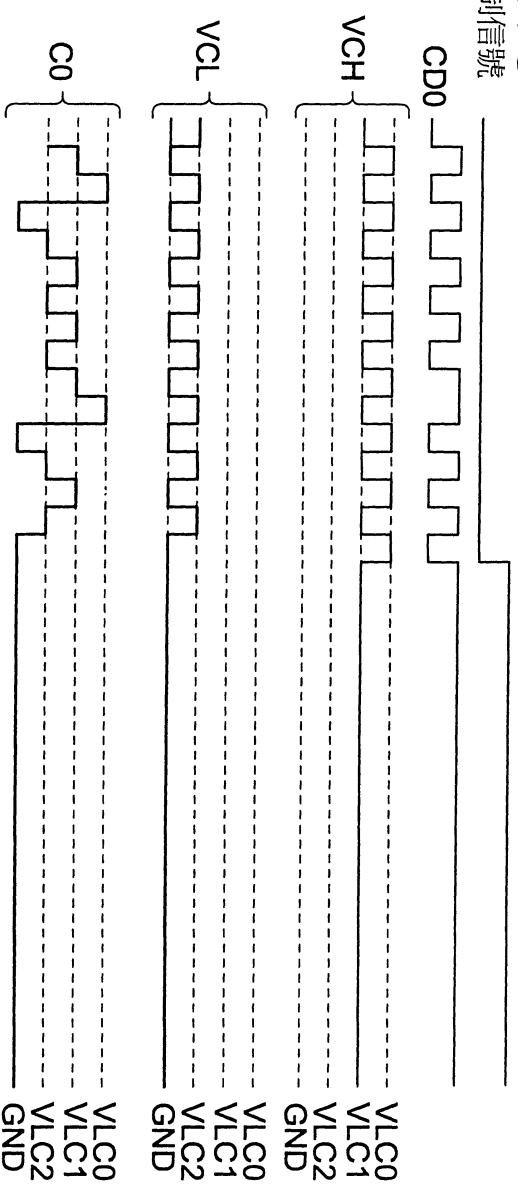


第 9 圖



第 10A 圖

在非顯示狀態
中之控制信號



第 10B 圖

