



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I501320 B

(45)公告日：中華民國 104 (2015) 年 09 月 21 日

(21)申請案號：099121254

(22)申請日：中華民國 99 (2010) 年 06 月 29 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2009/06/30 日本

2009-156414

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：佐佐木俊成 SASAKI, TOSHINARI (JP)；坂田淳一郎 SAKATA, JUNICHIRO (JP)；
大原宏樹 OHARA, HIROKI (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 2007-041260A

JP 2008-053356A

審查人員：陳建丞

申請專利範圍項數：12 項 圖式數：34 共 141 頁

(54)名稱

半導體裝置的製造方法

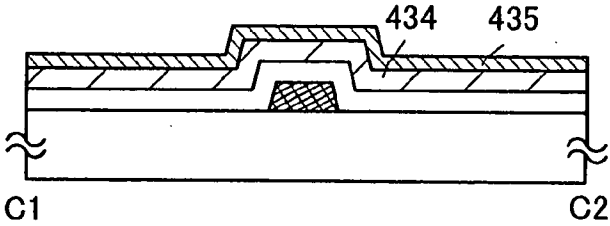
METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)摘要

本發明的目的之一是提供一種包括具有穩定的電特性的薄膜電晶體的高可靠性的半導體裝置。另外，本發明的目的之一是以低成本且以高良率提供一種高可靠性的半導體裝置。一種半導體裝置的製造方法，該半導體裝置包括作為包括通道形成區的半導體層、源極區及汲極區使用氧化物半導體層的薄膜電晶體，其中提高氧化物半導體層的純度並進行減少作為雜質的水分等的加熱處理(用於脫水化或脫氫化的加熱處理)。並且，在氧氛圍下對受到加熱處理的氧化物半導體層進行緩冷。

It is an object to provide a highly reliable semiconductor device which includes a thin film transistor having stable electric characteristics. It is another object to manufacture a highly reliable semiconductor device at lower cost with high productivity. In a method for manufacturing a semiconductor device which includes a thin film transistor where a semiconductor layer having a channel formation region, a source region, and a drain region are formed using an oxide semiconductor layer, heat treatment (heat treatment for dehydration or dehydrogenation) is performed so as to improve the purity of the oxide semiconductor layer and reduce impurities such as moisture. Moreover, the oxide semiconductor layer subjected to the heat treatment is slowly cooled under an oxygen atmosphere.

圖 1B



434 . . . 氧化物半導
體膜
435 . . . 氧化物半導
體膜

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：099121254

※申請日：099 年 06 月 29 日

※IPC 分類：

H01L 21/336 F2006.01

H01L 21/28 F2006.01

一、發明名稱：(中文／英文)

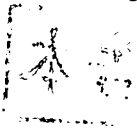
半導體裝置的製造方法

Method for manufacturing semiconductor device

二、中文發明摘要：

本發明的目的之一是提供一種包括具有穩定的電特性的薄膜電晶體的高可靠性的半導體裝置。另外，本發明的目的之一是以低成本且以高良率提供一種高可靠性的半導體裝置。一種半導體裝置的製造方法，該半導體裝置包括作為包括通道形成區的半導體層、源極區及汲極區使用氧化物半導體層的薄膜電晶體，其中提高氧化物半導體層的純度並進行減少作為雜質的水分等的加熱處理（用於脫水化或脫氫化的加熱處理）。並且，在氧氛圍下對受到加熱處理的氧化物半導體層進行緩冷。

三、英文發明摘要：



It is an object to provide a highly reliable semiconductor device which includes a thin film transistor having stable electric characteristics. It is another object to manufacture a highly reliable semiconductor device at lower cost with high productivity. In a method for manufacturing a semiconductor device which includes a thin film transistor where a semiconductor layer having a channel formation region, a source region, and a drain region are formed using an oxide semiconductor layer, heat treatment (heat treatment for dehydration or dehydrogenation) is performed so as to improve the purity of the oxide semiconductor layer and reduce impurities such as moisture. Moreover, the oxide semiconductor layer subjected to the heat treatment is slowly cooled under an oxygen atmosphere.

四、指定代表圖：

(一)、本案指定代表圖為：第 (1B) 圖。

(二)、本代表圖之元件符號簡單說明：

434：氧化物半導體膜

435：氧化物半導體膜

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明

【發明所屬之技術領域】

本發明係關於一種使用氧化物半導體的半導體裝置的製造方法。

【先前技術】

近年來，使用形成在具有絕緣表面的基板上的半導體薄膜（厚度是幾 nm 至幾百 nm 左右）來構成薄膜電晶體（TFT）的技術受到注目。薄膜電晶體被廣泛地應用於如 IC 或電光裝置那樣的電子裝置，尤其是對作為影像顯示裝置的切換元件的薄膜電晶體的研究開發日益火熱。

金屬氧化物的種類繁多且用途廣泛。氧化銦為較普遍的材料，其被用作液晶顯示器等所需要的透明電極材料。

在金屬氧化物中存在呈現半導體特性的金屬氧化物。作為呈現半導體特性的金屬氧化物，例如有氧化鎢、氧化錫、氧化銦、氧化鋅等，並且將這些呈現半導體特性的金屬氧化物用作通道形成區的薄膜電晶體已經是眾所周知的（參照專利文獻 1 至 4、非專利文獻 1）。

另外，已知金屬氧化物不僅有一元氧化物還有多元氧化物。例如，作為包含 In、Ga 及 Zn 的多元氧化物，具有均質物（homologous series）的 $\text{InGaO}_3(\text{ZnO})_m$ （m：自然數）是周知的（參照非專利文獻 2 至 4）。

並且，已經確認到可以將上述那樣的由 In-Ga-Zn 類氧化物構成的氧化物半導體用作薄膜電晶體的通道層（參

照專利文獻 5、非專利文獻 5 及 6)。

[專利文獻 1] 日本專利申請公開昭第 60-198861 號公報

[專利文獻 2] 日本專利申請公開平第 8-264794 號公報

[專利文獻 3] PCT 國際申請日本公表平第 11-505377 號公報

[專利文獻 4] 日本專利申請公開第 2000-150900 號公報

[專利文獻 5] 日本專利申請公開第 2004-103957 號公報

[非專利文獻 1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor" (透明鐵電薄膜電晶體), Appl. Phys. Lett., 17 June 1996, Vol. 68 p. 3650-3652

[非專利文獻 2] M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350 °C" (In_2O_3 - Ga_2ZnO_4 - ZnO 類在 1350°C 時的相位關係), J. Solid State Chem., 1991, Vol. 93, p. 298-315

[非專利文獻 3] N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4$, and 5),

$\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9$, and 16) in the $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ System" (均質物的合成和單晶資料, $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ 類的 $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9$, and 16)), J. Solid State Chem., 1995, Vol. 116, p. 170-178

[非專利文獻 4]: M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ($\text{InFeO}_3(\text{ZnO})_m$) (m : natural number) and related compounds" (均質物、銦鐵鋅氧化物 ($\text{InFeO}_3(\text{ZnO})_m$) (m 為自然數) 及其同型化合物的合成以及晶體結構), KOTAI BUTSURI (SOLID STATE PHYSICS), 1993, Vol. 28, No. 5, p. 317-327

[非專利文獻 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor" (由單晶透明氧化物半導體製造的薄膜電晶體), SCIENCE, 2003, Vol. 300, p. 1269-1272

[非專利文獻 6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors" (在室溫下製造使用非晶氧化物半導體的透明撓性薄膜電晶體), NATURE, 2004, Vol. 432 p. 488-492

【發明內容】

本發明的目的之一是製造包括具有穩定的電特性的薄膜電晶體的高可靠性的半導體裝置而提供。

在如下半導體裝置的製造方法中，提高氧化物半導體層的純度並進行減少作為雜質的水分等的加熱處理（用於脫水化或脫氫化的加熱處理），該半導體裝置包括作為包括通道形成區的半導體層、源極區及汲極區使用氧化物半導體層的薄膜電晶體。另外，不僅減少存在於半導體層中的水分等雜質，而且減少存在於閘極絕緣層內的水分等雜質，並且還減少存在於氧化物半導體層與接觸於其上下的膜的介面的水分等雜質。

在本說明書中，將用於包括通道形成區的半導體層的氧化物半導體膜稱為第一氧化物半導體膜（第一氧化物半導體層），而將用於源極區及汲極區的氧化物半導體膜稱為第二氧化物半導體膜（第二氧化物半導體層）。

為了減少水分等雜質，在形成第一氧化物半導體膜以及第二氧化物半導體膜之後，在氮或稀有氣體（氬、氦等）的惰性氛圍下或在減壓下以第一氧化物半導體膜以及第二氧化物半導體膜露出的狀態進行 200℃ 以上，最好是 400℃ 以上且 600℃ 以下的加熱處理，以減少第一氧化物半導體膜以及第二氧化物半導體膜所包含的水分。在加熱之後在氧氛圍下進行緩冷直到室溫以上且低於 100℃ 的範圍。

使用藉由氮或氬等惰性氛圍下或減壓下的加熱處理來減少包含在膜中的水分的第一氧化物半導體膜以及第二氧化物半導體膜，以提高薄膜電晶體的電特性並實現具備大量生產性和高功能的兩者的薄膜電晶體。

圖 29 示出設定加熱溫度的條件並藉由使用熱脫附裝置的熱脫附法（TDS:Thermal Desorption Spectroscopy）來測定受到加熱處理的多個樣品的結果。

熱脫附裝置是使用四極質譜計檢測出當在高真空中對樣品進行加熱/升溫時從樣品脫離、產生的氣體成分的裝置，可以觀察到從樣品表面、內部脫離的氣體及分子。使用電子科學株式會社製造的熱脫附裝置（產品名稱：1024amuQMS），測定條件是升溫 10°C 左右/分，以 1×10^{-8} (Pa) 開始測定，並且測定中的真空度是 1×10^{-7} (Pa) 左右。另外，將 SEM 電壓設定為 1500V，將停留時間（Dwell Time）設定為 0.2[sec]，將所使用的通道數設定為 23 個。另外，將 H_2O 的電離係數設定為 1.0，將 H_2O 的破碎係數（fragmentation coefficient）設定為 0.805，將 H_2O 的傳達係數（pass-through coefficient）設定為 1.56，將 H_2O 的抽運速率（pumping rate）設定為 1.0。

在圖 29 中對如下樣品進行比較而示出對 H_2O 的 TDS 測定，上述樣品是：在玻璃基板上形成厚度是 50nm 的 In-Ga-Zn-O 類非單晶膜的樣品（樣品 1）；在氮氛圍下將加熱溫度設定為 250°C 並進行 1 小時的加熱處理的樣品

(樣品 4)；在氮氛圍下將加熱溫度設定為 350°C 並進行 1 小時的加熱處理的樣品 (樣品 3)；在氮氛圍下將加熱溫度設定為 450°C 並進行 1 小時的加熱處理的樣品 (樣品 5)；在氮氛圍下將加熱溫度設定為 350°C 並進行 10 小時的加熱處理的樣品 (樣品 6)。根據圖 29 的結果，可知：氮氛圍中的加熱溫度越高，從 In-Ga-Zn-O 類非單晶膜中脫離的水分 (H_2O) 等雜質越減少。

另外，根據圖 29 的圖表確認到 200°C 至 250°C 附近的示出水分 (H_2O) 等雜質脫離的第一峰值以及 300°C 以上的示出水分 (H_2O) 等雜質脫離的第二峰值。

另外，然後在室溫的大氣中放置在氮氛圍中進行 450°C 的加熱處理的樣品 1 周左右也觀察不到以 200°C 以上的溫度脫離的水分，以可知藉由加熱處理 In-Ga-Zn-O 類非單晶膜穩定化。

另外，當藉由 TDS 測定除了對 H_2O 進行測定以外還對 H、O、OH、 H_2 、 O_2 、N、 N_2 及 Ar 分別進行測定時，可以清楚地觀察到 H_2O 、H、O 以及 OH 的峰值，但是觀察不到 H_2 、 O_2 、N、 N_2 及 Ar 的峰值。樣品使用在玻璃基板上以 50nm 形成的 In-Ga-Zn-O 類非單晶膜，加熱條件是在氮氛圍下以 250°C 1 小時、在氮氛圍下以 350°C 1 小時、在氮氛圍下以 350°C 10 小時、在氮氛圍下以 450°C 1 小時，並且作為比較例分別對不受到加熱處理的 In-Ga-Zn-O 類非單晶膜和玻璃基板進行比較。圖 30 示出 H 的 TDS 結果，圖 31 示出 O 的 TDS 結果，圖 32 示出 OH 的 TDS

結果，並且圖 33 示出 H_2 的 TDS 結果。另外，上述加熱條件下的氮氛圍的氧密度是 20ppm 以下。

根據上述結果可知：藉由進行對 In-Ga-Zn-O 類非單晶膜的加熱處理，主要放出水分。換言之，藉由加熱處理水分 (H_2O) 主要從 In-Ga-Zn-O 類非單晶膜脫離，並且水分子分解而產生的物質影響到圖 30 所示的 H、圖 31 所示的 O 以及圖 32 所示的 OH 的 TDS 測定值。另外，因為可以認為在 In-Ga-Zn-O 類非單晶膜中也包含氫、OH，所以藉由熱處理也放出氫、OH。

在本說明書中，將氮、或稀有氣體（氬、氦等）的惰性氛圍下或減壓下的加熱處理稱為用於脫水化或脫氫化的加熱處理。在本說明書中，不只將藉由該加熱處理使 H_2 脫離的狀態稱為脫氫化，而為了方便起見將使 H、OH 等脫離的狀態也稱為脫水化或脫氫化。

藉由在惰性氣體氛圍下進行加熱處理來減少包含在氧化物半導體層中的雜質（ H_2O 、H、OH 等）而提高載子密度，然後在氧氛圍下進行緩冷。在緩冷之後，接觸於氧化物半導體層地形成氧化物絕緣膜等來降低氧化物半導體層的載子密度，以提高可靠性。

藉由氮氛圍下的加熱處理實現第一氧化物半導體膜以及第二氧化物半導體膜的低電阻化（載子密度提高，最好是 $1 \times 10^{18}/cm^3$ 以上），以可以形成被低電阻化的第一氧化物半導體膜以及第二氧化物半導體膜。藉由蝕刻製程加工被低電阻化的第一氧化物半導體膜以及第二氧化物半導

體膜來形成第一氧化物半導體層以及第二氧化物半導體層，並且藉由蝕刻製程進行加工而形成半導體層、源極區及汲極區。

然後，當接觸於被低電阻化的第一氧化物半導體層地形成氧化物絕緣膜時，可以實現被低電阻化的第一氧化物半導體層中的至少接觸於氧化物絕緣膜的區域的高電阻化（載子密度降低，最好是低於 $1 \times 10^{18} / \text{cm}^3$ ），以形成高電阻氧化物半導體區域。在半導體裝置的製造方法中，藉由惰性氛圍下（或者減壓下）的加熱、氧氛圍下的緩冷以及氧化物絕緣膜的形成等提高或降低第一氧化物半導體膜以及第二氧化物半導體膜的載子密度是重要的。另外，也可以說：藉由對 I 型的第一氧化物半導體膜以及第二氧化物半導體膜進行脫水化或脫氫化的加熱處理，使第一氧化物半導體膜以及第二氧化物半導體膜成為氧缺乏型而使其 N 型化（ N^- 、 N^+ 等），然後藉由形成氧化物絕緣膜來使第一氧化物半導體層處於過氧狀態而使其 I 型化。如上所述那樣，可以製造包括高電特性且高可靠性的薄膜電晶體的半導體裝置而提供。

另外，接觸於被低電阻化的第一氧化物半導體層地形成的氧化物絕緣膜使用阻擋水分、氫離子、 OH^- 等雜質的無機絕緣膜，具體地使用氧化矽膜或氮氧化矽膜。

另外，還可以在半導體層、源極區及汲極區上形成成為保護膜的氧化物絕緣膜，然後進行第二次的加熱。當在半導體層、源極區及汲極區上形成成為保護膜的氧化物絕

緣膜，然後進行第二次的加熱時，可以降低薄膜電晶體的電特性的不均勻性。

在本說明書所公開的發明的結構的一個實施例中：形成閘極電極層；在閘極電極層上形成閘極絕緣層；在閘極絕緣層上形成第一氧化物半導體膜；在第一氧化物半導體膜上形成第二氧化物半導體膜；加熱第一氧化物半導體膜以及第二氧化物半導體膜來進行脫水化或脫氫化，然後在氧氛圍下進行緩冷；對在氧氛圍下被緩冷的第一氧化物半導體膜以及第二氧化物半導體膜選擇性地進行蝕刻來形成第一氧化物半導體層以及第二氧化物半導體層；在第一氧化物半導體層以及第二氧化物半導體層上形成導電膜；對第一氧化物半導體層、第二氧化物半導體層、導電膜選擇性地進行蝕刻來形成半導體層、源極區、汲極區、源極電極層及汲極電極層；在閘極絕緣層、半導體層、源極區、汲極區、源極電極層及汲極電極層上形成接觸於半導體層的一部分的氧化物絕緣膜，以降低載子密度。

在本說明書所公開的發明的結構的一個實施例中：形成閘極電極層；在閘極電極層上形成閘極絕緣層；在閘極絕緣層上形成第一氧化物半導體膜；在第一氧化物半導體膜上形成第二氧化物半導體膜；在惰性氛圍下加熱第一氧化物半導體膜以及第二氧化物半導體膜來提高載子密度，然後在氧氛圍下進行緩冷；對在氧氛圍下被緩冷的第一氧化物半導體膜以及第二氧化物半導體膜選擇性地進行蝕刻來形成第一氧化物半導體層以及第二氧化物半導體層；在

第一氧化物半導體層以及第二氧化物半導體層上形成導電膜；對第一氧化物半導體層、第二氧化物半導體層、導電膜選擇性地進行蝕刻來形成半導體層、源極區、汲極區、源極電極層及汲極電極層；在閘極絕緣層、半導體層、源極區、汲極區、源極電極層及汲極電極層上形成接觸於半導體層的一部分的氧化物絕緣膜，以降低載子密度。

在本說明書所公開的發明的結構的一個實施例中：形成閘極電極層；在閘極電極層上形成閘極絕緣層；在閘極絕緣層上形成第一氧化物半導體膜；在第一氧化物半導體膜上形成第二氧化物半導體膜；在減壓下加熱第一氧化物半導體膜以及第二氧化物半導體膜來提高載子密度，然後在氧氛圍下進行緩冷；對在氧氛圍下被緩冷的第一氧化物半導體膜以及第二氧化物半導體膜選擇性地進行蝕刻來形成第一氧化物半導體層以及第二氧化物半導體層；在第一氧化物半導體層以及第二氧化物半導體層上形成導電膜；對第一氧化物半導體層、第二氧化物半導體層、導電膜選擇性地進行蝕刻來形成半導體層、源極區、汲極區、源極電極層及汲極電極層；在閘極絕緣層、半導體層、源極區、汲極區、源極電極層及汲極電極層上形成接觸於半導體層的一部分的氧化物絕緣膜，以降低載子密度。

作為可以用作半導體層、源極區及汲極區的氧化物半導體層，使用具有半導體特性的氧化物材料即可。例如，可以使用形成表示為 $\text{InMO}_3 (\text{ZnO})_m$ ($m > 0$) 的薄膜，並且製造將該薄膜用作半導體層、源極區及汲極區的薄膜電

晶體。另外，M 表示選自 Ga、Fe、Ni、Mn 及 Co 中的其中之一者金屬元素或多種金屬元素。例如，作為 M，除了有包含 Ga 的情況之外，還有包含 Ga 和 Ni 或 Ga 和 Fe 等的 Ga 以外的上述金屬元素的情況。此外，在上述氧化物半導體中，有不僅包含作為 M 的金屬元素，而且還包含作為雜質元素的 Fe、Ni 等其他過渡金屬元素或該過渡金屬的氧化物的氧化物半導體。在本說明書中，在具有表示為 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 的結構的氧化物半導體中，將具有作為 M 至少包含 Ga 的結構的氧化物半導體稱為 In-Ga-Zn-O 類氧化物半導體，並且將該薄膜也稱為 In-Ga-Zn-O 類非單晶膜。

另外，作為應用於氧化物半導體層的氧化物半導體，除了可以使用上述材料之外，還可以使用 In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O 類、Zn-O 類的氧化物半導體。另外，還可以使上述氧化物半導體層包含氧化矽。藉由使氧化物半導體層包含阻礙晶化的氧化矽 (SiO_x ($x>0$))，當在製造方法中形成氧化物半導體層之後進行加熱處理時，可以防止晶化。另外，氧化物半導體層最好是非晶狀態，但是氧化物半導體層的一部分也可以晶化。

氧化物半導體最好是含有 In 的氧化物半導體，更佳的是含有 In 及 Ga 的氧化物半導體。當使氧化物半導體層成為 I 型（本徵）時，脫水化或脫氫化是有效的。

用作薄膜電晶體的源極區及汲極區（也稱為 n^+ 層、緩衝層）的氧化物半導體層最好具有比用作通道形成區的氧化物半導體層高的導電率。

另外，因為靜電等容易損壞薄膜電晶體，所以最好在與閘極線或源極電極線相同的基板上設置用來保護驅動電路的保護電路。保護電路最好採用使用氧化物半導體的非線性元件構成。

另外，也可以以不使閘極絕緣層、第一氧化物半導體膜以及第二氧化物半導體膜接觸於大氣的方式對閘極絕緣層、第一氧化物半導體膜以及第二氧化物半導體膜連續地進行處理（也稱為連續處理、原位（*insitu*）處理、連續成膜）。藉由不使接觸於大氣地進行連續處理，可以以不被水或烴等大氣成分或懸浮在大氣中的雜質元素污染閘極絕緣層、第一氧化物半導體膜以及第二氧化物半導體膜的介面的方式形成各疊層介面，從而可以降低薄膜電晶體的特性的不均勻性。

在本說明書中，連續處理是指如下狀態，該狀態是：在從藉由 PCVD 法或濺射法進行的第一處理製程至藉由 PCVD 法或濺射法進行的第二處理製程的一系列的製程中，配置有被處理基板的氛圍不接觸於大氣等污染氛圍而一直被真空中或惰性氣體氛圍（氮氛圍或稀有氣體氛圍）控制的狀態。藉由進行連續處理，可以進行成膜等的處理而避免水分等再附著到被清洗化的被處理基板。

本說明書中的連續處理的範圍還包括：在同一處理室

內進行從第一處理製程至第二處理製程的一系列的製程的情況。

另外，本說明書中的連續處理的範圍還包括：當在不同處理室中進行從第一處理製程至第二處理製程的一系列的製程時，在結束第一處理製程之後在處理室之間不接觸於大氣地搬運基板而進行第二處理的情況。

另外，本說明書中的連續處理的範圍還包括：在第一處理製程和第二處理製程之間具有基板搬運製程、對準製程、緩冷製程或者爲了設定第二製程所需要的溫度加熱或冷卻基板的製程等的情況。

但是，本說明書所述的連續處理的範圍不包括：在第一處理製程和第二處理製程之間具有清洗製程、濕蝕刻、抗蝕劑形成等使用液體的製程的情況。

注意，爲方便起見而使用諸如“第一”、“第二”之類的序數，該序數不表示製程的順序或層疊的順序。另外，其在本說明書中不表示特定發明的事項的固有名稱。

另外，作爲包括驅動電路的顯示裝置，除了可以舉出液晶顯示裝置之外，還可以舉出使用發光元件的發光顯示裝置、使用電泳顯示元件的也稱爲電子紙的顯示裝置。

在使用發光元件的發光顯示裝置中，在像素部中包括多個薄膜電晶體，而且在像素部中也有連接某個薄膜電晶體的閘極電極與另一個電晶體的源極電極佈線或汲極電極佈線的部分。此外，在使用發光元件的發光顯示裝置的驅動電路中包括連接薄膜電晶體的閘極電極與該薄膜電晶體

的源極電極佈線或汲極電極佈線的部分。

另外，在本說明書中，半導體裝置是指藉由利用半導體特性而能夠發揮其功能的所有裝置，因此光電裝置、半導體電路及電子設備都是半導體裝置。

可以製造具有穩定的電特性的薄膜電晶體而提供。因此，可以提供包括電特性良好且可靠性高的薄膜電晶體的半導體裝置。

【實施方式】

使用附圖詳細地說明實施例模式。但是，本發明不侷限於以下的說明，本領域的技術人員能夠容易地理解，其方式和細節可以在不脫離本發明的宗旨及其範圍的條件下作各種各樣的變換。因此，本發明不應該被解釋為僅限於以下所示的實施例模式的記載內容。在以下說明的結構中，在不同附圖中使用相同的附圖標記來表示相同的部分或具有相同功能的部分，而省略重複說明。

實施例模式 1

參照圖 1A 至圖 3B 說明半導體裝置及半導體裝置的製造方法。

圖 3A 是半導體裝置所具有的薄膜電晶體 470 的平面圖，而圖 3B 是沿著圖 3A 的線 C1-C2 的截面圖。薄膜電晶體 470 是反交錯型薄膜電晶體，並在具有絕緣表面的基板 400 上包括閘極電極層 401、閘極絕緣層 402、半導體

層 403、源極區或汲極區 404a、404b 以及源極電極層或汲極電極層 405a、405b。另外，設置有覆蓋薄膜電晶體 470 且接觸於半導體層 403 的氧化物絕緣膜 407。

至少在形成成為半導體層 403 以及源極區或汲極區 404a、404b 的第一氧化物半導體膜以及第二氧化物半導體膜之後對該第一氧化物半導體膜以及第二氧化物半導體膜進行減少水分等雜質的加熱處理（用於脫水化或脫氫化的加熱處理），以進行低電阻化（載子密度提高，最好是 $1 \times 10^{18}/\text{cm}^3$ 以上），然後接觸於第一氧化物半導體層地形成氧化物絕緣膜 407，從而可以將被高電阻化（載子密度降低，最好是低於 $1 \times 10^{18}/\text{cm}^3$ ，更佳的是 $1 \times 10^{14}/\text{cm}^3$ 以下）的第一氧化物半導體層用作通道形成區。

並且，最好在經過藉由用於脫水化或脫氫化的加熱處理使水分（ H_2O ）等雜質脫離的過程之後，在氧氛圍下進行緩冷。藉由在用於脫水化或脫氫化的加熱處理以及氧氛圍下的緩冷之後接觸於第一氧化物半導體層地形成氧化物絕緣膜等來降低第一氧化物半導體層的載子密度，提高薄膜電晶體 470 的可靠性。

另外，不僅減少存在於半導體層 403 以及源極區或汲極區 404a、404b 內的水分等雜質，而且還減少存在於閘極絕緣層 402 內以及作為氧化物半導體層的半導體層 403 與接觸於其上下的膜的介面的水分等雜質，明確而言，減少存在於閘極絕緣層 402 與半導體層 403 的介面以及氧化物絕緣膜 407 與半導體層 403 的介面的水分等雜質。

另外，作為氧化物半導體層的半導體層 403、接觸於源極區及汲極區 404a、404b 的源極電極層或汲極電極層 405a、405b 使用選自鈦、鋁、錳、鎂、銦、鉍、釷中的任一種或多種的材料。另外，也可以層疊組合上述元素的合金膜等。

作為包括通道形成區的半導體層 403 以及源極區或汲極區 404a、404b，使用具有半導體特性的氧化物材料即可。例如，可以使用具有表示為 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 的結構的氧化物半導體，特別佳地使用 In-Ga-Zn-O 類氧化物半導體。另外，M 表示選自鎵 (Ga)、鐵 (Fe)、鎳 (Ni)、錳 (Mn) 和鈷 (Co) 中的其中之一者金屬元素或多種金屬元素。例如，作為 M，除了有包含 Ga 的情況之外，還有包含 Ga 和 Ni 或 Ga 和 Fe 等的 Ga 以外的上述金屬元素的情況。此外，在上述氧化物半導體中，有除了包含作為 M 的金屬元素的情況之外，還有包含諸如 Fe 或 Ni 等的其他過渡金屬元素或者該過渡金屬的氧化物作為雜質元素的情況。在本說明書中，將在具有表示為 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 的結構的氧化物半導體中的具有作為 M 至少包含 Ga 的結構的氧化物半導體稱為 In-Ga-Zn-O 類氧化物半導體，並且將該薄膜也稱為 In-Ga-Zn-O 類非單晶膜。

另外，作為用於氧化物半導體層的氧化物半導體，除了可以使用上述材料之外，還可以使用 In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-

Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O 類、Zn-O 類的氧化物半導體。另外，還可以使上述氧化物半導體包含氧化矽。

在半導體層（也稱為第一氧化物半導體層）與源極電極層之間具有源極區，並且在半導體層與汲極電極層之間具有汲極區。可以將呈現 n 型導電型的氧化物半導體層（也稱為第二氧化物半導體層）用於源極區及汲極區。

另外，用作薄膜電晶體的源極區或汲極區 404a、404b 的第二氧化物半導體層的厚度最好薄於用作通道形成區的第一氧化物半導體層的厚度，並且第二氧化物半導體層的導電率最好高於第一氧化物半導體層的導電率。

另外，用作通道形成區的第一氧化物半導體層具有非晶結構，並且用作源極區及汲極區的第二氧化物半導體層有時在非晶結構中具有晶粒（奈米晶）。該用作源極區及汲極區的第二氧化物半導體層中的晶粒（奈米晶）的直徑是 1nm 至 10nm，典型是 2nm 至 4nm 左右。

在本實施例模式中，作為包括通道形成區的半導體層 403 以及源極區或汲極區（也稱為 n^+ 層、緩衝層）404a、404b，使用 In-Ga-Zn-O 類非單晶膜。

圖 1A 至圖 2B 示出薄膜電晶體 470 的製造製程的截面圖。

在具有絕緣表面的基板 400 上設置閘極電極層 401。也可以在基板 400 和閘極電極層 401 之間設置成為基底膜的絕緣膜。基底膜具有防止雜質元素從基板 400 擴散的功

能，並且其可以使用選自氮化矽膜、氧化矽膜、氮氧化矽膜和氧氮化矽膜中的其中之一者或多種膜的疊層結構形成。閘極電極層 401 的材料可以藉由使用鉬、鈦、鉻、鉕、鎢、鋁、銅、鈹、鈳等的金屬材料或以這些材料為主要成分的合金材料的單層或疊層來形成。

例如，作為閘極電極層 401 的雙層的疊層結構，最好採用：在鋁層上層疊有鉬層的雙層結構；在銅層上層疊有鉬層的雙層結構；在銅層上層疊有氮化鈦層或氮化鉕層的雙層結構；或者層疊有氮化鈦層和鉬層的雙層結構。作為三層的疊層結構，最好採用層疊如下層的結構：鎢層或氮化鎢層；鋁和矽的合金層或鋁和鈦的合金層；以及氮化鈦層或鈦層。

在閘極電極層 401 上形成閘極絕緣層 402。

藉由利用電漿 CVD 法或濺射法等並使用氧化矽層、氮化矽層、氧氮化矽層或氮氧化矽層的單層或疊層，可以形成閘極絕緣層 402。例如，作為成膜氣體使用 SiH_4 、氧及氮並藉由電漿 CVD 法來形成氧氮化矽層，即可。

在閘極絕緣層 402 上層疊形成第一氧化物半導體膜 430 以及第二氧化物半導體膜 433（參照圖 1A）。第一氧化物半導體膜 430 成為用作通道形成區的半導體層，而第二氧化物半導體膜 433 成為源極區以及汲極區。

另外，最好在藉由濺射法形成氧化物半導體膜之前，進行藉由導入氬氣體來產生電漿的反濺射，而去除附著於閘極絕緣層 402 的表面的塵屑。反濺射是指一種方法，其

中不對靶材一側施加電壓而在氬氛圍下使用 RF 電源對基板一側施加電壓來在基板近旁形成電漿，以對表面進行改性。另外，也可以使用氮、氦等代替氬氛圍。另外，也可以在對氬氛圍加入氧、 N_2O 等的氛圍下進行反濺射。另外，也可以在對氬氛圍中加入 Cl_2 、 CF_4 等的氛圍下進行反濺射。

作為氧化物半導體膜，使用 In-Ga-Zn-O 類非單晶膜。氧化物半導體膜使用 In-Ga-Zn-O 類氧化物半導體靶材並藉由濺射法形成。另外，氧化物半導體膜可以在稀有氣體（典型地是氬）氛圍下、氧氛圍下或者稀有氣體（典型地是氬）與氧氛圍下藉由濺射法形成。

也可以不接觸於大氣地連續形成閘極絕緣層 402、第一氧化物半導體膜 430 以及第二氧化物半導體膜 433。藉由不接觸於大氣地連續形成，可以不被如水或烴等的大氣成分或懸浮在大氣中的雜質元素污染地形成各疊層介面，因此可以降低薄膜電晶體特性的不均勻性。

在惰性氣體氛圍（氮或氬、氖、氬等）下或在減壓下對第一氧化物半導體膜 430 以及第二氧化物半導體膜 433 進行加熱處理，然後在氧氣體氛圍下進行緩冷（參照圖 1B）。藉由在上述氛圍下對第一氧化物半導體膜 430 以及第二氧化物半導體膜 433 進行加熱處理，可以去除包含在第一氧化物半導體膜 430 以及第二氧化物半導體膜 433 中的氬及水等的雜質。

另外，在加熱處理中，最好氮或氬、氖、氬等的稀有

氣體不包含水分、氫等的雜質。或者，最好將導入加熱處理裝置中的氮或氦、氖、氬等的稀有氣體的純度設定為 6N (99.9999%) 以上，最好設定為 7N (99.99999%) 以上 (即，將雜質密度設定為 1ppm 以下，最好設定為 0.1ppm 以下)。

另外，作為加熱處理，可以使用利用電爐的加熱方法、利用被加熱的氣體的 GRTA (Gas Rapid Thermal Anneal: 氣體快速熱退火) 法或者利用燈光的 LRTA (Lamap Rapid Thermal Anneal: 燈快速熱退火) 法等的瞬間加熱方法等。

在此，參照圖 28 說明作為對第一氧化物半導體膜 430 以及第二氧化物半導體膜 433 的加熱處理的一個方式利用電爐 601 的加熱方法。

圖 28 是電爐 601 的示意圖。在處理室 602 的外側設置有加熱器 603，以加熱處理室 602。另外，在處理室 602 內設置有裝載基板 604 的基座 (susceptor) 605，該基座 605 將基板 604 搬入到處理室 602 內或者將基板 604 搬出。另外，處理室 602 設置有氣體供給單元 606 以及排氣單元 607。利用氣體供給單元 606 將氣體導入到處理室 602。另外，利用排氣單元 607 對處理室 602 內進行排氣或者使處理室 602 內處於減壓狀態。另外，最好將電爐 601 的升溫特性設定為 $0.1^{\circ}\text{C}/\text{min}$ 以上且 $20^{\circ}\text{C}/\text{min}$ 以下。最好將電爐 601 的降溫特性設定為 $0.1^{\circ}\text{C}/\text{min}$ 以上且 $15^{\circ}\text{C}/\text{min}$ 以下。

氣體供給單元 606 具有氣體供給源 611a、氣體供給源 611b、壓力調節閥 612a、壓力調節閥 612b、精製器 613a、精製器 613b、質量流量控制器 614a、質量流量控制器 614b、停止閥 615a、停止閥 615b。在本實施例模式中，最好在氣體供給源 611a、氣體供給源 611b 與處理室 602 之間設置精製器 613a、613b。藉由設置精製器 613a、613b，利用精製器 613a、613b 去除從氣體供給源 611a、氣體供給源 611b 導入到處理室 602 內的氣體的水分、氫等雜質，可以抑制水分、氫等雜質侵入到處理室 602 內。

在本實施例模式中，從氣體供給源 611a、氣體供給源 611b 將氮或稀有氣體導入到處理室 602 內，以使處理室內處於氮或稀有氣體氛圍，並且在加熱為 200℃ 以上且 600℃ 以下，最好加熱為 400℃ 以上且 450℃ 以下的處理室 602 中加熱形成在基板 604 上的第一氧化物半導體膜 430 以及第二氧化物半導體膜 433，從而可以進行第一氧化物半導體膜 430 以及第二氧化物半導體膜 433 的脫水化或脫氫化。

另外，藉由利用排氣單元的減壓下在加熱為 200℃ 以上且 600℃ 以下，最好加熱為 400℃ 以上且 450℃ 以下的處理室 602 中加熱形成在基板 604 上的第一氧化物半導體膜 430 以及第二氧化物半導體膜 433，可以進行第一氧化物半導體膜 430 以及第二氧化物半導體膜 433 的脫水化或脫氫化。

接著，停止從氣體供給源 611a 將氮或稀有氣體導入到處理室 602 內，並且使加熱器處於截止狀態。接著，從氣體供給源 611b 將氧導入到處理室 602 內，並且逐步冷卻加熱裝置的處理室 602。即，將處理室 602 內設定為氧氛圍，並且逐步冷卻基板 604。在此，最好從氣體供給源 611b 導入到處理室 602 內的氧不包含水、氫等的雜質。或者，最好將從氣體供給源 611b 導入到處理室 602 內的氧的純度設定為 6N (99.9999%) 以上，更佳地設定為 7N (99.99999%) 以上 (即，最好將氧中的雜質密度設定為 1ppm 以下，更佳地設定為 0.1ppm 以下)。藉由惰性氣體下或減壓下的加熱處理，將氧化物半導體膜低電阻化 (載子密度提高，最好是 $1 \times 10^{18} / \text{cm}^3$ 以上)，從而可以形成被低電阻化的第一氧化物半導體膜 434 以及第二氧化物半導體膜 435。

其結果是，可以提高然後形成的薄膜電晶體的可靠性。

另外，當在減壓下進行加熱處理時，在加熱處理之後在處理室 602 中流過氧來將壓力恢復到大氣壓，以進行冷卻，即可。

另外，也可以在從氣體供給源 611b 將氧導入到處理室 602 內的同時將氮、氬、氫等的稀有氣體或氮的一方或者兩者導入到處理室 602 內。

另外，也可以將加熱裝置的處理室 602 內的基板 604 冷卻到 300℃，然後將基板 604 移動到室溫的氛圍。其結

果是，可以縮短基板 604 的冷卻時間。

另外，當加熱處理是多室型時，可以在不同處理室內進行加熱處理和冷卻處理。典型地，在充滿有氮或稀有氣體且加熱為 200°C 以上且 600°C 以下，最好加熱為 400°C 以上且 450°C 以下的第一處理室中加熱基板上的氧化物半導體膜。接著，經過導入有氮或稀有氣體的搬送室，將上述受到加熱處理的基板移動到充滿有氧且 100°C 以下，最好是室溫的第二處理室內，以進行冷卻處理。藉由上述製程，可以提高處理能力。

在惰性氣體氛圍下或在減壓下進行加熱處理，然後在氧氛圍下進行緩冷直到室溫以上且低於 100°C ，從加熱裝置拿出設置有第一氧化物半導體膜 434 以及第二氧化物半導體膜 435 的基板，並且進行光微影製程。

另外，進行惰性氣體下或減壓下的加熱處理之後的第一氧化物半導體膜 434 以及第二氧化物半導體膜 435 的狀態最好是非晶狀態，但是也可以將第一氧化物半導體膜 434 以及第二氧化物半導體膜 435 的一部分晶化。

藉由光微影處理將第一氧化物半導體膜 434 以及第二氧化物半導體膜 435 加工為作為島狀氧化物半導體層的第一氧化物半導體層 431 以及第二氧化物半導體層 436（參照圖 1C）。

在閘極絕緣層 402、第一氧化物半導體層 431 以及第二氧化物半導體層 436 上形成導電膜。

作為導電膜的材料，可以舉出：選自 Al、Cr、Ta、

Ti、Mo、W 中的元素；以上述元素為成分的合金；組合上述元素的合金膜等。

另外，當在形成導電膜之後進行加熱處理時，最好使導電膜具有承受該加熱處理的耐熱性。因為當使用 Al 單體時有低耐熱性且容易腐蝕等問題，所以組合 Al 與耐熱導電材料而形成導電膜。作為與 Al 組合的耐熱導電材料，使用：選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、釷（Sc）中的元素；以上述元素為成分的合金；組合上述元素的合金膜；或者以上述元素為成分的氮化物。

藉由蝕刻製程對第一氧化物半導體層 431、第二氧化物半導體層 436、導電膜進行蝕刻，形成第一氧化物半導體層 432、源極區或汲極區 404a、404b 以及源極電極層或汲極電極層 405a、405b（參照圖 2A）。另外，第一氧化物半導體層 431 僅有一部分被蝕刻，以成為具有槽部（凹部）的第一氧化物半導體層 432。

藉由濺射法並接觸於第一氧化物半導體層 432 地形成氧化矽膜作為氧化物絕緣膜 407。接觸於被低電阻化的氧化物半導體層地形成的氧化物半導體膜 407 使用不包含水分、氫離子、 OH^- 等的雜質且防止上述雜質從外部侵入的無機絕緣膜，明確而言使用氧化矽膜或者氮氧化矽膜。

在本實施例模式中，形成厚度是 300nm 的氧化矽膜作為氧化物絕緣膜 407。將形成膜時的基板溫度設定為室溫以上且 300℃ 以下即可，在本實施例模式中將該基板溫

度設定為 100°C 。可以在稀有氣體（典型地是氬）氛圍下、氧氛圍下或者稀有氣體（典型地是氬）和氧氛圍下藉由濺射法形成氧化矽膜。另外，作為靶材，可以使用氧化矽靶材或矽靶材。例如，可以在氧及氮氛圍下使用矽靶材並藉由濺射法來形成氧化矽。

當藉由濺射法或 PCVD 法等接觸於被低電阻化的第一氧化物半導體層 432 地形成氧化物絕緣膜 407 時，可以實現被低電阻化的第一氧化物半導體層 432 中的至少接觸於氧化物絕緣膜 407 的區域的高電阻化（載子密度降低，最好是低於 $1 \times 10^{18}/\text{cm}^3$ ，更佳的是 $1 \times 10^{14}/\text{cm}^3$ 以下），從而可以形成高電阻氧化物半導體區域。在半導體裝置的製造方法中，藉由在惰性氣體下（或在減壓下）加熱、氧氛圍下的緩冷並且形成氧化物絕緣膜等來提高氧化物半導體層的載子密度是很重要的。第一氧化物半導體層 432 成為具有高電阻氧化物半導體區域的半導體層 403，以可以製造薄膜電晶體 470（參照圖 2B）。

藉由進行上述用於脫水處理或脫氫處理的加熱處理來降低包含在第一氧化物半導體膜和第二氧化物半導體膜中的雜質（ H_2O 、 H 、 OH 等）而提高載子密度，然後進行緩冷。在緩冷之後，將第一氧化物半導體膜加工為島狀第一氧化物半導體層，接觸於第一氧化物半導體層地形成氧化物絕緣膜等來降低第一氧化物半導體層的載子密度，並且將該第一氧化物半導體層用作半導體層，從而可以提高薄膜電晶體 470 的可靠性。

另外，也可以在形成氧化物絕緣膜 407 之後，在氮氛圍下或大氣氛圍（大氣中）對薄膜電晶體 470 進行加熱處理（最好是 150°C 以上且低於 350°C ）。例如，在氮氛圍下進行 250°C 且 1 小時的加熱處理。藉由進行該加熱處理，在半導體層 403 與氧化物絕緣膜 407 接觸的狀態下進行加熱，從而可以降低薄膜電晶體 470 的電特性的不均勻性。該加熱處理（最好是 150°C 以上且低於 350°C ）只要進行在形成氧化物絕緣膜 407 之後進行就沒有特別的限制，藉由兼作該加熱處理與其他製程，例如形成樹脂膜時的加熱處理或用於實現透明導電膜的低電阻化的加熱處理，可以不增加製程數地進行該加熱處理。

實施例模式 2

使用圖 26 說明半導體裝置以及半導體裝置的製造方法。可以與實施例模式 1 同樣地進行與實施例模式 1 同樣的部分或具有同樣的功能的部分以及製程，因此省略重複說明。

圖 26 所示的薄膜電晶體 471 是以隔著絕緣膜重疊於源極電極層 401 以及半導體層 403 的通道區的方式設置導電層 408 的例子。

圖 26 是半導體裝置所具有的薄膜電晶體 471 的截面圖。薄膜電晶體 471 是底閘型薄膜電晶體，在具有絕緣表面的基板 400 上包括閘極電極層 401、閘極絕緣層 402、半導體層 403、源極區或汲極區 404a、404b 以及源極電

極層或汲極電極層 405a、405b、導電層 408。導電層 408 重疊於閘極電極層 401 地設置在氧化物半導體膜 407 上。

導電層 408 可以使用與閘極電極層 401、源極電極層或汲極電極層 405a、405b 相同的材料、方法形成。當設置像素電極層時，也可以使用像素電極層相同的材料、方法形成導電層 408。在本實施例模式中，作為導電層 408，使用鈦膜、鋁膜以及鈦膜的疊層。

導電層 408 的電位可以與閘極電極層 401 的電位相同，也可以與閘極電極層 401 的電位不同，並且可以將導電層 408 用作第二閘極電極層。另外，導電層 408 也可以處於浮動狀態。

藉由將導電層 408 設置在與半導體層 403 不同的位置，在用來調查薄膜電晶體的可靠性的偏壓-溫度測試（以下，稱為 BT 測試）中可以減少 BT 測試前後的薄膜電晶體 471 的臨界值電壓的變化量。尤其是，在將基板溫度上升到 150℃ 之後對閘極施加 -20V 的電壓的 -BT 測試中可以抑制臨界值電壓的變動。

本實施例模式可以與實施例模式 1 適當地組合而實施。

實施例模式 3

使用圖 27 說明半導體裝置以及半導體裝置的製造方法。可以與實施例模式 1 同樣地進行與實施例模式 1 同樣的部分或具有同樣的功能的部分以及製程，因此省略重複

說明。

圖 27 所示的薄膜電晶體 472 是以隔著氧化物絕緣膜 407 以及絕緣層 410 重疊於源極電極層 401 以及半導體層 403 的通道區的方式設置導電層 409 的例子。

圖 27 是半導體裝置所具有的薄膜電晶體 472 的截面圖。薄膜電晶體 472 是底閘型薄膜電晶體，在具有絕緣表面的基板 400 上包括閘極電極層 401、閘極絕緣層 402、半導體層 403、源極區或汲極區 404a、404b 以及源極電極層或汲極電極層 405a、405b、導電層 409。導電層 409 重疊於閘極電極層 401 地設置在氧化物半導體膜 407 以及絕緣層 410 上。

在本實施例模式中，在氧化物絕緣膜 407 上層疊用作平坦化膜的絕緣層 410，並且在氧化物絕緣膜 407 以及絕緣層 410 中形成到達源極電極層或汲極電極層 405b 的開口。在形成於氧化物絕緣膜 407 以及絕緣層 410 中的開口上形成導電膜，並且將它蝕刻為所希望的形狀而形成導電層 409 以及像素電極層 411。在上述形成像素電極層 411 的製程中可以使用同樣的材料及方法形成導電層 409。在本實施例模式中，作為像素電極層 411、導電層 409，使用包含氧化矽的氧化銦氧化錫合金（包含氧化矽的 In-Sn-O 類氧化物）。

另外，導電層 409 可以使用與閘極電極層 401、源極電極層或汲極電極層 405a、405b 相同的材料、方法形成。

導電層 409 的電位可以與閘極電極層 401 的電位相同，也可以與閘極電極層 401 的電位不同，並且可以將導電層 409 用作第二閘極電極層。另外，導電層 409 也可以處於浮動狀態。

藉由將導電層 409 設置在與半導體層 403 不同的位置，在用來調查薄膜電晶體的可靠性的偏壓-溫度測試（以下，稱為 BT 測試）中可以減少 BT 測試前後的薄膜電晶體 472 的臨界值電壓的變化量。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 4

使用圖 4A 至圖 8B2 說明包括薄膜電晶體的半導體裝置的製造製程。

在圖 4A 中，作為具有透光性的基板 100，可以使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等玻璃基板。

接著，在基板 100 的整個表面上形成導電層之後，進行第一光微影製程，形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，而形成佈線及電極（包括閘極電極層 101 的閘極佈線、電容佈線 108 及第一端子 121）。此時，進行蝕刻以至少將閘極電極層 101 的端部形成為錐形。

最好使用耐熱導電材料形成包括閘極電極層 101 的閘極佈線、電容佈線 108 以及端子部的第一端子 121，所述耐熱導電材料為：選自鈦（Ti）、鉭（Ta）、鎢（W）、

鉬（Mo）、鉻（Cr）、釹（Nd）、鈦（Sc）中的元素；以上述元素為成分的合金；組合了上述元素的合金膜；或以上述元素為成分的氮化物。在使用諸如鋁（Al）或銅（Cu）等的低電阻導電材料形成的情況下，因為 Al 或 Cu 單體具有低耐熱性、易受腐蝕等問題，所以將該低電阻導電材料與上述耐熱導電材料組合來使用。

接著，在閘極電極層 101 的整個表面上形成閘極絕緣層 102（參照圖 4A）。藉由濺射法、PCVD 法等形成其厚度為 50nm 至 250nm 的閘極絕緣層 102。

例如，藉由濺射法並使用氧化矽膜形成厚度為 100nm 的閘極絕緣層 102。不言而喻，閘極絕緣層 102 不限於這樣的氧化矽膜，而可以使用諸如氧氮化矽膜、氮化矽膜、氧化鋁膜、氧化鋇膜等的其他絕緣膜的單層結構或疊層結構形成閘極絕緣層 102。

接著，在閘極絕緣層 102 上形成第一氧化物半導體膜 131（第一 In-Ga-Zn-O 類非單晶膜）。在電漿處理之後不暴露於大氣地形成第一氧化物半導體膜 131 是有效的，因為塵屑、水分不附著到閘極絕緣層與半導體膜的介面。在此，在以下條件下進行成膜：使用直徑為 8 英寸的包含 In、Ga 及 Zn 的氧化物半導體靶材（ $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ ）；基板與靶材之間的距離是 170mm；壓力是 0.4Pa；直流（DC）電源是 0.5kW；並且在氬、氧的氛圍下形成。最好使用脈衝直流（DC）電源，因為可以減少塵屑，而且膜厚分佈也變得均勻。第一氧化物半導體膜

131 的厚度為 5nm 至 200nm。使用 In-Ga-Zn-O 類氧化物半導體靶材並藉由濺射法而形成厚度為 50nm 的

In-Ga-Zn-O 類非單晶膜作為第一氧化物半導體膜 131。

接著，藉由濺射法不暴露於大氣地形成第二氧化物半導體膜 136（第二 In-Ga-Zn-O 類非單晶膜）（參照圖 4B）。在此，使用 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 的靶材且在如下成膜條件下進行濺射成膜，該成膜條件是：壓力為 0.4Pa；電力為 500W；成膜溫度為室溫；並且導入流量 40sccm 的氬氣體。雖然使用 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 的靶材，但是有時在剛形成膜之後形成包括尺寸為 1nm 至 10nm 的晶粒的 In-Ga-Zn-O 類非單晶膜。另外，可以說藉由適當地調整靶材的成分比、成膜壓力（0.1Pa 至 2.0Pa）、電力（250W 至 3000W：8 英寸 ϕ ）、溫度（室溫至 100℃）、反應濺射的成膜條件等，可以調整晶粒的有無及晶粒的密度，還可以將直徑尺寸調整為 1nm 至 10nm 的範圍內。將第二 In-Ga-Zn-O 類非單晶膜的膜厚度設定為 5nm 至 20nm。當然，當在膜中包括晶粒時，所包括的晶粒的尺寸不超過膜厚度。將第二 In-Ga-Zn-O 類非單晶膜的膜厚度設定為 5nm。

使第一 In-Ga-Zn-O 類非單晶膜的成膜條件與第二 In-Ga-Zn-O 類非單晶膜的成膜條件不同。例如，採用如下條件：第一 In-Ga-Zn-O 類非單晶膜的成膜條件中的對於氬氣體流量的氧氣體流量的比率高於第二 In-Ga-Zn-O 類非單晶膜的成膜條件中的對於氬氣體流量的氧氣體流量的比

率。明確而言，第二 In-Ga-Zn-O 類非單晶膜的成膜條件是在稀有氣體（氬或氦等）氛圍下（或將氧氣體設定為 10% 以下，將氬氣體設定為 90% 以上），而第一 In-Ga-Zn-O 類非單晶膜的成膜條件是在氧混合氛圍下（氧氣體流量多於稀有氣體流量）。

可以使用與預先進行反濺射的處理室相同的處理室形成第二 In-Ga-Zn-O 類非單晶膜，也可以使用與預先進行反濺射的處理室不同的處理室形成第二 In-Ga-Zn-O 類非單晶膜。

在濺射法中，有作為濺射電源使用高頻電源的 RF 濺射法、DC 濺射法，並且還有以脈衝方式施加偏壓的脈衝 DC 濺射法。RF 濺射法主要用於絕緣膜的形成，而 DC 濺射法主要用於金屬膜的形成。

此外，還有可以設置多個材料不同的靶材的多元濺射裝置。多元濺射裝置既可以在同一處理室中層疊形成不同材料的膜，又可以在同一處理室中使多種材料同時放電而進行成膜。

此外，有利用如下濺射法的濺射裝置，該濺射法是：在處理室內具備磁體機構的磁控管濺射法；以及不使用輝光放電而利用使用微波來產生的電漿的 ECR 濺射法。

此外，作為使用濺射法的成膜方法，還有在膜形成期間中使靶材物質與濺射氣體成分產生化學反應而形成它們的化合物薄膜的反應濺射法以及在膜形成期間中對基板也施加電壓的偏壓濺射法。

接著，對第一氧化物半導體膜 131 以及第二氧化物半導體膜 136 進行用於脫水化或脫氫化的加熱處理。在惰性氣體氛圍（氮或氦、氖、氬等）下或在減壓下進行加熱處理，然後在氧氣體下進行緩冷。

最好以 200°C 以上的溫度進行加熱處理。例如，在氮氛圍下進行 450°C 且 1 小時的熱處理。藉由該氮氛圍下的加熱處理，實現第一氧化物半導體膜 131 以及第二氧化物半導體膜 136 的低電阻化（載子密度提高，最好是 $1 \times 10^{18}/\text{cm}^3$ 以上），而導電率提高。如此形成被低電阻化的第一氧化物半導體膜 133 以及第二氧化物半導體膜 137（參照圖 4C）。第一氧化物半導體膜 133 以及第二氧化物半導體膜 137 的導電率最好為 $1 \times 10^{-1} \text{ S/cm}$ 以上且 $1 \times 10^2 \text{ S/cm}$ 以下。

接著，進行第二光微影製程，形成抗蝕劑掩模，對第一氧化物半導體膜 133 以及第二氧化物半導體膜 137 進行蝕刻。例如，藉由使用混合了磷酸、醋酸以及硝酸的溶液的濕蝕刻，去除不需要的部分，從而形成第一氧化物半導體層 134 以及第二氧化物半導體層 138。注意，在此的蝕刻不限於濕蝕刻，而也可以利用乾蝕刻。

作為用於乾蝕刻的蝕刻氣體，最好採用含有氯的氣體（氯類氣體，例如氯（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）、四氯化碳（ CCl_4 ）等）。

另外，還可以使用含有氟的氣體（氟類氣體，例如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、

三氟甲烷（ CHF_3 ）等）、溴化氫（ HBr ）、氧（ O_2 ）、或對上述氣體添加了氦（ He ）或氬（ Ar ）等的稀有氣體的氣體等。

作為乾蝕刻法，可以使用平行平板型 RIE（Reactive Ion Etching：反應性離子蝕刻）法或 ICP（Inductively Coupled Plasma：感應耦合電漿）蝕刻法。適當地調節蝕刻條件（施加到線圈形電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等），以便將膜蝕刻為所希望加工的形狀。

作為用於濕蝕刻的蝕刻劑，可以使用將磷酸、醋酸以及硝酸混合的溶液等。此外，還可以使用 ITO07N（關東化學株式會社製造）。

藉由清洗去除濕蝕刻後的蝕刻劑以及被蝕刻掉的材料。也可以提純包括該被蝕刻掉的材料蝕刻劑的廢液，來重複使用所含的材料。藉由從該蝕刻後的廢液收集包含在氧化物半導體層中的銦等的材料並將其重複使用，可以高效地使用資源且實現低成本化。

根據材料適當地調節蝕刻條件（蝕刻劑、蝕刻時間、溫度等），以便可以將材料蝕刻為所希望的形狀。

接著，藉由濺射法或真空蒸鍍法在第一氧化物半導體層 134 以及第二氧化物半導體層 138 上形成由金屬材料構成的導電膜 132（參照圖 5B）。

作為導電膜 132 的材料，可以舉出：選自 Al 、 Cr 、 Ta 、 Ti 、 Mo 、 W 中的元素；以上述元素為成分的合金；

組合上述元素的合金膜等。

當在形成導電膜 132 之後進行加熱處理時，最好使導電膜具有承受該加熱處理的耐熱性。

接著，進行第三光微影製程，形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，從而形成源極電極層或汲極電極層 105a、105b、第一氧化物半導體層 135、源極區或汲極區 104a、104b 及第二端子 122（參照圖 5C）。作為此時的蝕刻方法，使用濕蝕刻或乾蝕刻。例如，在作為導電膜 132 使用鋁膜或鋁合金膜的情況下，可以進行使用將磷酸、醋酸以及硝酸混合的溶液的濕蝕刻。另外，也可以藉由使用氨水-過氧化氫混合液（過氧化氫：氨：水 = 5:2:2）的濕蝕刻，對導電膜 132 進行蝕刻，以形成源極電極層或汲極電極層 105a、105b。在該蝕刻製程中，第一氧化物半導體層 134 的露出區域的一部分也被蝕刻，以成為第一氧化物半導體層 135。因此，源極電極層或汲極電極層 105a、105b 之間的第一氧化物半導體層 135 成為膜厚度薄的區域。在圖 5C 中，因為藉由乾蝕刻對源極電極層或汲極電極層 105a、105b、第一氧化物半導體層 135、源極區或汲極區 104a、104b 一同進行蝕刻，所以源極電極層或汲極電極層 105a、105b、第一氧化物半導體層 135 以及源極區或汲極區 104a、104b 的端部對準，以成為連續的結構。

另外，在該第三光微影製程中，使與源極電極層或汲極電極層 105a、105b 相同的材料的第二端子 122 殘留在

端子部中。另外，第二端子 122 與源極電極佈線（包括源極電極層或汲極電極層 105a、105b 的源極電極佈線）電連接。

另外，由於藉由使用利用多色調掩模形成的具有多個（典型的是兩個）厚度的區域的抗蝕劑掩模，可以減少抗蝕劑掩模數，從而可以實現製程的簡化、低成本化。

接著，去除抗蝕劑掩模，形成覆蓋閘極絕緣層 102、第一氧化物半導體層 135、源極區或汲極區 104a、104b、源極電極層或汲極電極層 105a、105b 的保護絕緣層 107。保護絕緣層 107 使用藉由 PCVD 法形成的氧氮化矽膜。藉由彼此接觸地提供設置在源極電極層、汲極電極層 105a、105b 之間的第一氧化物半導體層 135 的露出區域與作為保護絕緣層 107 的氧氮化矽膜，實現接觸於保護絕緣層 107 的第一氧化物半導體層 135 的區域的高電阻化（載子密度降低，最好是低於 $1 \times 10^{18} / \text{cm}^3$ ，更佳的是 $1 \times 10^{14} / \text{cm}^3$ 以下），以可以形成具有被高電阻化的通道形成區的半導體層 103。

藉由上述製程可以製造薄膜電晶體 170。另外，該步驟的平面圖相當於圖 7。

接著，進行第四光微影製程，形成抗蝕劑掩模，藉由對保護絕緣層 107 以及閘極絕緣層 102 的蝕刻形成到達源極電極層或汲極電極層 105b 的接觸孔 125。另外，藉由在此的蝕刻還形成到達第二端子 122 的接觸孔 127 以及到達第一端子 121 的接觸孔 126。圖 6B 示出該步驟的截面

圖。

接著，在去除抗蝕劑掩模之後形成透明導電膜。作為透明導電膜的材料，藉由濺射法或真空蒸鍍法等形成氧化銦（ In_2O_3 ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ 、縮寫為ITO）等。使用鹽酸類的溶液對這些材料進行蝕刻處理。然而，由於對ITO的蝕刻特別容易產生殘渣，因此也可以使用氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ），以便改善蝕刻加工性。另外，也可以使用包含氧化矽的氧化銦氧化錫合金（包含氧化矽的In-Sn-O類氧化物）。

另外，當作像素電極層使用具有反射性的電極層時，可以使用：選自鎢（W）、鉬（Mo）、鋯（Zr）、鈪（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、銀（Ag）等的金屬；上述金屬的合金；或者上述金屬的氮化物中的其中之一者或多種。

接著，進行第五光微影製程，形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成像素電極層110。

此外，在該第五光微影製程中，以電容部中的閘極絕緣層102及保護絕緣層107為電介質並使用電容佈線108和像素電極層110形成儲存電容（storage capacitor）。

另外，在該第五光微影製程中，使用抗蝕劑掩模覆蓋第一端子121及第二端子122並使形成在端子部中的透明導電膜128、129殘留。透明導電膜128、129成為用來與FPC連接的電極或佈線。形成在第一端子121上的透明導

電膜 128 成為用作閘極佈線的輸入端子的用來連接的端子電極。形成在第二端子 122 上的透明導電膜 129 是用作源極電極佈線的輸入端子的用來連接的端子電極。

接著，去除抗蝕劑掩模，圖 6B 示出該步驟的截面圖。

接著，也可以在形成保護絕緣層 107 或像素電極層 110 之後進行加熱處理。加熱處理在大氣氛圍下或在氮氣氛圍下以 150℃ 以上且低於 350℃ 進行，即可。當進行該加熱處理時，以半導體層 103 與保護絕緣層 107 接觸的狀態進行加熱，以實現半導體層 103 的高電阻化來提高電晶體的電特性並降低電特性的不均勻性。該加熱處理只要進行在形成保護絕緣層 107 之後就沒有特別的限制，藉由兼作該加熱處理與其他製程，例如形成樹脂膜時的加熱處理或用於實現透明導電膜的低電阻化的加熱處理，可以不增加製程數地進行該加熱處理。

此外，圖 8A1 和圖 8A2 分別示出該步驟的閘極佈線端子部的截面圖及平面圖。圖 8A1 相當於沿著圖 8A2 中的線 E1-E2 的截面圖。在圖 8A1 中，形成在保護絕緣膜 154 上的透明導電膜 155 是用作輸入端子的用來連接的端子電極。另外，在圖 8A1 中，在端子部中，使用與閘極佈線相同的材料形成的第一端子 151 和使用與源極電極佈線相同的材料形成的連接電極層 153 隔著閘極絕緣層 152 互相重疊，並以透明導電膜 155 實現導通。另外，圖 6B 所示的透明導電膜 128 與第一端子 121 接觸的部分對應於

圖 8A1 的透明導電膜 155 與第一端子 151 接觸的部分。

另外，圖 8B1 及圖 8B2 分別示出與圖 6B 所示的源極電極佈線端子部不同的源極電極佈線端子部的截面圖及平面圖。此外，圖 8B1 相當於沿著圖 8B2 中的線 F1-F2 的截面圖。在圖 8B1 中，形成在保護絕緣膜 154 上的透明導電膜 155 是用作輸入端子的用來連接的端子電極。另外，在圖 8B1 中，在端子部中，在與源極電極佈線電連接的第二端子 150 的下方隔著閘極絕緣層 152 使用與閘極佈線相同的材料形成的電極層 156 重疊於與源極電極佈線電連接的第二端子 150。電極層 156 不與第二端子 150 電連接，藉由將電極層 156 設定為與第二端子 150 不同的電位，例如浮置電位、GND、0V 等，可以形成用於對雜波的措施的電容或用於對靜電的措施的電容。此外，第二端子 150 隔著保護絕緣膜 154 與透明導電膜 155 電連接。

根據像素密度設置多個閘極佈線、多個源極電極佈線及多個電容佈線。此外，在端子部排列地配置多個具有與閘極佈線相同的電位的第一端子、多個具有與源極電極佈線相同的電位的第二端子、多個具有與電容佈線相同的電位的第三端子等。各端子的數量可以是任意的，實施者適當地決定各端子的數量即可。

像這樣，藉由五次的光微影製程，使用五個光掩模，可以完成包括底閘型的交錯結構的薄膜電晶體 170 的像素薄膜電晶體部、儲存電容。而且，藉由對應於每個像素將該像素薄膜電晶體部、儲存電容配置為矩陣狀來構成像素

部，可以將其用作用來製造主動矩陣型顯示裝置的一方的基板。在本說明書中，為方便起見將這種基板稱為主動矩陣基板。

當製造主動矩陣型液晶顯示裝置時，在主動矩陣基板和設置有對置電極的對置基板之間設置液晶層，以固定主動矩陣基板和對置基板。另外，在主動矩陣基板上設置與設置在對置基板上的對置電極電連接的共同電極，並且在端子部中設置與共同電極電連接的第四端子。該第四端子是用來將共同電極設定為固定電位，例如 GND、0V 等的端子。

此外，也可以不設置電容佈線，而隔著保護絕緣膜及閘極絕緣層重疊像素電極與相鄰的像素的閘極佈線來形成儲存電容。

在主動矩陣型液晶顯示裝置中，藉由驅動配置為矩陣狀的像素電極，在螢幕上形成顯示圖案。詳細地說，藉由在被選擇的像素電極和對應於該像素電極的對置電極之間施加電壓，進行配置在像素電極和對置電極之間的液晶層的光學調變，該光學調變被觀察者識別為顯示圖案。

當液晶顯示裝置顯示動態圖像時，由於液晶分子本身的響應慢，所以有產生餘象或動態圖像的模糊的問題。有一種被稱為黑插入的驅動技術，在該驅動技術中為了改善液晶顯示裝置的動態圖像特性，每隔一幀地進行整個螢幕的黑顯示。

此外，還有被稱為倍速驅動的驅動技術，其中藉由將

垂直同步頻率設定為通常的 1.5 倍以上，最好設定為通常的 2 倍以上來改善動態圖像特性。

另外，還有如下驅動技術：為了改善液晶顯示裝置的動態圖像特性，作為背光燈使用多個 LED（發光二極體）光源或多個 EL 光源等來構成面光源，並使構成面光源的各光源獨立地在一個幀期間內進行間歇點亮驅動。作為面光源，可以使用三種以上的 LED 或白色發光的 LED。由於可以獨立地控制多個 LED，因此也可以按照液晶層的光學調變的切換時序使 LED 的發光時序同步。因為在該驅動技術中可以部分地關斷 LED，所以尤其是在進行一個螢幕中的黑色顯示區所占的比率高的影像顯示的情況下，可以得到耗電量減少的效果。

藉由組合這些驅動技術，與現有的液晶顯示裝置相比，可以進一步改善液晶顯示裝置的動態圖像特性等的顯示特性。

由於在本說明書所公開的 n 通道型電晶體中將氧化物半導體膜用於通道形成區並具有良好的動態圖像特性，因此可以組合這些驅動技術。

此外，當製造發光顯示裝置時，因為將有機發光元件的一方電極（也稱為陰極）設定為低電源電位，例如 GND、0V 等，所以在端子部中設置用來將陰極設定為低電源電位，例如 GND、0V 等的第四端子。此外，當製造發光顯示裝置時，除了源極電極佈線及閘極佈線之外還設置電源供給線。由此，在端子部中設置與電源供給線電連

接的第五端子。

另外，當製造發光顯示裝置時，有時在各有機發光元件之間設置使用有機樹脂層的隔壁。此時，由於對有機樹脂層進行加熱處理，因此可以兼作該加熱處理與用來提高電晶體的電特性並用來降低電特性的不均勻的熱處理。

藉由利用使用氧化物半導體的薄膜電晶體來形成，可以降低製造成本。尤其是，因為藉由用於脫水化或脫氫化的加熱處理來減少作為雜質的水分等而提高氧化物半導體膜的純度，所以即使不使用降低了成膜處理室內的露點的特殊的濺射裝置或超高純度的氧化物半導體靶材也可以製造包括電特性良好且可靠性高的薄膜電晶體的半導體裝置。

因為通道形成區的半導體層為高電阻區域，所以薄膜電晶體的電特性穩定化，而可以防止截止電流的增加等。因此，可以製造包括電特性良好且可靠性高的薄膜電晶體的半導體裝置。

本實施例模式可以與其他的實施例模式所記載的結構適當地組合而實施。

實施例模式 5

以下說明在作為半導體裝置的一例的顯示裝置中在同一基板上至少製造驅動電路的一部分和配置於像素部的薄膜電晶體的例子。

配置於像素部的薄膜電晶體根據實施例模式 1 至實施

例模式 4 形成。此外，因為實施例模式 1 至實施例模式 4 所示的薄膜電晶體是 n 通道型 TFT，所以將驅動電路中可以由 n 通道型 TFT 構成的驅動電路的一部分與像素部的薄膜電晶體形成在同一基板上。

圖 14A 示出半導體裝置的一例的主動矩陣型液晶顯示裝置的方塊圖的一例。圖 14A 所示的顯示裝置在基板 5300 上包括：具有多個具備顯示元件的像素的像素部 5301；選擇各像素的掃描線驅動電路 5302；控制對被選擇的像素的視頻信號輸入的信號線驅動電路 5303。

像素部 5301 藉由從信號線驅動電路 5303 在行方向上延伸地配置的多個信號線 S1 至 Sm（未圖示）與信號線驅動電路 5303 連接，並藉由從掃描線驅動電路 5302 在列方向上延伸地配置的多個掃描線 G1 至 Gn（未圖示）與掃描線驅動電路 5302 連接，並且像素部 5301 具有對應於信號線 S1 至 Sm 以及掃描線 G1 至 Gn 而配置為矩陣狀的多個像素（未圖示）。並且，各像素與信號線 Sj（信號線 S1 至 Sm 中的任一個）、掃描線 Gi（掃描線 G1 至 Gn 中的任一個）連接。

另外，實施例模式 1 至實施例模式 4 所示的薄膜電晶體是 n 通道型 TFT，使用圖 15 說明由 n 通道型 TFT 構成的信號線驅動電路。

圖 15 所示的信號線驅動電路包括驅動器 IC5601、開關組 5602_1 至 5602_M、第一佈線 5611、第二佈線 5612、第三佈線 5613 以及佈線 5621_1 至 5621_M。開關

組 5602_1 至 5602_M 分別具有第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 以及第三薄膜電晶體 5603c。

驅動器 IC5601 與第一佈線 5611、第二佈線 5612、第三佈線 5613 及佈線 5621_1 至 5621_M 連接。而且，開關組 5602_1 至 5602_M 分別與第一佈線 5611、第二佈線 5612、第三佈線 5613 及分別與開關組 5602_1 至 5602_M 的對應的佈線 5621_1 至 5621_M 連接。而且，佈線 5621_1 至 5621_M 分別藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 與三個信號線連接。例如，第 J 行的佈線 5621_J (佈線 5621_1 至佈線 5621_M 中的任一個) 藉由開關組 5602_J 所具有的第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 與信號線 Sj-1、信號線 Sj、信號線 Sj+1 連接。

另外，對第一佈線 5611、第二佈線 5612、第三佈線 5613 分別輸入信號。

另外，驅動器 IC5601 最好形成在單晶基板上。另外，開關組 5602_1 至 5602_M 最好形成在與像素部同一基板上。因此，驅動器 IC5601 和開關組 5602_1 至 5602_M 最好藉由 FPC 等連接。

接著，參照圖 16 的時序圖說明圖 15 所示的信號線驅動電路的工作。另外，圖 16 的時序圖示出選擇第 i 列行掃描線 Gi 時的時序圖。另外，第 i 列掃描線 Gi 的選擇期間被分割為第一子選擇期間 T1、第二子選擇期間 T2 及第三子選擇期間 T3。而且，圖 15 的信號線驅動電路在其他

列的掃描線被選擇的情況下也進行與圖 16 相同的工作。

另外，圖 16 的時序圖示出第 J 行的佈線 5621_J 藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 與信號線 S_{j-1} 、信號線 S_j 、信號線 S_{j+1} 連接的情況。

另外，圖 16 的時序圖示出第 i 列掃描線 G_i 被選擇的時序、第一薄膜電晶體 5603a 的導通/截止的時序 5703a、第二薄膜電晶體 5603b 的導通/截止的時序 5703b、第三薄膜電晶體 5603c 的導通/截止的時序 5703c 及輸入到第 J 行佈線 5621_J 的信號 5721_J。

另外，在第一子選擇期間 $T1$ 、第二子選擇期間 $T2$ 及第三子選擇期間 $T3$ 中，分別對佈線 5621_1 至佈線 5621_M 輸入不同的視頻信號。例如，在第一子選擇期間 $T1$ 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_{j-1} ，在第二子選擇期間 $T2$ 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_j ，在第三子選擇期間 $T3$ 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_{j+1} 。另外，將在第一子選擇期間 $T1$ 、第二子選擇期間 $T2$ 及第三子選擇期間 $T3$ 中輸入到佈線 5621_J 的視頻信號依次分別記作 $Data_{j-1}$ 、 $Data_j$ 、 $Data_{j+1}$ 。

如圖 16 所示，在第一子選擇期間 $T1$ 中，第一薄膜電晶體 5603a 導通，第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 $Data_{j-1}$ 藉由第一薄膜電晶體 5603a 輸入到信號線 S_{j-1} 。在第二子選

擇期間 T2 中，第二薄膜電晶體 5603b 導通，第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 Data_j 藉由第二薄膜電晶體 5603b 輸入到信號線 Sj。在第三子選擇期間 T3 中，第三薄膜電晶體 5603c 導通，第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 截止。此時，輸入到佈線 5621_J 的 Data_j+1 藉由第三薄膜電晶體 5603c 輸入到信號線 Sj+1。

據此，圖 15 的信號線驅動電路藉由將一個閘極選擇期間分割為三個部分，可以在一個閘極選擇期間中從一個佈線 5621 將視頻信號輸入到三個信號線。因此，圖 15 的信號線驅動電路可以將形成有驅動器 IC5601 的基板和形成有像素部的基板的連接數設定為信號線數的 1/3 左右。由於連接數變為 1/3 左右，可以提高圖 15 的信號線驅動電路的可靠性、良率等。

另外，只要能夠如圖 15 所示那樣將一個閘極選擇期間分割為多個子選擇期間並在多個子選擇期間的每一個中從某一個佈線向多個信號線分別輸入視頻信號即可，對於薄膜電晶體的配置、數量及驅動方法等沒有限制。

例如，當在三個以上的子選擇期間的每一個中分別從一個佈線將視頻信號輸入到三個以上的信號線時，追加薄膜電晶體及用來控制薄膜電晶體的佈線即可。但是，如果將一個閘極選擇期間分割為四個以上的子選擇期間，則每個子選擇期間變短。因此，最好將一個閘極選擇期間分割為兩個或三個子選擇期間。

作為另一例，也可以如圖 17 的時序圖所示那樣，將一閘極選擇期間分割為預充電期間 T_p 、第一子選擇期間 $T1$ 、第二子選擇期間 $T2$ 、第三子選擇期間 $T3$ 。另外，圖 17 的時序圖示出第 i 列掃描線 G_i 被選擇的時序、第一薄膜電晶體 5603a 的導通/截止的時序 5803a、第二薄膜電晶體 5603b 的導通/截止的時序 5803b、第三薄膜電晶體 5603c 的導通/截止的時序 5803c 以及輸入到第 J 行佈線 5621_J 的信號 5821_J。如圖 17 所示，在預充電期間 T_p 中，第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 導通。此時，輸入到佈線 5621_J 的預充電電壓 V_p 藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 分別輸入到信號線 S_{j-1} 、信號線 S_j 、信號線 S_{j+1} 。在第一子選擇期間 $T1$ 中，第一薄膜電晶體 5603a 導通，第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 $Data_{j-1}$ 藉由第一薄膜電晶體 5603a 輸入到信號線 S_{j-1} 。在第二子選擇期間 $T2$ 中，第二薄膜電晶體 5603b 導通，第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 $Data_j$ 藉由第二薄膜電晶體 5603b 輸入到信號線 S_j 。在第三子選擇期間 $T3$ 中，第三薄膜電晶體 5603c 導通，第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 截止。此時，輸入到佈線 5621_J 的 $Data_{j+1}$ 藉由第三薄膜電晶體 5603c 輸入到信號線 S_{j+1} 。

據此，應用圖 17 的時序圖的圖 15 的信號線驅動電路藉由在子選擇期間之前設置預充電期間，可以對信號線進行預充電，從而可以高速地進行對像素的視頻信號的寫入。另外，在圖 17 中，對與圖 16 相同的部分使用共通的符號表示，省略對於同一部分或具有相同的功能的部分的詳細說明。

此外，說明掃描線驅動電路的構成。掃描線驅動電路包括移位暫存器。此外，根據情況，還可以包括位準移位器、緩衝器。在掃描線驅動電路中，藉由對移位暫存器輸入時鐘信號（CLK）及起始脈衝信號（SP），生成選擇信號。所生成的選擇信號在緩衝器中被緩衝放大，並供給到對應的掃描線。掃描線與一行的像素的電晶體的閘極電極連接。而且，由於必須將一行的像素的電晶體同時導通，因此使用能夠流過大電流的緩衝器。

使用圖 18 和圖 19 說明用於掃描線驅動電路的一部分的移位暫存器的一個模式。

圖 18 示出移位暫存器的電路結構。圖 18 所示的移位暫存器由正反器 5701_1 至 5701_n 這多個正反器構成。此外，輸入第一時鐘信號、第二時鐘信號、起始脈衝信號、重設信號來進行工作。

說明圖 18 的移位暫存器的連接關係。在圖 18 所示的移位暫存器中，至於第 i 級正反器 5701_i（正反器 5701_1 至 5701_n 中的任一個），圖 19 所示的第一佈線 5501 連接到第七佈線 5717_{i-1}，圖 19 所示的第二佈線

5502 連接到第七佈線 5717_{i+1}，圖 19 所示的第三佈線 5503 連接到第七佈線 5717_i，圖 19 所示的第六佈線 5506 連接到第五佈線 5715。

此外，在奇數級的正反器中圖 19 所示的第四佈線 5504 連接到第二佈線 5712，在偶數級的正反器中圖 19 所示的第四佈線 5504 連接到第三佈線 5713，並且圖 19 所示的第五佈線 5505 連接到第四佈線 5714。

但是，第一級正反器 5701₁ 的圖 19 所示的第一佈線 5501 連接到第一佈線 5711，而第 n 級正反器 5701_n 的圖 19 所示的第二佈線 5502 連接到第六佈線 5716。

另外，第一佈線 5711、第二佈線 5712、第三佈線 5713、第六佈線 5716 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。另外，第四佈線 5714、第五佈線 5715 也可以分別稱為第一電源線、第二電源線。

接著，使用圖 19 示出圖 18 所示的正反器的詳細結構。圖 19 所示的正反器包括第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577 以及第八薄膜電晶體 5578。另外，第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577 以及第八薄膜電晶體 5578 是 n 通道型電晶體，當柵源間電壓

(V_{gs}) 高於臨界值電壓 (V_{th}) 時處於導通狀態。

接著，下面示出圖 19 所示的正反器的連接結構。

第一薄膜電晶體 5571 的第一電極（源極電極或汲極電極的一方）與第四佈線 5504 連接，第一薄膜電晶體 5571 的第二電極（源極電極或汲極電極的另一方）與第三佈線 5503 連接。

第二薄膜電晶體 5572 的第一電極與第六佈線 5506 連接，第二薄膜電晶體 5572 的第二電極與第三佈線 5503 連接。

第三薄膜電晶體 5573 的第一電極與第五佈線 5505 連接，第三薄膜電晶體 5573 的第二電極與第二薄膜電晶體 5572 的閘極電極連接，第三薄膜電晶體 5573 的閘極電極與第五佈線 5505 連接。

第四薄膜電晶體 5574 的第一電極與第六佈線 5506 連接，第四薄膜電晶體 5574 的第二電極與第二薄膜電晶體 5572 的閘極電極連接，第四薄膜電晶體 5574 的閘極電極與第一薄膜電晶體 5571 的閘極電極連接。

第五薄膜電晶體 5575 的第一電極與第五佈線 5505 連接，第五薄膜電晶體 5575 的第二電極與第一薄膜電晶體 5571 的閘極電極連接，第五薄膜電晶體 5575 的閘極電極與第一佈線 5501 連接。

第六薄膜電晶體 5576 的第一電極與第六佈線 5506 連接，第六薄膜電晶體 5576 的第二電極與第一薄膜電晶體 5571 的閘極電極連接，第六薄膜電晶體 5576 的閘極電極

與第二薄膜電晶體 5572 的閘極電極連接。

第七薄膜電晶體 5577 的第一電極與第六佈線 5506 連接，第七薄膜電晶體 5577 的第二電極與第一薄膜電晶體 5571 的閘極電極連接，第七薄膜電晶體 5577 的閘極電極與第二佈線 5502 連接。第八薄膜電晶體 5578 的第一電極與第六佈線 5506 連接，第八薄膜電晶體 5578 的第二電極與第二薄膜電晶體 5572 的閘極電極連接，第八薄膜電晶體 5578 的閘極電極與第一佈線 5501 連接。

另外，將第一薄膜電晶體 5571 的閘極電極、第四薄膜電晶體 5574 的閘極電極、第五薄膜電晶體 5575 的第二電極、第六薄膜電晶體 5576 的第二電極以及第七薄膜電晶體 5577 的第二電極的連接處記作節點 5543。另外，將第二薄膜電晶體 5572 的閘極電極、第三薄膜電晶體 5573 的第二電極、第四薄膜電晶體 5574 的第二電極、第六薄膜電晶體 5576 的閘極電極以及第八薄膜電晶體 5578 的第二電極的連接處記作節點 5544。

另外，第一佈線 5501、第二佈線 5502、第三佈線 5503 以及第四佈線 5504 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。另外，第五佈線 5505 也可以稱為第一電源線，第六佈線 5506 也可以稱為第二電源線。

此外，也可以僅使用實施例模式 1 至實施例模式 4 所示的 n 通道型 TFT 來製造信號線驅動電路及掃描線驅動電路。因為實施例模式 1 至實施例模式 4 所示的 n 通道型

TFT 的電晶體遷移率大，所以可以提高驅動電路的驅動頻率。另外，因為實施例模式 1 至實施例模式 4 所示的 n 通道型 TFT 的寄生電容降低，因此頻率特性（被稱為 f 特性）高。例如，由於使用實施例模式 1 至實施例模式 4 所示的 n 通道型 TFT 的掃描線驅動電路可以進行高速工作，因此可以實現幀頻率的提高或黑屏插入等。

另外，藉由增大掃描線驅動電路的電晶體的通道寬度或配置多個掃描線驅動電路等，可以實現更高的幀頻率。在配置多個掃描線驅動電路的情況下，藉由將用來驅動偶數行的掃描線的掃描線驅動電路配置在一側，將用來驅動奇數行的掃描線的掃描線驅動電路配置在其相反一側，可以實現幀頻率的提高。此外，如果藉由多個掃描線驅動電路對同一掃描線輸出信號，有利於顯示裝置的大型化。

此外，在製造作為半導體裝置的一例的主動矩陣型發光顯示裝置的情況下，因為至少在一個像素中配置多個薄膜電晶體，因此最好配置多個掃描線驅動電路。圖 14B 示出主動矩陣型發光顯示裝置的方塊圖的一例。

圖 14B 所示的發光顯示裝置在基板 5400 上包括：具有多個具備顯示元件的像素的像素部 5401；選擇各像素的第一掃描線驅動電路 5402 及第二掃描線驅動電路 5404；控制對被選擇的像素的視頻信號輸入的信號線驅動電路 5403。

在輸入到圖 14B 所示的發光顯示裝置的像素的視頻信號為數位方式的情況下，藉由切換電晶體的導通和截止，

像素呈現發光或非發光的狀態。因此，可以採用面積灰度法或時間灰度法進行灰度的顯示。面積灰度法是藉由將一個像素分割為多個子像素並根據視頻信號獨立地驅動各子像素來進行灰度顯示的驅動方法。此外，時間灰度法是藉由控制像素發光的時間來進行灰度顯示的驅動方法。

因為發光元件的回應速度比液晶元件等的回應速度快，所以發光元件比液晶元件更適合時間灰度法。明確而言，在採用時間灰度法進行顯示的情況下，將一幀期間分割為多個子幀期間。然後，根據視頻信號，在各子幀期間中使像素的發光元件處於發光或非發光的狀態。藉由分割為多個子幀期間，可以藉由視頻信號控制在一幀期間中像素實際上發光的時間的總長度，可以進行灰度顯示。

另外，圖 14B 所示的發光顯示裝置示出如下例子：即當在一個像素中配置兩個開關 TFT 時，使用第一掃描線驅動電路 5402 生成輸入到一方的開關 TFT 的作為閘極佈線的第一掃描線的信號，使用第二掃描線驅動電路 5404 生成輸入到另一方的開關 TFT 的作為閘極佈線的第二掃描線的信號，但是，也可以使用一個掃描線驅動電路生成輸入到第一掃描線的信號和輸入到第二掃描線的信號。此外，例如也可以根據一個像素所具有的開關 TFT 的數量在各像素中設置多個用來控制切換元件的工作的掃描線。在此情況下，既可以使用一個掃描線驅動電路生成輸入到多個掃描線的所有信號，又可以使用多個掃描線驅動電路生成輸入到多個掃描線的信號。

此外，在發光顯示裝置中，也可以將驅動電路中能夠由 n 通道型 TFT 構成的驅動電路的一部分形成在與像素部的薄膜電晶體同一基板上。另外，也可以僅使用實施例模式 1 至實施例模式 4 所示的 n 通道型 TFT 來製造信號線驅動電路及掃描線驅動電路。

藉由上述製程，可以製造作為半導體裝置的可靠性高的顯示裝置。

另外，本實施例模式可以與其他實施例模式所示的構成適當地組合而實施。

實施例模式 6

藉由製造薄膜電晶體並將該薄膜電晶體用於像素部及驅動電路，可以製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，可以使用薄膜電晶體在與像素部同一基板上一體地形成驅動電路的一部分或整體，而形成系統型面板（system-on-panel）。

顯示裝置包括顯示元件。作為顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。在發光元件的範疇內包括利用電流或電壓控制亮度的元件，明確而言，包括無機 EL（Electro Luminescence；電致發光）元件、有機 EL 元件等。此外，也可以使用電子墨水等的其對比度因電作用而變化的顯示媒體。

此外，顯示裝置包括密封有顯示元件的面板和在該面

板中安裝有包括控制器的 IC 等的模組。再者，本發明的一個實施例關於相當於製造該顯示裝置的過程中的顯示元件完成之前的一個實施例的元件基板，並且該元件基板在多個各像素中分別具備用來將電流供給到顯示元件的單元。明確而言，元件基板既可以處於只形成有顯示元件的像素電極的狀態，又可以處於形成成為像素電極的導電膜之後且藉由蝕刻形成像素電極之前的狀態，可以是任意的狀態。

注意，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置或光源（包括照明裝置）。另外，顯示裝置還包括：安裝有連接器諸如 FPC（Flexible Printed Circuit：撓性印刷電路）、TAB（Tape Automated Bonding：載帶自動接合）帶或 TCP（Tape Carrier Package：載帶封裝）的模組；在 TAB 帶或 TCP 的端部上設置有印刷線路板的模組；藉由 COG（Chip On Glass：玻璃上晶片）方式將 IC（積體電路）直接安裝到顯示元件上的模組。

參照圖 10A1、圖 10A2 以及圖 10B 說明相當於半導體裝置的一個實施例的液晶顯示面板的外觀及截面。圖 10A1、圖 10A2 是一種面板的平面圖，其中利用密封材料 4005 將包括形成在第一基板 4001 上的實施例模式 4 所示的氧化物半導體層的可靠性高的薄膜電晶體 4010、4011 及液晶元件 4013 密封在第一基板 4001 和第二基板 4006 之間。圖 10B 相當於沿著圖 10A1、圖 10A2 的 M-N 的截面圖。

以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002 和掃描線驅動電路 4004 與液晶層 4008 一起由第一基板 4001、密封材料 4005 和第二基板 4006 密封。此外，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有信號線驅動電路 4003，該信號線驅動電路 4003 使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上。

注意，對於另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG 方法、引線接合方法或 TAB 方法等。圖 10A1 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，而圖 10A2 是藉由 TAB 方法安裝信號線驅動電路 4003 的例子。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 包括多個薄膜電晶體。在圖 10B 中例示像素部 4002 所包括的薄膜電晶體 4010 和掃描線驅動電路 4004 所包括的薄膜電晶體 4011。在薄膜電晶體 4010、4011 上設置有絕緣層 4020、4021。

可以將實施例模式 4 所示的包括氧化物半導體層的可靠性高的薄膜電晶體用於薄膜電晶體 4010、4011。此外，也可以使用實施例模式 1 至實施例模式 3 所示的薄膜電晶體。在本實施例模式中，薄膜電晶體 4010、4011 是 n 通道型薄膜電晶體。

此外，液晶元件 4013 所具有的像素電極層 4030 與薄膜電晶體 4010 電連接。而且，液晶元件 4013 的對置電極層 4031 形成在第二基板 4006 上。像素電極層 4030、對置電極層 4031 和液晶層 4008 重疊的部分相當於液晶元件 4013。注意，像素電極層 4030、對置電極層 4031 分別設置有用作取向膜的絕緣層 4032、4033，並隔著絕緣層 4032、4033 夾有液晶層 4008。

另外，作為第一基板 4001、第二基板 4006，可以使用玻璃、金屬（典型的是不鏽鋼）、陶瓷、塑膠。作為塑膠，可以使用 FRP（Fiberglass-Reinforced Plastics；玻璃纖維強化塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，還可以使用具有將鋁箔夾在 PVF 薄膜或聚酯薄膜之間的結構的薄片。

此外，附圖標記 4035 表示藉由對絕緣膜選擇性地進行蝕刻而得到的柱狀間隔物，並且它是為控制像素電極層 4030 和對置電極層 4031 之間的距離（盒間隙（cell gap））而設置的。另外，還可以使用球狀間隔物。另外，對置電極層 4031 電連接到設置在與薄膜電晶體 4010 同一基板上的公共電位線。可以使用公共連接部並藉由配置在一對基板之間的導電粒子電連接對置電極層 4031 和公共電位線。此外，將導電粒子包含在密封材料 4005 中。

另外，還可以使用不使用取向膜的呈現藍相的液晶。藍相是液晶相的一種，是指當使膽甾相液晶的溫度上升時

即將從膽甾相轉變到均質相之前出現的相。由於藍相只出現在較窄的溫度範圍內，所以爲了改善溫度範圍而將混合有 5wt% 以上的手性試劑的液晶組成物用於液晶層 4008。由於包含呈現藍相的液晶和手性試劑的液晶組成物的回應速度短，即爲 1msec 以下，並且其具有光學各向同性，所以不需要取向處理，從而視角依賴性低。

另外，除了可以應用於透射型液晶顯示裝置之外，還可以應用於反射型液晶顯示裝置或半透射型液晶顯示裝置。

另外，雖然示出在液晶顯示裝置中在基板的外側（可見一側）設置偏光板，並在內側依次設置著色層、用於顯示元件的電極層的例子，但是也可以在基板的內側設置偏光板。另外，偏光板和著色層的疊層結構也不侷限於本實施例模式的結構，根據偏光板和著色層的材料或製造製程條件適當地設定偏光板和著色層的疊層結構即可。另外，還可以設置用作黑色矩陣（black matrix）的遮光膜。

在薄膜電晶體 4010、4011 中，接觸於包括通道形成區的半導體層地形成有絕緣膜 4020 作爲保護絕緣膜。絕緣膜 4020 使用實施例模式 1 所示的與氧化物絕緣膜 407 相同的材料及方法形成，即可。另外，採用使用用作平坦化絕緣膜的絕緣層 4021 進行覆蓋的結構，以便減少表面凹凸。

在此，形成疊層結構的絕緣層 4020 作爲保護膜。在此，利用濺射法形成氧化矽膜作爲絕緣層 4020 的第一

層。當作爲保護膜使用氧化矽膜時，有防止用作源極電極層及汲極電極層的鋁膜的小丘的效果。

另外，形成絕緣層作爲保護膜的第三層。在此，利用濺射法形成氮化矽膜作爲絕緣層 4020 的第三層。當使用氮化矽膜作爲保護膜時，可以抑制鈉等的可動離子侵入到半導體區域中而使 TFT 的電特性變化。

另外，也可以在形成保護膜之後在氮氛圍下或在大氣氛圍下進行加熱處理（300℃以下）。

另外，形成絕緣層 4021 作爲平坦化絕緣膜。作爲絕緣層 4021，可以使用具有耐熱性的有機材料如聚醯亞胺、丙烯酸樹脂、苯並環丁烯、聚醯胺、環氧樹脂等。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜來形成絕緣層 4021。

另外，矽氧烷類樹脂相當於以矽氧烷類材料爲起始材料而形成的包含 Si-O-Si 鍵的樹脂。作爲矽氧烷類樹脂的取代基，也可以使用有機基（例如烷基、芳基）、氟基團。另外，有機基也可以具有氟基團。

對絕緣層 4021 的形成方法沒有特別的限制，可以根據其材料利用濺射法、SOG 法、旋塗、浸漬、噴塗、液滴噴射法（噴墨法、絲網印刷、膠版印刷等）、刮片、輥塗機、幕塗機、刮刀塗佈機等。藉由兼作絕緣層 4021 的焙燒製程和對半導體層的退火，可以有效地製造半導體裝

置。

作為像素電極層 4030、對置電極層 4031，可以使用具有透光性的導電材料諸如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（下面表示為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等。

此外，可以使用包含導電高分子（也稱為導電聚合物）的導電組成物形成像素電極層 4030、對置電極層 4031。使用導電組成物形成的像素電極的薄層電阻最好為 $10000\Omega/\square$ 以下，並且其波長為 550nm 時的透光率最好為 70% 以上。另外，導電組成物所包含的導電高分子的電阻率最好為 $0.1\Omega\cdot\text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的兩種以上的共聚物等。

另外，供給到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或像素部 4002 的各種信號及電位是從 FPC4018 供給的。

連接端子電極 4015 由與液晶元件 4013 所具有的像素電極層 4030 相同的導電膜形成，並且端子電極 4016 由與薄膜電晶體 4010、4011 的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4015 藉由各向異性導電膜 4019 電連接

到 FPC4018 所具有的端子。

此外，雖然在圖 10A1、10A2 以及 10B 中示出另行形成信號線驅動電路 4003 並將它安裝在第一基板 4001 上的例子，但是不侷限於該結構。既可以另行形成掃描線驅動電路而安裝，又可以另行僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

圖 20 示出使用藉由本說明書所公開的製造方法製造的 TFT 基板 2600 來構成液晶顯示模組作為半導體裝置的一例。

圖 20 是液晶顯示模組的一例，利用密封材料 2602 固定 TFT 基板 2600 和對置基板 2601，並在其間設置包括 TFT 等的像素部 2603、包括液晶層的顯示元件 2604、著色層 2605 來形成顯示區。在進行彩色顯示時需要著色層 2605，並且當採用 RGB 方式時，對應於各像素地設置有分別對應於紅色、綠色、藍色的各顏色的著色層。在 TFT 基板 2600 和對置基板 2601 的外側配置有偏光板 2606、偏光板 2607、擴散板 2613。光源由冷陰極管 2610 和反射板 2611 構成，電路基板 2612 利用撓性線路板 2609 與 TFT 基板 2600 的佈線電路部 2608 連接，並且其中組裝有控制電路及電源電路等的外部電路。此外，也可以在偏光板和液晶層之間具有相位差板的狀態層疊。

作為液晶顯示模組，可以採用 TN（扭曲向列；Twisted Nematic）模式、IPS（平面內轉換；In-Plane-Switching）模式、FFS（邊緣電場轉換；Fringe Field

Switching) 模式、MVA (多疇垂直取向; Multi-domain Vertical Alignment) 模式、PVA (垂直取向構型; Patterned Vertical Alignment) 模式、ASM (軸對稱排列微胞; Axially Symmetric Aligned Micro-cell) 模式、OCB (光學補償彎曲; Optical Compensated Birefringence) 模式、FLC (鐵電性液晶; Ferroelectric Liquid Crystal) 模式、AFLC (反鐵電性液晶; AntiFerroelectric Liquid Crystal) 模式等。

藉由上述製程，可以製造作為半導體裝置的可靠性高的液晶顯示面板。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 7

作為半導體裝置，示出電子紙的例子。

也可以將半導體裝置用於利用與切換元件電連接的元件來驅動電子墨水的電子紙。電子紙也稱為電泳顯示裝置（電泳顯示器），並具有如下優點：與紙相同的易讀性；耗電量比其他的顯示裝置小；可以形成為薄且輕的形狀。

作為電泳顯示器，可以考慮各種方式。在電泳顯示器中，在溶劑或溶質中分散有多個包含具有正電荷的第一粒子和具有負電荷的第二粒子的微囊，並且藉由對微囊施加電場來使微囊中的粒子向彼此相反的方向移動，以僅顯示集合在一側的粒子的顏色。另外，第一粒子或第二粒子包

含染料，並且在沒有電場時不移動。此外，第一粒子和第二粒子的顏色不同（包含無色）。

像這樣，電泳顯示器是利用所謂的介電电泳效應的顯示器，在該介電电泳效應中，介電常數高的物質移動到高電場區。电泳顯示器不需要液晶顯示裝置所需的偏光板。

在溶劑中分散有上述微囊的溶液稱為電子墨水，該電子墨水可以印刷到玻璃、塑膠、布、紙等的表面上。另外，還可以藉由使用彩色濾光片或具有色素的粒子來進行彩色顯示。

此外，藉由在主動矩陣基板上適當地設置多個上述微囊以使微囊夾在兩個電極之間，而完成主動矩陣型顯示裝置，並且藉由對微囊施加電場可以進行顯示。例如，可以使用根據實施例模式 1 至實施例模式 4 的薄膜電晶體而得到的主動矩陣基板。

此外，作為微囊中的第一粒子及第二粒子，使用選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電性材料、電致發光材料、電致變色材料、电泳材料中的其中之一者或這些材料的組合材料即可。

在圖 9 中，作為半導體裝置的例子示出主動矩陣型電子紙。用於半導體裝置的薄膜電晶體 581 可以與實施例模式 1 所示的薄膜電晶體同樣地製造，並且該薄膜電晶體 581 是包括氧化物半導體層的可靠性高的薄膜電晶體。此外，也可以將實施例模式 2 至實施例模式 4 所示的薄膜電晶體用於本實施例模式的薄膜電晶體 581。

圖 9 的電子紙是採用旋轉球顯示 (twisting ball display) 方式的顯示裝置的例子。旋轉球顯示方式是指一種方法，其中將分別著色為白色和黑色的球形粒子配置在用於顯示元件的電極層的第一電極層及第二電極層之間，並在第一電極層和第二電極層之間產生電位差來控制球形粒子的方向，以進行顯示。

密封在基板 580 和基板 596 之間的薄膜電晶體 581 是底閘結構的薄膜電晶體，並且由與半導體層接觸的絕緣膜 583 覆蓋。薄膜電晶體 581 的源極電極層或汲極電極層在形成於絕緣膜 583 以及絕緣層 585 中的開口中接觸於第一電極層 587 並與其電連接。在第一電極層 587 和第二電極層 588 之間設置有球形粒子 589，該球形粒子 589 具有黑色區 590a、白色區 590b，並且黑色區 590a、白色區 590b 的周圍包括充滿了液體的空洞 594，並且球形粒子 589 的周圍充滿有樹脂等的填料 595 (參照圖 9)。第一電極層 587 相當於像素電極，第二電極層 588 相當於公共電極。第二電極層 588 電連接到設置在與薄膜電晶體 581 同一基板上的公共電位線。可以使用公共連接部來藉由配置在基板 580 和基板 596 之間的導電粒子電連接第二電極層 588 和公共電位線。

此外，還可以使用電泳元件代替旋轉球。使用直徑為 $10\mu\text{m}$ 至 $200\mu\text{m}$ 左右的微囊，該微囊中封入有透明液體、帶正電的白色微粒和帶負電的黑色微粒。在設置在第一電極層和第二電極層之間的微囊中，當由第一電極層和第二

電極層施加電場時，白色微粒和黑色微粒向相反方向移動，從而可以顯示白色或黑色。應用該原理的顯示元件就是電泳顯示元件，一般地稱為電子紙。電泳顯示元件具有比液晶顯示元件高的反射率，因而不需要輔助燈。此外，耗電量低，並且在昏暗的地方也能夠辨認顯示部。另外，即使不向顯示部供應電源，也能夠保持顯示過一次的圖像。因此，即使具有顯示功能的半導體裝置（簡單地稱為顯示裝置，或稱為具備顯示裝置的半導體裝置）從電波發射源離開，也能夠保存顯示過的圖像。

藉由上述製程，可以製造作為半導體裝置的可靠性高的電子紙。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 8

作為半導體裝置，示出發光顯示裝置的例子。在此，示出利用電致發光的發光元件作為顯示裝置所具有的顯示元件。根據其發光材料是有機化合物還是無機化合物對利用電致發光的發光元件進行區別，一般前者稱為有機 EL 元件，而後者稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別植入到包含發光有機化合物的層，以電流流過。而且，藉由這些載子（電子和電洞）重新結合，發光有機化合物形成激發態，並且當該激發態恢復到

基態時獲得發光。根據該機理，這種發光元件稱為電流激發型的發光元件。

無機 EL 元件根據其元件結構分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件包括在黏合劑中分散有發光材料的粒子的發光層，並且其發光機理是利用施主能級和受主能級的施主-受主重新結合型發光。薄膜型無機 EL 元件具有利用電介質層夾持發光層並還利用電極夾持該夾有發光層的電介質層的結構，並且其發光機理是利用金屬離子的內層電子躍遷的定域型發光。另外，在此，使用有機 EL 元件作為發光元件而進行說明。

圖 12 是示出可以使用數位時間灰度級驅動的像素結構的一例作為半導體裝置的例子的圖。

說明可以使用數位時間灰度級驅動的像素的結構以及像素的工作。在此示出在一個像素中使用兩個 n 通道型電晶體的例子，在該 n 通道型電晶體中將氧化物半導體層用於通道形成區。

像素 6400 包括開關電晶體 6401、驅動電晶體 6402、發光元件 6404 以及電容元件 6403。在開關電晶體 6401 中，閘極與掃描線 6406 連接，第一電極（源極電極和汲極電極中的一方）與信號線 6405 連接，並且第二電極（源極電極和汲極電極中的另一方）與驅動電晶體 6402 的閘極連接。在驅動電晶體 6402 中，閘極藉由電容元件 6403 與電源線 6407 連接，第一電極與電源線 6407 連

接，第二電極與發光元件 6404 的第一電極（像素電極）連接。發光元件 6404 的第二電極相當於共同電極 6408。共同電極 6408 與形成在同一基板上的共同電位線電連接。

另外，將發光元件 6404 的第二電極（共同電極 6408）設定為低電源電位。另外，低電源電位是指以電源線 6407 所設定的高電源電位為基準滿足低電源電位 < 高電源電位的電位，作為低電源電位例如可以設定為 GND、0V 等。將該高電源電位與低電源電位的電位差施加到發光元件 6404 上，為了使電流流過發光元件 6404 以使發光元件 6404 發光，以使高電源電位與低電源電位的電位差成為發光元件 6404 的正向臨界值電壓以上的方式分別設定其電位。

另外，還可以使用驅動電晶體 6402 的閘極電容代替電容元件 6403 而省略電容元件 6403。至於驅動電晶體 6402 的閘極電容，也可以在通道區與閘極電極之間形成有電容。

在此，當採用電壓輸入電壓驅動方式時，對驅動電晶體 6402 的閘極輸入能夠使驅動電晶體 6402 充分處於導通或截止的兩個狀態的視頻信號。即，使驅動電晶體 6402 在線形區域中工作。由於使驅動電晶體 6402 在線形區域中工作，所以將比電源線 6407 的電壓高的電壓施加到驅動電晶體 6402 的閘極。另外，對信號線 6405 施加（電源線電壓 + 驅動電晶體 6402 的 V_{th} ）以上的電壓。

另外，當進行模擬灰度級驅動而代替數位時間灰度級驅動時，藉由使信號的輸入不同，可以使用與圖 12 相同的像素結構。

當進行模擬灰度級驅動時，對驅動電晶體 6402 的閘極施加（發光元件 6404 的正向電壓+驅動電晶體 6402 的 V_{th} ）以上的電壓。發光元件 6404 的正向電壓是指設定為所希望的亮度時的電壓，至少包括正向臨界值電壓。另外，藉由輸入使驅動電晶體 6402 在飽和區域中工作的視頻信號，可以使電流流過發光元件 6404。為了使驅動電晶體 6402 在飽和區域中工作，將電源線 6407 的電位設定得高於驅動電晶體 6402 的閘極電位。藉由將視頻信號設定為模擬方式，可以使與視頻信號對應的電流流過發光元件 6404，而進行模擬灰度級驅動。

此外，圖 12 所示的像素結構不侷限於此。例如，也可以還對圖 12 所示的像素追加開關、電阻元件、電容元件、電晶體或邏輯電路等。

接著，參照圖 13A 至 13C 說明發光元件的結構。在此，以驅動 TFT 是 n 型的情況為例子來說明像素的截面結構。用於圖 13A、13B 和 13C 的半導體裝置的驅動 TFT7001、7011、7021 可以與實施例模式 1 所示的薄膜電晶體同樣地製造，並且驅動 TFT7001、7011、7021 是包括氧化物半導體層的可靠性高的薄膜電晶體。此外，也可以將實施例模式 2 至實施例模式 4 所示的薄膜電晶體用作 TFT7001、7011、7021。

爲了取出發光，發光元件的陽極或陰極的至少一方是透明的即可。而且，在基板上形成薄膜電晶體及發光元件，並且發光元件有如下結構，即從與基板相反的面得到發光的頂部發射、從基板一側的面得到發光的底部發射以及從基板一側及與基板相反的面得到發光的雙面發射結構。像素結構可以應用於任何發射結構的發光元件。

使用圖 13A 說明頂部發射結構的發光元件。

在圖 13A 中示出當驅動 TFT7001 是 n 型，並且從發光元件 7002 發射的光穿過到陽極 7005 一側時的像素的截面圖。在圖 13A 中，發光元件 7002 的陰極 7003 與驅動 TFT7001 電連接，在陰極 7003 上按順序層疊有發光層 7004、陽極 7005。作爲陰極 7003，只要是功函數小且反射光的導電膜，就可以使用各種材料。例如，最好採用 Ca、Al、MgAg、AlLi 等。而且，發光層 7004 可以由單層或多個層的疊層構成。當發光層 7004 由多個層構成時，在陰極 7003 上按順序層疊電子植入層、電子傳輸層、發光層、電洞傳輸層、電洞植入層。注意，不需要設置上述的所有層。使用具有透過光的透光性的導電材料形成陽極 7005，也可以使用具有透光性的導電膜，例如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（下面，表示爲 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等。

使用陰極 7003 及陽極 7005 夾有發光層 7004 的區域相當於發光元件 7002。在圖 13A 所示的像素中，從發光

元件 7002 發射的光如箭頭所示那樣發射到陽極 7005 一側。

接著，使用圖 13B 說明底部發射結構的發光元件。圖 13B 示出在驅動 TFT7011 是 n 型，並且從發光元件 7012 發射的光向陰極 7013 一側出射的情況下的像素的截面圖。在圖 13B 中，在與驅動 TFT7011 電連接的具有透光性的導電膜 7017 上形成有發光元件 7012 的陰極 7013，並且在陰極 7013 上按順序層疊有發光層 7014、陽極 7015。另外，當陽極 7015 具有透光性時，也可以覆蓋陽極上地形成有用來反射光或進行遮光的遮罩膜 7016。與圖 13A 的情況同樣地，作為陰極 7013，只要是功函數小的導電材料，就可以使用各種材料。但是，將其厚度設定為透過光的程度（最好為 5nm 至 30nm 左右）。例如，也可以將膜厚度為 20nm 的鋁膜用作陰極 7013。而且，與圖 13A 同樣地，發光層 7014 可以由單層或多個層的疊層構成。陽極 7015 不需要透過光，但是可以與圖 13A 同樣地使用具有透光性的導電材料形成。並且，雖然作為遮罩膜 7016 例如可以使用反射光的金屬等，但是不侷限於金屬膜。例如，也可以使用添加有黑色的顏料的樹脂等。

由陰極 7013 及陽極 7015 夾有發光層 7014 的區域相當於發光元件 7012。在圖 13B 所示的像素中，從發光元件 7012 發射的光如箭頭所示那樣向陰極 7013 一側出射。

接著，使用圖 13C 說明雙面發射結構的發光元件。在圖 13C 中，在與驅動 TFT7021 電連接的具有透光性的導

電膜 7027 上形成有發光元件 7022 的陰極 7023，並且在陰極 7023 上按順序層疊有發光層 7024、陽極 7025。與圖 13A 的情況同樣地，作為陰極 7023，只要是功函數小的導電材料，就可以使用各種材料。但是，將其膜厚度設定為透過光的程度。例如，可以將膜厚度為 20nm 的鋁膜用作陰極 7023。而且，與圖 13A 同樣地，發光層 7024 可以由單層或多個層的疊層構成。陽極 7025 可以與圖 13A 同樣地使用具有透過光的透光性的導電材料形成。

陰極 7023、發光層 7024 和陽極 7025 重疊的部分相當於發光元件 7022。在圖 13C 所示的像素中，從發光元件 7022 發射的光如箭頭所示那樣向陽極 7025 一側和陰極 7023 一側這兩側出射。

注意，雖然在此描述了用作發光元件的有機 EL 元件，但是也可以設置無機 EL 元件作為發光元件。

注意，雖然在此示出了控制發光元件的驅動的薄膜電晶體（驅動 TFT）與發光元件電連接的例子，但是也可以採用在驅動 TFT 和發光元件之間連接有電流控制 TFT 的結構。

注意，半導體裝置不侷限於圖 13A 至圖 13C 所示的結構而可以根據本說明書所公開的技術思想進行各種變形。

接著，參照圖 11A 和 11B 說明相當於半導體裝置的一個方式的發光顯示面板（也稱為發光面板）的外觀及截面。圖 11A 是一種面板的平面圖，其中利用密封材料在

第一基板與第二基板之間密封形成在第一基板上的薄膜電晶體及發光元件。圖 11B 相當於沿著圖 11A 的 H-I 的截面圖。

以圍繞設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 的方式設置有密封材料 4505。此外，在像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 上設置有第二基板 4506。因此，像素部 4502、信號線驅動電路 4503a、4503b、以及掃描線驅動電路 4504a、4504b 與填料 4507 一起由第一基板 4501、密封材料 4505 和第二基板 4506 密封。像這樣，爲了不暴露於空氣中，最好使用高氣密性且少漏氣的保護薄膜（貼合薄膜、紫外線固化樹脂薄膜等）、覆蓋材料進行封裝（密封）。

此外，設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 包括多個薄膜電晶體。在圖 11B 中例示包括在像素部 4502 中的薄膜電晶體 4510 和包括在信號線驅動電路 4503a 中的薄膜電晶體 4509。

作爲薄膜電晶體 4509、4510，可以使用實施例模式 3 所示的包括氧化物半導體層的高可靠性的薄膜電晶體。此外，也可以使用實施例模式 1 至實施例模式 4 所示的薄膜電晶體。薄膜電晶體 4509、4510 是 n 通道型薄膜電晶體。

此外，附圖標記 4511 相當於發光元件，發光元件 4511 所具有的作為像素電極的第一電極層 4517 與薄膜電晶體 4510 的源極電極層或汲極電極層電連接。注意，雖然發光元件 4511 的結構是第一電極層 4517、電致發光層 4512、第二電極層 4513 的疊層結構，但是不侷限於所示出的結構。可以根據從發光元件 4511 得到的光的方向等適當地改變發光元件 4511 的結構。

使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷形成分隔壁 4520。特別佳的是，使用感光材料，在第一電極層 4517 上形成開口部，以將該開口部的側壁形成為具有連續的曲率地形成的傾斜面。

電致發光層 4512 既可以由單層構成，又可以由多個層的疊層構成。

也可以在第二電極層 4513 及分隔壁 4520 上形成保護膜，以防止氧、氫、水分、二氧化碳等侵入到發光元件 4511 中。作為保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。

另外，供給到信號線驅動電路 4503a、4503b、掃描線驅動電路 4504a、4504b、或像素部 4502 的各種信號及電位是從 FPC4518a、4518b 供給的。

連接端子電極 4515 由與發光元件 4511 所具有的第一電極層 4517 相同的導電膜形成，並且端子電極 4516 由與薄膜電晶體 4509、4510 所具有的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4515 藉由各向異性導電膜 4519 電連接到 FPC4518a 所具有的端子。

位於從發光元件 4511 的光的取出方向上的第二基板 4506 需要具有透光性。在此情況下，使用如玻璃板、塑膠板、聚酯薄膜或丙烯酸樹脂薄膜等的具有透光性的材料。

此外，作為填料 4507，除了氮及氬等的惰性氣體之外，還可以使用紫外線固化樹脂或熱固化樹脂。可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）、或 EVA（乙烯-醋酸乙烯酯）。例如，作為填料使用氮即可。

另外，若有需要，也可以在發光元件的出射面上適當地設置諸如偏光板、圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 片、 $\lambda/2$ 片）、彩色濾光片等的光學薄膜。另外，也可以在偏光板或圓偏光板上設置抗反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反射光並降低眩光的處理。

信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 也可以作為在另行準備的基板上由單晶半導體膜或多晶半導體膜形成的驅動電路安裝。此外，也可以另行僅形成信號線驅動電路或其一部分、或者掃描線驅動電路或其一部分而安裝。據此，不侷限於圖 11A 和 11B 的結構。

藉由上述製程，可以製造作為半導體裝置的可靠性高

的發光顯示面板（發光面板）。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

實施例模式 9

本說明書所公開的半導體裝置可以用於電子紙。電子紙可以用於顯示資訊的所有領域的電子設備。例如，可以將電子紙用於電子書閱讀器、海報、電車等的交通工具的車廂廣告、信用卡等的各種卡片中的顯示等。圖 22 示出電子設備的一例。

另外，圖 22 示出電子書閱讀器 2700 的一例。例如，電子書閱讀器 2700 由兩個框體，即框體 2701 及框體 2703 構成。框體 2701 及框體 2703 由軸部 2711 形成為一體，並且可以以該軸部 2711 為軸進行開閉動作。藉由該結構，可以進行如紙的書籍那樣的動作。

框體 2701 組裝有顯示部 2705，而框體 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可以是顯示連屏螢幕的結構，又可以是顯示不同的螢幕的結構。藉由採用顯示不同的螢幕的結構，例如可以在右邊的顯示部（圖 22 中的顯示部 2705）中顯示文章，而在左邊的顯示部（圖 22 中的顯示部 2707）中顯示圖像。

此外，在圖 22 中示出框體 2701 具備操作部等的例子。例如，在框體 2701 中具備電源 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。另外，也可

以採用在與框體的顯示部同一面上具備鍵盤、定位裝置等的結構。另外，也可以採用在框體的背面或側面具備外部連接端子（耳機端子、USB 端子或可以與 AC 適配器及 USB 電纜等各種電纜連接的端子等）、記錄媒體插入部等的結構。再者，電子書閱讀器 2700 也可以具有電子詞典的功能。

此外，電子書閱讀器 2700 也可以採用以無線方式收發資訊的結構。還可以採用以無線方式從電子書籍伺服器購買所希望的書籍資料等並下載的結構。

實施例模式 10

本說明書所公開的半導體裝置可以應用於各種電子設備（也包括遊戲機）。作為電子設備，例如可以舉出：電視裝置（也稱為電視或電視接收機）；用於電腦等的監視器；如數位相機、數位攝像機等影像拍攝裝置；數位相框、行動電話機（也稱為行動電話、行動電話裝置）；可攜式遊戲機；可攜式資訊終端；聲音再現裝置；彈珠機等大型遊戲機等。

圖 23A 示出電視裝置 9600 的一例。在電視裝置 9600 中，框體 9601 組裝有顯示部 9603。利用顯示部 9603 可以顯示影像。此外，在此示出利用支架 9605 支撐框體 9601 的結構。

可以藉由利用框體 9601 所具備的操作開關、另行提供的遙控操作機 9610 進行電視裝置 9600 的操作。藉由利

用遙控操作機 9610 所具備的操作鍵 9609，可以進行頻道及音量的操作，並可以對在顯示部 9603 上顯示的圖像進行操作。此外，也可以採用在遙控操作機 9610 中設置顯示從該遙控器 9610 輸出的資訊的顯示部 9607 的結構。

另外，電視裝置 9600 採用具備接收機及數據機等的結構。藉由利用接收機可以接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，還可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

圖 23B 示出數位相框 9700 的一例。例如，在數位相框 9700 中，框體 9701 組裝有顯示部 9703。顯示部 9703 可以顯示各種圖像，例如藉由顯示使用數位相機等拍攝的圖像資料，可以發揮與一般的相框同樣的功能。

另外，數位相框 9700 採用具備操作部、外部連接端子（USB 端子、可以與 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。這種結構也可以組裝到與顯示部相同面上，但是藉由將它設置在側面或背面上來提高設計性，所以是較佳的。例如，可以對數位相框 9700 的記錄媒體插入部插入儲存有由數位相機拍攝的圖像資料的記憶體並提取圖像資料，然後可以將所提取的圖像資料顯示於顯示部 9703。

此外，數位相框 9700 也可以採用以無線的方式收發資訊的結構。也可以採用以無線的方式提取所希望的圖像資料並進行顯示的結構。

圖 24A 示出一種可攜式遊戲機，其由框體 9881 和框體 9891 的兩個框體構成，並且藉由連接部 9893 可以開閉地連接。框體 9881 安裝有顯示部 9882，並且框體 9891 安裝有顯示部 9883。另外，圖 24A 所示的可攜式遊戲機還具備揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入單元（操作鍵 9885、連接端子 9887、感測器 9888（包括測定如下因素的功能：力量、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）以及麥克風 9889）等。當然，可攜式遊戲機的結構不侷限於上述結構，只要採用至少具備本說明書所公開的半導體裝置的結構即可，並且可以採用適當地設置有其他附屬設備的結構。圖 24A 所示的可攜式遊戲機具有如下功能：讀出儲存在記錄媒體中的程式或資料並將其顯示在顯示部上；以及藉由與其他可攜式遊戲機進行無線通信而實現資訊共用。另外，圖 24A 所示的可攜式遊戲機所具有的功能不侷限於此，而可以具有各種各樣的功能。

圖 24B 示出大型遊戲機的一種的投幣機 9900 的一例。在投幣機 9900 的框體 9901 中安裝有顯示部 9903。另外，投幣機 9900 還具備如起動手柄、停止開關等的操作單元、投幣口、揚聲器等。當然，投幣機 9900 的結構不侷限於此，只要採用至少具備本說明書所公開的半導體裝置的結構即可。因此，可以採用適當地設置有其他附屬

設備的結構。

圖 25A 是示出可攜式電腦的一例的透視圖。

圖 25A 所示的可攜式電腦中，當將連接上部框體 9301 與下部框體 9302 的鉸鏈裝置設置為關閉狀態時，可以使具有顯示部 9303 的上部框體 9301 與具有鍵盤 9304 的下部框體 9302 處於重疊狀態，而便於攜帶，並且，當使用者利用鍵盤進行輸入時，將鉸鏈裝置設置為打開狀態，而可以看著顯示部 9303 進行輸入操作。

另外，下部框體 9302 除了鍵盤 9304 之外還包括進行輸入操作的定位裝置 9306。另外，當顯示部 9303 為觸屏輸入面板時，可以藉由觸摸顯示部的一部分來進行輸入操作。另外，下部框體 9302 還包括 CPU、硬碟等的算術功能部。此外，下部框體 9302 還具有其他的裝置，例如包括符合 USB 的通信標準的用來插入通信電纜的外部連接埠 9305。

在上部框體 9301 中還具有藉由使其滑動到上部框體 9301 內部而可以收納的顯示部 9307，因此可以實現寬顯示螢幕。另外，使用者可以調節可以收納的顯示部 9307 的螢幕的方向。另外，當可以收納的顯示部 9307 為觸屏輸入面板時，藉由觸摸可以收納的顯示部的一部分來可以進行輸入操作。

顯示部 9303 或可以收納的顯示部 9307 使用如液晶顯示面板、有機發光元件或無機發光元件等的發光顯示面板等的影像顯示裝置。

另外，圖 25A 的可攜式電腦安裝有接收機等，而可以接收電視廣播並將影像顯示於顯示部。另外，使用者可以在連接上部框體 9301 與下部框體 9302 的鉸鏈裝置處於關閉狀態的狀態下藉由滑動顯示部 9307 而使其整個面露出並調整螢幕角度來觀看電視廣播。此時，不用將鉸鏈裝置設置為開啓狀態來使顯示部 9303 進行顯示，而僅啓動只顯示電視廣播的電路，所以可以將耗電量控制為最少，這對於電池容量有限的可攜式電腦而言是十分有利的。

另外，圖 25B 是示出像手錶一樣能夠戴在使用者的手臂上的行動電話的一例的透視圖。

該移動電話包括：至少包括具有電話功能的通信裝置和具有電池的主體；用來將主體戴在手臂上的帶部 9204；調節帶部 9204 與手臂的固定狀態的調節部 9205；顯示部 9201；揚聲器 9207；以及麥克風 9208。

另外，主體具有操作開關 9203，藉由使用操作開關 9203，諸如電源輸入開關、顯示轉換開關、攝像開始指示開關、按一下就可以啓動網路的程式的開關等，可以對應各種功能。

藉由用手指或輸入筆等觸碰顯示部 9201；操作操作開關 9203；或者對麥克風 9208 輸入聲音來進行該移動電話的輸入操作。另外，在圖 25B 中，示出顯示在顯示部 9201 上的顯示鈕 9202，藉由用手指等觸碰該顯示鈕 9202 來可以進行輸入。

另外，主體具有相機部 9206，該相機部 9206 具有將

藉由攝影透鏡成像的物體圖像轉換為電子視頻信號的攝影單元。另外，也可以不特別設置相機部。

另外，圖 25B 所示的行動電話安裝有電視廣播的接收機等，而可以接收電視廣播並將圖像顯示於顯示部 9201，並且其還具有記憶體等的儲存裝置等，而可以將電視廣播錄製到記憶體中。此外，圖 25B 所示的行動電話還可以具有收集 GPS 等的位置資訊的功能。

顯示部 9201 使用如液晶顯示面板、有機發光元件或無機發光元件等的發光顯示面板等的影像顯示裝置。由於圖 25B 所示的行動電話為小型且重量輕，所以其電池容量有限，從而最好將能夠使用低耗電量進行驅動的面板用作於顯示部 9201 的顯示裝置。

另外，雖然在圖 25B 中示出戴在“手臂”上的方式的電子裝置，但是不侷限於此，只要具有能夠攜帶的形狀即可。

實施例 1

在此，使用圖 21 和圖 34 說明對如下變化進行模擬的結果，該變化是：具有低氧密度區域及高氧密度區域的氧化物半導體層中的氧密度的加熱處理前後的變化。在此，作為模擬軟體，使用富士通株式會社製造的 Materials Explorer 5.0。

圖 34 示出用於模擬的氧化物半導體層的模型。在此，氧化物半導體層 701 採用層疊有低氧密度層 703 以及

高氧密度層 705 的結構。

在此，低氧密度層 703 採用由 15 個 In 原子、15 個 Ga 原子、15 個 Zn 原子以及 54 個 O 原子構成的非晶結構。

另外，高氧密度層 705 採用由 15 個 In 原子、15 個 Ga 原子、15 個 Zn 原子以及 66 個 O 原子構成的非晶結構。

另外，將氧化物半導體層 701 的密度設定為 5.9 g/cm^3 。

接著，以 NVT 系綜且 250°C 的溫度對氧化物半導體層 701 進行經典 MD（分子動力學）模擬。以時間步長為 0.2 fs ，將總模擬時間設定為 200 ps 。另外，金屬-氧鍵及氧-氧鍵的勢使用 Born-Mayer-Huggins 型勢。另外，固定氧化物半導體層 701 的上端及下端的原子的動作。

接著，圖 21 示出模擬結果。z 軸座標的 0 nm 至 1.15 nm 是低氧濃度層 703，而 z 軸座標的 1.15 nm 至 2.3 nm 是高氧濃度層 705。實線 707 表示 MD 模擬之前的氧的密度分佈，而虛線 709 表示 MD 模擬之後的氧的密度分佈。

根據實線 707，高氧密度層 705 一側中的氧密度與低氧密度層 703 和高氧密度層 705 的介面相比更高。另一方面，根據虛線 709 可知：在低氧密度層 703 與高氧密度層 705 中氧密度均勻。

據此，可知：當如低氧密度層 703 與高氧密度層 705

的疊層狀態那樣具有氧密度分佈的偏差時，藉由加熱處理氧從高氧密度區擴散到低氧密度區，以氧密度變均勻。

換言之，如實施例模式 1 所示那樣，藉由在第一氧化物半導體層 432 上形成氧化物絕緣膜 407，第一氧化物半導體層 432 與氧化物半導體膜 407 的介面的氧密度提高，從而該氧擴散到第一氧化物半導體層 432 的低氧密度區一側，以實現第一氧化物半導體層的高電阻化。據此，可以提高薄膜電晶體的可靠性。

【圖式簡單說明】

在附圖中：

圖 1A 至圖 1C 是說明半導體裝置的製造方法的圖；

圖 2A 和圖 2B 是說明半導體裝置的製造方法的圖；

圖 3A 和圖 3B 是說明半導體裝置的圖；

圖 4A 至圖 4C 是說明半導體裝置的製造方法的圖；

圖 5A 至圖 5C 是說明半導體裝置的製造方法的圖；

圖 6A 和圖 6B 是說明半導體裝置的製造方法的圖；

圖 7 是說明半導體裝置的圖；

圖 8A1 至圖 8B2 是說明半導體裝置的圖；

圖 9 是說明半導體裝置的圖；

圖 10A1 至圖 10B 是說明半導體裝置的圖；

圖 11A 和圖 11B 是說明半導體裝置的圖；

圖 12 是說明半導體裝置的像素等效電路的圖；

圖 13A 至圖 13C 是說明半導體裝置的圖；

- 圖 14A 和圖 14B 是說明半導體裝置的方塊圖的圖；
- 圖 15 是說明信號線驅動電路的結構的圖；
- 圖 16 是說明信號線驅動電路的工作的時序圖；
- 圖 17 是說明信號線驅動電路的工作的時序圖；
- 圖 18 是說明移位暫存器的結構的圖；
- 圖 19 是說明圖 18 所示的正反器的連接結構的圖；
- 圖 20 是說明半導體裝置的圖；
- 圖 21 是說明氧化物半導體層的氧密度的模擬結果的圖；
- 圖 22 是示出電子書閱讀器的一例的外觀圖；
- 圖 23A 和圖 23B 是說明電視裝置及數位相框的例子的外觀圖；
- 圖 24A 和圖 24B 是示出遊戲機的例子的外觀圖；
- 圖 25A 和圖 25B 是分別示出可攜式電腦以及行動電話機的一例的透視圖；
- 圖 26 是說明半導體裝置的圖；
- 圖 27 是說明半導體裝置的圖；
- 圖 28 是說明電爐的截面圖；
- 圖 29 是示出 TDS 測定結果的圖表；
- 圖 30 是示出 H 的 TDS 結果的圖表；
- 圖 31 是示出 O 的 TDS 結果的圖表；
- 圖 32 是示出 OH 的 TDS 結果的圖表；
- 圖 33 是示出 H₂ 的 TDS 結果的圖表；以及
- 圖 34 是說明用於模擬的氧化物半導體層的結構的

圖。

【主要元件符號說明】

- 34：氧化物半導體層
- 100：基板
- 101：閘極電極層
- 102：閘極絕緣層
- 103：半導體層
- 107：保護絕緣層
- 108：電容佈線
- 110：像素電極層
- 121：第一端子
- 122：第二端子
- 125：接觸孔
- 126：接觸孔
- 127：接觸孔
- 128：透明導電膜
- 129：透明導電膜
- 131：氧化物半導體膜
- 132：導電膜
- 133：氧化物半導體膜
- 134：氧化物半導體層
- 135：氧化物半導體層
- 136：氧化物半導體膜

137：氧化物半導體膜

138：氧化物半導體層

150：第二端子

151：第一端子

152：閘極絕緣層

153：連接電極層

154：保護絕緣膜

155：透明導電膜

156：電極層

170：薄膜電晶體

400：基板

401：閘極電極層

402：閘極絕緣層

403：半導體層

407：氧化物絕緣膜

408：導電層

409：導電層

410：絕緣層

411：像素電極層

430：氧化物半導體膜

431：氧化物半導體層

432：氧化物半導體層

433：氧化物半導體膜

434：氧化物半導體膜

435：氧化物半導體膜

436：氧化物半導體層

470：薄膜電晶體

471：薄膜電晶體

472：薄膜電晶體

580：基板

581：薄膜電晶體

583：絕緣膜

585：絕緣層

587：電極層

588：電極層

589：球形粒子

594：空洞

595：填料

596：基板

601：電爐

602：處理室

603：加熱器

604：基板

605：基座

606：氣體供給單元

607：排氣單元

703：低氧密度層

705：高氧密度層

707：實線

709：虛線

104a：源極區或汲極區

104b：源極區或汲極區

105a：源極或汲極電極層

105b：源極或汲極電極層

2600：TFT基板

2601：對置基板

2602：密封材料

2603：像素部

2604：顯示元件

2605：著色層

2606：偏光板

2607：偏光板

2608：佈線電路部

2609：撓性線路板

2610：冷陰極管

2611：反射板

2612：電路基板

2613：擴散板

2700：電子書閱讀器

2701：框體

2703：框體

2705：顯示部

2707：顯示部

2711：軸部

2721：電源

2723：操作鍵

2725：揚聲器

4001：第一基板

4002：像素部

4003：信號線驅動電路

4004：掃描線驅動電路

4005：密封材料

4006：第二基板

4008：液晶層

4010：薄膜電晶體

4011：薄膜電晶體

4013：液晶元件

4015：連接端子電極

4016：端子電極

4018：FPC

4019：各向異性導電膜

4020：絕緣層

4021：絕緣層

4030：像素電極層

4031：對置電極層

4032：絕緣層

- 404a：源區或汲區
- 404b：源區或汲區
- 405a：源極或汲極電極層
- 405b：源極或汲極電極層
- 4501：第一基板
- 4502：像素部
- 4505：密封材料
- 4506：第二基板
- 4507：填料
- 4509：薄膜電晶體
- 4510：薄膜電晶體
- 4511：發光元件
- 4512：電致發光層
- 4513：第二電極層
- 4515：連接端子電極
- 4516：端子電極
- 4517：第一電極層
- 4519：各向異性導電膜
- 4520：分隔壁
- 5300：基板
- 5301：像素部
- 5302：掃描線驅動電路
- 5303：信號線驅動電路
- 5400：基板

- 5401：像素部
- 5402：掃描線驅動電路
- 5403：信號線驅動電路
- 5404：掃描線驅動電路
- 5501：第一佈線
- 5502：第二佈線
- 5503：第三佈線
- 5504：第四佈線
- 5505：第五佈線
- 5506：第六佈線
- 5543：節點
- 5544：節點
- 5571：第一薄膜電晶體
- 5572：第二薄膜電晶體
- 5573：第三薄膜電晶體
- 5574：第四薄膜電晶體
- 5575：第五薄膜電晶體
- 5576：第六薄膜電晶體
- 5577：第七薄膜電晶體
- 5578：第八薄膜電晶體
- 5601：驅動器 IC
- 5602：開關組
- 5611：第一佈線
- 5612：第二佈線

5613：第三佈線

5621：佈線

5701：正反器

5711：第一佈線

5712：第二佈線

5713：第三佈線

5714：第四佈線

5715：第五佈線

5716：第六佈線

5717：第七佈線

5721：信號

5821：信號

590a：黑色區

590b：白色區

611a：氣體供給源

611b：氣體供給源

612a：壓力調節閥

612b：壓力調節閥

613a：精製器

613b：精製器

614a：質量流量控制器

614b：質量流量控制器

615a：停止閥

615b：停止閥

6400：像素

6401：開關電晶體

6402：驅動電晶體

6403：電容元件

6404：發光元件

6405：信號線

6406：掃描線

6407：電源線

6408：共同電極

7001：TFT

7002：發光元件

7003：陰極

7004：發光層

7005：陽極

7011：驅動 TFT

7012：發光元件

7013：陰極

7014：發光層

7015：陽極

7016：遮罩膜

7017：導電膜

7021：驅動 TFT

7022：發光元件

7023：陰極

7024：發光層

7025：陽極

7027：導電膜

9201：顯示部

9202：顯示鈕

9203：操作開關

9204：調節帶部

9205：調節部

9206：相機部

9207：揚聲器

9208：麥克風

9301：上部框體

9302：下部框體

9303：顯示部

9304：鍵盤

9305：外部連接埠

9306：定位裝置

9307：顯示部

9600：電視裝置

9601：框體

9603：顯示部

9605：支架

9607：顯示部

9609：操作鍵

9610：遙控器

9700：數位相框

9701：框體

9703：顯示部

9881：框體

9882：顯示部

9883：顯示部

9884：揚聲器部

9885：操作鍵

9886：記錄媒體插入部

9887：連接端子

9888：感測器

9889：麥克風

9890：LED 燈

9891：框體

9893：連接部

9900：投幣機

9901：框體

9903：顯示部

4503a：信號線驅動電路

4503b：信號線驅動電路

4504a：掃描線驅動電路

4504b：掃描線驅動電路

4518a：FPC

4518b : FPC

5603a : 薄膜電晶體

5603b : 薄膜電晶體

5603c : 薄膜電晶體

5703a : 時序

5703b : 時序

5703c : 時序

5803a : 時序

5803b : 時序

5803c : 時序

七、申請專利範圍

1. 一種半導體裝置的製造方法，包含如下步驟：

在絕緣層上形成第一氧化物半導體膜；

在該第一氧化物半導體膜上形成第二氧化物半導體膜；

對該第一氧化物半導體膜以及該第二氧化物半導體膜進行第一加熱處理，然後在包含氧的氛圍下冷卻該第一氧化物半導體膜和第二氧化物半導體膜；

在該冷卻步驟之後蝕刻該第一氧化物半導體膜以及該第二氧化物半導體膜，來由該第一氧化物半導體膜形成第一氧化物半導體層以及由該第二氧化物半導體膜形成第二氧化物半導體層；

在該第一氧化物半導體層以及該第二氧化物半導體層上形成導電膜；

蝕刻該第二氧化物半導體層以及該導電膜來形成源極區、汲極區、源極電極層及汲極電極層；以及

形成接觸於該第一氧化物半導體層的一部分的氧化物絕緣膜，

其中該第一加熱處理在惰性氣體氛圍中進行。

2. 一種半導體裝置的製造方法，包含如下步驟：

在絕緣層上形成第一氧化物半導體膜；

在該第一氧化物半導體膜上形成第二氧化物半導體膜；

對該第一氧化物半導體膜以及該第二氧化物半導體膜

進行第一加熱處理，然後在包含氧的氛圍下冷卻該第一氧化物半導體膜和該第二氧化物半導體膜；

在該冷卻步驟之後蝕刻該第一氧化物半導體膜以及該第二氧化物半導體膜，來由該第一氧化物半導體膜形成第一氧化物半導體層以及由該第二氧化物半導體膜形成第二氧化物半導體層；

在該第一氧化物半導體層以及該第二氧化物半導體層上形成導電膜；

蝕刻該第二氧化物半導體層以及該導電膜來形成源極區、汲極區、源極電極層及汲極電極層；以及

形成接觸於該第一氧化物半導體層的一部分的氧化物絕緣膜，

其中用以形成該第一氧化物半導體膜的條件和用以形成該第二氧化物半導體膜的條件不同。

3. 一種半導體裝置的製造方法，包含如下步驟：

在閘極絕緣層上形成第一氧化物半導體膜；

在該第一氧化物半導體膜上形成第二氧化物半導體膜；

對該第一氧化物半導體膜以及該第二氧化物半導體膜進行第一加熱處理，然後在包含氧的氛圍下冷卻該第一氧化物半導體膜和該第二氧化物半導體膜；

在該冷卻步驟之後蝕刻該第一氧化物半導體膜以及該第二氧化物半導體膜，來由該第一氧化物半導體膜形成第一氧化物半導體層以及由該第二氧化物半導體膜形成第二

氧化物半導體層；

在該第一氧化物半導體層以及該第二氧化物半導體層上形成導電膜；

蝕刻該第二氧化物半導體層以及該導電膜來形成源極區、汲極區、源極電極層及汲極電極層；以及

形成接觸於該第一氧化物半導體層的一部分的氧化物絕緣膜，

其中，該第一氧化物半導體層包含晶體，以及

其中，該第一加熱處理在惰性氣體氛圍中進行。

4. 如申請專利範圍第 3 項的半導體裝置的製造方法，其中該第一氧化物半導體膜的形成條件與該第二氧化物半導體膜的形成條件不同。

5. 如申請專利範圍第 1、2、和 3 項中任一項的半導體裝置的製造方法，其中在減壓下進行該第一加熱處理。

6. 如申請專利範圍第 2 項的半導體裝置的製造方法，其中在惰性氣體氛圍中進行該第一加熱處理。

7. 如申請專利範圍第 1、2、和 3 項中任一項的半導體裝置的製造方法，其中藉由該第一加熱處理該第一氧化物半導體膜以及該第二氧化物半導體膜中的氫密度降低。

8. 如申請專利範圍第 1、2、和 3 項中任一項的半導體裝置的製造方法，其中該第一氧化物半導體膜與該氧化物絕緣膜接觸的部分的載子密度小於或等於 $1 \times 10^{14} / \text{cm}^3$ 。

9. 如申請專利範圍第 1、2、和 3 項中任一項的半導

體裝置的製造方法，還包含在該氧化物絕緣膜上形成電極的步驟。

10. 如申請專利範圍第 1、2、和 3 項中任一項的半導體裝置的製造方法，其中在高於或等於 400°C 的溫度下進行該第一加熱處理。

11. 如申請專利範圍第 1、2、和 3 項中任一項的半導體裝置的製造方法，還包含在形成該氧化物絕緣膜之後進行第二加熱處理的步驟。

12. 如申請專利範圍第 1、2、和 3 項中任一項的半導體裝置的製造方法，其中該第一氧化半導體層以及該第二氧化物半導體層都含有銦和鋅。

圖 1A

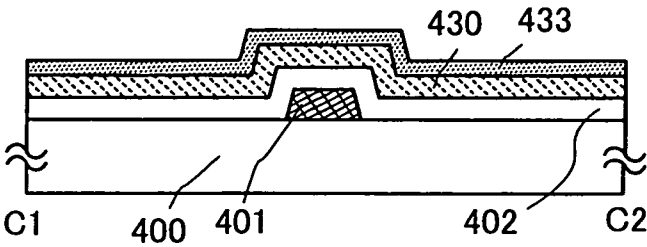


圖 1B

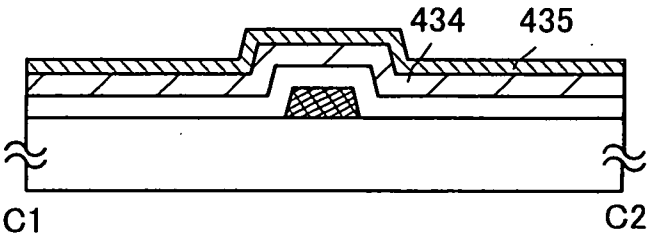


圖 1C

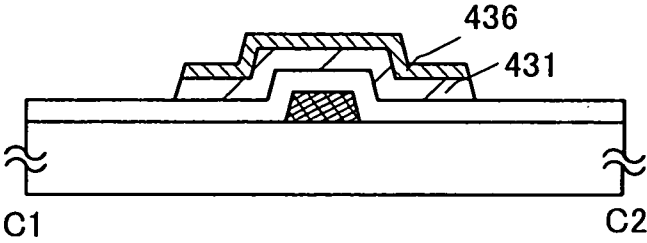


圖 2A

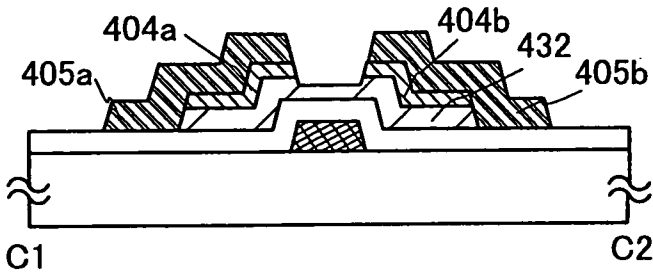


圖 2B

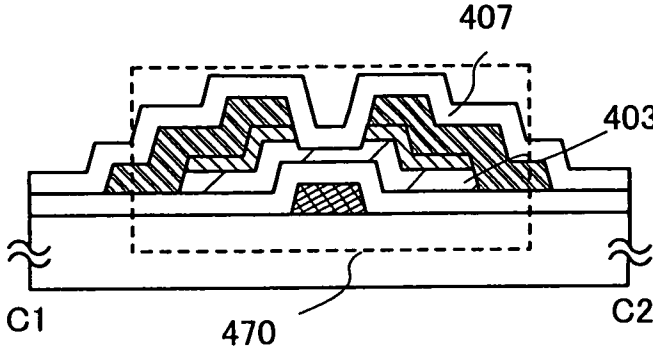


圖 3A

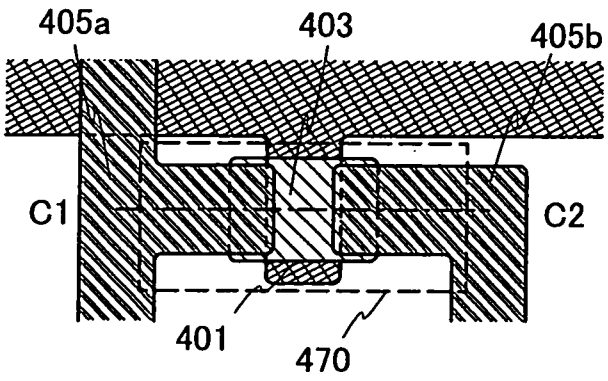


圖 3B

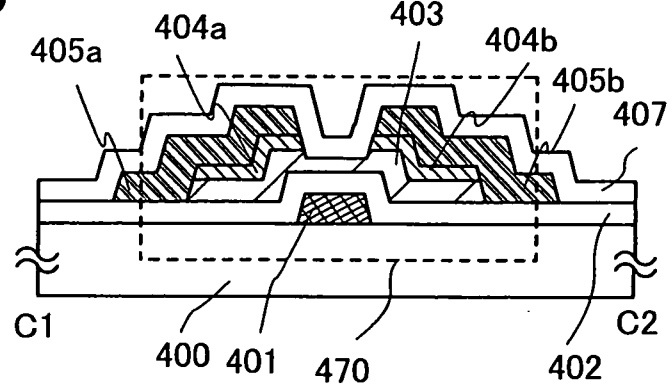


圖 4A

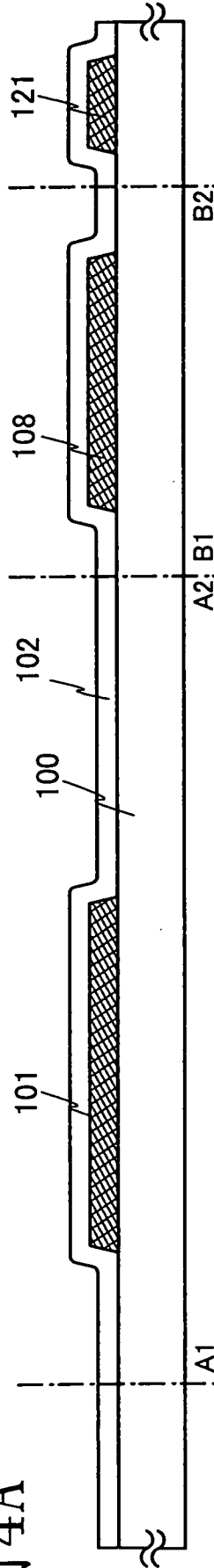


圖 4B

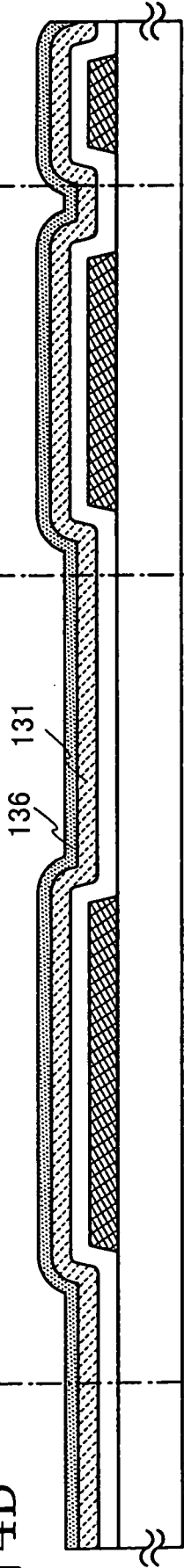


圖 4C

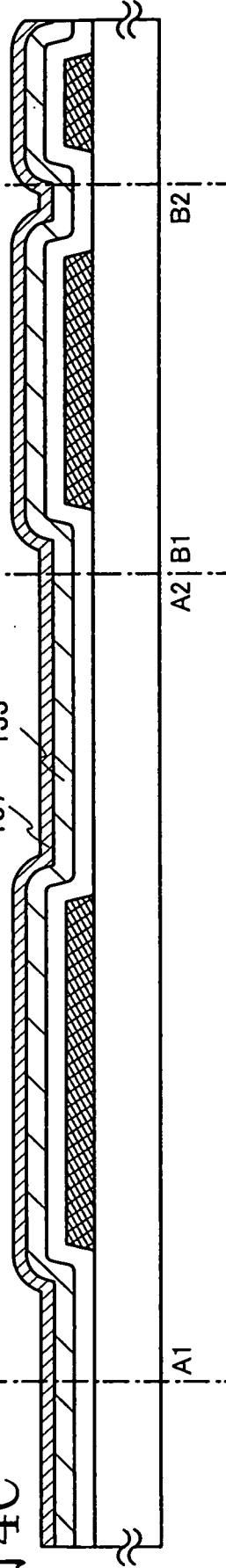


圖 5A

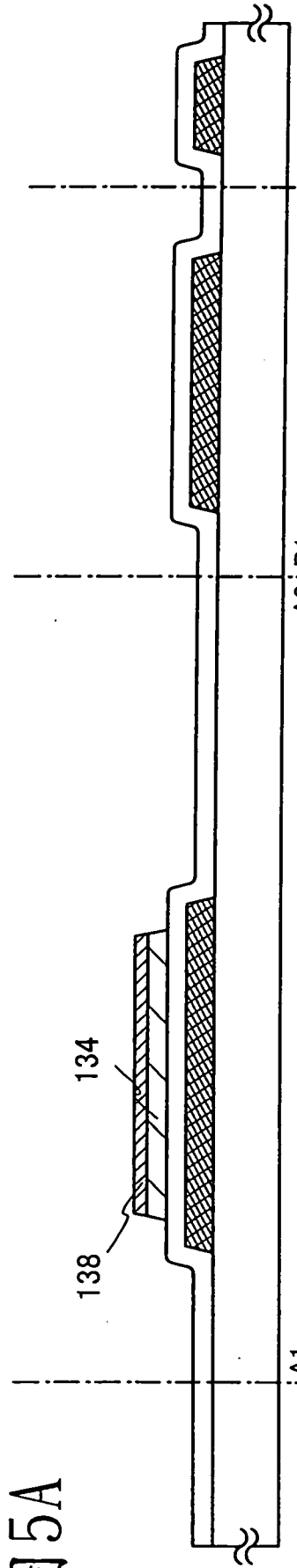


圖 5B

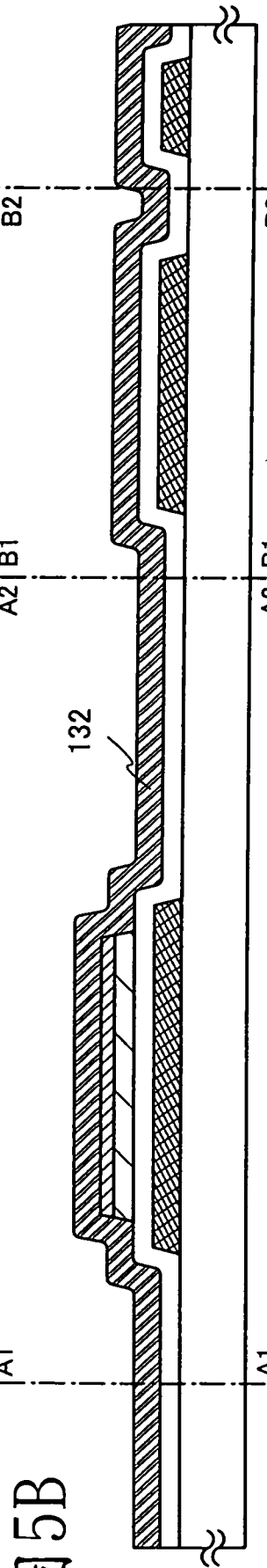


圖 5C

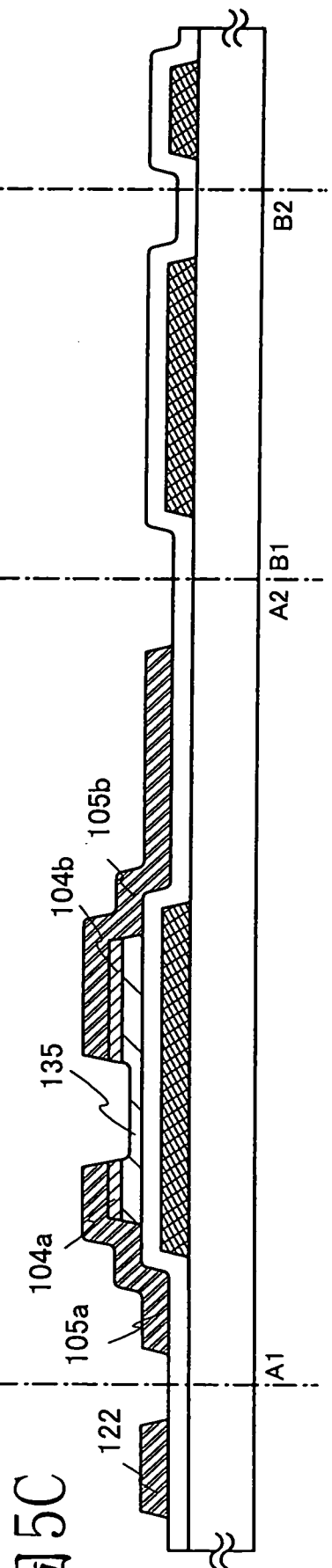


圖 6A

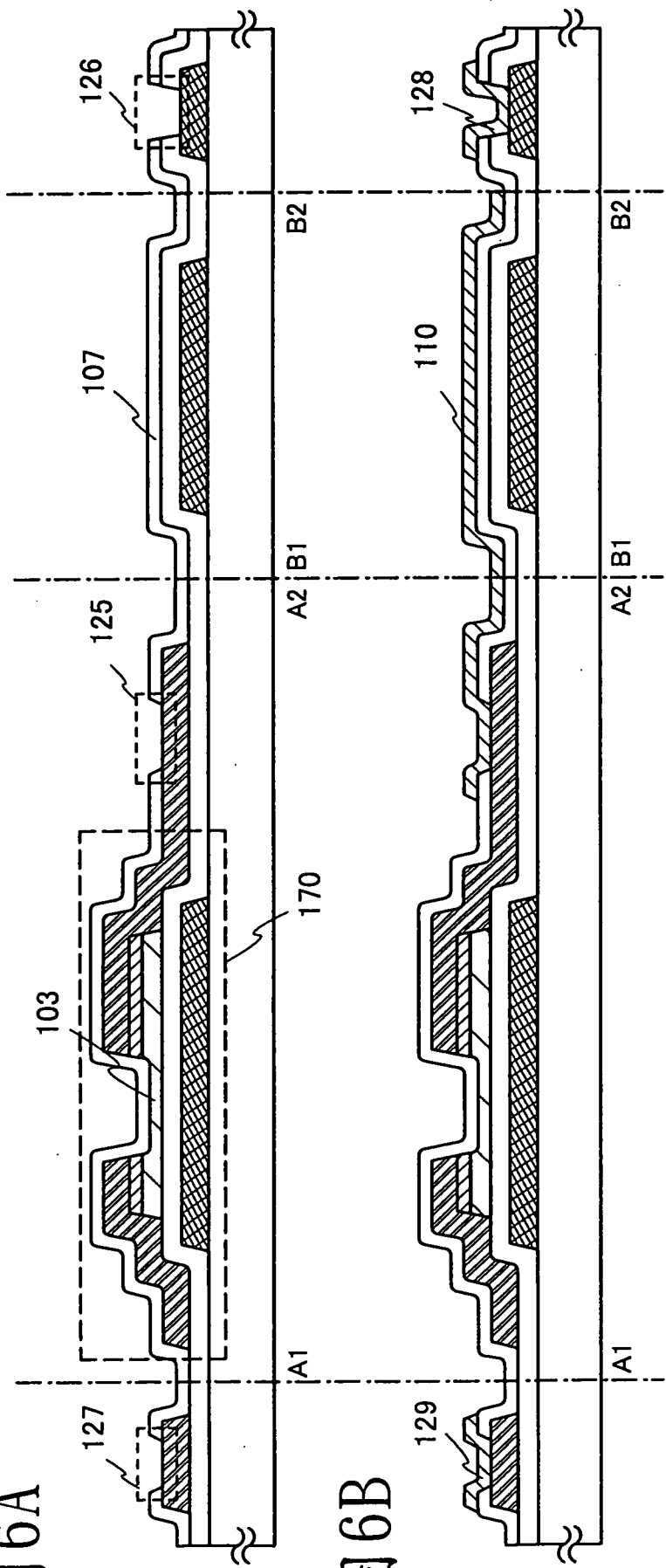


圖 6B

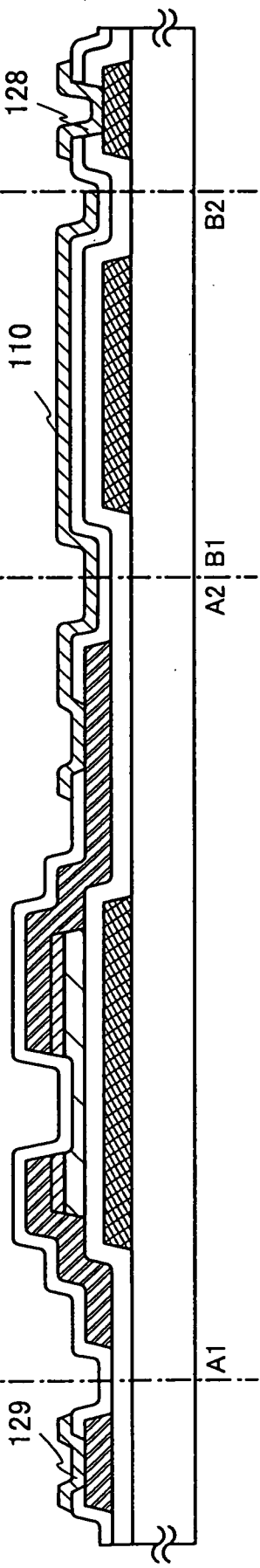


圖 7

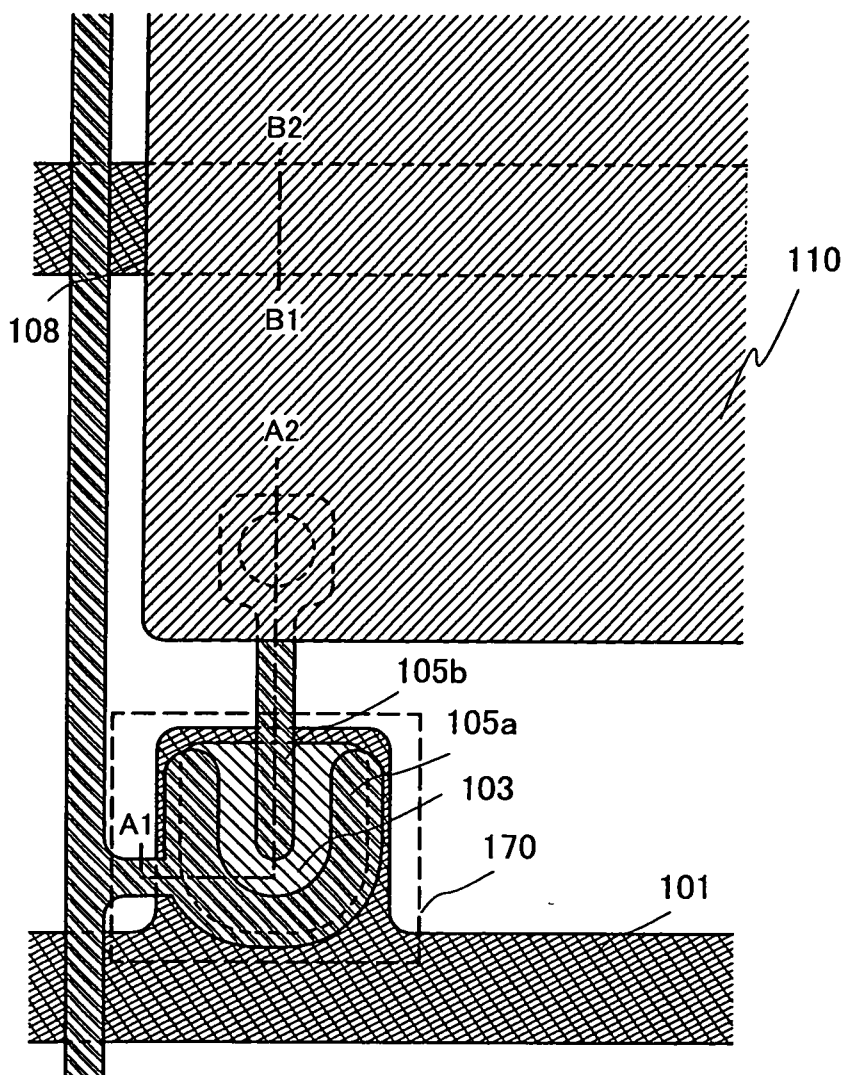


圖 8A1

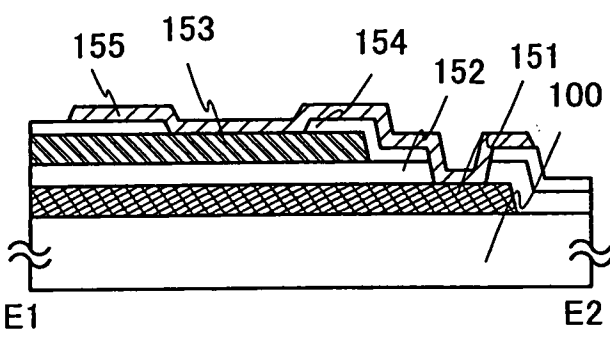


圖 8A2

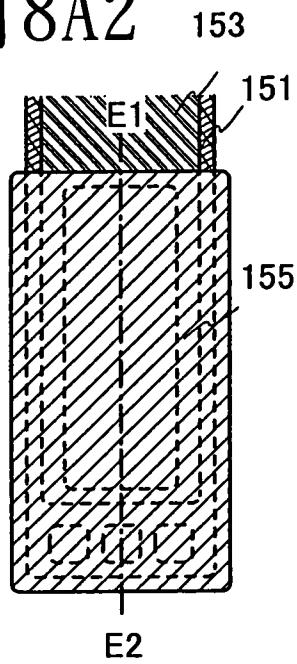


圖 8B1

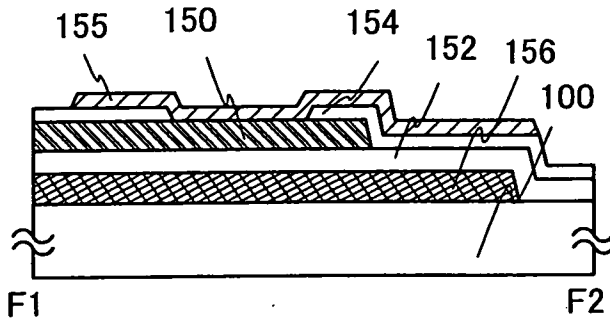


圖 8B2

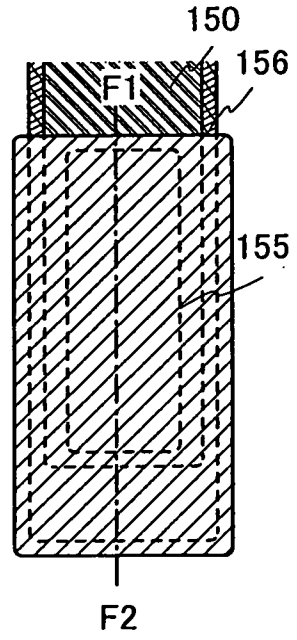


圖9

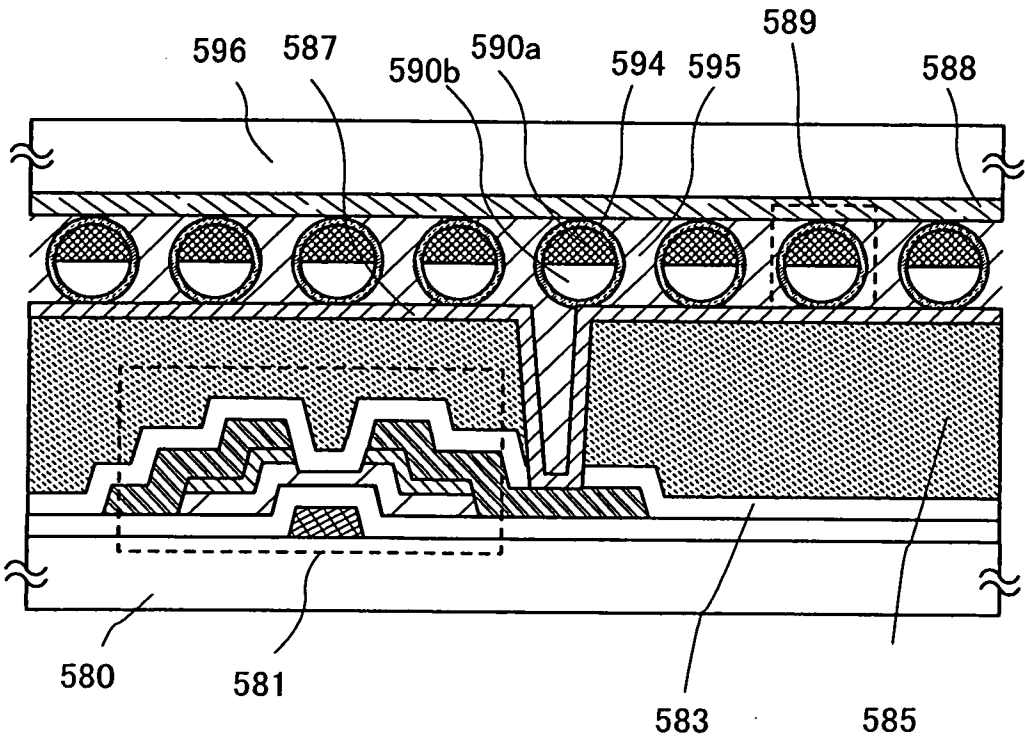


圖 10A1

圖 10A2

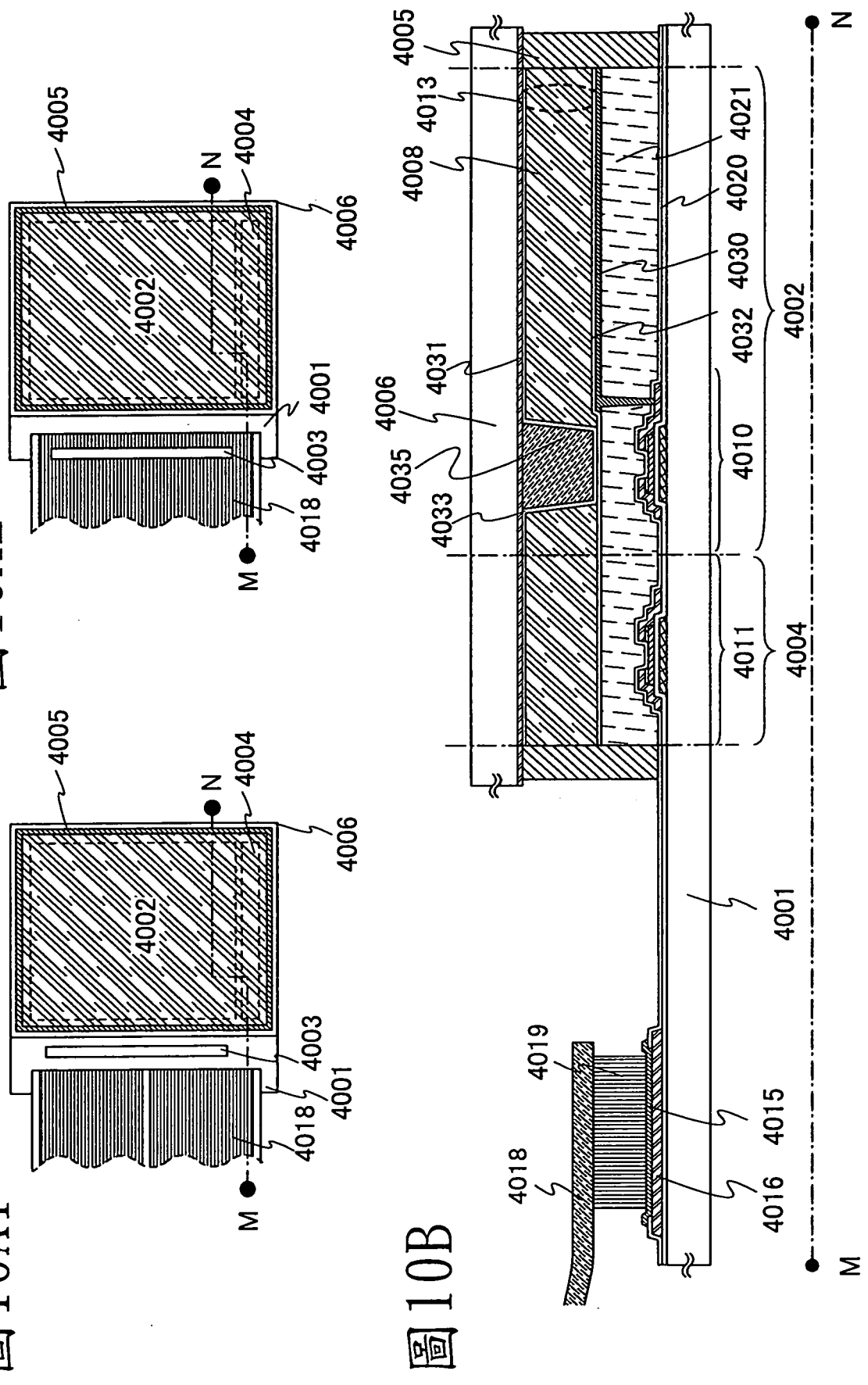
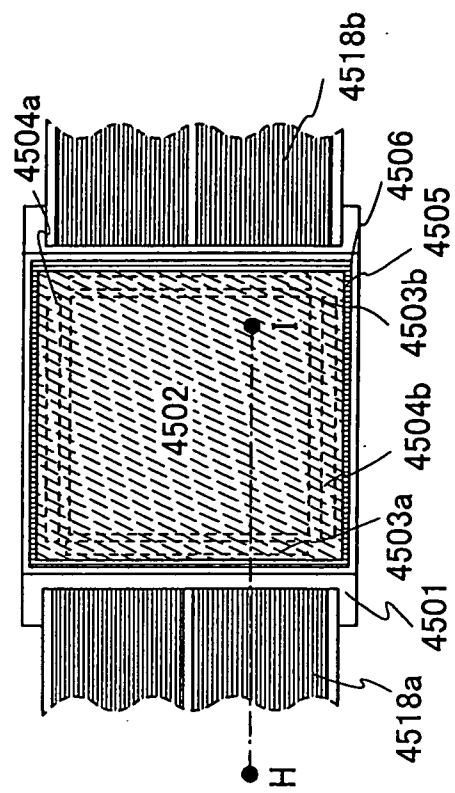


圖 11A



11B

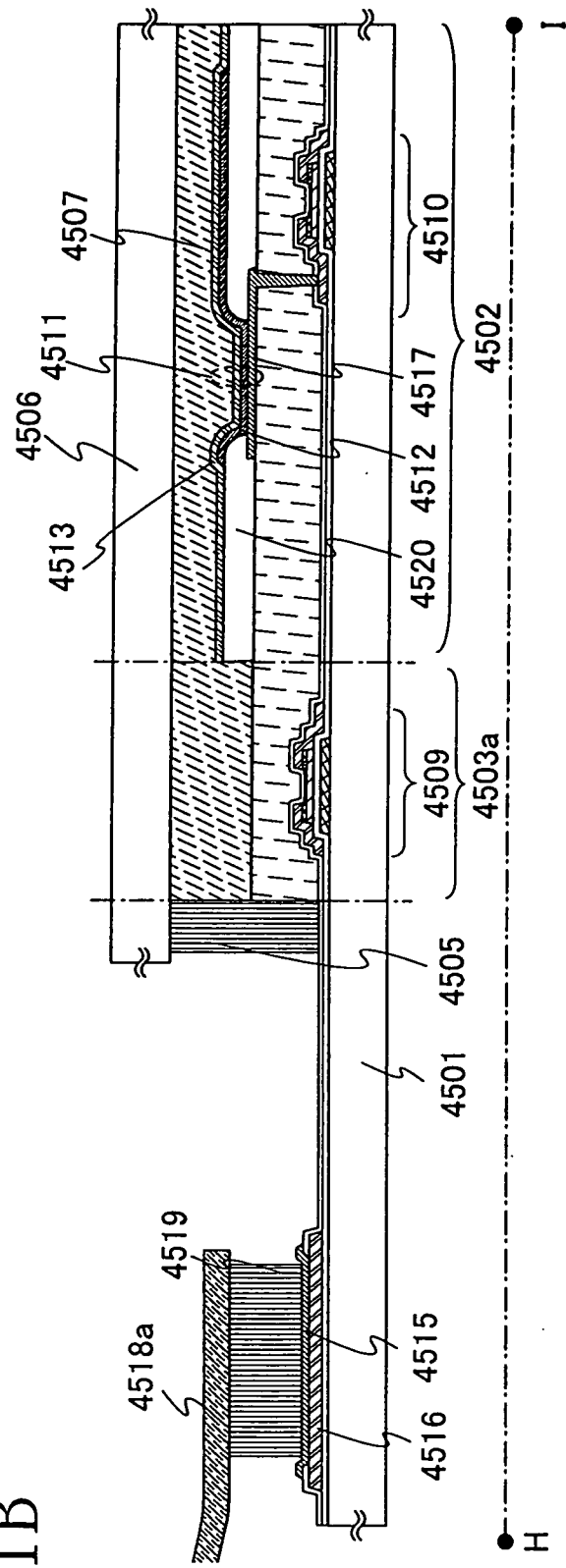


圖12

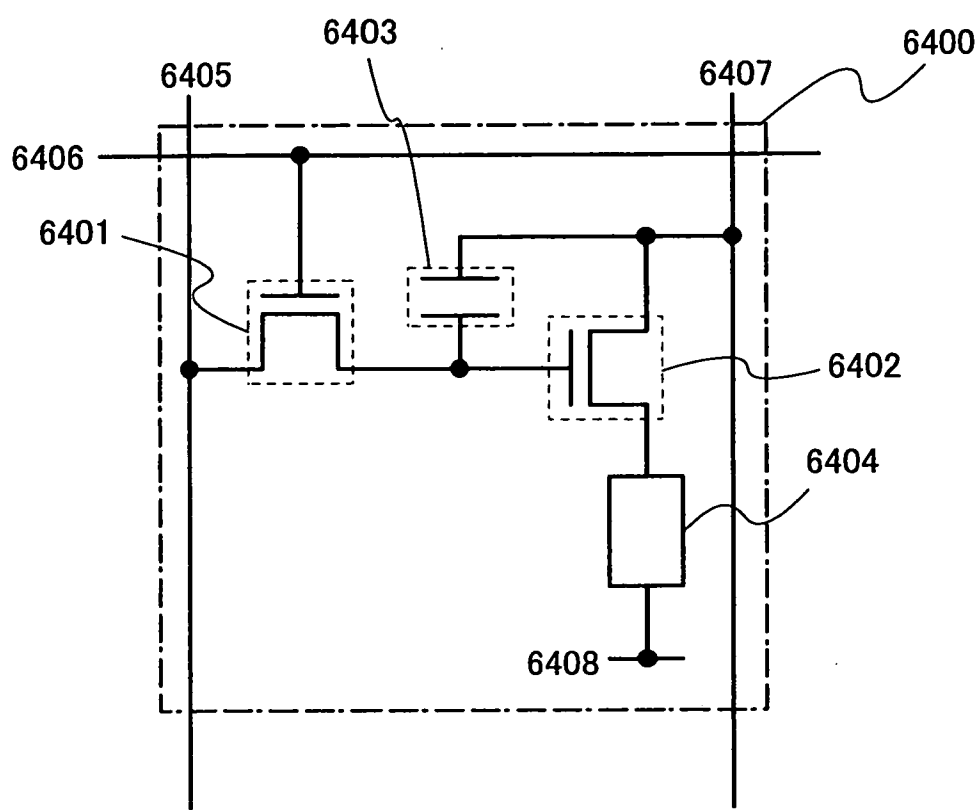


圖 13A

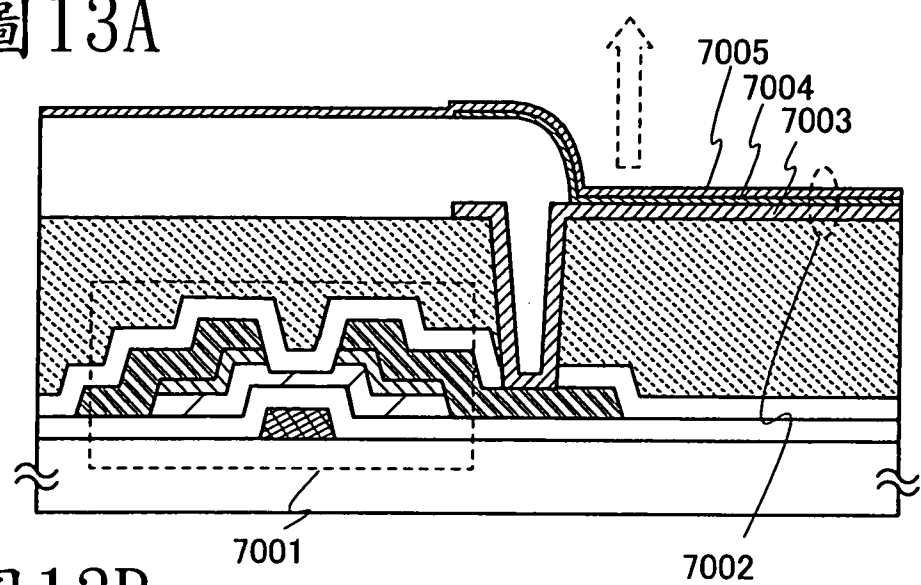


圖 13B

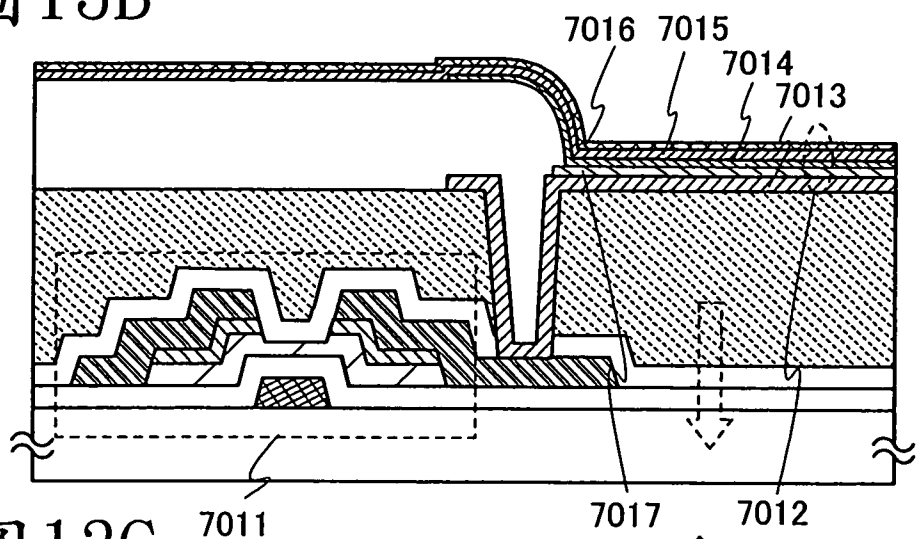


圖 13C

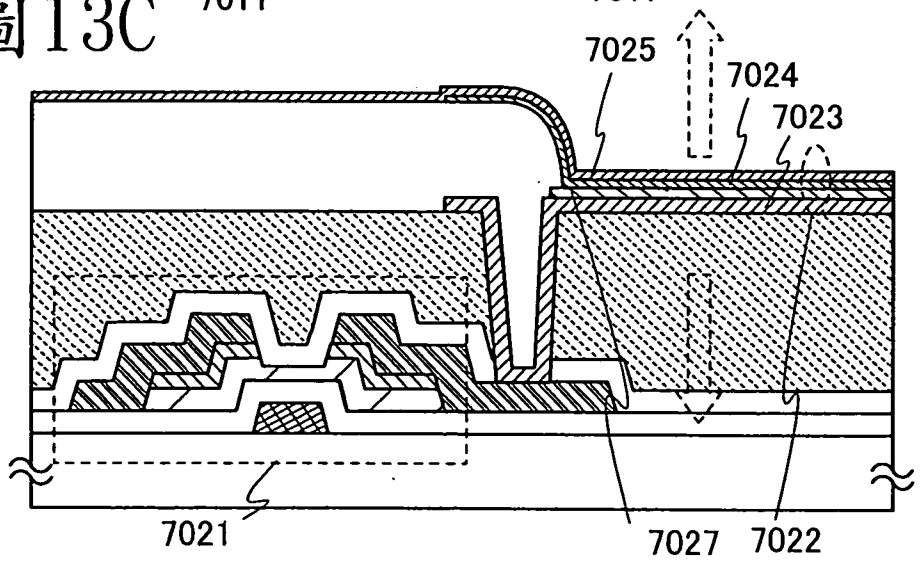


圖 14A

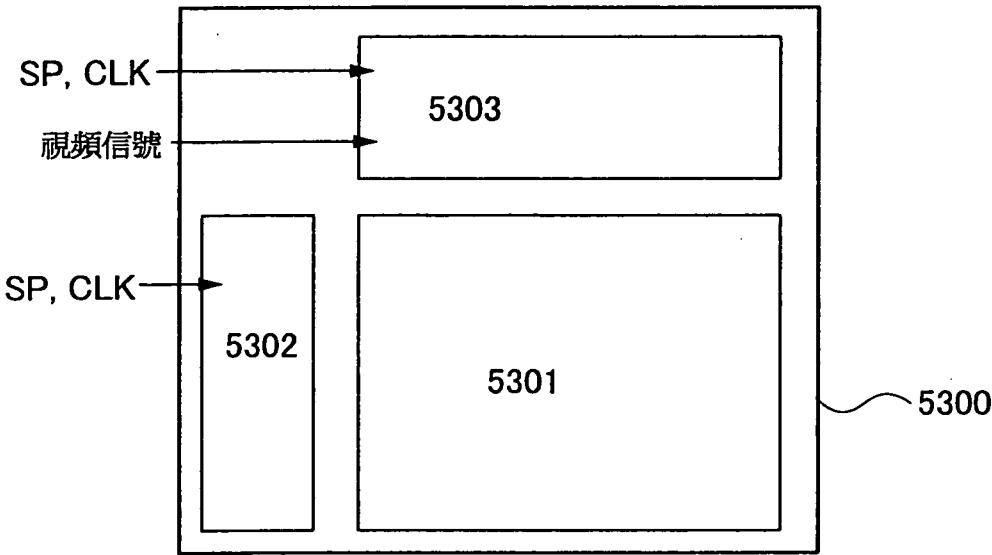


圖 14B

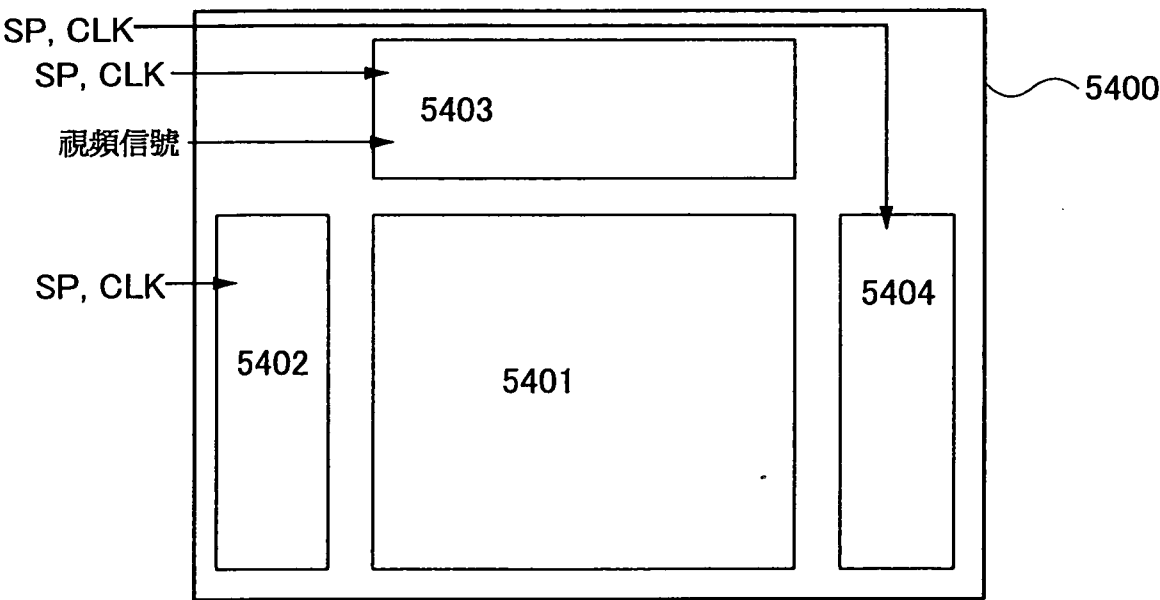


圖15

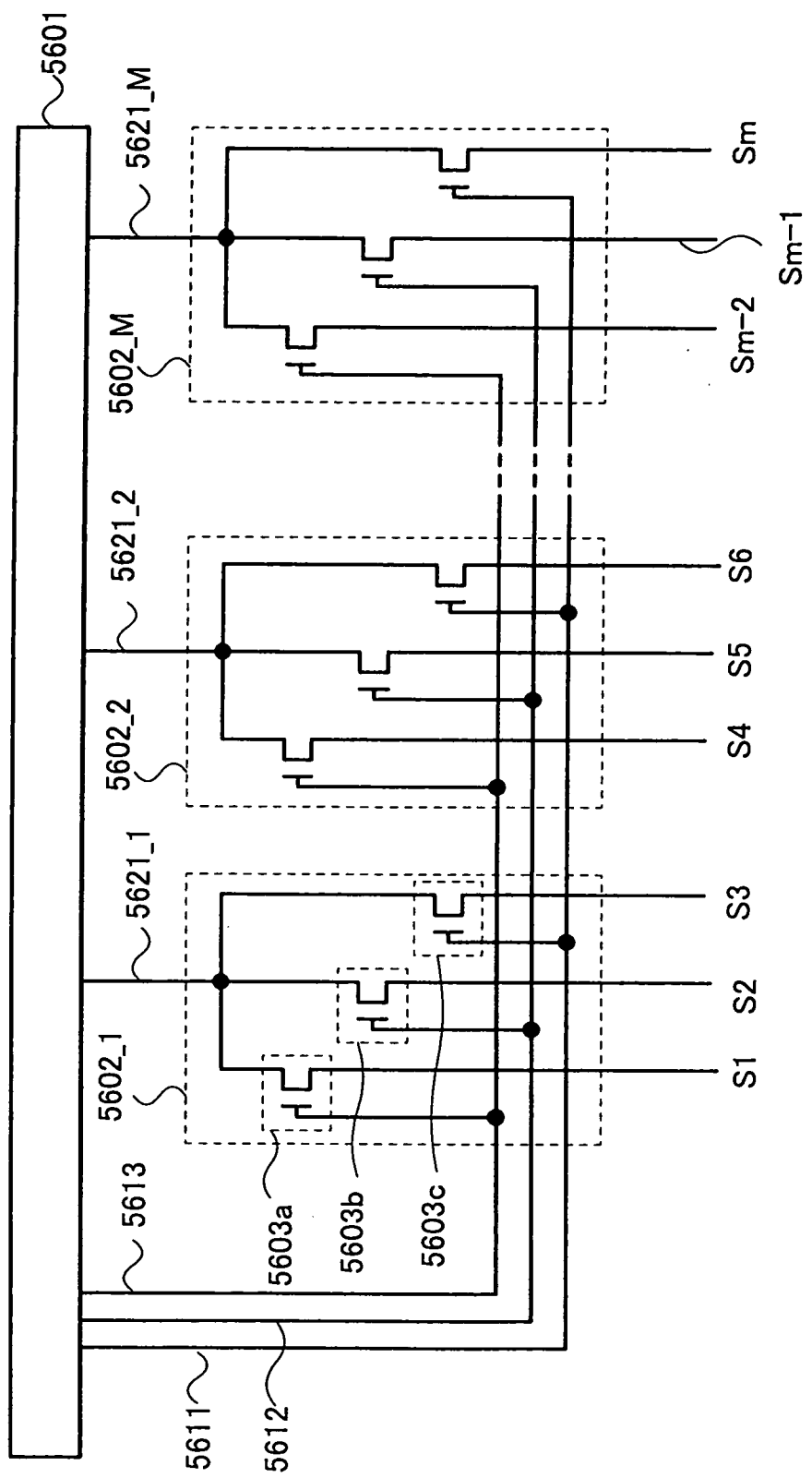


圖16

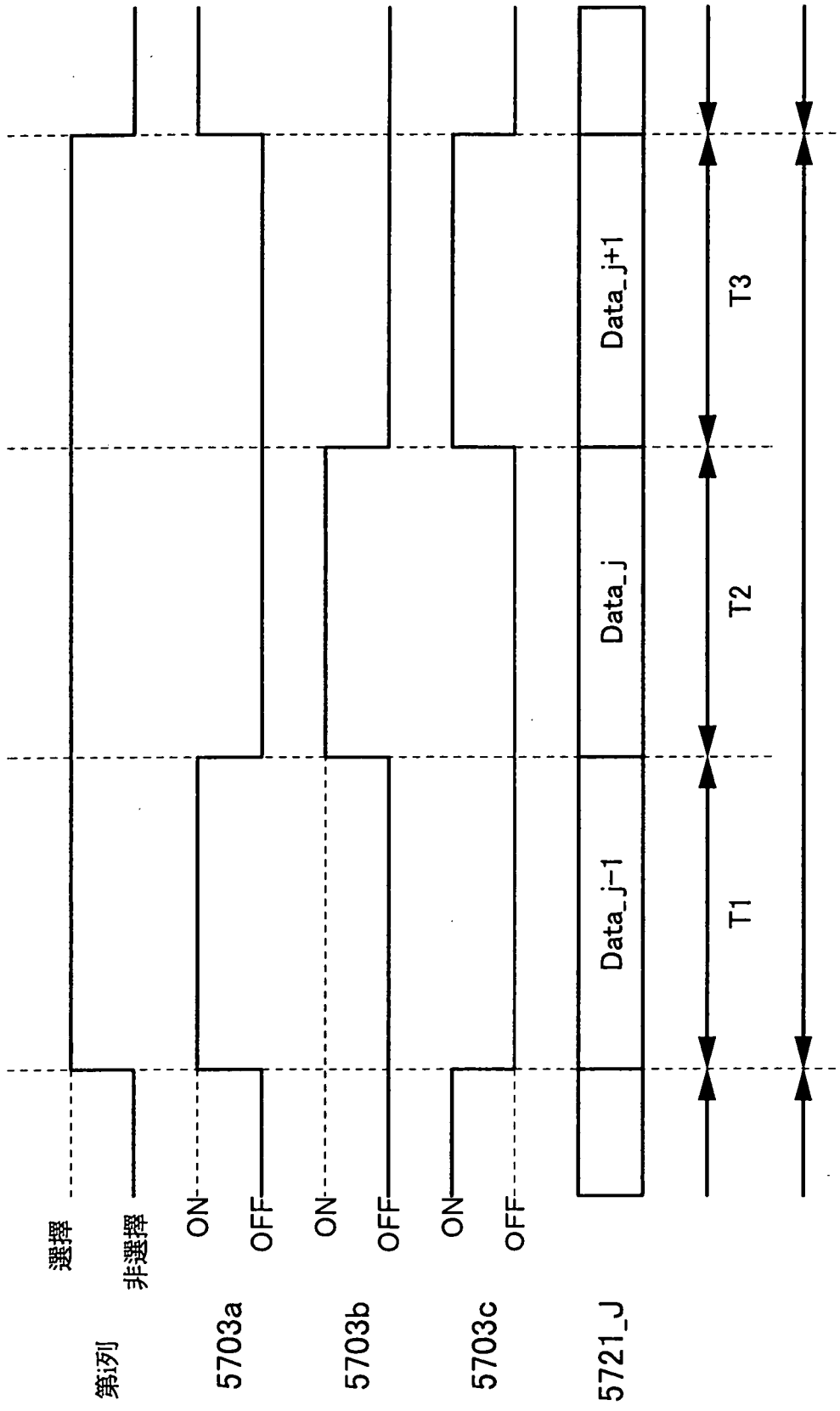


圖17

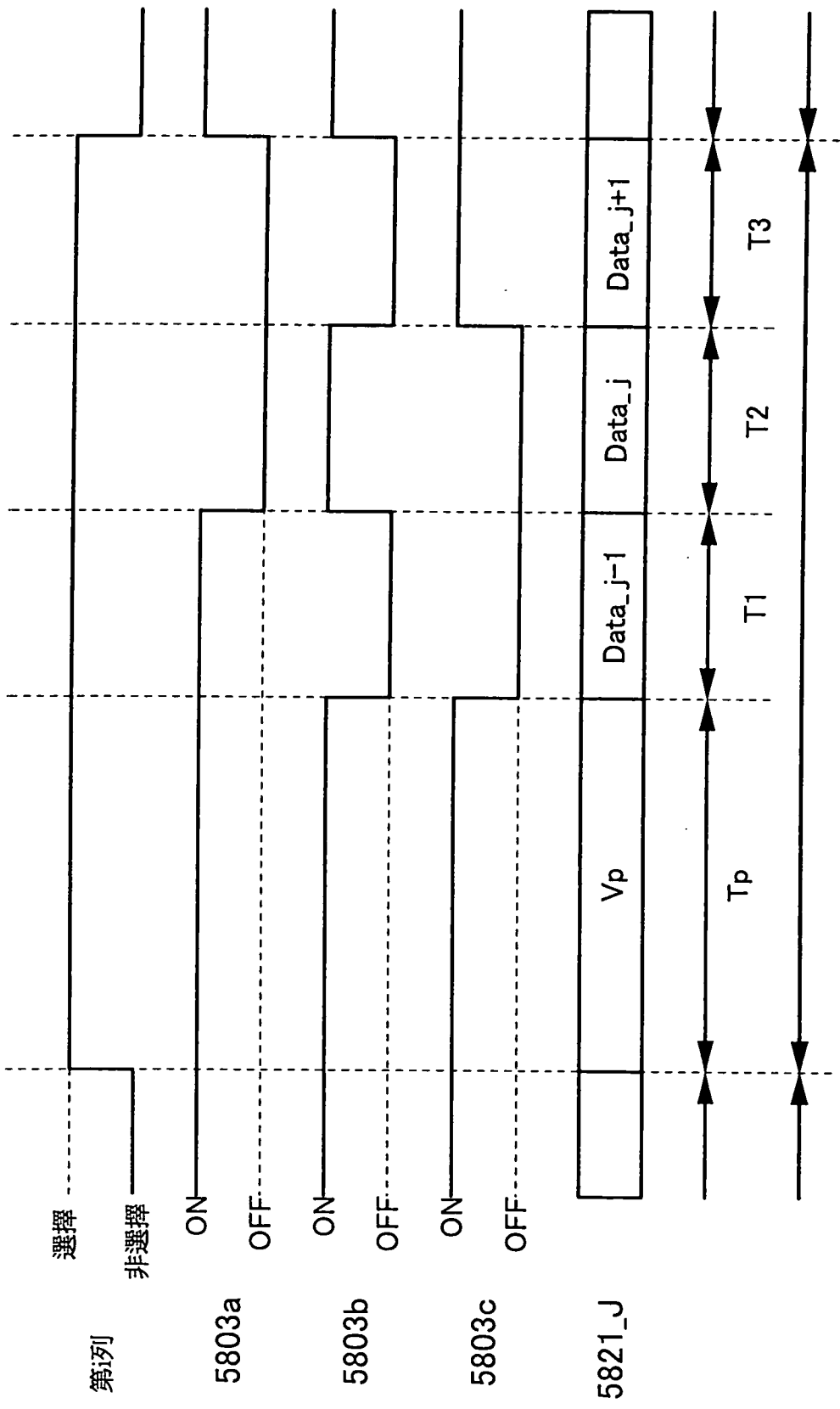


圖18

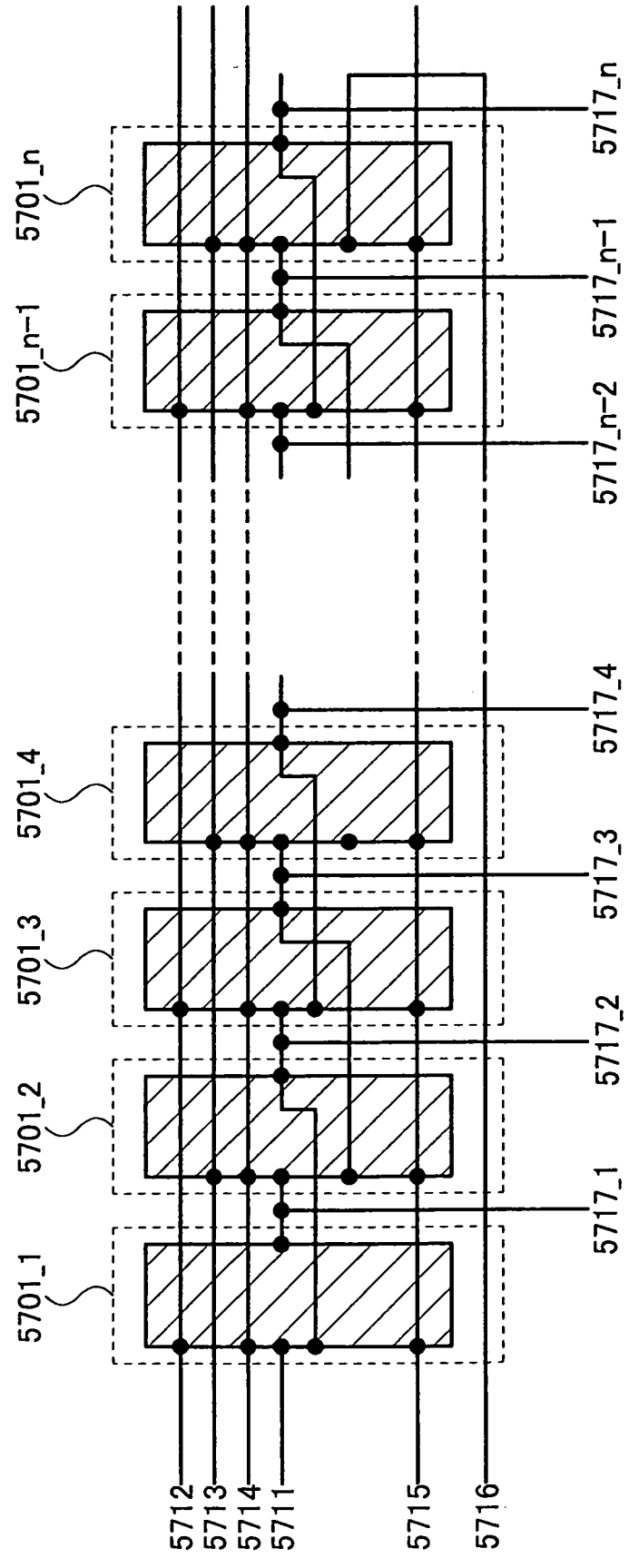


圖 19

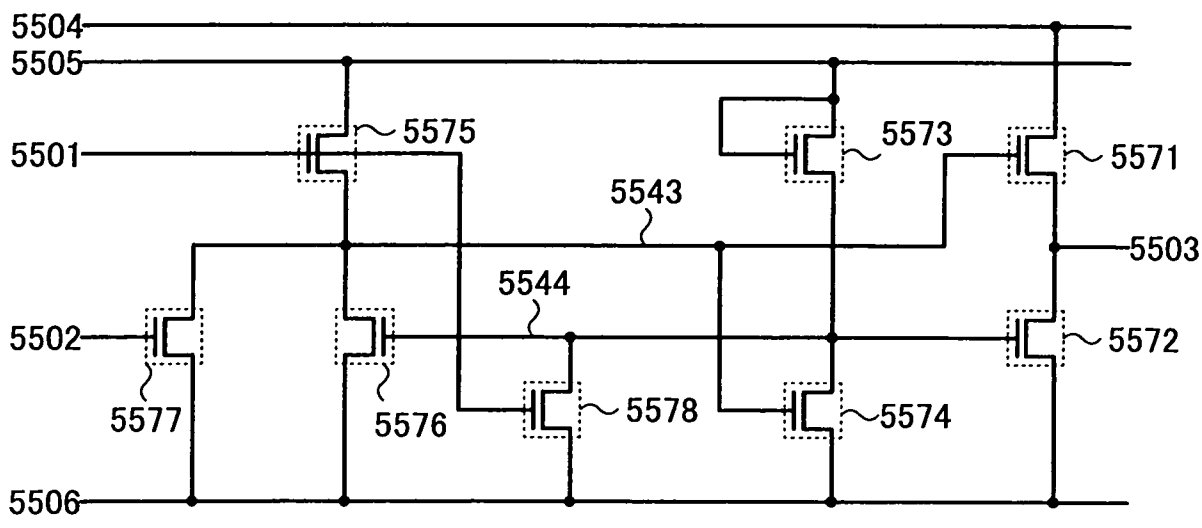


圖20

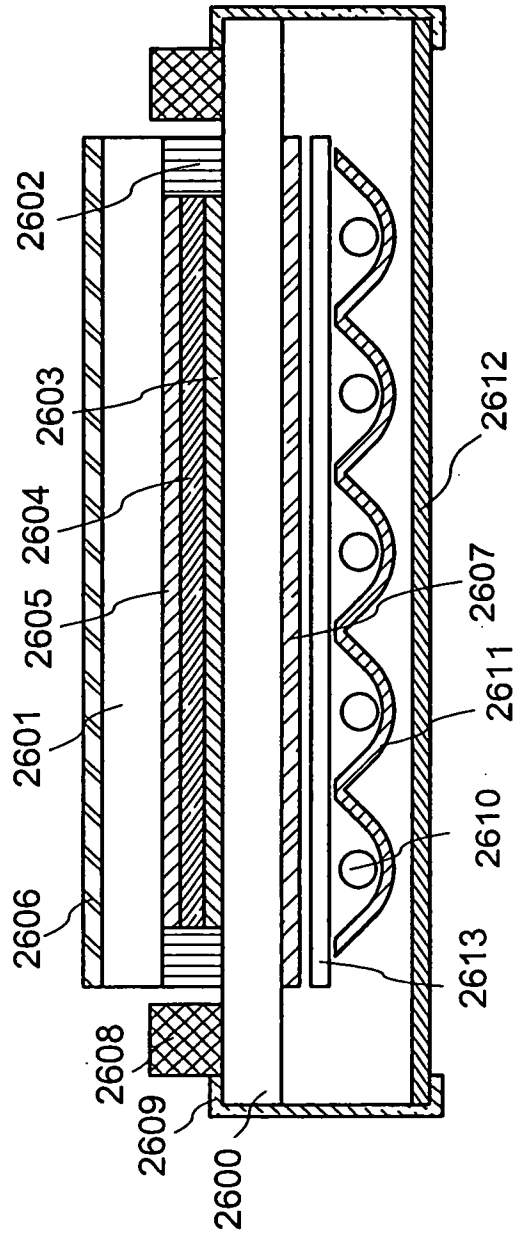


圖21

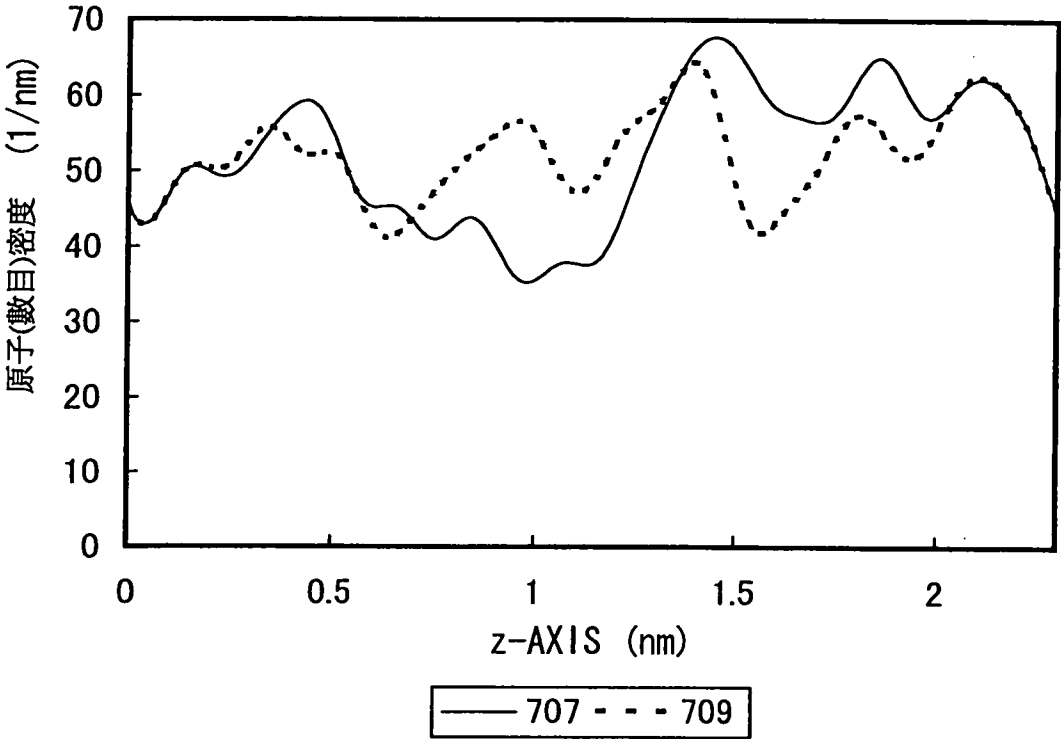


圖 22

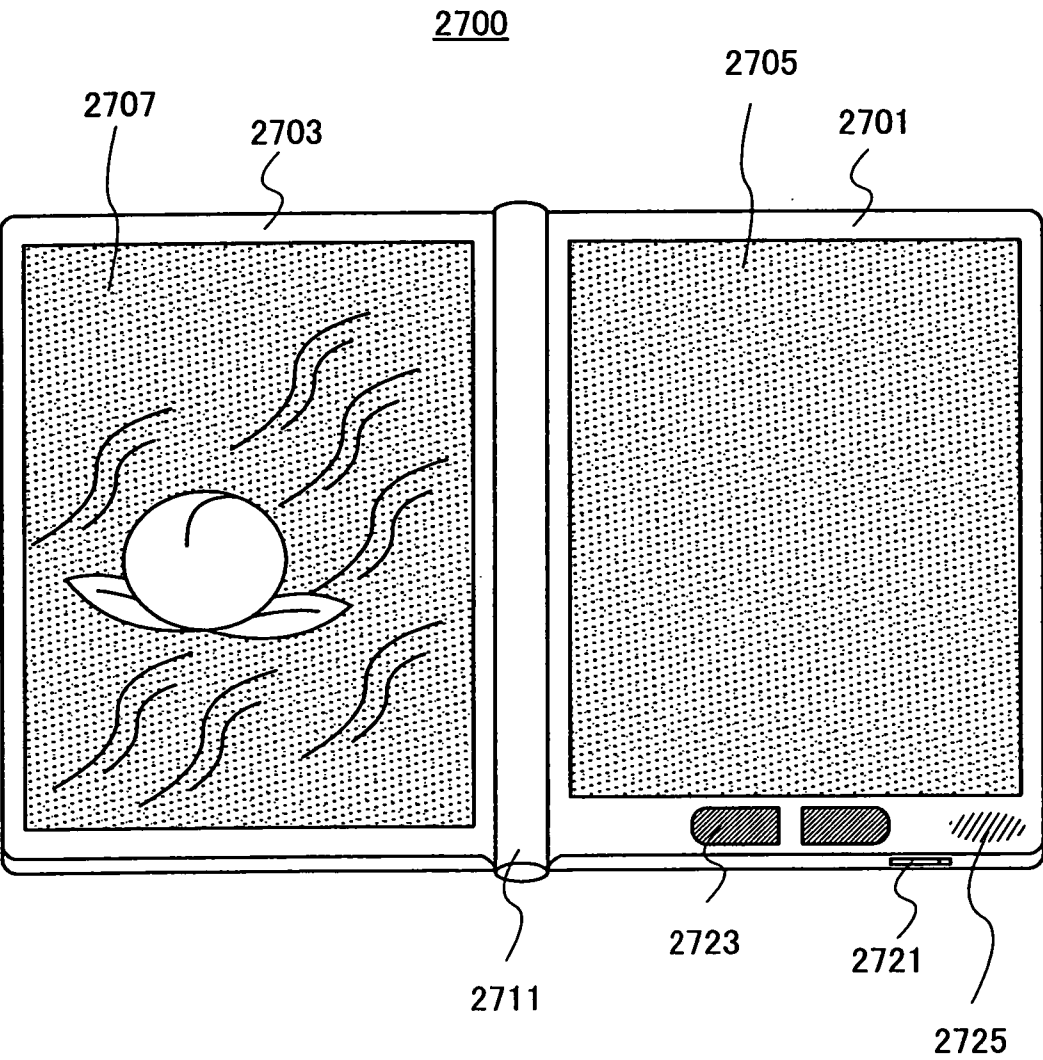


圖 23A

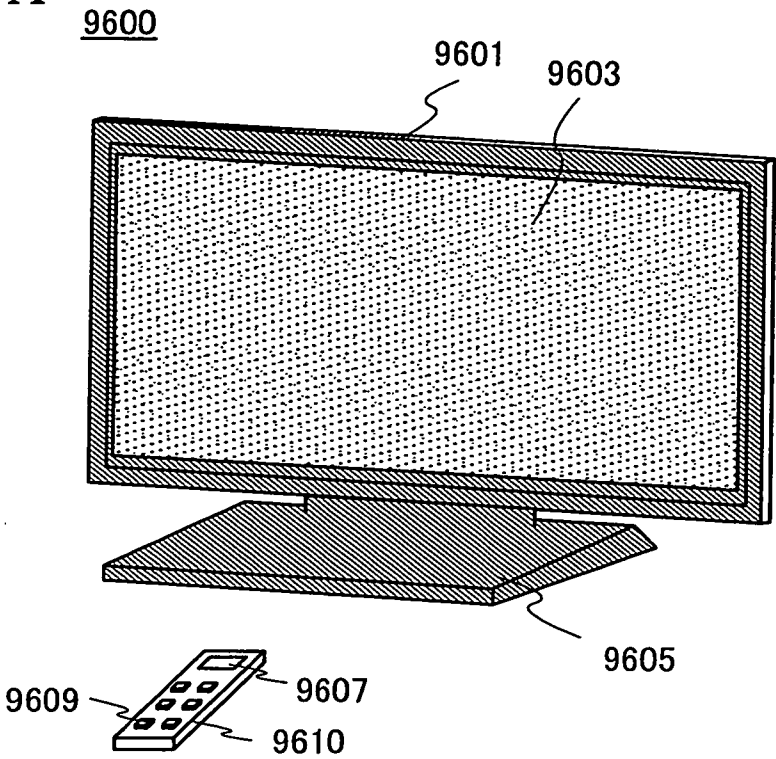


圖 23B

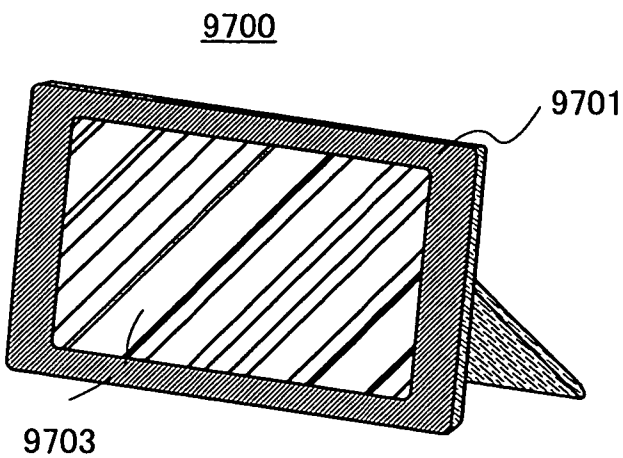


圖 24A

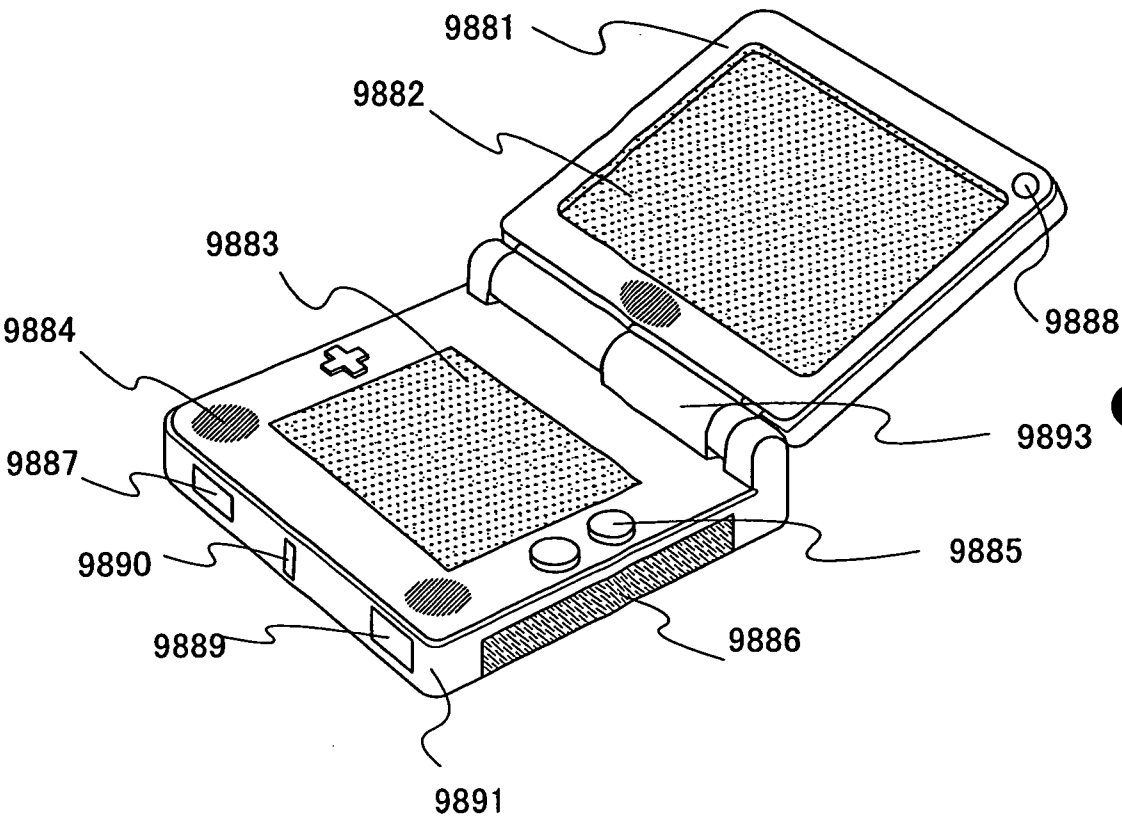


圖 24B

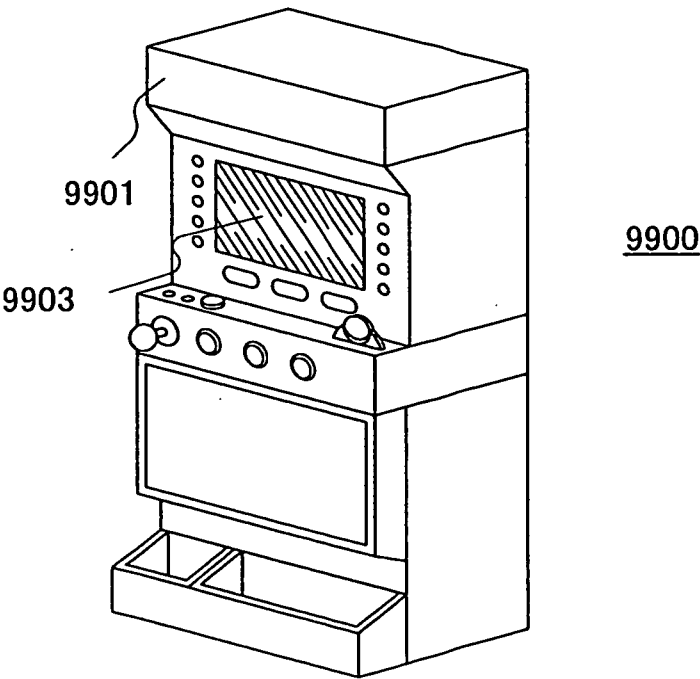


圖 25A

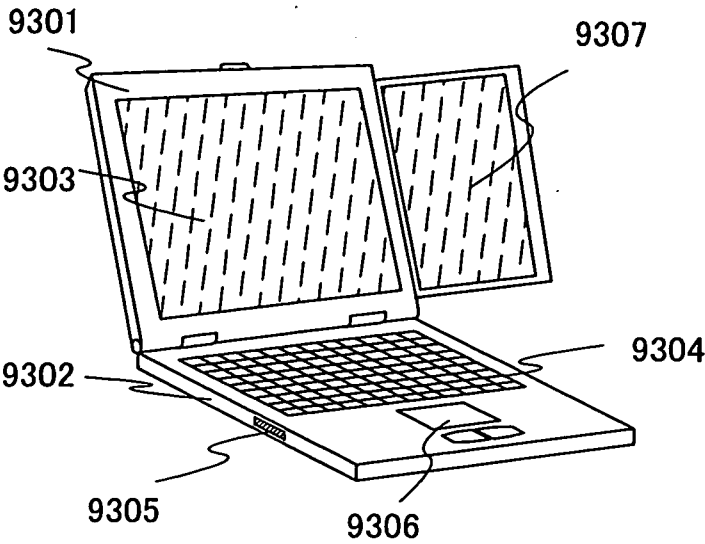


圖 25B

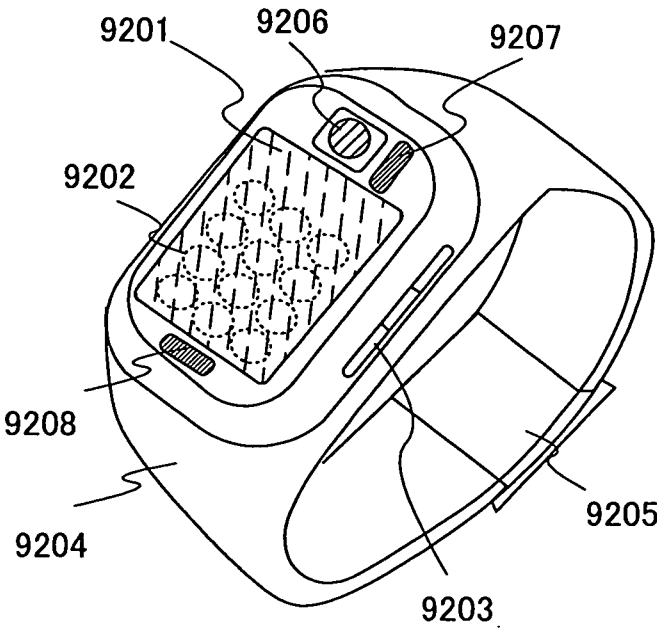


圖 26

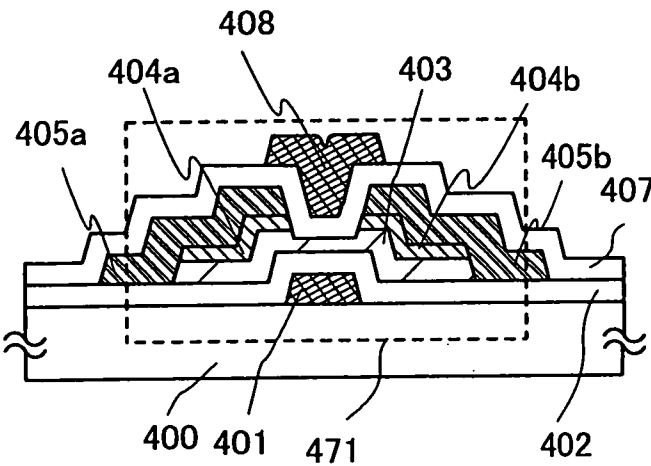


圖 27

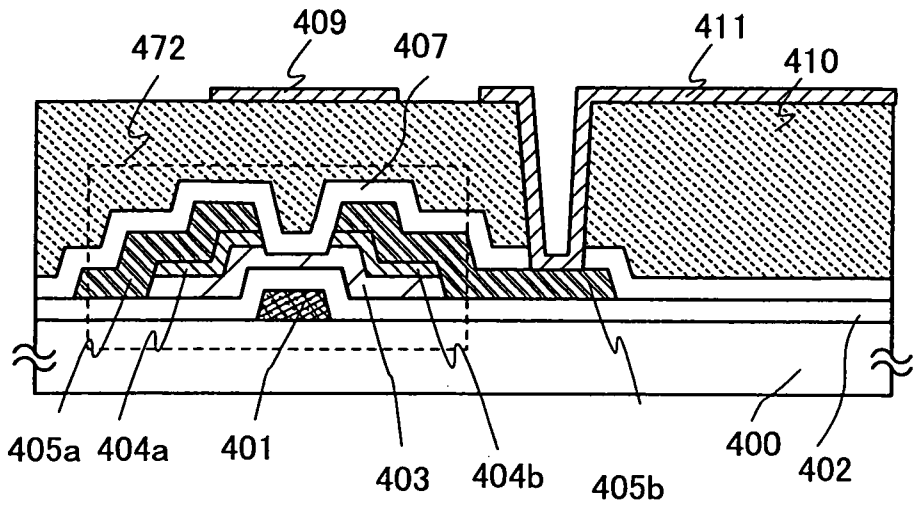


圖28

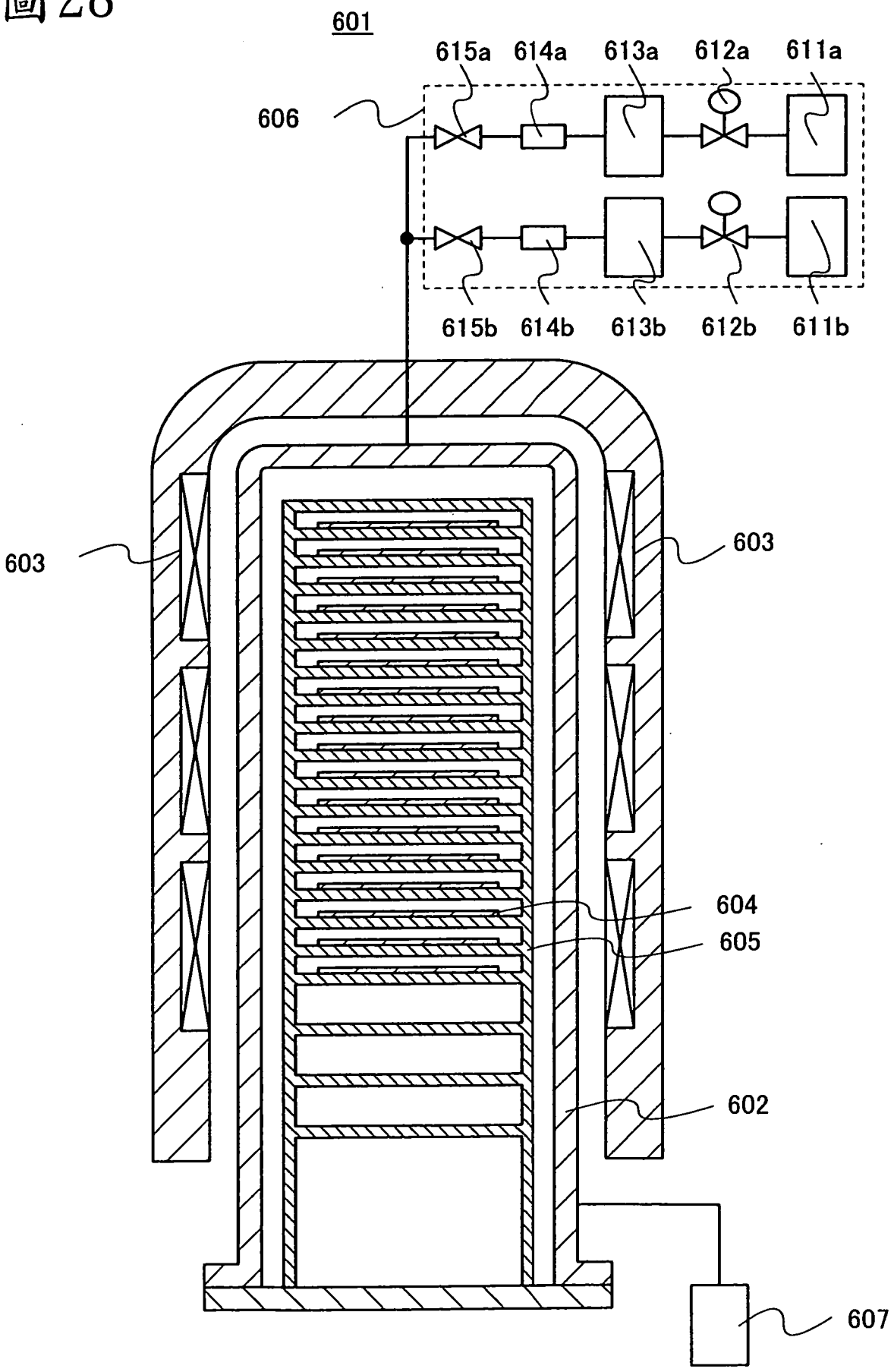


圖 29

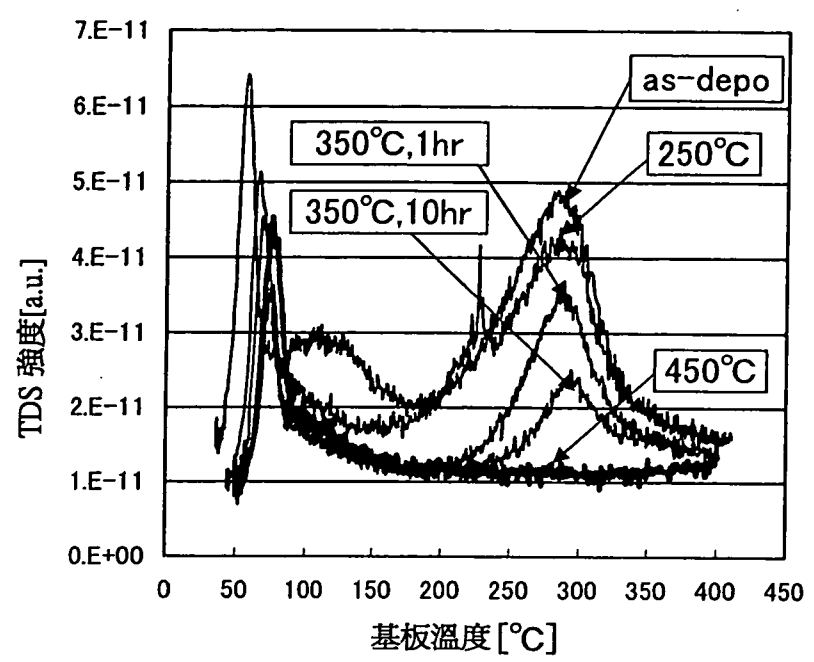


圖 30

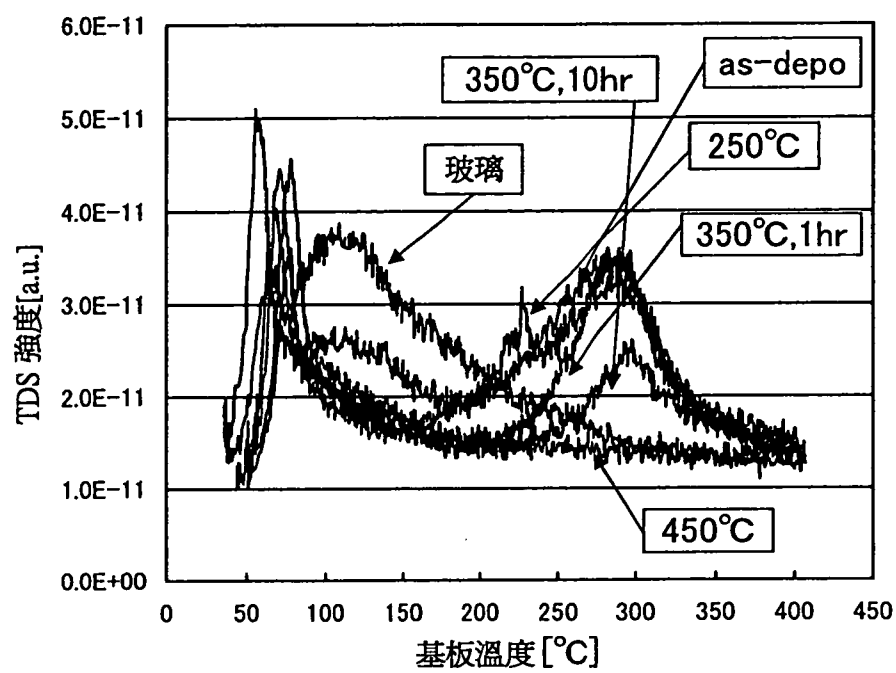


圖 31

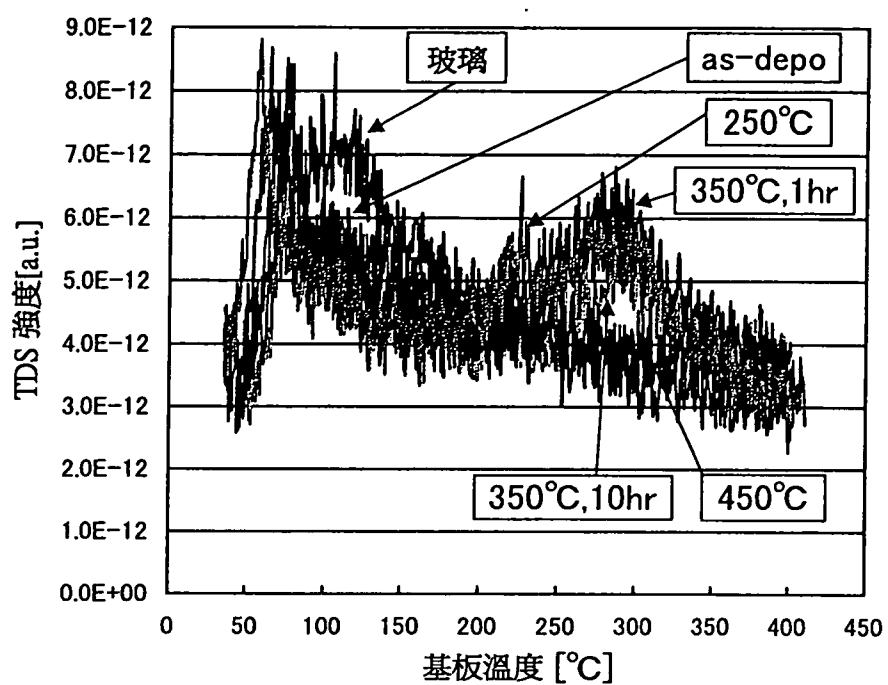


圖 32

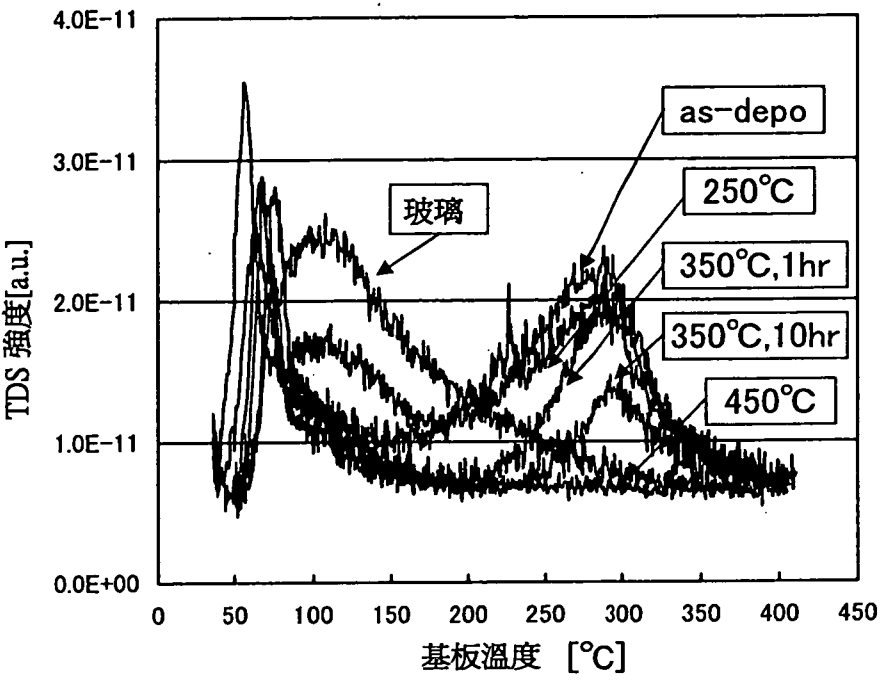


圖 33

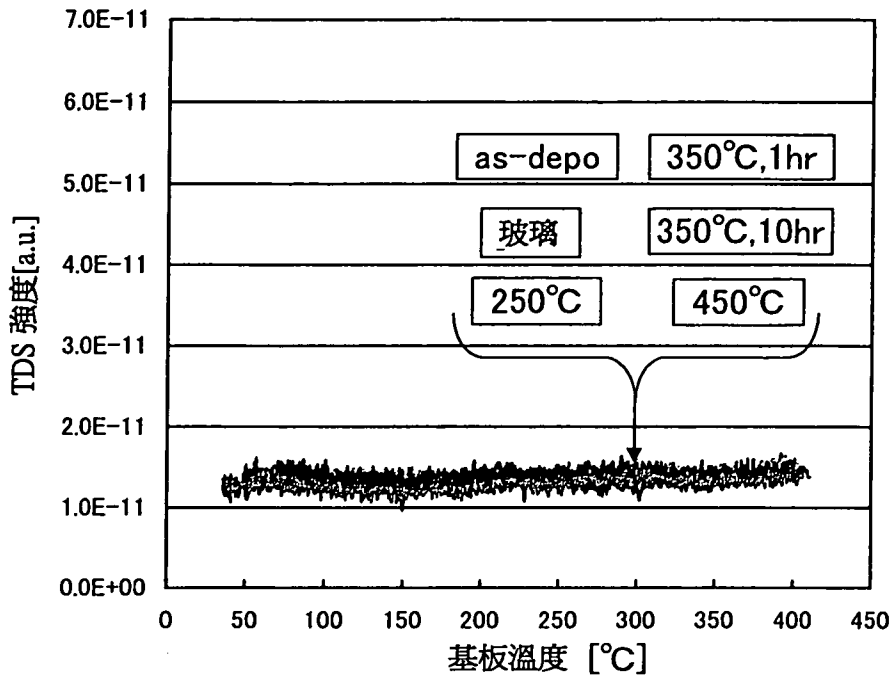


圖 34

