

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年3月3日(03.03.2011)

PCT

(10) 国際公開番号
WO 2011/024358 A1

(51) 国際特許分類:

H01L 21/336 (2006.01) H01L 21/8234 (2006.01)
H01L 21/02 (2006.01) H01L 27/08 (2006.01)
H01L 21/306 (2006.01) H01L 27/088 (2006.01)
H01L 21/3063 (2006.01) H01L 27/12 (2006.01)
H01L 21/322 (2006.01) H01L 29/739 (2006.01)
H01L 21/76 (2006.01) H01L 29/78 (2006.01)
H01L 21/762 (2006.01) H01L 29/786 (2006.01)

(21) 国際出願番号: PCT/JP2010/003857

(22) 国際出願日: 2010年6月10日(10.06.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2009-193420 2009年8月24日(24.08.2009) JP

(71) 出願人 (米国を除く全ての指定国について): 信越半導体株式会社 (Shin-Etsu Handotai Co., Ltd.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目6番2号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 高見澤彰一 (TAKAMIZAWA, Shoichi) [JP/JP]; 〒3790196 群馬県安中市磯部2丁目13番1号信越半導体株式会社 半導体磯部研究所内 Gunma (JP). 佐山

隆司 (SAYAMA, Ryuji) [JP/JP]; 〒3790196 群馬県安中市磯部2丁目13番1号信越半導体株式会社 磯部工場内 Gunma (JP). 名古屋孝俊 (NAGOYA, Takatoshi) [JP/JP]; 〒3790196 群馬県安中市磯部2丁目13番1号信越半導体株式会社 磯部工場内 Gunma (JP).

(74) 代理人: 好宮幹夫 (YOSHIMIYA, Mikio); 〒1100005 東京都台東区上野7丁目6番11号第一下谷ビル8F Tokyo (JP).

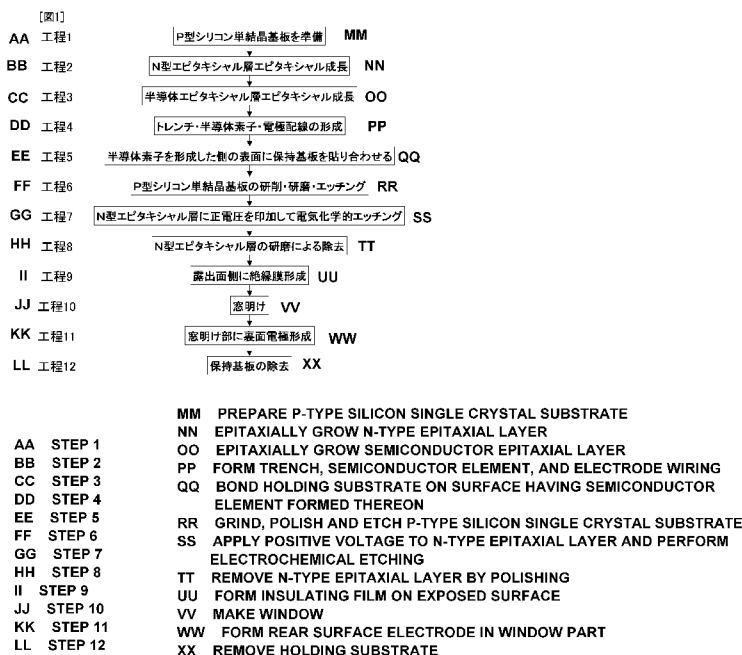
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: Disclosed is a method for manufacturing a semiconductor device, which has: a step of forming an N-type epitaxial layer and a semiconductor epitaxial layer on a P-type silicon single crystal substrate; a step of forming a semiconductor element and a trench on the semiconductor epitaxial layer; a step of bonding a holding substrate on the surface having the semiconductor element formed thereon; a step of applying a positive voltage to the N-type epitaxial layer and removing the P-type silicon single crystal substrate by means of electrochemical etching using the N-type epitaxial layer as an etch-stop layer; a step of forming an insulating film on the exposed surface; a step of making a window by removing the insulating film portion at the position that corresponds to the region where the semiconductor element to be a vertical element is formed; and a step of forming a rear surface electrode in the window part. Thus, using a general epitaxial wafer, the semiconductor element integrally having the vertical element structure, such as a power element of a type in a wider

range, can be manufactured at a low cost in the same manner as in the cases wherein a partial SOI substrate is used.

(57) 要約:

[続葉有]

WO 2011/024358 A1



GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, 添付公開書類:

NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF,

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE,

SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

本発明は、P型シリコン単結晶基板に、N型エピタキシャル層と半導体エピタキシャル層を形成する工程と、半導体エピタキシャル層に半導体素子とトレンチを形成する工程と、半導体素子が形成された側の表面に保持基板を貼り合わせる工程と、N型エピタキシャル層に正電圧を印加して、N型エピタキシャル層をエッチストップ層として電気化学的エッチングによりP型シリコン単結晶基板を除去する工程と、露出した表面に絶縁膜を形成する工程と、絶縁膜のうち、縦型素子とする半導体素子が形成された領域に対応する位置の絶縁膜を除去する窓明けを行う工程と、窓明け部に、裏面電極を形成する工程を有する半導体装置の製造方法である。これにより、一般的なエピタキシャルウエーハを用いて、部分SOI基板を用いた場合と同様、更にはより広範な種類のパワー素子等の縦型素子構造を組み込んだ半導体素子を安価に製造できる半導体装置の製造方法が提供される。

明 細 書

発明の名称 : 半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置の製造方法に関し、具体的には、ＳＯＩ基板を用いず、結晶欠陥に影響されない部分ＳＯＩ構造を有し、高耐圧パワーＩＣ等の基板に垂直な方向に大量に電流を流すことのできる縦型素子と、基板に平行な方向に電流を流す横型素子とが同一チップに形成された半導体装置を安価に製造するための製造方法に関する。

背景技術

[0002] 近年、ＳＯＩ構造は、ロジック回路に用いられるＣＭＯＳＦＥＴ等のデバイスの高速化・低消費電力化を実現しうる構造として多くの研究報告がなされており、高耐圧ＩＣ、インテリジェントパワーＩＣが実用化されてきている。

[0003] しかしながら、ＳＯＩ基板を用いた場合には、電極は全て上面から取り出すことが必要になるため、素子は横方向に電流を流すものか、埋め込み層を用いて上面に電極を形成するものに限定されてしまう。そのため、高密度の電流を基板の垂直方向に流すことが非常に困難という課題が残されている。

[0004] ここで、縦型素子と横型素子について簡単に説明する。

一般に半導体素子は、片面に電極部をもち、電流が基板面と平行な方向に流れる横型素子と、両面に電極部をもち、電流が垂直な方向に流れる縦型素子とに大別できる。

この縦型素子は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアス電圧による空乏層の延びる方向とが同じである。そして縦型素子は、前述のように主電極の一方が半導体素子の底面側にあり、横型素子に比して単位面積当たりの通電能力に優れるため、主に高電力を取り扱う個別素子として利用される。

[0005] また、S O I 構造は、D R A M、アナログ I C、パワー I C等の形成に適した構造であるとは必ずしもいえない。

例えば、D R A Mは、リーク電流の低減・データ保持特性の確保などから、絶縁層で基板と絶縁された領域（以下「S O I 領域」という。）ではなく、基板と絶縁されていないバルクシリコンの領域（以下「非S O I 領域」という。）に形成されることが望まれるからである。また、アナログ I C、パワー I C等も、S O I 領域に形成されるよりも、むしろ非S O I 領域に形成されることが好ましい場合がある。

[0006] そこで、シリコン単結晶層が絶縁層上に形成されたS O I 領域と、非S O I 領域とが混在する構造（以下「部分S O I 構造」という。）が提案されている。この部分S O I 構造によって、ロジック回路と、D R A M、アナログ I C或いはパワー I Cとの混載等が可能となり、電子システムに必要な回路群の1チップ化が実現されうる（例えば特許文献1参照）。

[0007] しかしこの部分S O I 構造を有するS O I 基板の製造には幾つかの問題がある。

例えば、選択エピタキシャル成長等を用いると成長速度を遅くしなければならず、また結晶欠陥の発生により十分な品質を有するS O I 基板が得られなかった。

また、このようなS O I 基板が微細プロセスに用いられる場合、露光精度の悪化等が問題となりうる。例えば、ゲート長が微細なC M O Sトランジスタプロセスでは、短波長光を用いてパターンを露光するため、焦点深度が浅く、半導体基板上のS O I 領域と非S O I 領域との間に高低差がある場合、露光精度が悪化する。すなわち、例えば、S O I 基板において、単にS O I 層、B O X層を除去し、基板を露出させただけの部分S O I 構造は、S O I 領域と非S O I 領域との間の高低差が大きいため、微細プロセスに適用することができない。

先行技術文献

特許文献

[0008] 特許文献1：特開2006-179632号公報

発明の概要

[0009] そこで、特許文献1では、SOI基板の裏面側、すなわち基板を除去することによって上記課題を解決することが提案されている。

この方法によれば結晶性の問題を解決することはできるが、コストが非常に高くなってしまうという問題がある。また、半導体素子のうち縦型素子側の構造が制約されてしまうため、実用化には課題が残されていた。

[0010] 本発明はこのような点に鑑みて検討されたものであり、一般的なエピタキシャルウエーハを用いて、部分SOI基板を用いた場合と同様、更にはより広範な種類のパワー素子等の縦型素子構造を組み込んだ半導体素子を安価に製造することのできる半導体装置の製造方法を提供することを目的とする。

[0011] 上記課題を解決するため、本発明では、少なくとも、導電型がP型のシリコン単結晶基板の一方の主表面に、エッチストップ層となる導電型がN型のN型エピタキシャル層と、半導体素子を形成するための半導体エピタキシャル層とをこの順にエピタキシャル成長させる工程と、前記半導体素子を形成するための半導体エピタキシャル層に、前記半導体素子と、該半導体素子を誘電体分離するためのトレンチを形成する工程と、該半導体素子が形成された側の表面に保持基板を貼り合わせる工程と、前記N型エピタキシャル層に正電圧を印加して、該N型エピタキシャル層をエッチストップ層として電気化学的エッチングにより前記P型シリコン単結晶基板を除去する工程と、該露出した表面に絶縁膜を形成する工程と、該絶縁膜のうち、縦型素子とする前記半導体素子が形成された領域に対応する位置の絶縁膜を除去する窓明けを行う工程と、該窓明け部に、裏面電極を形成する工程とを有することを特徴とする半導体装置の製造方法を提供する。

[0012] このように、SOI基板ではなく、P型シリコン単結晶基板上にエピタキシャル層を形成したエピタキシャルウエーハを出発材料に用いて、トレンチ分離型のデバイス工程を完了した後、保持基板と貼り合わせた後に、P型の

シリコン単結晶基板を除去する。そして、除去面に絶縁体を形成して作製した半導体素子を誘電体分離構造とし、縦型素子とする半導体素子が形成された部分の絶縁膜を除去する窓明けを行い、その窓明け部に電極を形成する。これによって、同一チップに横方向に電流を流す集積回路（横型素子）と縦方向に電流を流す縦型素子が作り込まれた半導体装置を製造することができる。

これによって、電気化学的エッチングによって半導体素子が形成されるエピタキシャル層の下地となったシリコン単結晶基板を従来に比べて高精度に除去することができる。従って、シリコン単結晶基板が除去された側の表面の平坦度が従来に比べて格段に高く、そしてその表面に絶縁膜を形成でき、所望の特性の良好な絶縁膜を形成することができる。

[0013] そして縦型素子部分の絶縁膜の窓明けを行った上で電極を形成することができるため、高密度の電流を基板の垂直方向に流すことができ、またトレンチ部を利用して電極を引き出す必要もなく、縦型素子の構造を特に限定する必要がない。このため、素子の設計の自由度が高く、様々な種類の半導体素子を形成することができ、適用範囲が広いものとなっている。

更に、高価な部分SOI構造のSOI基板を用いずに高耐圧高出力の半導体装置を製造することができ、従来より高品質且つ安価な高耐圧高出力の半導体装置を製造することができる。

[0014] ここで、前記エピタキシャル成長工程は、前記P型シリコン単結晶基板の直上に前記N型エピタキシャル層を厚さ5 μm 以下でエピタキシャル成長させることが好ましい。

このように、P型シリコン単結晶基板の直上にエッチストップ層となるN型エピタキシャル層を厚さ5 μm 以下でエピタキシャル成長させることによって、除去する基板をP型シリコン単結晶基板のみとすることができる。よって、シリコン単結晶基板やエピタキシャル層の無駄を省くことができ、効率よく半導体装置を製造することができる。

[0015] また、前記P型シリコン単結晶基板は、前記N型エピタキシャル層が形成

された主表面とは反対側の表面に多結晶シリコン層が形成されたものか、若しくは該P型シリコン単結晶基板中に酸素析出核を有するものとするのが好ましい。

このように、後に除去する下地P型シリコン単結晶基板の酸素濃度を高くして酸素析出を促進させるような処理を施したものとしたり、N型エピタキシャル層等が形成される側とは反対側の表面に多結晶シリコン層を形成することにより、半導体素子の製造工程でゲッタリング効果を利用することが可能となり、部分SOI構造に伴う結晶欠陥だけでなく、通常のSOI基板を用いた場合に問題になる工程中での金属不純物汚染についても問題を解決することができ、より高品質な半導体装置の製造方法とすることができる。

[0016] そして、前記電気化学的エッチングは、少なくとも前記半導体素子を形成した半導体エピタキシャル層を覆う基板ホルダーに前記P型シリコン単結晶基板を保持した後、前記N型エピタキシャル層をエッチストップ層として、前記トレンチ毎に正電圧が印加されるようにアルカリ電解質溶液に浸漬させて行うものとするのが好ましい。

上述のような方法によって電気化学的エッチングを行うことによって、半導体素子が形成された半導体エピタキシャル層がエッチングされることを確実に防止することができる。また、N型エピタキシャル層が露出した時点でエッチングは確実に止まるため、P型シリコン単結晶基板等の除去したい部分のみを確実に且つ容易に除去することができる。

[0017] 更に、前記半導体素子形成工程後、前記貼り合わせ工程前に、前記半導体素子上に電極配線を形成し、その後該電極配線が形成された側の表面に前記保持基板を貼り合わせることが好ましい。

このように、電極配線を形成した後に電極配線側を保持基板に貼り付けることによって、容易にN型エピタキシャル層に正電圧を印加することができ、電気化学的エッチングを容易に行うことができる。また、保持基板と貼り合わせた後の工程において、電極配線を接地することによって、静電気等を当該電極配線を介してアースに逃すことができる。よって、半導体素子が静

電気等によって破壊されることを抑制することができ、より好適である。

- [0018] また、前記保持基板は、前記貼り合わせ面から逆側の表面に達する電極を有することが好ましい。

このように、保持基板が貼り合わせ面から逆側の表面に達する電極を有するものであれば、より容易にN型エピタキシャル層に正電圧を印加することができ、電気化学的エッチングをより容易に行うことができる。また静電気破壊からもより容易に保護することができる。

- [0019] そして、前記P型シリコン単結晶基板の除去工程は、該P型シリコン単結晶基板に研削・研磨・エッチングのうち少なくとも1つを行った後、前記電気化学的エッチングを行うものとするのが好ましい。

このように、電気化学的エッチングのみでP型シリコン単結晶基板を除去するのではなく、研削・研磨・エッチング等の方法によってP型シリコン単結晶基板を予めある程度除去しておくことによって、短時間でP型シリコン単結晶基板を完全に除去することができ、工程の作業時間の短縮等の効果を達成することができる。

- [0020] 更に、前記P型シリコン単結晶基板の除去工程の後、露出した電気化学的エッチストップ面に対して研磨を行って前記トレンチの先端を露出させ平坦化し、その後前記絶縁膜を形成することが好ましい。

このように、露出したN型エピタキシャル層を研磨によって除去してトレンチを露出させ、その後絶縁膜を形成することによって、作製した半導体素子を、トレンチとその後形成する絶縁膜によって完全に誘電体分離することができ、例えばデバイス領域の極近傍に金属があり、ノイズやパワートランジスタの発熱による素子の誤動作にも高い耐性を有する集積回路を実現することができる。

- [0021] また、前記絶縁膜の窓明け工程は、前記トレンチを合わせマークとして、フォトリソグラフィーによって行うことが好ましい。

このように、半導体素子を誘電体分離しているトレンチを合わせマークとしてフォトリソグラフィーによって窓明けを行うことによって、高い精度で

所望の位置（縦型素子とする半導体素子が形成された領域に対応する位置）に窓を明けることができ、縦型素子に高密度の電流を流すのにより好適な電極を形成することができる。

[0022] そして、前記裏面電極の形成を、蒸着、スパッターのいずれかの方法で行うことが好ましい。

このように、裏面電極を高生産性の蒸着で形成することによって、効率よく裏面電極を形成することができる。またスパッターで形成することによって、密着性が高い裏面電極を形成することができる。

[0023] 更に、前記裏面電極形成工程の後、前記保持基板を剥離または除去することが好ましい。

このように、裏面電極を形成した後に保持基板を除去することによって、保持基板側に形成した電極をワイヤボンドでリードに接続することができるようになる。

[0024] また、前記エピタキシャル成長工程は、前記N型エピタキシャル層の直上に、P型低抵抗層とN型低抵抗層を形成するものとし、前記P型シリコン単結晶基板の除去工程の後、露出した前記N型エピタキシャル層を除去し、前記半導体素子が形成された側の裏面である前記P型低抵抗層から電極を取り出すものとすることが好ましい。

このように、N型エピタキシャル層上に形成する半導体エピタキシャル層は、作製する半導体素子に適したように任意の構成とすることができ、その構成は特に限定されず、例えば上述のような構成の半導体エピタキシャル層を形成することができる。また、N型エピタキシャル層を除去して露出したP型低抵抗層の表面から電極を取り出すことによって、裏面電極の形成に非常に都合がよいものとなる。

[0025] 上述のような、縦型素子と横型素子が同一チップに形成されたパワーICの製造における最大の問題点は、コストが高くなることであつたが、本発明によれば、高価なSOI基板でなく、大口径のシリコン単結晶ウエーハから半導体装置を製造することができ、またその製造工程も、一般的なICカー

ド用のウエーハ薄膜化工程に 2、3 工程を付加するだけで済み、コスト上昇を大幅に抑えることが可能となる。

図面の簡単な説明

- [0026] [図1] 本発明の半導体装置の製造方法の一例を示した工程フローである。
- [図2] 本発明の半導体装置の製造方法の一例の途中段階の構成を示す概略図である。
- [図3] 本発明の半導体装置の製造方法の一例の途中段階の構成を示す概略図である。
- [図4] 本発明の半導体装置の製造方法の一例の途中段階の構成を示す概略図である。
- [図5] 本発明の半導体装置の製造方法の一例の途中段階の構成を示す概略図である。
- [図6] 本発明の半導体装置の製造方法の一例の途中段階の構成を示す概略図である。
- [図7] 本発明の半導体装置の製造方法の一例の途中段階の構成を示す概略図である。
- [図8] 本発明の半導体装置の製造方法の一例の途中段階の構成を示す概略図である。
- [図9] 本発明の半導体装置の製造方法の一例の途中段階の構成を示す概略図である。
- [図10] 本発明の半導体装置の製造方法の一例の途中段階の構成を示す概略図である。
- [図11] 本発明の半導体装置の製造方法の一例の途中段階の構成を示す概略図である。
- [図12] 本発明の半導体装置の製造方法における電気化学的エッチングの際に用いる装置の構成の一例を示した図である。
- [図13] 本発明の電気化学的エッチングの際の N 型エピタキシャル層や P 型シ

リコン単結晶基板に印加されている電圧の状態を模式的に示した概略図である。

[図14]本発明の半導体装置の製造方法において、半導体素子形成用の半導体エピタキシャル層が形成されたP型シリコン単結晶基板の他の一例を示した図である。

[図15]従来の半導体装置の製造方法の一例を示した工程フローである。

発明を実施するための形態

[0027] 以下、本発明についてより具体的に説明する。

前述のように、従来の半導体装置は、図15に示す様な製造方法によって製造されていた。図15は、従来の半導体装置の製造方法の一例を示した工程フローである。

[0028] これは、まず一般的なSOI基板の製造方法によってSOI基板を製造する。

具体的には、シリコン単結晶基板を複数枚準備し（工程1）、そのシリコン単結晶基板に酸化膜を形成した後、水素イオン注入を行う（工程2）。そして酸化膜を介して貼り合わせ、熱処理等によって水素イオン注入層から剥離を行ってSOI基板を得る（工程3）。

SOI基板はアニール又は研磨を行ない鏡面化が行われる。スマートカット（イオン注入）法によるSOI基板のI層の厚さはせいぜい1 μ m程度しか厚くできないので、多くの半導体素子形成には厚さが不十分である。I層にエピタキシャル層を成長させ、所定の厚さと抵抗のシリコン層を得ることが必要となる（工程4）。

[0029] その後、半導体素子と、当該半導体素子を誘電体分離するトレンチや、電極配線を形成し（工程5）、該表面に保持基板を貼り合わせ（工程6）、シリコン単結晶基板を研削・研磨・エッチングによって除去して酸化膜を露出させる（工程7）。そして露出させた酸化膜の一部をエッチング等によって除去して窓明けを行い（工程8）、その部分に裏面電極を形成し（工程9）、保持基板を除去する（工程10）ことによって製造するものである。

[0030] しかし、このような半導体装置の製造方法においては、半導体素子形成後のシリコン単結晶基板を精度高く除去することが非常に困難である。例えば、絶縁膜を削ってしまったり、逆に絶縁膜上に一部シリコン単結晶基板が残ってしまうことがあった。

また、活性領域の金属不純物濃度を低減するためにシリコン単結晶基板にゲッタリング能力を付与する必要があるが、金属不純物の拡散速度が遅い埋め込み絶縁膜を介することになり、十分な金属不純物濃度の低減を図ることが困難であった。

更に、2枚のシリコン単結晶基板を必要とするSOI基板は高価であり、安価な半導体装置を製造することができないとの問題があった。

[0031] この問題を解決するために、本発明者らは鋭意検討を重ねた結果、電気化学エッチングを用いると、N型エピタキシャル層に正電圧を印加しておけば、シリコン単結晶基板がエッチング液に露出した段階で酸化膜が形成されてエッチングが停止するため、非常に精度良くシリコン単結晶基板を除去することができることを発想し、本発明を完成させた。

[0032] 以下、本発明の半導体装置の製造方法について図を参照して詳細に説明するが、本発明はこれらに限定されるものではない。

図1は、本発明の半導体装置の製造方法の一例を示した工程フローである。また図2～11は、本実施の形態に係る半導体装置の製造方法の途中段階の構成を示す概略図である。

[0033] まず、図1の工程1や図2に示す様に、P型シリコン単結晶基板11を準備する。

この時準備するP型シリコン単結晶基板は、導電型がP型であること以外は特に限定されず、一般的に用いられているものであれば良い。例えばP型ドーパントをドーピングしてCZ法で育成したシリコン単結晶棒からスライスして作製したものを用いればよい。

[0034] ここで、この準備するP型シリコン単結晶基板は、後にN型エピタキシャル層が形成される主表面とは反対側の主表面に多結晶シリコン層が形成され

たものか、若しくは該P型シリコン単結晶基板中に酸素析出核を有するもの
とすることができる。

これによって、P型シリコン単結晶基板のゲッタリング能力を容易に高い
ものとすることができ、後に半導体素子が形成される活性領域の金属不純物
を容易に低減することができる。また、P型シリコン単結晶基板は後に除去
するため、金属不純物をP型シリコン単結晶ごと除去できる。更にこれらの
方法は一般的で容易に実施することができ、コスト的にも好適である。

従って、部分SOI構造のSOI基板で発生する結晶欠陥の問題のみなら
ず、一般的なSOI基板で問題となる金属不純物の問題を容易に解決するこ
とができ、高品質且つ安価な半導体装置を製造することができる。

[0035] 次に、エピタキシャル成長工程として、図1の工程2や図3に示す様に、
P型シリコン単結晶基板11の主表面上に、N型エピタキシャル層12をエ
ピタキシャル成長させる。このN型エピタキシャル層12の厚さは、エッチ
ングストップ層として用いるものであるため、その厚さは5 μ m以下とする
ことが望ましい。

このように、P型シリコン単結晶基板11の主表面上に直接N型エピタキ
シャル層12を厚さ5 μ m以下でエピタキシャル成長させることができ、こ
れによって、後の電気化学的エッチングによって除去する基板をP型シリコ
ン単結晶基板のみとすることができ、不要な基板や層を形成せずに済み、効
率的である。

[0036] 次に図1の工程3や図3に示す様に、N型エピタキシャル層12上に、半
導体エピタキシャル層13を形成する。ここでは、N型低抵抗層13aと、
N型高抵抗層13bを形成する。これでエピタキシャル成長工程は終了する
。

[0037] また、このほかにも、図14(a)に示すように、P型シリコン単結晶基
板31の直上のN型エピタキシャル層32の直上に、P型低抵抗層33aと
P型高抵抗層33bを形成するものとすることができる。もしくは、図14
(b)に示す様に、N型エピタキシャル層32'の直上に、P型低抵抗層3

3 a' とN型低抵抗層 3 3 b' を形成するものとすることができる。また、図 1 4 (c) に示す様に、P型シリコン単結晶基板 3 1 の直上に、厚いN型エピタキシャル層 3 2' ' をエピタキシャル成長させるものとすることができる。あるいは、図 1 4 (d) に示す様に、N型エピタキシャル層 3 2' ' ' の直上に、N型層 3 3 a' ' ' と、該N型層 3 3 a' ' ' 中に部分的なP型低抵抗層 3 3 b' ' ' を形成するものとすることができる。

更に、N型エピタキシャル層等が形成された側とは反対側の表面に、ゲッタリングのための多結晶シリコン層 3 4 を設ける事もできる。

[0038] 本発明の半導体装置の製造方法は、先に形成したN型エピタキシャル層 1 2 に正電圧を印加して、電気化学的エッチングによってP型シリコン単結晶基板 1 1 を除去するものである。従って、半導体素子形成領域となる半導体エピタキシャル層 1 3 は、作製する半導体素子に最適な構造を選択することができ、例えば上述のような構造とすることができるが、もちろんこれに限定されない。

[0039] その後、図 1 の工程 4 や図 4 に示す様に、半導体エピタキシャル層 1 3 に、半導体素子 1 4 を形成する。

また、半導体素子 1 4 の形成前または形成後に、半導体素子を誘電体分離するためのトレンチ 1 5 を形成し、その内部に絶縁材料、例えばシリコン酸化膜をトレンチ 1 5 の内部の表面に形成した後に多結晶シリコンを充填することが挙げられる。

このトレンチの深さは、N型エピタキシャル層に到達し、かつ貫通しない深さで形成することが望ましい。

更に、半導体素子 1 4 上に配線 1 6 a を内部に有する配線層 1 6 を形成する。

[0040] 図 4 は、ベース、エミッタ等の半導体素子 1 4 やトレンチ 1 5、配線層 1 6 が形成された段階の図である。この段階は、基本的に一般的なバイポーラ IC の製造工程に沿った工程である。この工程で CMOS を形成するが、図では省略してある。

[0041] パッド電極（配線）の形成には、Au電極を用いた。その後Znを薄く全面に蒸着した。そのことにより、トレンチ分離された基板の各々の領域に所定電位を印加することを可能とした。

その後、図1の工程5や図5（a）に示す様に、石英等の保持基板17に配線層16と取り出し電極18が形成された面を貼り合わせる。

接着剤としては、紫外線剥離型のテープを用いると工程が複雑にならない。しかしこれに限定されることはない。

[0042] このように、電極配線が形成された側と保持基板を貼り合わせることができる。

これによって、保持基板を貼り合わせた後の工程において、電極配線を接地することによって、後の工程において、作業等からの静電気によって半導体素子が破壊されることを抑制することができ、不良を低減することができる。また、容易にN型エピタキシャル層に正電圧を印加することができ、電気化学的エッチングが容易に行え、より都合がよい。尚、この時、電極を外部に取り出せるように配慮することがより望ましい。

[0043] また、保持基板17に、図5（b）に示す様に、表面に凹凸を有する低抵抗シリコン基板を用い、熱剥離型の接着剤で貼り合わせ、電極パッドとシリコン保持基板を電氣的に導通させることも可能である。この場合、低抵抗シリコン基板自体が電極の役割を果たす。

これによって、より容易にN型エピタキシャル層に正電圧を印加でき、また静電気破壊から半導体素子を保護することができる。

[0044] その後、図1の工程6や図6に示す様に、P型シリコン単結晶基板11を、研削や研磨・エッチングのうち少なくとも1つを行って、その厚さを減ずることができる。

このように、電気化学的エッチングに比べて除去速度が速い研削・研磨・エッチングのうち少なくとも1つによってP型シリコン単結晶基板を薄膜化することによって、効率よくP型シリコン単結晶基板を除去することができ、除去工程の作業時間を短時間とすることができる。

尚、研削を行う場合は、研削仕上げ面が界面に極力平行になるようにするため、裏面側を基準にエピタキシャル成長後の基板を設置して研削を行うことが望ましい。

この研削・研磨・エッチングでのP型シリコン単結晶基板の除去量は、P型シリコン単結晶基板の厚さが $50\mu\text{m}$ 以下となる程度まで行うことが望ましい。

[0045] その後、図1の工程7や図7に示す様に、N型エピタキシャル層12に正電圧を印加して、電気化学的エッチングによってP型シリコン単結晶基板11の除去を行う。

これは例えば図12に示す様に、少なくとも半導体素子が形成された半導体エピタキシャル層を覆うようにして基板ホルダー25にP型シリコン単結晶基板11を保持した後、N型エピタキシャル層12をエッチストップ層として、アルカリ系の電解質溶液21に浸漬させて、N型エピタキシャル層12と作用極22との間に、N型エピタキシャル層12が正電位となるように、またトレンチで囲まれた領域どこでも、同等の正電圧が印加されるように電源24により電圧を印加して行うものとすることができる。

[0046] アルカリ系の電解質溶液としてKOHを用いる場合を例に説明すると、KOHの水溶液（濃度40%前後）にN型エピタキシャル層に正の電圧をかけた状態で、電気化学的にエッチングを進める。

例えば、P型シリコン単結晶基板がKOH溶液に露出している間は、図13の右下に示す様に、基板表面は開放電圧（OCP）となり、通常のKOHへのどぶ漬け状態と同じにエッチングが進む。また、P型シリコン単結晶基板には空乏層ができて、界面から離れたところには電圧はかからない。空乏層の厚さは、印加する電圧が1Vの時には $1\mu\text{m}$ 程度である。

そしてP型シリコン単結晶基板がエッチングされ、正電圧が印加されたN型エピタキシャル層が溶液に露出すると、図13の右上に示す様に、その表面では陽極酸化が進み、厚い不導体膜が形成されてエッチングは行われなくなる。これによって、N型エピタキシャル層でエッチングをストップするこ

とができる。

[0047] 電気化学的エッチングを上述のような形態で行うことによって、P型シリコン単結晶基板のみを確実に除去することができる。また、半導体素子が形成された半導体エピタキシャル層がエッチングされることを容易に抑制することができ、素子形成領域に不具合が発生することを抑制することができる。

[0048] 尚、エッチングに用いるアルカリ電解質溶液は、KOH、濃度40%前後、液温50～60℃とすることが望ましい。しかしKOHや上記条件に限定されず、その他のアルカリ溶液、TMAH（テトラメチルアンモニウムヒドレート）等でも同じ作用効果を達成することができる。

[0049] 次に、図1の工程8や図8に示す様に、露出させたN型エピタキシャル層12を研磨によって除去してトレンチ15の先端を露出させ、その後に、後述する絶縁膜を形成することができる。

これによって、トレンチと絶縁膜によって半導体素子を完全に誘電体分離でき、縦型素子や横型素子が同一チップに形成するのに非常に都合が良く、好適である。例えばデバイス領域の近傍に金属があり、ノイズやパワートランジスタの発熱による素子の誤動作にも高い耐性を有する集積回路を実現することができる。

[0050] その後、図1の工程9や図9に示す様に、露出させた面に対して絶縁膜19を形成する。

この絶縁層の形成も後述する裏面電極の形成と同様に、蒸着、スパッター等の低温工程とすることが好ましい。例えば、スパッター、プラズマCVDや蒸着によってSiO₂やSiNを形成することができる。

何れの手法で絶縁層を形成するにしろ、露出させたN型エピタキシャル層または研磨面は、絶縁層形成前に異物、不純物等が除去されることが望ましい。また、低温処理においても十分な接着力を確保するための表面処理が為されることがより望ましい。そのためには、例えば、枚葉式の洗浄機を用いて、洗浄することができる。

[0051] また、接着力を向上するため、絶縁層形成後にパルス的アニールを行ってもよい。

このように、露出させたN型エピタキシャル層または研磨面はデバイス、デバイス動作に関係する領域を形成するので、素子の信頼性の確保等のためにも、清浄度の確保やダメージの抑制を配慮することが求められる。

[0052] そして、図1の工程10や図10に示す様に、絶縁膜19のうち、縦型素子とする半導体素子が形成された領域に対応する位置の絶縁膜を除去する窓明けを行い、窓明け部19aを形成する。これによって、素子の両側に電極が形成できるようになり、大量の電流を流すのに適した構造となる。

[0053] ここで、この絶縁膜19の窓明け工程は、トレンチ15を合わせマークとして、フォトリソグラフィーによって行うことができる。合わせ精度を必要としない場合はスキージ印刷も利用できる。

このように、半導体素子を誘電体分離しているトレンチを合わせマークとしたフォトリソグラフィーによれば、絶縁膜の所望の位置に裏面電極を形成するための窓を明けることができ、縦型素子の品質を向上させることができる。

[0054] 次に、図1の工程11や図10に示す様に、先に形成した窓明け部19aに、裏面電極20を形成する。

この裏面電極の形成は、蒸着またはスパッターで行うのがよい。

このように、生産性の高い蒸着によって裏面電極を形成すれば、効率よく裏面電極を形成することができる。また、密着性の高い膜を形成することのできるスパッターによって裏面電極を形成すれば、良好な特性の電極を得ることができる。

[0055] その後、図1の工程12や図11に示す様に、半導体素子が貼り付けられた保持基板17の剥離若しくは除去を行うことができる。

この剥離・除去には、例えば、ガラス保持基板を通してレーザー光または紫外光を照射して該ガラス保持基板を剥離する手法がその例として挙げられる。

この段階で、デバイスのパターンが半導体装置表面に露出されることになる。

ここで、電極面側（表面）に蒸着されたZnを硫酸等で除去することが望ましい。

[0056] その後、ダイサーを用いてダイシングを行いチップを形成することにより、完全分離型のパワーICチップ等の半導体装置10を製造することができる。また、ダイシングに先立ち、裏面電極上に半田層を形成してからダイシングすることで工程を安定化することが望ましい。

[0057] このような本発明の半導体装置の製造方法によって、電気化学的エッチングが行われた高平坦性の表面層に絶縁層や裏面電極等を形成することができる、また所望の厚さを有するものとすることができる。また、例えばゲッタリング能力を持ったP型シリコン単結晶基板の主表面にN型エピタキシャル層及び半導体素子を形成する半導体エピタキシャル層を形成することができるため、活性領域の金属不純物濃度を従来に比べて低いものとすることができる。

更に、トレンチアイソレーション構造のCMOS集積回路やパワー素子の半導体素子を形成し、保持基板の付加や、研削等とN型エピタキシャル層をエッチストップ層とした電気化学的エッチストップによるP型シリコン単結晶基板の除去、裏面側の絶縁膜形成及びパワー素子部の絶縁膜の窓明け、裏面電極の形成によって、部分SOI構造のSOI基板でなくても、横型素子と縦型素子が同一チップに形成された半導体装置を効率よく製造することができる。

そしてSOI基板ではなくエピタキシャルウエーハから製造することができる、従来に比べて安価なものとすることができる。

従って、金属不純物濃度の低い、高性能且つ安価なパワーICチップを製造することができる。

[0058] そして、例えば、半導体エピタキシャル層の構造をN/N⁺/P⁺/N/Pといった構造にすることにより、出力段のパワー素子をIGBTとすること

ができる。また半導体エピタキシャル層の構造を $N/N^+/N/P$ とすれば出力段のパワー素子を容易にP-MOSにすることができるといったメリットがある。このように、作製する半導体素子に合わせて半導体エピタキシャル層を任意にエピタキシャル成長させればよく、非常に応用が利く製造方法となっている。

実施例

[0059] 以下、実施例を示して本発明をより具体的に説明するが、本発明はこれに限定されるものではない。

(実施例)

図1に示す様な工程に従って、半導体装置を製造した。

まず、抵抗率 $5\ \Omega\text{cm}$ 、直径8インチ(200mm)のP型シリコン単結晶基板を準備した。

次に、トリクロロシランを原料ガスとして、 1150°C 、枚葉式の反応機を用い、まず、N型の抵抗率 $5\ \Omega\text{cm}$ 、厚さ $3\ \mu\text{m}$ のN型エピタキシャル層を成長させた。その後、半導体エピタキシャル層として、N型の抵抗率 $0.05\ \Omega\text{cm}$ 、厚さ $2.5\ \mu\text{m}$ のN型低抵抗層のエピタキシャル成長を行い、次に、N型の抵抗率 $2\ \Omega\text{cm}$ 、厚さ $6\ \mu\text{m}$ のN型層をエピタキシャル成長させた。

[0060] その後、作製した半導体素子形成領域に、酸化膜をマスクとして、アイソレーション用トレンチをRIE(Reactive Ion Etching: 反応性イオンエッチング)により形成し、トレンチ内の表面を酸化した後、多結晶シリコンでトレンチを埋めた。ここで、トレンチの深さは $9.0\ \mu\text{m}$ とした。

そして、図4に示すような、N、PウエルLOCOS酸化膜、ゲート酸化膜、ゲート、ソース、ドレイン等を形成した。その後、図4に示す様な配線層を形成した。

[0061] そして、電極パッドが形成された表面に亜鉛を真空蒸着させた後、光変性

型の樹脂を用いて石英基板と貼り合わせた。

その後、P型シリコン単結晶基板を除去するにあたって、まず、研削によって基板の厚さが $50\mu\text{m}$ 程度になるまで削った。この際、残ったP型シリコン単結晶基板の厚さのバラツキがプラスマイナス10%以下になるように制御した。

[0062] その後、接着に用いた光変性型の樹脂に針状の白金電極を刺して亜鉛電極と導通させて、テフロン（登録商標）製の基板ホルダーに配線層を形成したP型シリコン単結晶基板を取り付け、液温 50°C 、濃度30%のKOH水溶液に、N型エピタキシャル層とP型シリコン単結晶基板との界面において、N型エピタキシャル層が+1.5Vになるように電位を印加した状態で浸漬させて、研削で残ったP型シリコン単結晶基板を電気化学エッチングによって除去した。

[0063] その後、KOH水溶液から基板ホルダーごと取り出し、研磨によりN型エピタキシャル層を除去した面にプラズマCVDによって厚さ $2\mu\text{m}$ の酸化膜を形成した。そしてフォトリソグラフィーによるパターニング・エッチングによって、縦型素子とする半導体素子が形成された領域に対応する位置の酸化膜を除去した。

更に、裏面側に裏面電極としてAu-Sbを蒸着によって堆積させ、RTAによってオーミック性を確保した。

その後、石英基板側から紫外線を照射し、石英基板を半導体素子が形成された半導体エピタキシャル層から分離し、フロントエンドのデバイス工程を完了させた。

[0064] 尚、電気化学エッチング後に、露出したN型エピタキシャル層の平坦度を評価した。その結果、厚さのバラツキは $0.2\sim 0.3\mu\text{m}$ であり、高い精度でP型シリコン単結晶基板を除去できたことが判った。尚、従来の研削・研磨・エッチングでは $\pm 1\mu\text{m}$ 程度が限界であり、本発明の電気化学的エッチングが優れていることが確認できた。

[0065] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態

は例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

請求の範囲

[請求項1]

少なくとも、

導電型がP型のシリコン単結晶基板の一方の主表面に、エッチストップ層となる導電型がN型のN型エピタキシャル層と、半導体素子を形成するための半導体エピタキシャル層とをこの順にエピタキシャル成長させる工程と、

前記半導体素子を形成するための半導体エピタキシャル層に、前記半導体素子と、該半導体素子を誘電体分離するためのトレンチを形成する工程と、

該半導体素子が形成された側の表面に保持基板を貼り合わせる工程と、

前記N型エピタキシャル層に正電圧を印加して、該N型エピタキシャル層をエッチストップ層として電気化学的エッチングにより前記P型シリコン単結晶基板を除去する工程と、

該露出した表面に絶縁膜を形成する工程と、

該絶縁膜のうち、縦型素子とする前記半導体素子が形成された領域に対応する位置の絶縁膜を除去する窓明けを行う工程と、

該窓明け部に、裏面電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

[請求項2]

前記エピタキシャル成長工程は、前記P型シリコン単結晶基板の直上に前記N型エピタキシャル層を厚さ5 μ m以下でエピタキシャル成長させることを特徴とする請求項1に記載の半導体装置の製造方法。

[請求項3]

前記P型シリコン単結晶基板は、前記N型エピタキシャル層が形成された主表面とは反対側の主表面に多結晶シリコン層が形成されたものか、若しくは該P型シリコン単結晶基板中に酸素析出核を有するものとすることを特徴とする請求項1または請求項2に記載の半導体装

置の製造方法。

- [請求項4] 前記電気化学的エッチングは、少なくとも前記半導体素子を形成した半導体エピタキシャル層を覆う基板ホルダーに前記P型シリコン単結晶基板を保持した後、前記N型エピタキシャル層をエッチストップ層として、前記トレンチ毎に正電圧が印加されるようにアルカリ電解質溶液に浸漬させて行うものとすることを特徴とする請求項1ないし請求項3のいずれか1項に記載の半導体装置の製造方法。
- [請求項5] 前記半導体素子形成工程後、前記貼り合わせ工程前に、前記半導体素子上に電極配線を形成し、その後該電極配線が形成された側の表面に前記保持基板を貼り合わせることを特徴とする請求項1ないし請求項4のいずれか1項に記載の半導体装置の製造方法。
- [請求項6] 前記保持基板は、前記貼り合わせ面から逆側の表面に達する電極を有することを特徴とする請求項5に記載の半導体装置の製造方法。
- [請求項7] 前記P型シリコン単結晶基板の除去工程は、該P型シリコン単結晶基板に研削・研磨・エッチングのうち少なくとも1つを行った後、前記電気化学的エッチングを行うものとすることを特徴とする請求項1ないし請求項6のいずれか1項に記載の半導体装置の製造方法。
- [請求項8] 前記P型シリコン単結晶基板の除去工程の後、露出した電気化学的エッチストップ面に対して研磨を行って前記トレンチの先端を露出させ平坦化し、その後前記絶縁膜を形成することを特徴とする請求項1ないし請求項7のいずれか1項に記載の半導体装置の製造方法。
- [請求項9] 前記絶縁膜の窓明け工程は、前記トレンチを合わせマークとして、

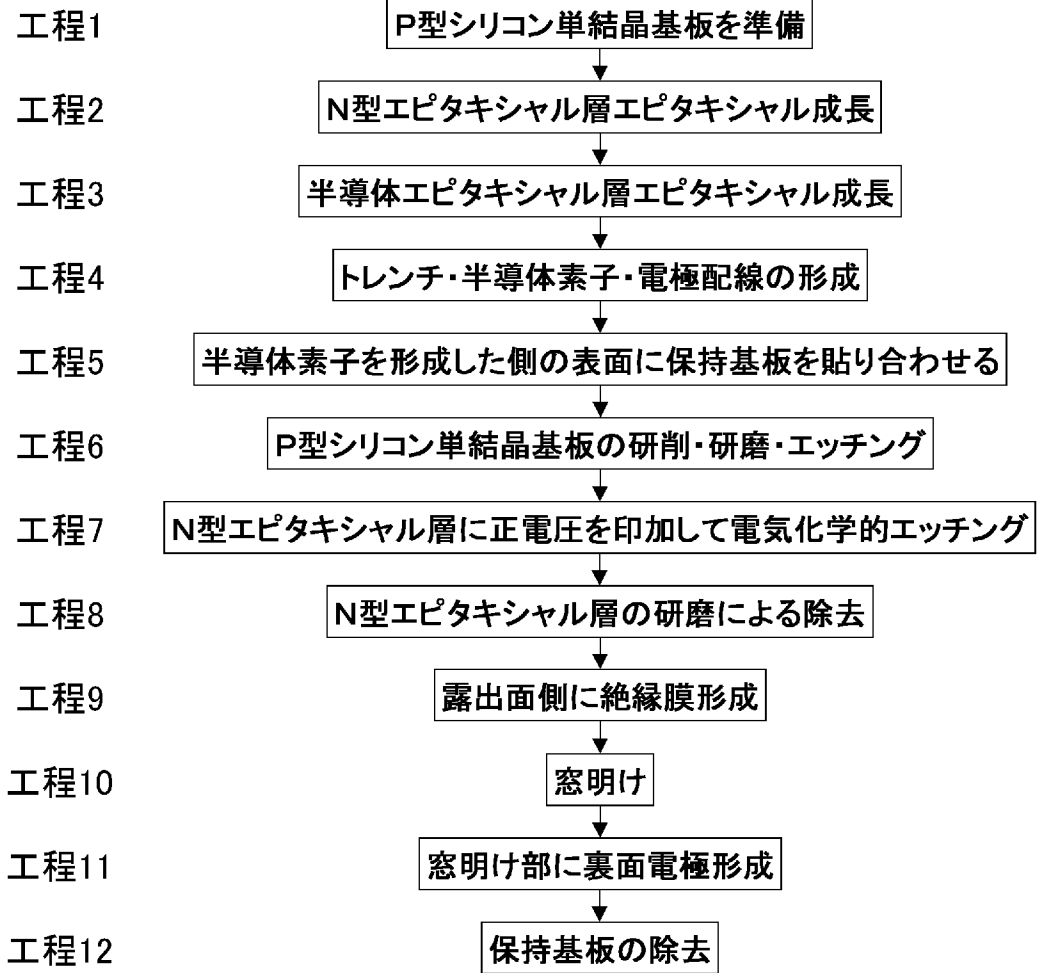
フォトリソグラフィーによって行うことを特徴とする請求項 1 ないし請求項 8 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項10] 前記裏面電極の形成を、蒸着、スパッターのいずれかの方法で行うことを特徴とする請求項 1 ないし請求項 9 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項11] 前記裏面電極形成工程の後、前記保持基板を剥離または除去することを特徴とする請求項 1 ないし請求項 10 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項12] 前記エピタキシャル成長工程は、前記 N 型エピタキシャル層の直上に、P 型低抵抗層と N 型低抵抗層を形成するものとし、前記 P 型シリコン単結晶基板の除去工程の後、露出した前記 N 型エピタキシャル層を除去し、前記半導体素子が形成された側の裏面である前記 P 型低抵抗層から電極を取り出すことを特徴とする請求項 1 ないし請求項 11 のいずれか 1 項に記載の半導体装置の製造方法。

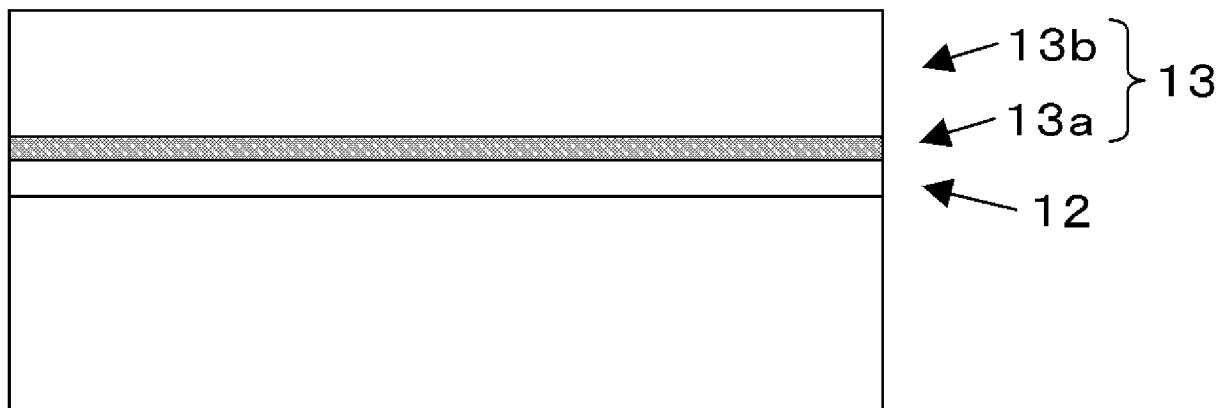
[図1]



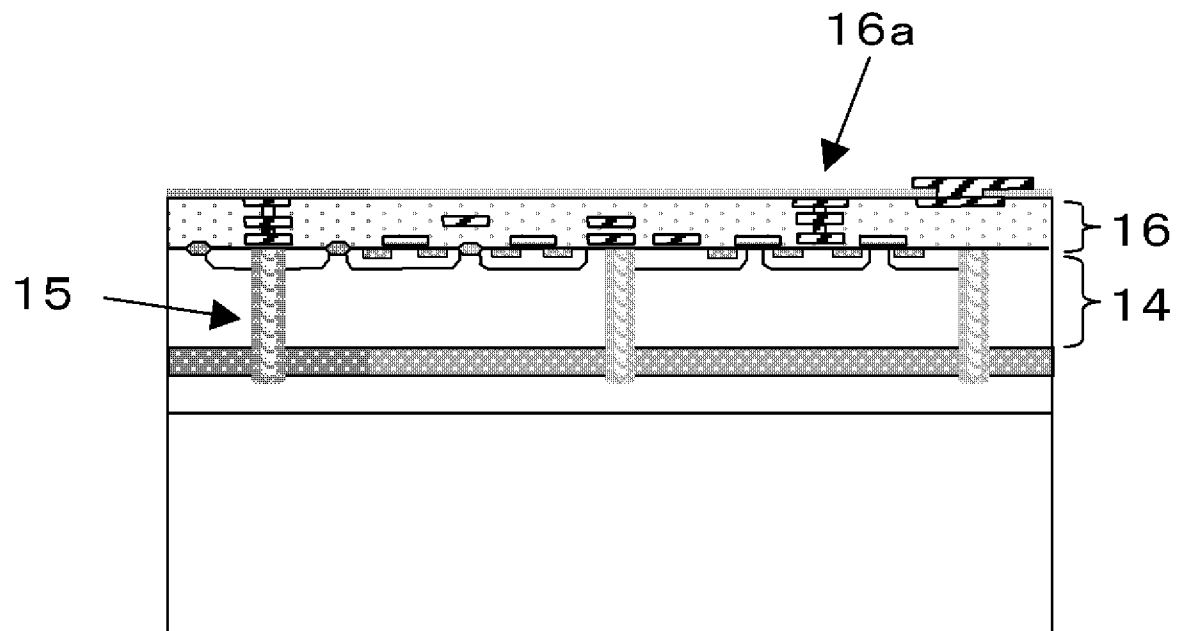
[図2]



[図3]

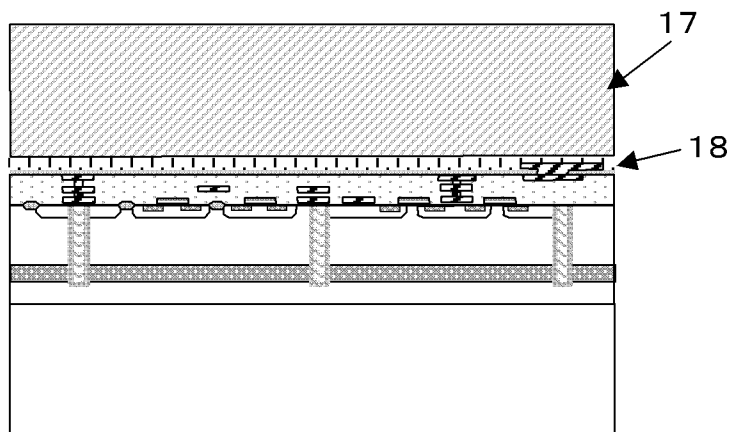


[図4]

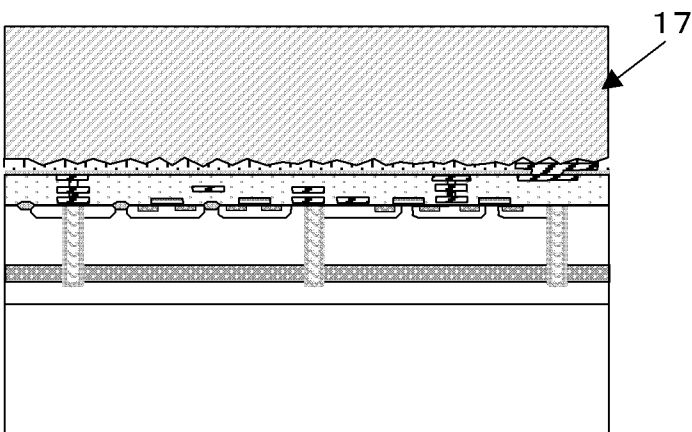


[図5]

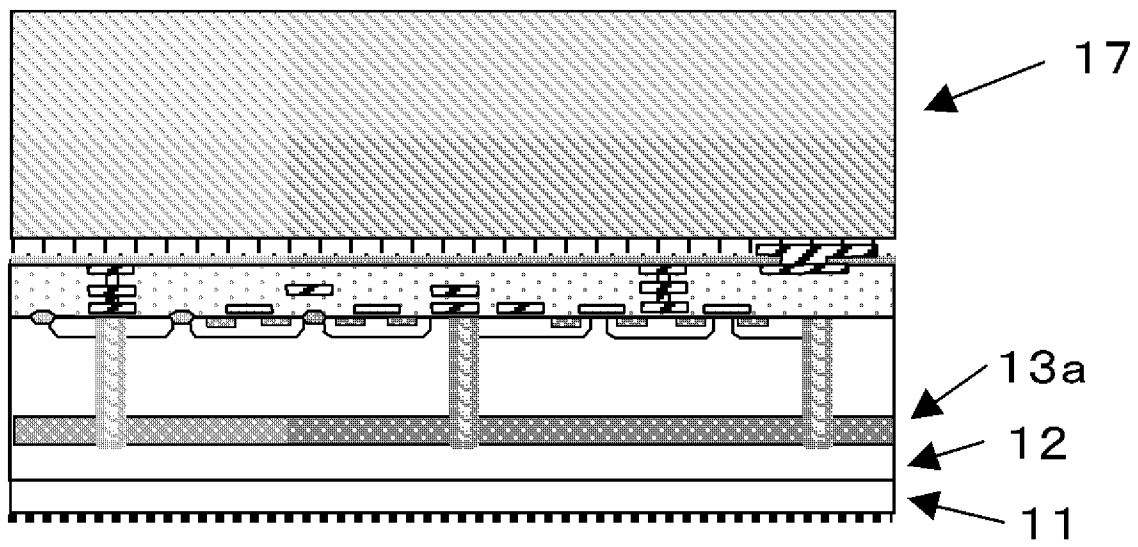
(a)



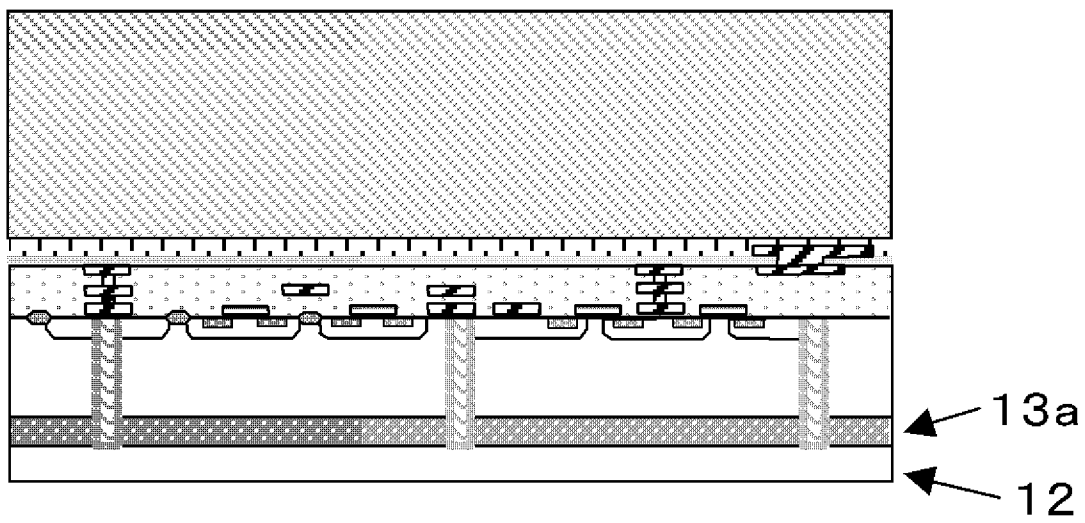
(b)



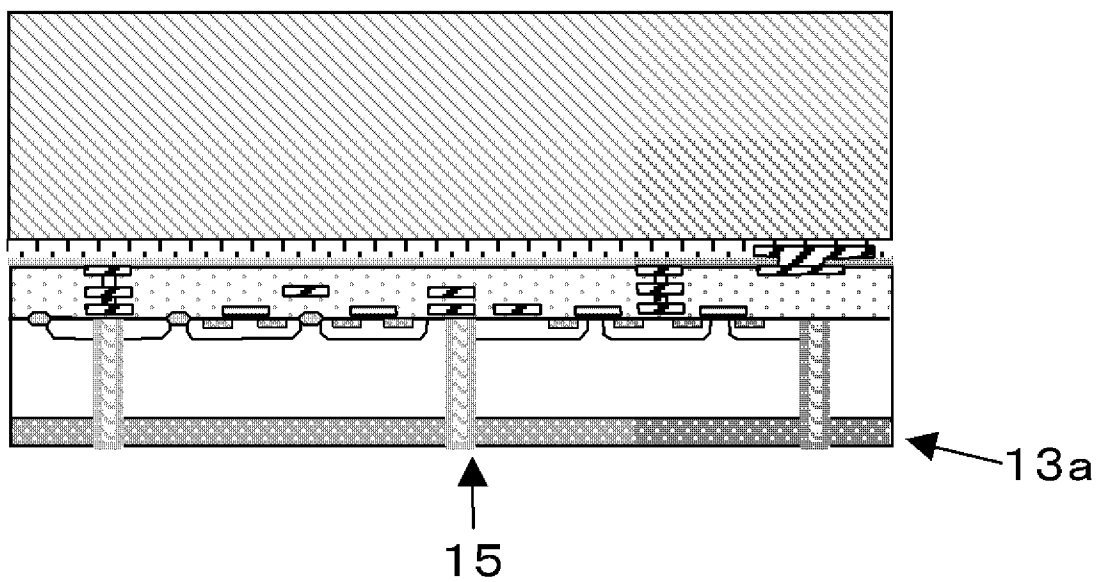
[図6]



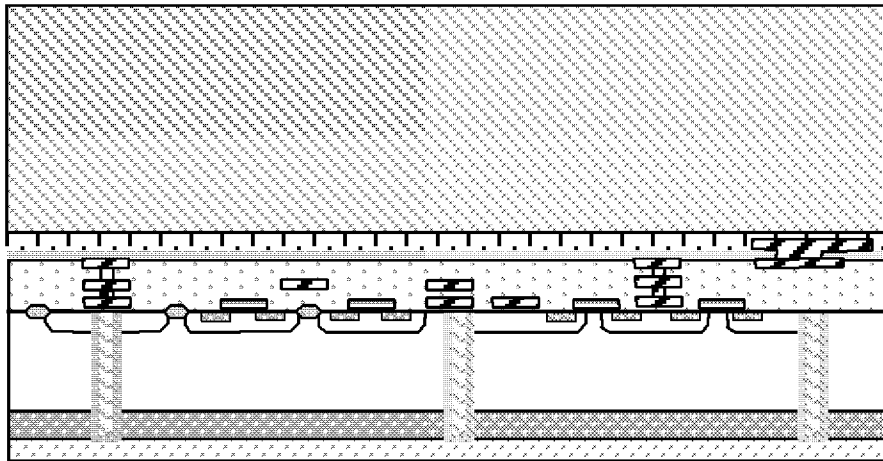
[図7]



[図8]

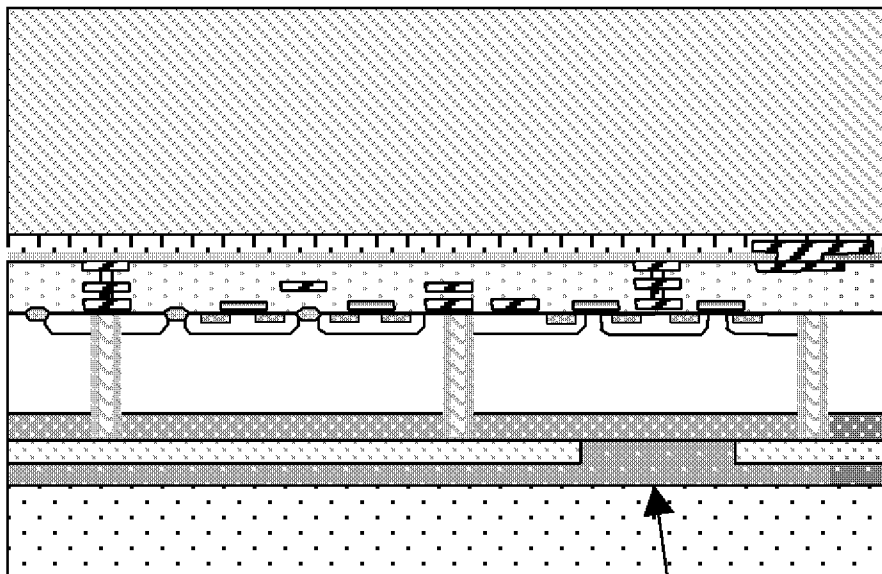


[図9]



19

[図10]

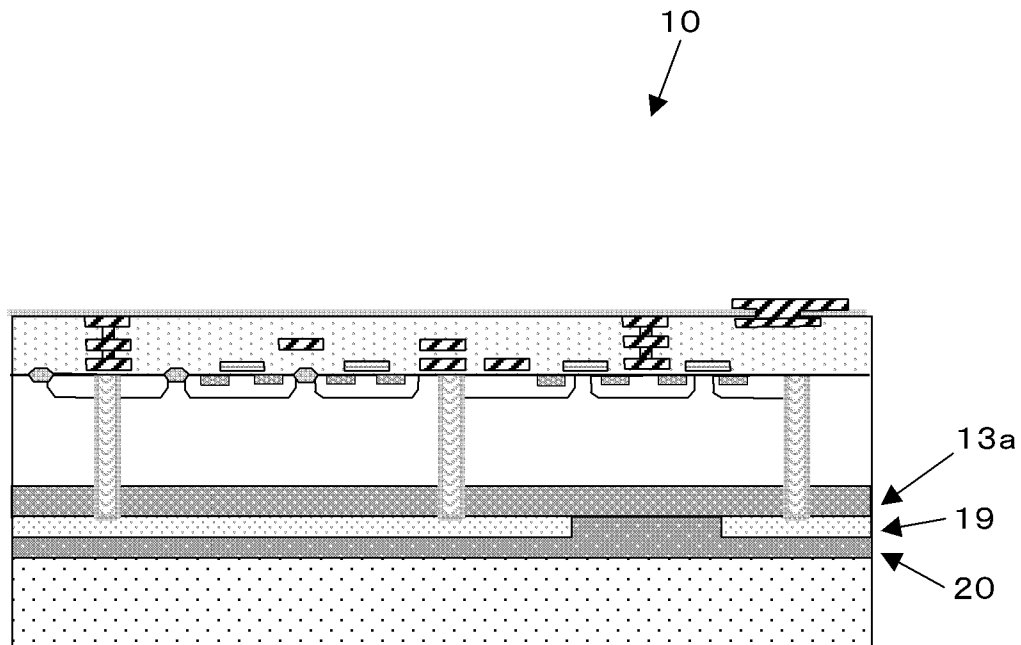


17

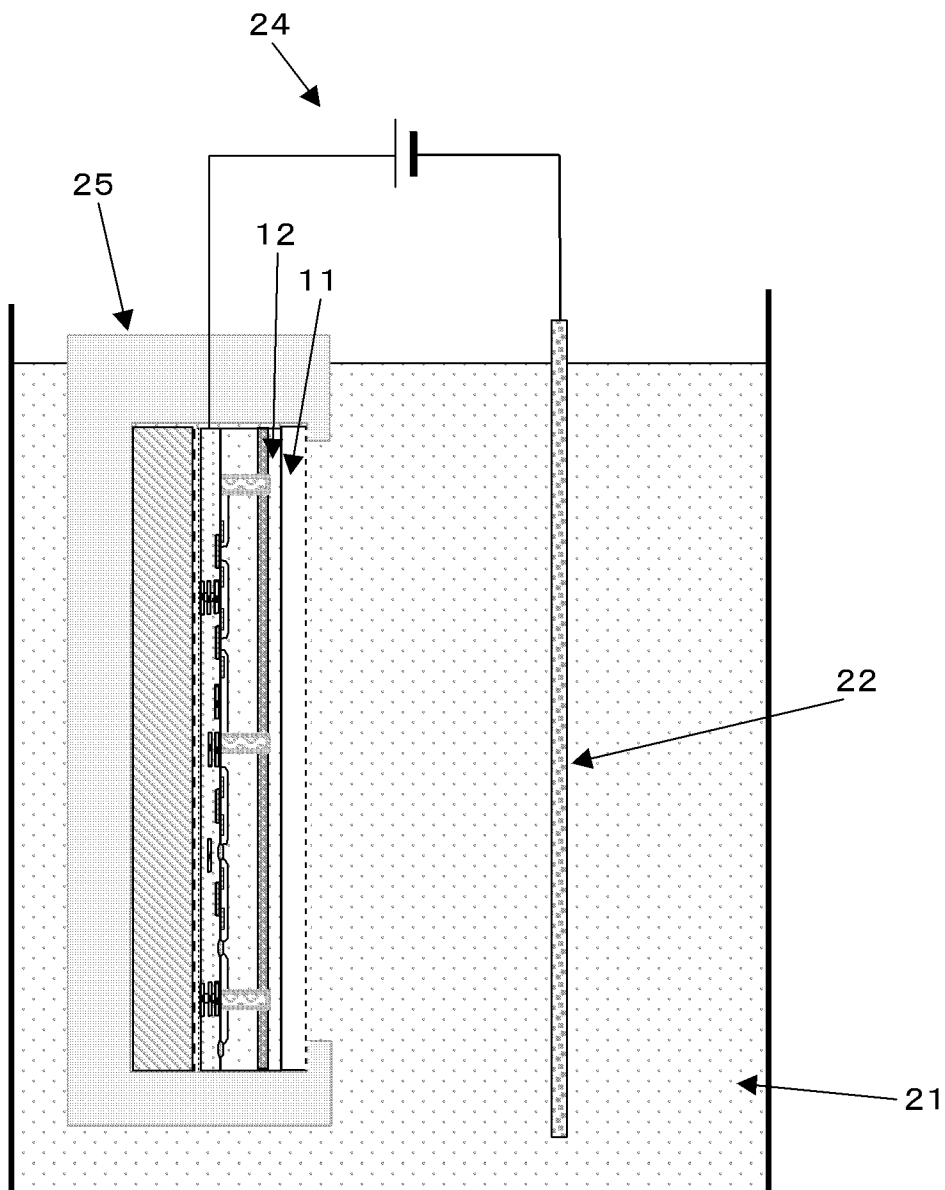
20

19a

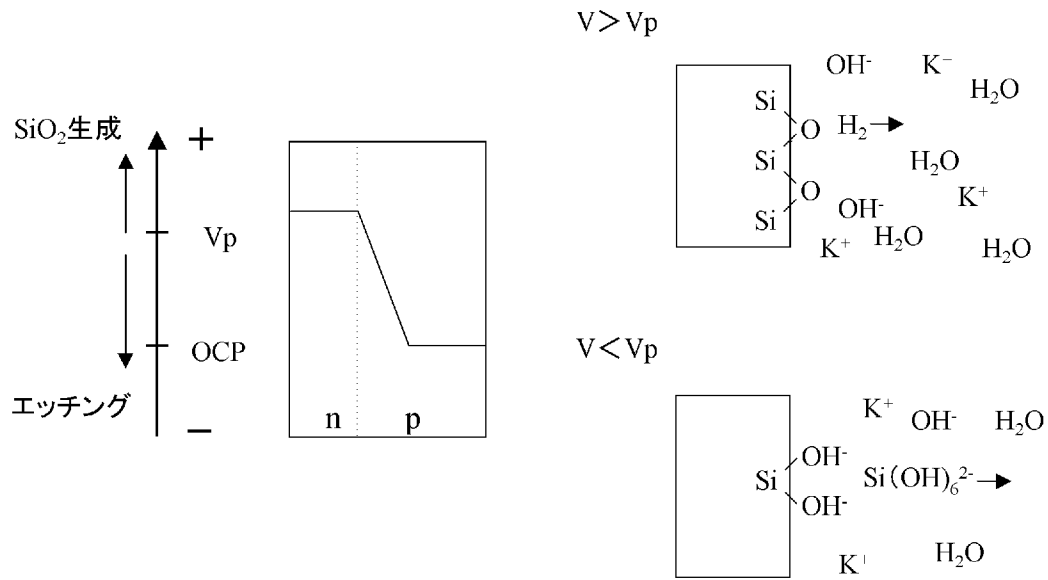
[図11]



[図12]

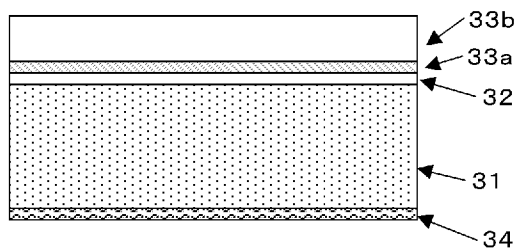


[図13]

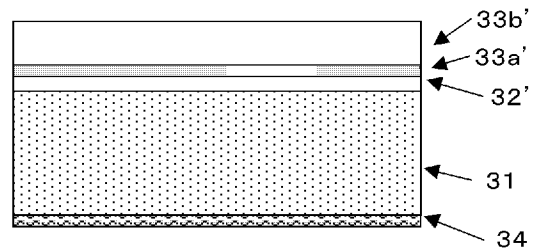


[図14]

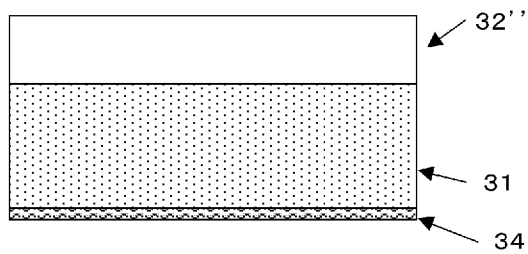
(a)



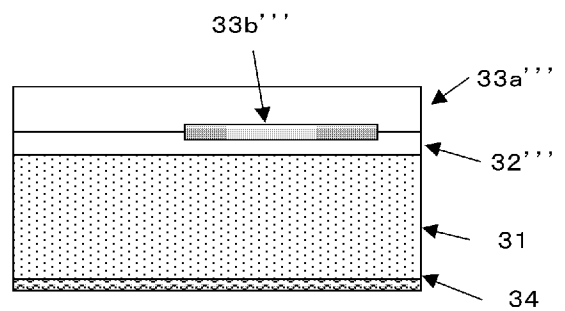
(b)



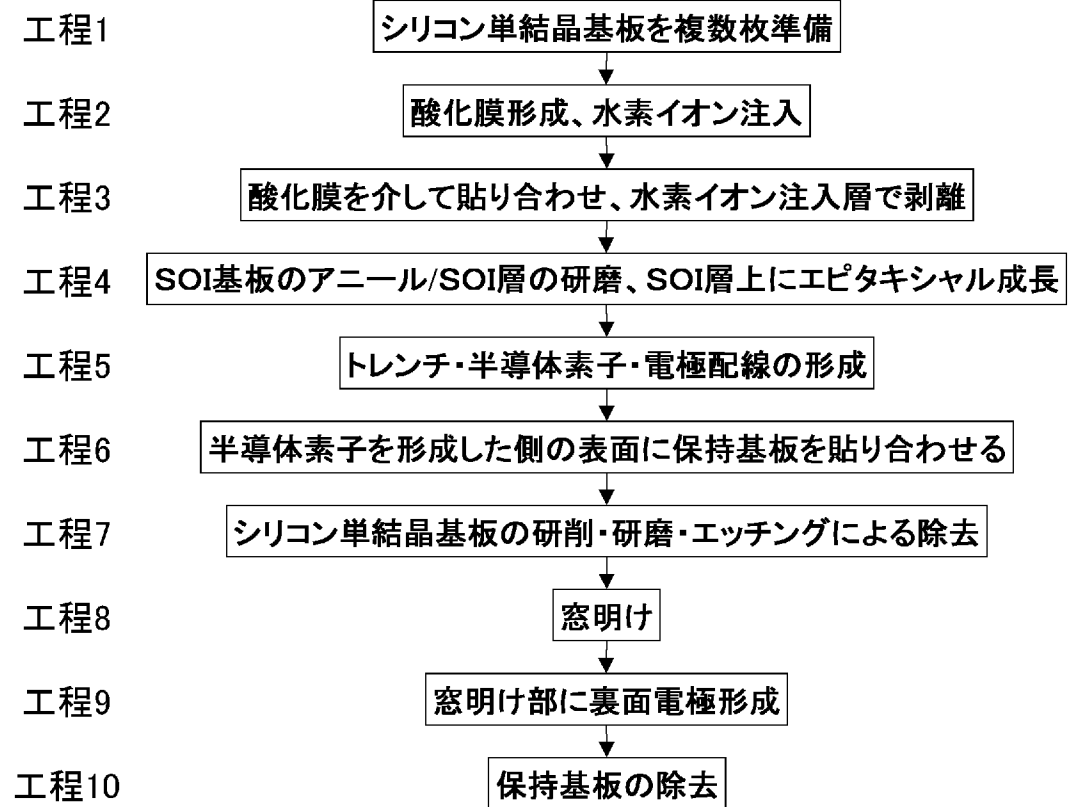
(c)



(d)



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003857

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/02, H01L21/306, H01L21/3063, H01L21/322, H01L21/76, H01L21/762, H01L21/8234, H01L27/08, H01L27/088, H01L27/12, H01L29/739, H01L29/78, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-510329 A (Cambridge Semiconductor Ltd.), 02 April 2004 (02.04.2004), paragraphs [0102] to [0103]; fig. 40a to 40d, 41a & US 2002/0041003 A1 & US 2004/0084752 A1 & US 2004/0087065 A1 & US 2005/0242368 A1 & US 2005/0242369 A1 & EP 1319252 A2 & WO 2002/025700 A2 & AU 9006801 A & CA 2423028 A & IL 154945 D & CN 1470073 A & RU 2276429 C & ZA 200302065 A	1-5, 7, 9-11 6, 8, 12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
07 September, 2010 (07.09.10)

Date of mailing of the international search report
21 September, 2010 (21.09.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003857

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 10-335305 A (Denso Corp.), 18 December 1998 (18.12.1998), paragraphs [0015] to [0016]; fig. 1 (Family: none)	1-5, 7, 9-11 6, 8, 12
Y	JP 7-38102 A (Fuji Electric Co., Ltd.), 07 February 1995 (07.02.1995), paragraph [0008]; fig. 3 (Family: none)	3-5, 7, 9-11
Y	JP 8-507904 A (British Technology Group Ltd.), 20 August 1996 (20.08.1996), fig. 2(d), (e) & GB 2290661 A & EP 689719 A1 & WO 1994/022167 A1	7, 9-11
Y	JP 2001-111014 A (Lucent Technologies Inc.), 20 April 2001 (20.04.2001), paragraph [0022] & US 6372600 B1 & EP 1081748 A2 & KR 10-2001-0021466 A	9-11
A	JP 2001-127149 A (Denso Corp.), 11 May 2001 (11.05.2001), fig. 4 (Family: none)	1-12
A	JP 2008-166705 A (Denso Corp.), 17 July 2008 (17.07.2008), paragraphs [0060] to [0071]; fig. 2, 3 & US 2008/0135932 A1 & DE 102007058556 A & CN 101197368 A	1-12
A	JP 2-228049 A (NEC Corp.), 11 September 1990 (11.09.1990), page 2, upper left column, line 19 to upper right column, line 1; page 3, lower right column, lines 5 to 8 (Family: none)	1-12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003857

Continuation of A. CLASSIFICATION OF SUBJECT MATTER

(International Patent Classification (IPC))

*H01L21/336(2006.01)i, H01L21/02(2006.01)i, H01L21/306(2006.01)i,
H01L21/3063(2006.01)i, H01L21/322(2006.01)i, H01L21/76(2006.01)i,
H01L21/762(2006.01)i, H01L21/8234(2006.01)i, H01L27/08(2006.01)i,
H01L27/088(2006.01)i, H01L27/12(2006.01)i, H01L29/739(2006.01)i,
H01L29/78(2006.01)i, H01L29/786(2006.01)i*

(According to International Patent Classification (IPC) or to both national
classification and IPC)

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. 特別ページ参照

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L21/02, H01L21/306, H01L21/3063, H01L21/322, H01L21/76, H01L21/762, H01L21/8234, H01L27/08, H01L27/088, H01L27/12, H01L29/739, H01L29/78, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2004-510329 A（ケンブリッジ セミコンダクター リミテッド） 2004. 04. 02, 【0102】 - 【0103】, 図 40a-40d, 図 41a & US 2002/0041003 A1 & US 2004/0084752 A1 & US 2004/0087065 A1 & US 2005/0242368 A1 & US 2005/0242369 A1 & EP 1319252 A2 & WO 2002/025700 A2 & AU 9006801 A & CA 2423028 A & IL 154945 D & CN 1470073 A & RU 2276429 C & ZA 200302065 A	1-5, 7, 9-11 6, 8, 12
Y A	JP 10-335305 A（株式会社デンソー）1998. 12. 18, 【0015】 - 【0016】, 図 1（ファミリーなし）	1-5, 7, 9-11 6, 8, 12

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 9 . 2 0 1 0

国際調査報告の発送日

2 1 . 0 9 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松嶋 秀忠

4 M

9 8 3 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 7-38102 A (富士電機株式会社) 1995.02.07, 【0008】, 図3 (ファミリーなし)	3-5, 7, 9-11
Y	JP 8-507904 A (ブリティッシュ・テクノロジー・グループ・リミテッド) 1996.08.20, 図2(d), (e) & GB 2290661 A & EP 689719 A1 & WO 1994/022167 A1	7, 9-11
Y	JP 2001-111014 A (ルーセント テクノロジーズ インコーポレイテッド) 2001.04.20, 【0022】 & US 6372600 B1 & EP 1081748 A2 & KR 10-2001-0021466 A	9-11
A	JP 2001-127149 A (株式会社デンソー) 2001.05.11, 図4 (ファミリーなし)	1-12
A	JP 2008-166705 A (株式会社デンソー) 2008.07.17, 【0060】-【0071】, 図2, 3 & US 2008/0135932 A1 & DE 102007058556 A & CN 101197368 A	1-12
A	JP 2-228049 A (日本電気株式会社) 1990.09.11, 第2頁左上欄19行～右上欄1行、第3頁右下欄5行～8行 (ファミリーなし)	1-12

発明の属する分野の分類

H01L21/336(2006.01)i, H01L21/02(2006.01)i, H01L21/306(2006.01)i,
H01L21/3063(2006.01)i, H01L21/322(2006.01)i, H01L21/76(2006.01)i,
H01L21/762(2006.01)i, H01L21/8234(2006.01)i, H01L27/08(2006.01)i,
H01L27/088(2006.01)i, H01L27/12(2006.01)i, H01L29/739(2006.01)i,
H01L29/78(2006.01)i, H01L29/786(2006.01)i