



# [12] 发明专利说明书

[21] ZL 专利号 95116551.8

[45] 授权公告日 2004 年 1 月 7 日

[11] 授权公告号 CN 1134016C

[22] 申请日 1995.9.21 [21] 申请号 95116551.8

[30] 优先权

[32] 1994.9.22 [33] JP [31] 227639/1994

[71] 专利权人 株式会社东芝

地址 日本神奈川

[72] 发明人 高濂觉 樱井清史 荻原正毅

[56] 参考文献

EP0428785 1991.05.29 G11C5/02

EP0454998 1991.11.06 G11C7/10

US5301162 1994.04.05 G06F12/08

US5384745 1995.01.24 G11C7/10

审查员 熊 婷

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所

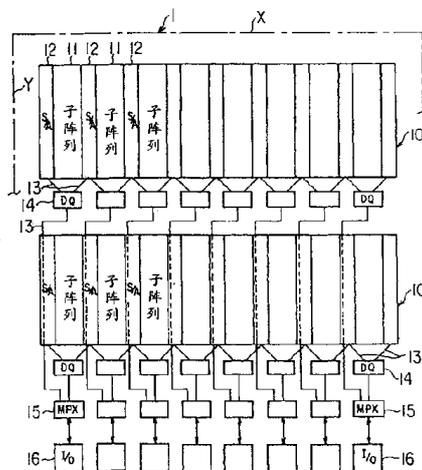
代理人 范本国

权利要求书 4 页 说明书 16 页 附图 8 页

[54] 发明名称 动态存储器

[57] 摘要

在 DRAM 中采用共有读出放大器结构和读出放大器高速缓冲方式，借以实现小面积化，从而提高高速缓冲存储器的找到命中率，缩短芯片内的数据总线、使数据传送高速化。其特征是备有：存储器芯片；数据线 13，用来传输保持在子阵列相应的读出放大器中的数据；以及 I/O 缓冲器 16，通过对应的数据线与对应的子阵列之间进行数据的输入与输出。



1、一种半导体装置，其特征是具备：

沿存储器芯片的第1边配置的多个存储块，该存储块具备：多个子阵列，具有分别配置成行列状的动态存储单元阵列并具有连接在同一行存储单元上的多条字线和连接在同一列存储单元上的多条位线；多个读出放大器，用来对从上述各个子阵列中的被选行的存储单元中读出来的电位进行读出放大，并连接到被控制为使得多个存储体的每一个存储体都以同一定时进行动作的上述多条字线上；

平行于上述存储器芯片的第1边形成的多条数据线，为了传送保持于上述多个读出放大器的数据之中被选列的数据而在列方向上共用地连接于上述多个读出放大器；

垂直于上述第1边的方向，即与上述存储器芯片的第2边平行配置的多个数据输入/输出端子，在由上述数据线连接的子阵列之间进行数据的输入输出。

2、权利要求1所述的半导体装置，其特征是：上述多条数据输入/输出端子相对于上述各存储体的子阵列分别进行连接，在被连接的子阵列之间进行数据的输入输出。

3、权利要求1或2所述的半导体装置，其特征是：在等待访问状态的存储体中，上述读出放大器被控制为保持读出数据的原样不变的状态，并可作为高速缓冲存储器使用。

4、权利要求1或2所述的半导体装置，其特征是还具备：

多个数据缓冲器电路，被连接在上述多条数据线的上述数据输入/输出端子一侧，放大来自上述数据线的的数据；

多个多路转换器，使得共用地连接到上述多个数据缓冲器电路上那样地被连接在上述多个数据缓冲器电路与上述多个数据输入/输出端子之间，并设置为与上述第1边平行地配置，选择性地取出来

自上述多个存储体的数据。

5、权利要求 2 所述的半导体装置，其特征是：具备多个数据缓冲和多路转换器电路，在上述存储块与数据输入/输出端子之间的区域内平行于存储器芯片的第 1 边配置，与分别连接到上述多个存储体中的各一个子阵列上的多条数据线共用连接，选择放大来自上述多个存储体的数据。

6、权利要求 1、2、5 中的任何一项权利要求所述的半导体装置，其特征是：在上述多条数据线之内，连接在位于距上述数据输入/输出端子远的一侧的存储块的子阵列上的数据线，在位于距上述数据输入/输出端子近的一侧的存储块的读出放大器上通过。

7、权利要求 1、2、5 中的任何一项权利要求所述的半导体装置，其特征是：在上述多条数据线之内，连接在位于距上述数据输入/输出端子远的一侧的存储块的子阵列上的数据线，比连接在位于距上述数据输入/输出端子近的一侧的存储块的子阵列上的数据线粗。

8、权利要求 1、2、5 中的任何一项权利要求所述的半导体装置，其特征是：上述多个读出放大器被控制为使得可以对由选择地址决定的多个子阵列的每一种组合都用同一定时进行动作。

9、权利要求 8 所述的半导体装置，其特征是：上述存储块的构成是一种共有读出放大器的构成，其中，一个子阵列和一个读出放大器沿存储器芯片的第 1 边交互重复地配置，且读出放大器位于该重复方向的两端，被 2 个子阵列夹在中间的读出放大器可以在上述 2 个子阵列中分时使用。

10、一种动态存储器，其特征是：

被分割成第 1、第 2 存储体来对动作进行控制，设置构成第 1 存储体的第 1 存储块和构成第 2 存储体的第 2 存储块，上述第 1 和第 2 存储块并排地配置在第 1 方向上，

上述第 1 和第 2 存储块分别具有：

多个子阵列，具有分别配置成行列状的动态存储单元阵列并具有连接在同一行存储单元上的多条字线和连接在同一列存储单元上的多条位线；

多个读出放大器，用来对从上述各个子阵列中的被选行的存储单元中读出来的电位进行读出放大，并连接到被控制为使得各存储体的每一个存储体都以同一定时进行动作的上述多条字线上，在上述第 1 和第 2 各个存储块中，一个子阵列和一个读出放大器在与上述第 1 方向垂直的第 2 方向上交互重复地配置，且读出放大器位于该重复方向的两端，而且，上述第 1 和第 2 存储块是一种被 2 个子阵列夹在中间的读出放大器在上述 2 个子阵列中分时使用的共有读出放大器的构成，

另外，上述动态存储器还设置有：

平行于上述第 1 方向形成的多条第 1 数据线，为了传送保持于上述第 1 存储块的上述多个读出放大器的数据之中被选列的数据而在列方向上共用地连接于上述多个读出放大器；

平行于上述第 1 方向形成的多条第 2 数据线，为了传送保持于上述第 2 存储块的上述多个读出放大器的数据之中被选列的数据而在列方向上共用地连接于上述多个读出放大器；

选择连接于上述第 1 数据线或第 2 数据线的多个数据输入/输出端子，配置为与上述第 2 方向平行，在由上述第 1 数据线或第 2 数据线连接的子阵列之间进行数据的输入输出。

11、权利要求 10 所述的动态存储器，其特征是还具备：

多个数据缓冲器电路，被连接在上述多条数据线的上述数据输入/输出端子一侧，放大来自上述数据线的的数据；

多个多路转换器，使得共用地连接到上述多个数据缓冲器电路上那样地被连接在上述数据缓冲器电路与上述多个数据输入/输出端子之间，在上述第 2 方向并排设置，选择输出来自上述第 1、第 2

存储体的数据。

12、权利要求 10 所述的动态存储器，其特征是：上述多个数据输入/输出端子被配置为分别连接到上述第 1、第 2 存储体中的各一个子阵列上，并在所连接的子阵列之间进行数据的输入输出。

13、权利要求 12 所述的动态存储器，其特征是还具备：

多个数据缓冲和多路转换器电路，在上述存储块与数据输入/输出端子之间的区域内沿第 2 方向并排配置，与分别连接到上述第 1、第 2 存储体中的各一个子阵列上的多条数据线共用连接，选择放大来自上述第 1、第 2 存储体的数据。

14、权利要求 10 到 13 中的任何一项权利要求所述的动态存储器，其特征是：在等待访问状态的存储体中，上述读出放大器被控制为保持读出数据的原样不变的状态，并可作为高速缓冲存储器使用。

15、权利要求 10 到 13 中的任何一项权利要求所述的动态存储器，其特征是：在上述多条数据线之内，连接在位于距上述数据输入/输出端子远的一侧的存储块的子阵列上的数据线，在位于距上述数据输入/输出端子近的一侧的存储块的读出放大器上通过。

16、权利要求 10 到 13 中的任何一项权利要求所述的动态存储器，其特征是：在上述多条数据线之内，连接在位于距上述数据输入/输出端子远的一侧的存储块的子阵列上的数据线，比连接在位于距上述数据输入/输出端子近的一侧的存储块的子阵列上的数据线粗。

## 动态存储器

本发明涉及半导体存储装置，尤其涉及对数据的输入输出路径要求具有非常高的数据传送速度的动态存储器(DRAM)。

通常，在动态存储器中，将存储单元阵列分割成多个单元阵列(子阵列)，而且采用使其中的几个单元阵列同时动作的单元阵列分别运作的方式。这是因为这种方式能减少低级系统运作消耗电流占多数的位线的充放电电流。子阵列的分割数在很大的程度上要取决于运作速度。如果一个子阵列的规模大，则字线的容量会变得过大，其上升速度或下降速度会变慢，位线的容量会变得过大，位线对之间的电位差会变小，由读出放大器进行的位线电位的放大运作变慢，存储器芯片总体的运作速度变慢。因此，随着元件的微小化，DRAM的存储容量越大，子阵列的分割数就会有增大的趋势。

另一方面，由于在计算机系统中要大量使用存储器，所以要求能以低价格制造DRAM。另外，在计算机行业中，微处理机(MPU)的运作速度和DRAM的运作速度的差距拉大，结果使两者之间的数据传送速度变成了左右系统总体性能的瓶颈。为了消除这种现象，已经进行过各式各样的改进，其中具有代表性的一种方法是为了弥补MPU的循环时间和主存储器的访问时间两者之间的时间差，采用可能提高MPU的使用效率的高速存储器(高速缓冲存储器)的办法。

高速缓冲存储器是一种既独立于 MPU、又独立于 DRAM 的 SRAM 结构的存储器；是在 MPU 芯片上搭载称之为单片高速缓冲存储器(或嵌入式存储器)的 SRAM 结构的存储器(实际上有时是在高速缓冲存储器上搭载 MPU，或者是具有另外一块芯片的 SRAM 高速缓冲存储器)；还有在 DRAM 芯片上搭载 SRAM 单元结构的存储器等。

在 1990 年度“VLSI 电路研讨会 (Symposium on VLSI Circuits)”的技术论文摘要 (Digest of Technical Papers) pp79~80 之间的论文“A Circuit Design of Intelligent CDDRAM with Automatic Write back Capability”文献中，公开发表了以一个晶体管和一个电容器为单元在每个 DRAM 中附加一个 SRAM 的办法作为高速缓冲存储器使用的技术。另外，在该文献中还谈到了如下的技术，即当在高速缓冲存储器中没有要读出的地址(访问失败)时，将该时刻的高速缓冲存储器中的内容改写在有适当地址的 DRAM 单元中，然后读出准备访问的地址的 DRAM 单元。这种高速缓冲存储器搭载型 DRAM 可以和高速缓冲存储器搭载型 MPU 合并使用。

另一方面，关于可将 DRAM 的位线读出放大器作为高速缓冲存储器使用的问题，在本申请人申请的特开平 3—41316 号(特开平 4—212780 号)中作了阐述，其具体的结构例及控制运作示例，在本申请人申请的特开平 3—41315 号中进行了说明。

另外，由本申请人申请的特原平 4—131095 号中提出过这样的一种制造 DRAM 的方案，即将 DRAM 的存储区域分割成多个子阵列，使各个子阵列各自单独运作，并将位线读出放大器作为

高速缓冲存储器使用，借以提高高速缓冲存储器的位速率。

在该 *DRAM* 中，由于由读出放大器从互不相同的相应地址行中析取的数据保持在每一子阵列中，因此能够提高在选择状态下的行中满足数据存取要求(访问命中)概率，够降低在选择状态下的未能满足(访问失败)数据存取要求的概率，并能减小取决于上述命中概率的平均值的数据存取时间的平均值。以上简单的说明了读出放大器高速缓冲存储方式。现在讨论 *DRAM* 等待 *MPU* 等访问的待机状态。在这种情况下，将从某行地址的存储单元群读出的数据门锁在读出放大器群中。

如果上述在读出放大器群中锁有数据的行地址又有相同地址被访问(访问命中)，则将行系统的运作省去，只用列系统的运作就能输出数据，从而就能够降低行系统的运作部分的访问时间。

与此不同，当访问读出放大器群中没有门锁数据的行地址时(访问失败)，在将读出放大器群中的数据改写在存储单元之后(或者只在读出放大器群中进行均衡运作之后)，还必须将从新的行地址的存储单元群读出的数据门锁在读出放大器群中。在这种访问失败的情况下，就要比不采用高速缓冲存储方式时花费更多的访问时间。

因此，如果高速缓冲存储器的访问命中率小，则存在会使系统的平均访问时间变长的危险性，而提高找到命中率则是缩短系统的平均访问时间的关键所在。

为了提高高速缓冲存储器的访问命中率，有增大高速缓冲存储器的容量的方法、以及将高速缓冲存储器划分为几个存储体的方法。

将上述增大高速缓冲存储器的容量的方法应用于读出放大器高速缓冲存储方式中时,意味着在将数据锁存后的状态下,会使待机访问的读出放大器的数量增大。在一般情况下,如上所述,大容量存储器要同时激活各子阵列中的几个子阵列。这时,未被激活不运作的子阵列的相关读出放大器通常不保持数据。可是,上述未被激活运作的行系统的子阵列相关的读出放大器仍保持数据原样不动,就要增大处于待机访问的保持数据的读出放大器的数量,从而也就增大了高速缓冲存储器的容量,提高其访问命中率。

如上所述,将高速缓冲存储器分成几个存储体的方法应用于读出放大器高速缓冲存储方式时,意味着将读出放大器群划分为多个存储体。在通用的 *DRAM* 中,与多个子阵列相关的读出放大器一般都是同步进行读出、锁存、均衡等运作。这时,如上所述,与未被激活运作的行系统的子阵列相关的读出放大器可能仍然保持着数据进行等待。这里,将同时运作的读出放大器群称之为存储体,而为了提高高速缓冲存储器的找到命中率而划分存储区的方法就要满足以下几个条件。(1)每个存储体都要有独立的读出放大器;(2)各存储体的读出放大器与另一存储体的行地址没有相关关系,能保持自己的存储体中的数据。就是说,未被激活运作的行系统的存储体的读出放大器与另一存储体的行地址无相关关系,仍能继续保持属于自己的存储体的数据;(3)各存储体拥有与全部输入/输出缓冲器相对应数据总线,就是说,对高速缓冲存储器的访问是针对特定的存储体进行的,如果 *DRAM* 是多位结构,必须以同步的方式将数据从上述被访问的存储体供给全部输入/输出缓冲器。

另一方面,为了减小存储器的芯片面积,如图4所示,已知的方法是将读出放大器(读出用NMOS放大器、再生用PMOS放大器)62配置在夹在两个子阵列61之间的区域,用控制信号Xfer1、Xfer2控制传输用的晶体管,有选择地将两个子阵61连接到1个读出放大器62上,由2个子阵列61分时使用1个读出放大器的共有(共用)读出放大器的方式。

这种方式实际上是在16M位一类的大容量存储器中实际采用的方式,以便减小芯片面积。在这种方式中有关共有读出放大器方式中的配置效率问题,可以考虑图5及图6所示的两种模式的配置方式。

图5所示的结构是子阵列71和共有读出放大器72并列块多次交替重复的共有读出放大器结构,图6所示是子阵列71和共有读出放大器72并列块交替重复数少的共有读出放大器结构的再重复,已知前一种结构比后一种结构的配置效率高。

如果将读出放大器高速缓冲存储方式用于具有上述那种共有读出放大器结构的子阵列中,则构成图7所示的结构。就是说,通过将具有共有读出放大器结构的子阵列71中的一半子阵列(A、B、C)或(a、b、c)激活,并将子阵列71一端的读出放大器除去,将数据保持在读出放大器群72中,就可在门锁数据的状态下增加待机访问读出放大器的数量。

可是,在上述那种图7所示的共有读出放大器结构中显然不能划分存储体。即不能将子阵列A和a划分成另外的一个存储体。其原因是这不能满足上述的存储区的划分条件(1),每个存储体不能拥有独立的读出放大器。另外,子阵列a和B也不能划分成

另一个存储体。其原因是子阵列  $a$  和  $B$  共有读出放大器，同样不能满足存储体的划分条件(1)。由于这种原因，总起来说，由于受到图 7 所示共有读出放大器结构的连续方式所限，显然不能进行存储体的划分。

换句话说，如果是采用共有读出放大器方式，为了划分存储体，就必须将拥有共有读出放大器结构的子阵列从中间断开，这意味着伴随共有读出放大器结构的配置效率好的这一优点而产生降低芯片面积的效果小的问题。

如果假定仍采用像现有的那样对于子阵列和共有读出放大器的排列方向进的行仍然沿着横向分割方式，将配置效率好的、拥有共有读出放大器结构的子阵列在中途被划分成两个存储体，就变成图 8 所示的结构。

图 8 所示的结构是为了进行与位数相对应的数据的输入输出，将全部输入输出(I/O)缓冲器 76 集中放在芯片中的子阵列排列方向的一端，通过采用能将表面的具体安装方式垂直于安装存储器用的印刷电路板的纵向立式组件(VSMP)，缩短组件内部的引线框或电路板上的配线，给出了使数据传送高速化的例子。

在这种情况下，连接各子阵列 71 的数据线 73 连接对应于各子阵列 71 设置的数据缓冲寄存器(DQ 缓冲寄存器)74，每个多路转换器(MPX)75 各连接各存储体的 1 个数据缓冲寄存器 74，该多路转换器 75 的设置数量与上述 I/O 缓冲器 76 的个数相同。

可是，在上述图 8 的结构中，越是将配置效率好的共有读出放大器结构连接在一起，子阵列 71 和共有读出放大器 72 的重复数越大。如上所述，考虑到伴随 DRAM 的大容量化，子阵列数有增

大的倾向,使得连接与横向划分的各存储区的各子阵列 71 对应的 DQ 缓冲寄存器 74 和多路转换器 75 用的数据总线变长,这成为妨碍芯片内的数据传送高速化的主要原因。

根据以上说明,现有的 DRAM 采用共有读出放大器结构及读出放大器高速缓冲方式时,假定在配置效率好的共有读出放大器结构的条件下,为了提高高速缓冲存储器的找到命中率而增加高速缓冲存储器的容量,同时将高速缓冲存储器分成几个存储体,则会使数据线变长,产生影响芯片内的数据传送高速化的问题。

如上所述,现有的 DRAM 用小面积实现共有读出放大器结构及读出放大器高速缓冲方式时,不能满足既要提高高速缓冲存储器的找到命中率,又要使芯片内的数据传送高速化的要求,所以不得不牺牲其中的某一个。

本发明就是为了解决上述问题而开发的,其目的是提供一种高性能、低价格的动态存储器,它在用小面积实现共有读出放大器结构和读出放大器高速缓冲方式时,能提高高速缓冲存储器的找到命中率,缩短芯片内的数据总线,能做到数据传送高速化,能够以灵活的形式使共有读出放大器结构和读出放大器高速缓冲方式的各种优点共存。

本发明的第 1 种动态存储器的特征是备有下述的各部分:多个子阵列,它们有分别配置成行列状的动态存储单元的阵列,且有连接在同一行存储单元上的多条字线及连接在同一列存储单元上的多条位线;多个读出放大器,它们被设置在上述各子阵列中,以便放大从所选择的行中的存储器读出的电位,控制上述各子阵列,使其分别在同一时间内运作,将其控制成将读出数据仍然保

持在待机访问状态下的子阵列中的状态，并作为高速缓冲存储器使用；存储块，它含有上述多个子阵列及多个读出放大器，其结构是一个子阵列和一个读出放大器沿存储器芯片的第1边交替重复配置，以使读出放大器位于该重复方向的两端，从而使夹在两个子阵列中间的读出放大器由上述两个子阵列分时使用，沿垂直于上述第1边的方向的存储器芯片的第2边分割成多个部分，通过上述多个部分的分割方式分割成多个存储体，构成运作受控的多个共有读出放大器；多条数据线，它们分别与上述各子阵列相对应，平行于上述子阵列和读出放大器的存储器芯片的第2边形成，用来传输保持在对应的子阵列的上述多个读出放大器中的数据中被选择的列中的数据；以及多个数据输入/输出缓冲器，它们对应于上述各存储区的子阵列、平行于存储器芯片的第1边配置，用来通过对应的数据线，与对应的子阵列之间进行数据的输入与输出。

本发明的第2种动态存储器与本发明的第1种动态存储器相比，增加了多条数据缓冲电路，它们分别对应于上述各子阵列，配置在其附近，靠近上述数据输入/输出缓冲器一侧，用来放大来自相应的子阵列的数据线的数据；另外还增加了多个多路转换器，它们位于比上述多个数据缓冲电路更远离上述存储器芯片的第1边的位置，且平行于上述第1边配置，分别连接着多个存储区中的每1个子阵列所对应的数据缓冲电路，有选择地取出来自上述多个存储体的数据。

本发明的第3种动态存储器，与本发明的第1种动态存储器相比，增加了多条数据缓冲电路，多路转换器，它们配置在上述存储块和数据输入/输出缓冲器之间的区域、且平行于存储器芯片

的第1边,各自分别共同连接着上述多个存储体中的1个子阵列相对应的多条数据线,有选择地放大来自上述多个存储体的数据。

由于构成多个共有读出放大器的存储块沿着与子阵列和读出放大器重复方向相垂直方向的存储器芯片的第2边被分割成多个配置,进行存储体分割,因此能采用将各子阵列的读出放大器群作为高速缓冲存储器用的读出放大器高速缓冲方式。

在这种情况下,由于每个多路转换器共同连接着不同的存储区中的一个子阵列所对应的多条数据线,所以能将多个存储体的数据线作为多路转换器,单独读出各存储区的数据,由于各存储区具有与全部输入/输出缓冲器群对应的数据总线,所以能提高高速缓冲存储器的访问命中率。

由于各子阵列的读出放大器分别同步运作(读出、门锁、均衡等),处于待机访问状态的子阵列的读出放大器被控制成仍保持读出数据的状态,所以能增大高速缓冲存储器的容量,能提高高速缓冲存储器的访问命中率。

对应于各子阵列设置的数据线全部平行于存储器芯片的第2边形成,多路转换器群和输入/输出缓冲器群集中在存储器芯片的同一边(垂直于第2边的一边)。

这样,由于在数据线群或多路转换器群,输入/输出缓冲器群的配置方式上下了工夫,因此使芯片内的数据总线变短,能使数据传送高速化。

由于一个子阵列和一个读出放大器交替重复配置,以使读出放大器位于该重复方向的两端,夹在两个子阵列中间的读出放大器由上述两个子阵列分时使用,采用了这种配置效率好的共有读

出放大器结构，因此就能够使小面积化得以实现。

总之，能实现以灵活的方式使共有读出放大器结构和读出放大器高速缓冲方式各优点共存的高性能，又能实现低价格的 *DRAM*。

图 1 是本发明的第 1 实施例中的 *DRAM* 芯片中的子阵列、读出放大器、多路转换器、以及 *I/O* 缓冲器的配置例图。

图 2 是列出图 1 中的两个子阵列、一个读出放大器及一个 *DQ* 缓冲寄存器的一个示例。

图 3 是本发明的第 2 实施例中的 *DRAM* 芯片中的子阵列、读出放大器、*DQ* 缓冲寄存器、多路转换器及 *I/O* 缓冲器的配置示例图。

图 4 是着重表示现有的 *DRAM* 的共有读出放大器方式中的共有读出放大器的模式图。

图 5 是表示现有的 *DRAM* 中的共有读出放大器结构一个示例的模式图。

图 6 是表示现有的 *DRAM* 中的共有读出放大器结构的另一个示例模式图。

图 7 是表示现有的 *DRAM* 采用读出放大器高速缓冲方式使增大其高速缓冲存储器容量用的子阵列激活方式的模式图。

图 8 是表示现有的 *DRAM* 中用横向阵列分割方式将具有共有读出放大器结构的存储块等分成两个存储区时的结构的一示例的模式图。

图中1:存储器芯片

X:第1边

*y*: 第 2 边

10: 存储块

11: 子阵列

MC: 存储单元

WLi: 字线

BLi: 位线

12: 读出放大器

13: 数据线

14: 数据缓冲寄存器(DQ 缓冲寄存器)

15: 多路转换器

16: I/O 缓冲器

21: 行译码器

26: 寄存电路

27: 比较电路

下面参照附图详细说明本发明的实施例。

图 1 表示本发明的第 1 实施例中的 DRAM 芯片中的子阵列、读出放大器、数据缓冲寄存器、多路转换器及 I/O 缓冲器的配置例图。图 2 是列出图 1 中的两个子阵列、一个读出放大器、一个数据缓冲寄存器的一个示例。在图 1 及图 2 中, 具有共有读出放大器结构的多个存储块 10 这样配置, 即一个子阵列 11 和一个读出放大器 12 沿存储器芯片 1 的第 1 边 X(图中左右方向)交替重复, 使读出放大器 12 位于该重复方向的两端, 夹在两个子阵列 11 中间的一个读出放大器 12 由上述两个子阵列 11 分时使用。在上述两个子阵列 11 的各列中, 分时使用一个读出放大器 12 用的共有读出

放大器的结构如前面参照图 4 所述。

多个存储体 10 是这样配置的,即沿垂直于上述第 1 边  $X$  的方向的存储芯片的第 2 边  $y$ (图中上下方向)分割成多个存储体(在本例中为两个),通过这种分割配置方式分割成多个(在本例中为两个)存储体,使其运作受控。存储体的指定(选择)由译码器译出的存储体地址的输出进行控制。

各子阵列 11 分别有配置成行列状的动态存储单元  $MC$  阵列,且有连接同一行的存储单元  $MC$  的多条字线  $WLi$  及连接同一列存储单元  $MC$  的多条位线  $BLi$ 。上述多条字线  $WLi$  由译出行地址的行译码器 21 选择,上述多条位线  $BLi$  由译出列地址的列译码器(图中未示出)选择的列选择电路进行选择。各子阵列中的存储单元的指定,通过顺序给出行地址及列地址进行控制。

各读出放大器 12 是为了对在各子阵列 11 中从被选定的行存储单元读出的电位进行读出放大而设置的,分别受控同步运作,并被控制成将读出数据继续保持在待机访问状态下的子阵列 11 中的状态(等待输出状态),作为高速缓冲存储器使用。

为了如上所述那样控制在仍保持读出数据的状态,构成如图 4 所示的电路即可,这样就能将进行读出放大器的激活控制用的控制信号/ $SAN$ 、 $SAP$  仍保持在激活状态。

多条数据线 13 分别对应于各子阵列 11,平行于存储器芯片的第 2 边  $y$  形成,用来传输保持在对应于子阵列 11 的读出放大器 12 中的数据中被选择的列中的数据。这时,不同的存储区的各数据线中,对应于位于远离数据输入/输出( $I/O$ )缓冲器 16 一侧的子阵列 11 的数据线 13 从位于靠近上述  $I/O$  缓冲器 16 一侧的存储块

中的读出放大器 12 上通过。

多个 I/O 缓冲器 16 对应于各存储体的子阵列 11、平行于存储器芯片的第 1 边 X 配置，通过数据线 13，与对应的子阵列 11 之间进行数据的输入输出。

多个数据缓冲寄存器(DQ 缓冲寄存器)14 分别对应于各子阵列 11，在其附近配置在靠近 I/O 缓冲器 16 一侧，插入连接在对应的子阵列 11 的数据线 13 上，用来放大来自相应的子阵列 11 的数据。

多个多路转换器 15 位于比上述多个数据缓冲寄存器 14 更远离存储器芯片的第 1 边 X 的位置、平行于该第 1 边 X 配置，通过多个存储体中的各一个子阵列所对应的数据线 13，分别共同连接在对应的数据缓冲寄存器 14 上，通过控制，使其有选择地取来自若干存储区的数据。

关于多路转换器 15 和两个存储区的各数据线 13 之间的连接问题，如果将不同的存储区的各数据线 13 之间连接起来，则数据线 13 的负载容量变大，从而使数据传送的延迟时间变长，所以不好。

因此，多路转换器 15 分别对应于不同存储区的各数据线 13 连接着串联插入的开关元件(例如 MOS 晶体管)。因此，对应于不同的存储区，可有选择地允许由 DQ 缓冲寄存器 14 进行的数据的输入/输出运作。

在采用读出放大器高速缓冲方式时，与上述的本申请人申请的特原平 4—131095 号中详细公开的结构相同，如图 2 中的虚线所示，设有将行地址保持在各子阵列中的寄存电路 26、以及对保持

在该寄存电路 26 中的行地址(与被选择的行对应的行地址)和新给出的行地址进行比较的比较电路 27。

而且, 如果将访问请求和地址供给成为访问对象的子阵列, 则比较电路 27 对两个行地址输入进行比较, 当行地址彼此一致时, 便输出通知表示已找到的找到信号, 不一致时, 输出通知表示未找到的失误信号。输出了找到信号时, 行系统不动作, 读出与列地址对应的列中的数据。输出失误信号后, 寄存电路 26、字线  $WLi$ 、读出放大器 12 等暂时复位, 然后将新给出的行地址置于寄存电路 26 中, 行系统对应于新保持在寄存电路 26 中的行地址运作。然后, 变成再供给访问请求和地址, 进行找到判断, 使行系统不运作, 读出与列地址对应的列数据。通过对成为访问对象的多个子阵列 11 依次供给访问请求, 在多个子阵列 11 中依次进行上述那样的运作。这时, 在各子阵列 11 中, 可以只对失误的行进行选择改正, 而不需要在每次发生错误时重新选择全部行。

在上述第 1 实施例中的 *DRAM* 中, 多个共有读出放大器结构的存储块 10 沿垂直于子阵列 11 和读出放大器 12 的重复方向  $X$  的方向  $y$  分割成两个配置而分割成两个存储体, 因此能采用将各子阵列 11 的读出放大器 12 群作为高速缓冲存储器用的读出放大器高速缓冲方式。

这时, 由于多路转换器 15 共同连接着不同的存储体的各子阵列 11 所对应的两个数据缓冲寄存器 14, 所以能转换多个存储体的数据, 单独读出各存储区中的每个数据, 由于各存储区具有对应于全部  $I/O$  缓冲器 16 群的数据总线, 所以能提高高速缓冲存储器的找到命中率。

对应于各子阵列 11 的读出放大器 12 分别同步运作(读出、锁存、均衡等),与待机访问状态的子阵列对应的读出放大器 12 被控制在仍保持读出数据的状态,所以能增大高速缓冲存储器的容量,能提高高速缓冲存储器的找到命中率。

对应于各子阵列 11 设置的数据线 13 全部平行于存储器芯片的第 2 边  $y$  形成,多路转换器 15 群和  $I/O$  缓冲器 16 群集中在与存储器芯片的第 1 边  $X$  同一方向的一边。

这样,由于在数据线 13 群或多路转换器 15 群、以及  $I/O$  缓冲器 16 群的配置方法上下了工夫,因此缩短了芯片内的数据总线,可使数据传送高速化。一个子阵列 11 和一个读出放大器 12 交替重复配置,使读出放大器 12 位于该重复方向的两端,夹在两个子阵列 11 的一个读出放大器 12 由上述两个子阵列 11 分时使用,由于采用了这种配置效率好的共有读出放大器结构,所以能使小面积化得以实现。

总之,如果采用上述第 1 实施例中的 *DRAM*,则能实现以灵活的形式使共有读出放大器结构及读出放大器高速缓冲方式各优点共存的高性能,实现低价格的 *DRAM*。

图 3 表示本发明的第 2 实施例中的 *DRAM* 芯片中的子阵列、读出放大器、数据缓冲寄存器、多路转换器及  $I/O$  缓冲器的配置示例。

该第 2 实施例与第 1 实施例相比,代替多个 *DQ* 缓冲寄存器 14 及多路转换器 15 的,是将多个数据缓冲寄存器(*DQ* 缓冲寄存器),多路转换器 31 平行于存储器芯片的第 1 边  $X$  配置在存储块 10 和  $I/O$  缓冲器 16 之间的区域,将这些 *DQ* 缓冲寄存器,多路转

换器 31 分别共同连接在多个存储区的各一个子阵列 11 所对应的多个数据线 13 上, 有选择地放大来自上述多个存储体的数据, 这一点上述两个实验例彼此不同, 其它都相同, 所以标以与图 1 相同的符号。

在不同的存储区的各数据线 13 中, 位于远离 I/O 缓冲器 16 一侧的子阵列 11 所对应的数据线 13 比位于靠近上述 I/O 缓冲器 16 一侧的子阵列 11 所对应的数据线 13 长, 因此为了抑制其配线电阻增大, 使上述两数据线的配线电阻大致相等, 最好使远离一侧的数据线比位于靠近 I/O 缓冲器 16 一侧的子阵列 11 所对应的数据线 13 粗。

在上述第 2 实施例中的 DRAM 中, 可进行与第 1 实施例中的 DRAM 同样标准的运作, 能获得与第 1 实施例中的 DRAM 大致相同的效果。

另外, 在本申请的权利要求中的各构成部件所标记的附图参照符号是为了容易理解本发明而标记的, 没有将本发明的技术范围限定在附图所示的实施例中的意图。

如上所示, 如果采用本发明的 DRAM, 准备用小面积实现共有读出放大器结构及读出放大器高速缓冲方式时, 能提高高速缓冲存储器的找到命中率, 且能缩短芯片内的数据总线, 以达到数据传送的高速化, 能以灵活的形式使共有读出放大器结构及读出放大器高速缓冲方式各优点共存。

图 1

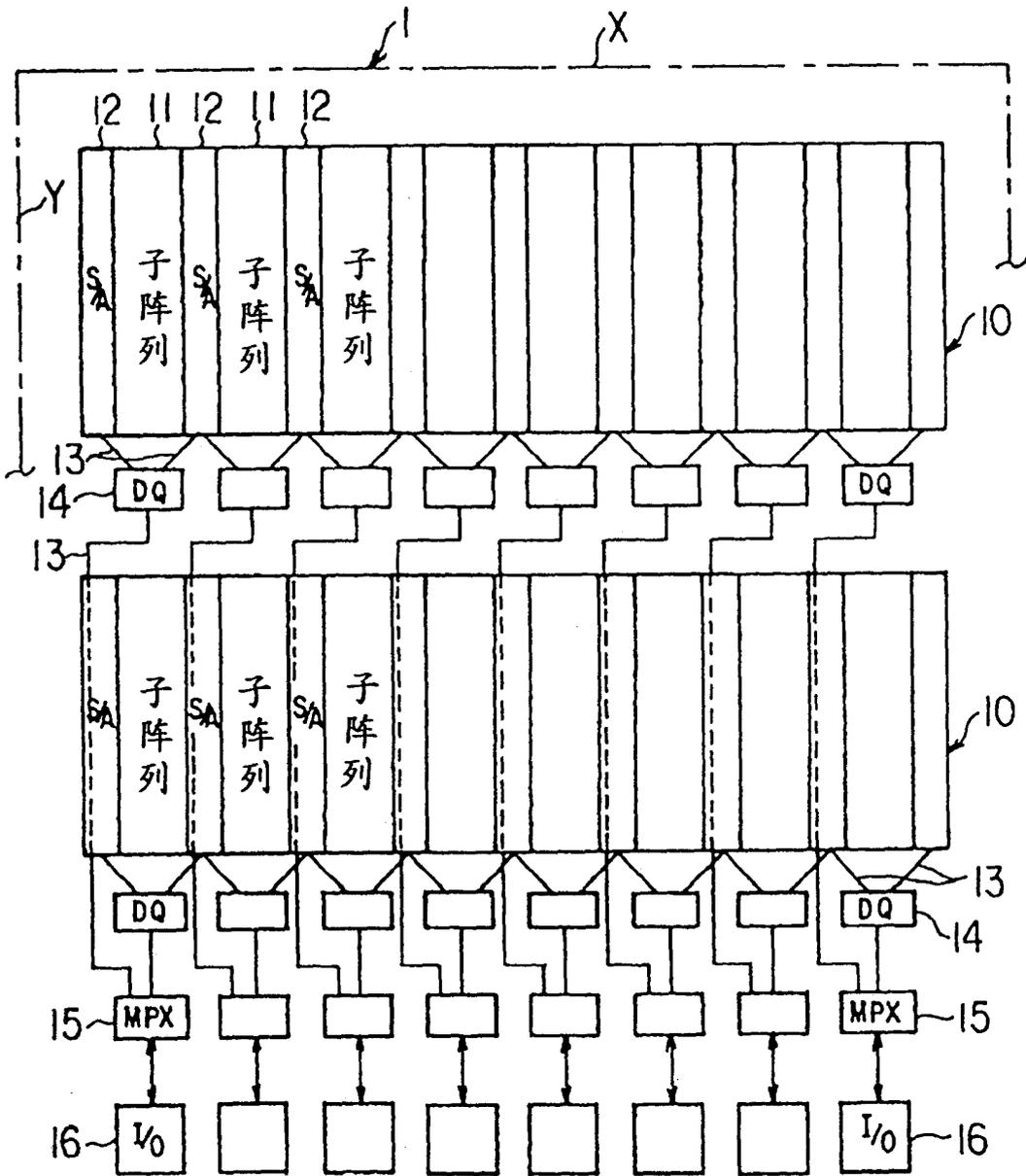


图2

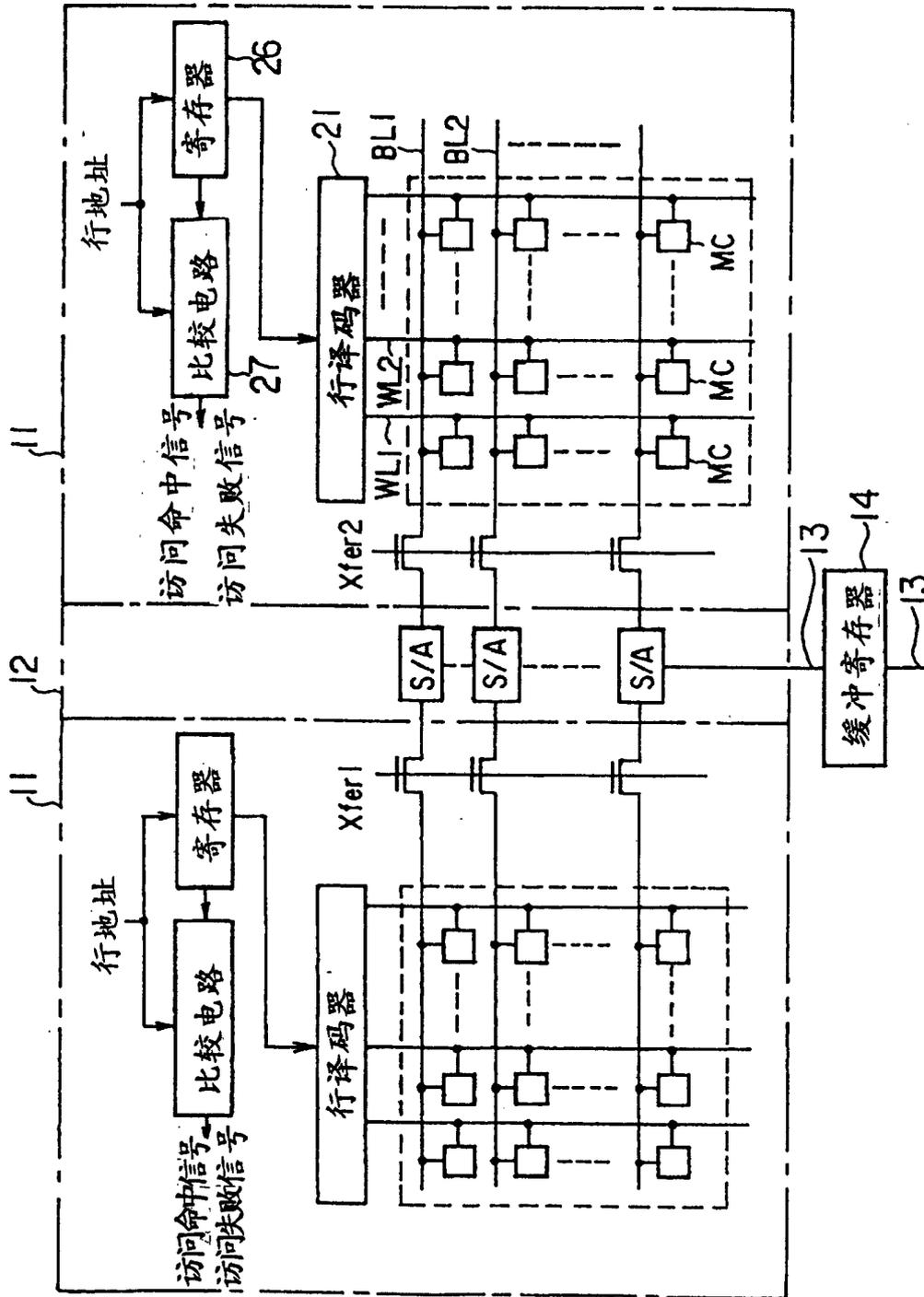
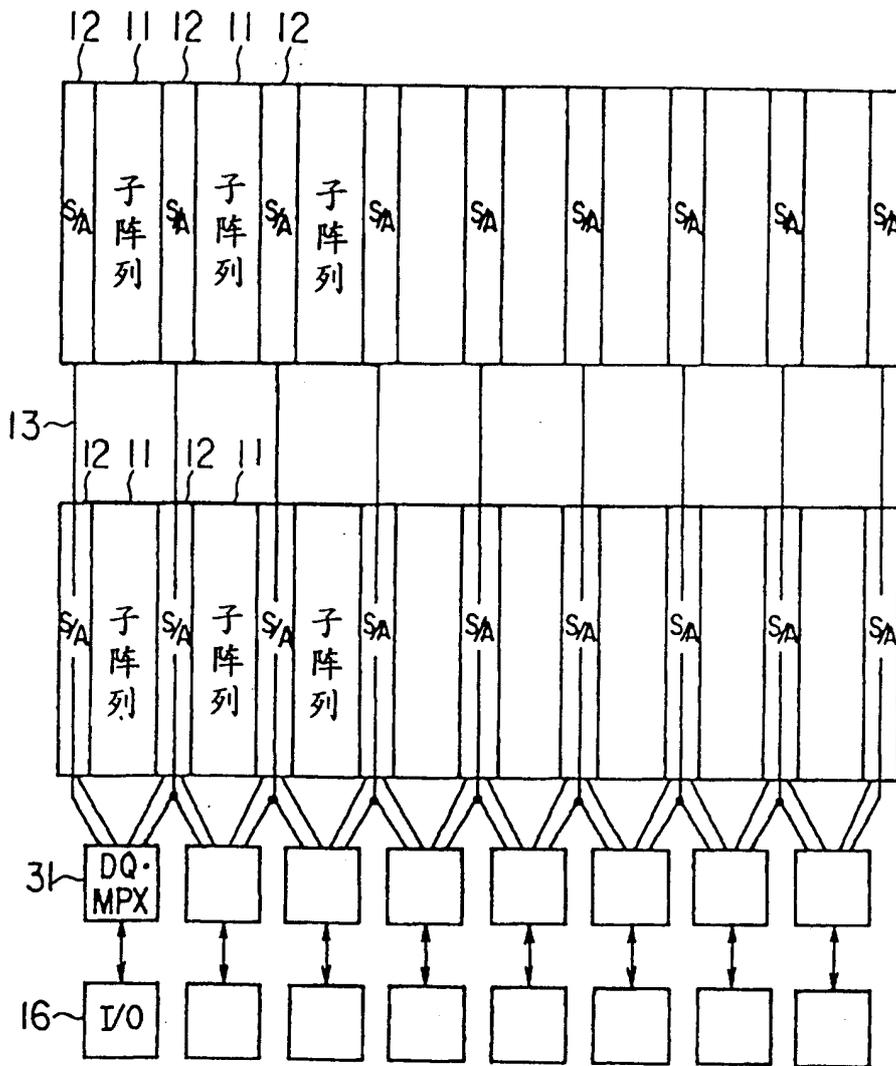


图 3



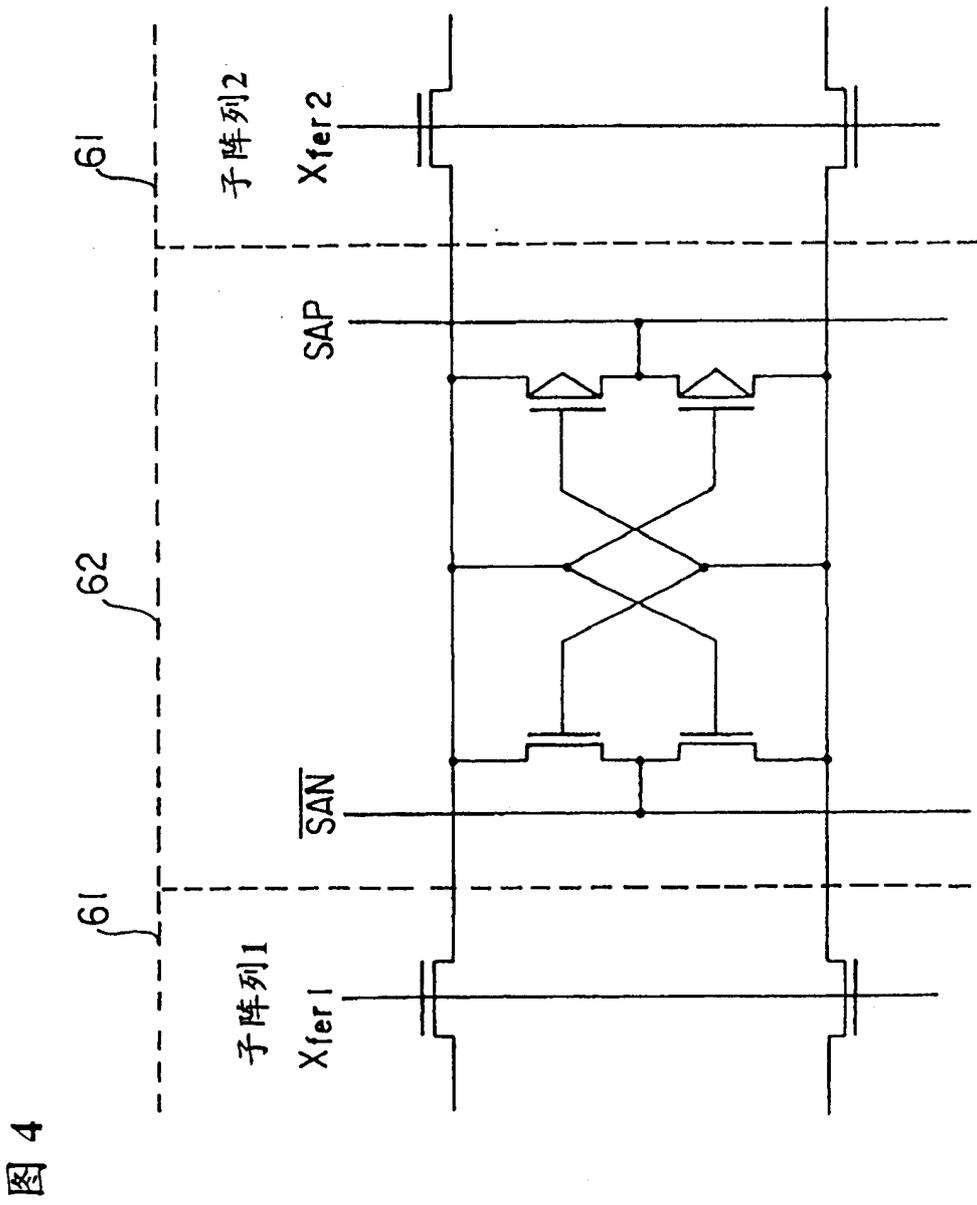


图 4

图 5

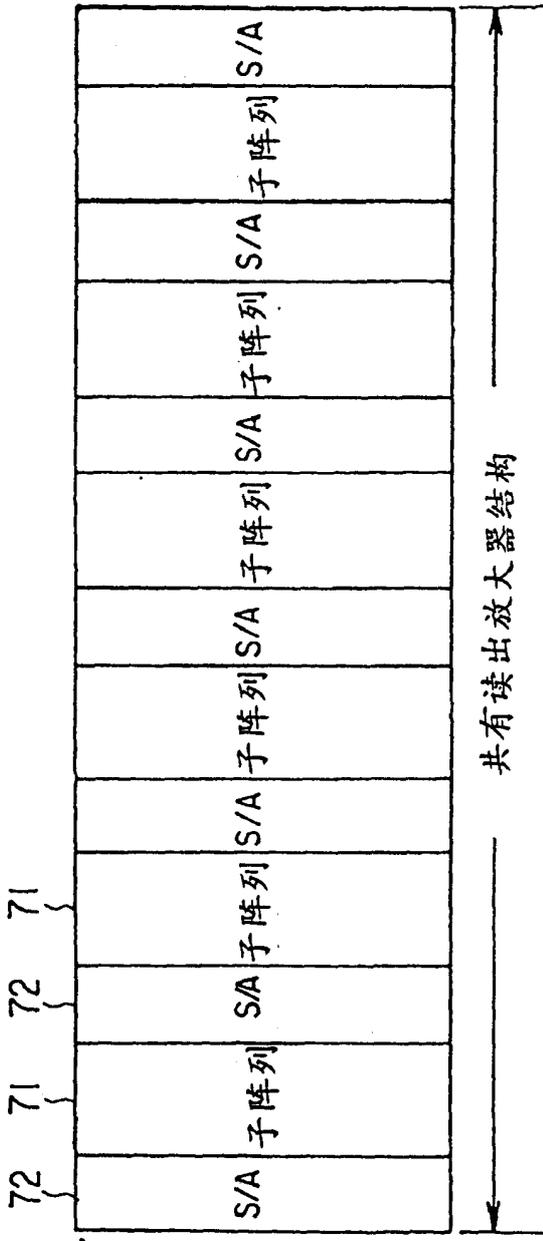


图6

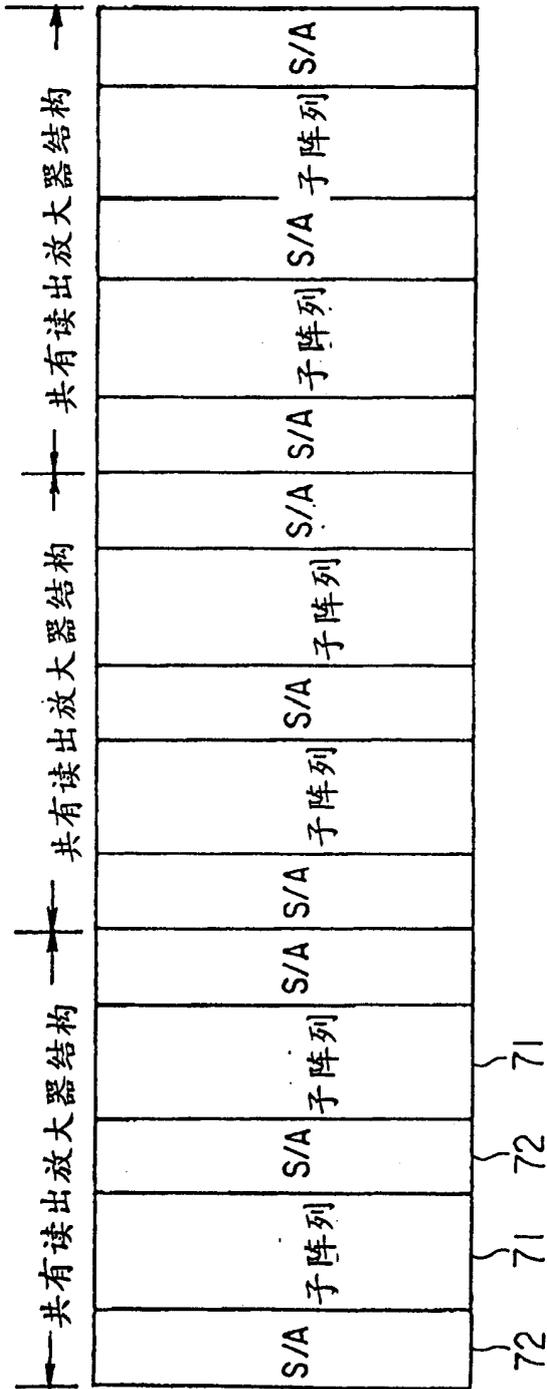
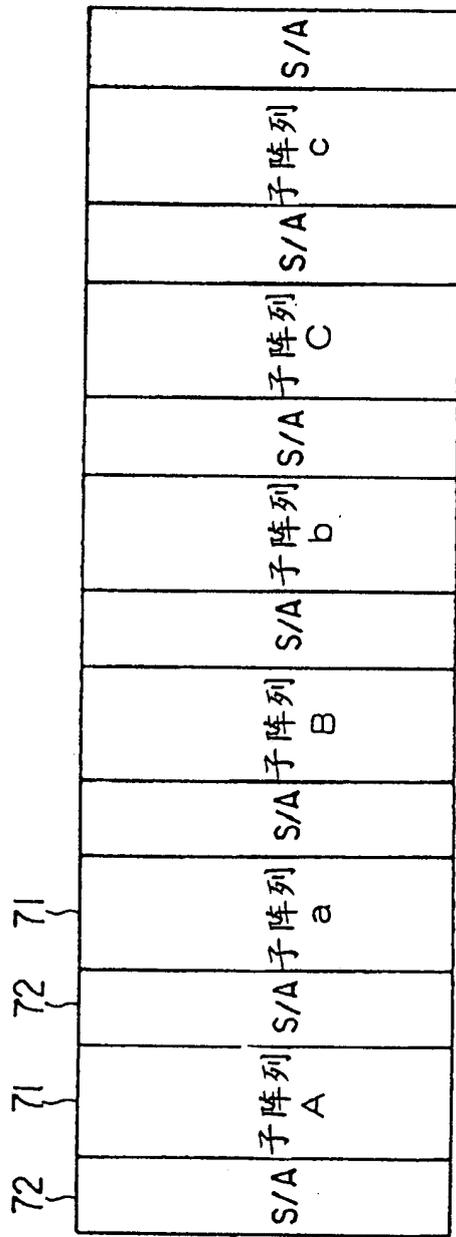


图 7



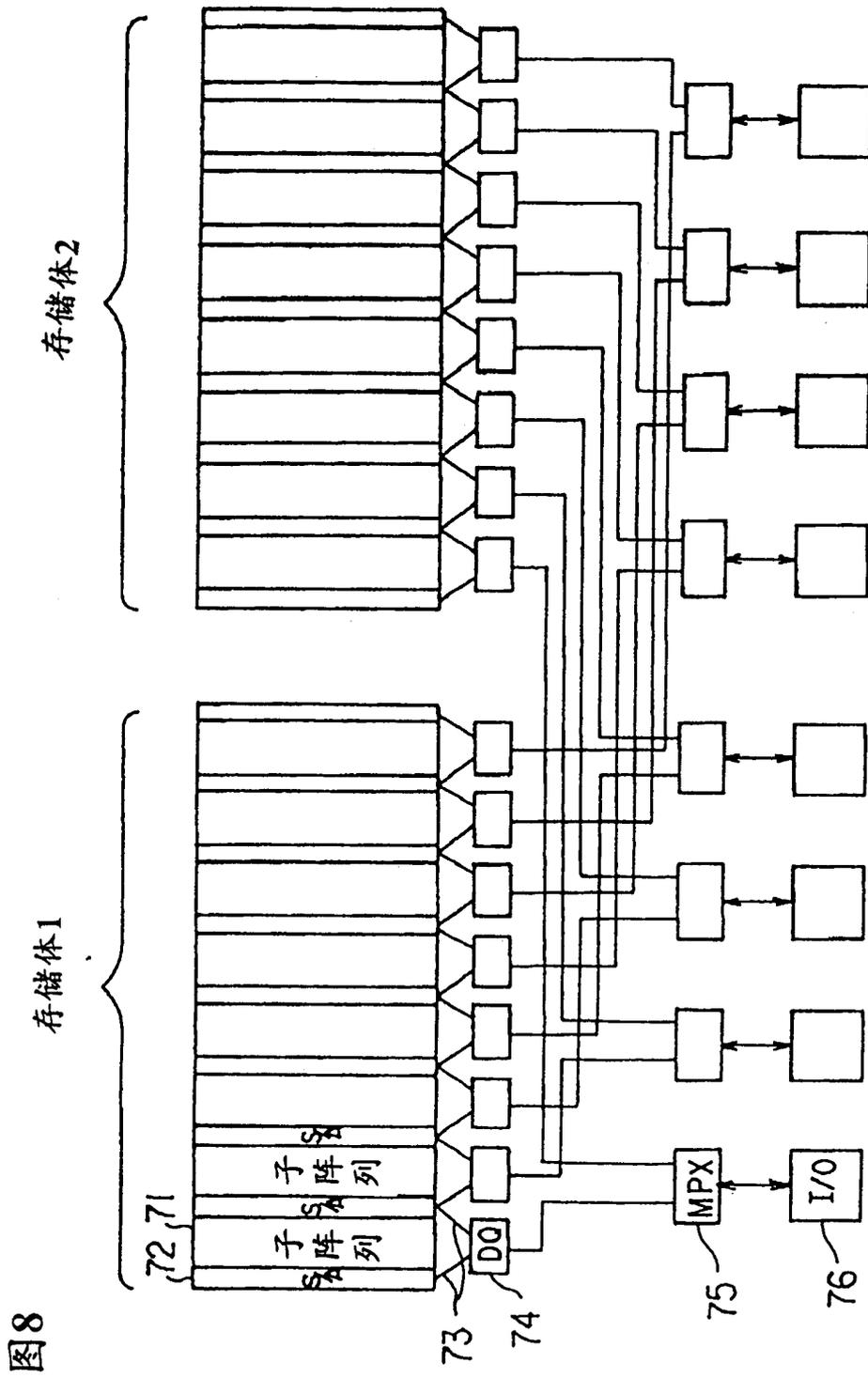


图8