

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成21年2月19日(2009.2.19)

【公表番号】特表2008-527603(P2008-527603A)

【公表日】平成20年7月24日(2008.7.24)

【年通号数】公開・登録公報2008-029

【出願番号】特願2007-550375(P2007-550375)

【国際特許分類】

G 11 C 11/412 (2006.01)

G 11 C 11/41 (2006.01)

【F I】

G 11 C 11/40 301

G 11 C 11/40 C

【手続補正書】

【提出日】平成20年12月12日(2008.12.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

S R A M メモリセルが含まれる S R A M メモリを動作させる方法であって、同メモリセルには、

第1記憶ノードと、

第2記憶ノードと、

交差結合ラッチと、が含まれ、同交差結合ラッチには、

前記第1記憶ノードへの第1予備電源電流経路と、

前記第1記憶ノードへの第1予備シンク電流経路と、

前記第2記憶ノードへの第2予備電源電流経路と、

前記第2記憶ノードへの第2予備シンク電流経路と、

前記第1記憶ノードへの第5予備電流経路と、

前記第2記憶ノードへの第6予備電流経路と、が含まれ、

前記方法には、

前記メモリセルを読み出す段階と、

前記メモリセルに書き込む段階と、が含まれ、

前記第5予備電流経路は第1のトランジスタを含み、前記第6予備電流経路は第2のトランジスタを含み、第1のトランジスタと第2のトランジスタとのうちの一方は、メモリセルの読み出し中は導通状態で、第1のトランジスタと第2のトランジスタとは、メモリセルの書き込み中は非導通状態である。

方法。

【請求項2】

前記第5予備電流経路は、前記第1予備電源電流経路と並列であり、また、前記第6予備電流経路は、前記第2予備電源電流経路と並列である請求項1に記載方法。

【請求項3】

前記第5予備電流経路は、前記第1予備シンク電流経路と並列であり、また、前記第6予備電流経路は、前記第2予備シンク電流経路と並列である請求項1に記載の方法。

【請求項4】

請求項 1 に記載の方法であって、

前記第 1 電源電流経路は第 1 パワートランジスタを含み、前記第 1 パワートランジスタは前記第 2 記憶ノードに結合された制御端子を含み、

前記第 1 シンク電流経路は第 2 パワートランジスタを含み、前記第 2 パワートランジスタは前記第 2 記憶ノードに結合された制御端子を含み、

前記第 2 電源電流経路は第 3 パワートランジスタを含み、前記第 3 パワートランジスタは前記第 1 記憶ノードに結合された制御端子を含み、

前記第 2 シンク電流経路は第 4 パワートランジスタを含み、前記第 4 パワートランジスタは前記第 1 記憶ノードに結合された制御端子を含み、

前記第 5 予備電流経路は第 5 パワートランジスタを含み、前記第 5 パワートランジスタは前記第 2 記憶ノードに結合された制御端子を含み、

前記第 6 予備電流経路は第 6 パワートランジスタを含み、前記第 6 パワートランジスタは前記第 1 記憶ノードに結合された制御端子を含む、方法。

【請求項 5】

S R A M メモリセルであって、

第 1 記憶ノードと、

第 2 記憶ノードと、

前記第 1 記憶ノードに結合された第 1 端子及び前記第 2 記憶ノードに結合された第 2 端子が含まれる交差結合ラッチであって、

前記第 1 記憶ノードへの第 1 予備電源電流経路と、

前記第 1 記憶ノードへの第 1 予備シンク電流経路と、

前記第 2 記憶ノードへの第 2 予備電源電流経路と、

前記第 2 記憶ノードへの第 2 予備シンク電流経路と、を含む前記交差結合ラッチと、

前記第 1 記憶ノードへの第 5 予備電流経路と、

前記第 2 記憶ノードへの第 6 予備電流経路と、が含まれ、

前記第 5 予備電流経路及び前記第 6 予備電流経路の一方は、前記メモリセルへの書き込み中、非導通状態である S R A M メモリセル。

【請求項 6】

前記第 5 予備電流経路は、前記第 1 予備電源電流経路と並列であり、前記第 6 予備電流経路は、前記第 2 予備電源電流経路と並列である請求項 5 に記載の装置。

【請求項 7】

前記第 5 予備電流経路は前記第 1 予備シンク電流経路と並列であり、前記第 6 予備電流経路は前記第 2 予備シンク電流経路と並列である請求項 5 に記載のメモリセル。

【請求項 8】

メモリセルであって、前記第 5 予備電流経路は、第 1 パワートランジスタを含み、また、前記第 6 予備電流経路は、第 2 パワートランジスタを含み、前記第 1 パワートランジスタ及び前記第 2 パワートランジスタの一方は、前記メモリセルの読み出し中は導通状態であり、また、前記第 1 パワートランジスタ及び前記第 2 パワートランジスタは、前記メモリセルへの書き込み中は非導通状態である請求項 5 に記載のメモリセル。

【請求項 9】

請求項 5 に記載のメモリセルであって、

前記第 1 電源電流経路は第 1 パワートランジスタを含み、前記第 1 パワートランジスタは前記第 2 記憶ノードに結合された制御端子を含み、

前記第 1 シンク電流経路は第 2 パワートランジスタを含み、前記第 2 パワートランジスタは前記第 2 記憶ノードに結合された制御端子を含み、

前記第 2 電源電流経路は第 3 パワートランジスタを含み、前記第 3 パワートランジスタは前記第 1 記憶ノードに結合された制御端子を含み、

前記第 2 シンク電流経路は第 4 パワートランジスタを含み、前記第 4 パワートランジスタは前記第 1 記憶ノードに結合された制御端子を含むメモリセル。

【請求項 10】

S R A M メモリセルであって、

第 1 記憶ノードと、

第 2 記憶ノードと、

前記第 1 記憶ノードに結合された第 1 端子及び前記第 2 記憶ノードに結合された第 2 端子を含む交差結合ラッチであって、

前記第 1 記憶ノードへの第 1 予備電源電流経路と、

前記第 1 記憶ノードへの第 1 予備シンク電流経路であって、前記第 1 予備シンク電流経路は、第 1 トランジスタを含み、前記第 1 トランジスタは、前記第 2 記憶ノードに結合された制御端子を含む前記第 1 予備シンク電流経路と、

前記第 2 記憶ノードへの第 2 予備電源電流経路と、

前記第 2 記憶ノードへの第 2 予備シンク電流経路であって、前記第 2 予備シンク電流経路は、第 2 トランジスタを含み、前記第 2 トランジスタは、前記第 1 記憶ノードに結合された制御端子を含む前記第 2 予備シンク電流経路と、を含む前記交差結合ラッチと、

前記第 1 記憶ノードへの第 5 予備電流経路であって、前記第 5 予備電流経路は、第 3 トランジスタを含み、前記第 3 トランジスタは、前記第 2 記憶ノードに結合された制御端子を有し、前記第 5 予備電流経路は、前記第 1 予備電源電流経路又は前記第 1 予備シンク電流経路と並列である前記第 5 予備電流経路と、

前記第 2 記憶ノードへの第 6 予備電流経路であって、前記第 6 予備電流経路は、第 4 トランジスタを含み、前記第 4 トランジスタは、前記第 1 記憶ノードに結合された制御端子を有し、前記第 6 予備電流経路は、前記第 2 予備電源電流経路又は前記第 2 予備シンク電流経路と並列である前記第 6 予備電流経路と、

前記第 5 予備電流経路及び前記第 6 予備電流経路の一方は、前記メモリセルの読出し中、導通状態であり、前記第 5 予備電流経路及び前記第 6 予備電流経路は、前記メモリセルへの書き込み中、非導通状態である S R A M メモリセル。