

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022年11月3日 (03.11.2022)



(10) 国际公布号
WO 2022/228281 A1

(51) 国际专利分类号:
H01L 27/108 (2006.01) *H01L 21/8242* (2006.01)
H01L 27/06 (2006.01)

(21) 国际申请号: PCT/CN2022/088298

(22) 国际申请日: 2022年4月21日 (21.04.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110485941.9 2021年4月30日 (30.04.2021) CN

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 顾俊星 (GU, Junxing); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 北京中博世达专利商标代理有限公司 (BEIJING ZBSD PATENT&TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路31号11号楼8层, Beijing 100044 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(54) Title: THREE-DIMENSIONAL MEMORY, CHIP PACKAGING STRUCTURE, AND ELECTRONIC DEVICE

(54) 发明名称: 一种三维存储器、芯片封装结构及电子设备

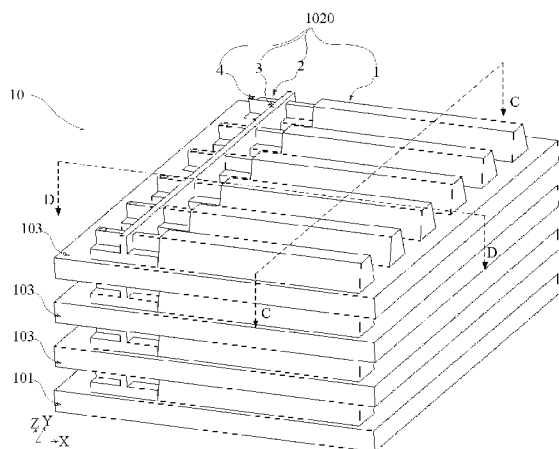


图 23

(57) Abstract: The present application relates to the technical field of electronic devices, and provides a three-dimensional memory, a chip packaging structure, and an electronic device. The three-dimensional memory of the present application can improve the storage capacity of a DRAM chip in a limited layout space, a manufacturing process difficulty of a capacitor in the three-dimensional memory is low, and the product qualification rate and reliability of the DRAM chip are high. Embodiments of the present application provide a three-dimensional memory comprising a substrate and a storage array layer. The storage array layer comprises at least one storage structure, and the storage structure comprises N capacitors arranged on the substrate side by side. Each capacitor comprises a first electrode, a first dielectric layer and a second electrode which are sequentially stacked on the substrate in a direction away from the substrate, wherein N is greater than or equal to 2 and N is an integer. The three-dimensional memory provided in the embodiments of the present application is used for storing data.

WO 2022/228281 A1

(57) 摘要: 本申请提供一种三维存储器、芯片封装结构及电子设备, 涉及电子设备技术领域。本申请的三维存储器能够在有限的布件空间内, 提高DRAM芯片的存储能力, 并且三维存储器中电容器的制作工艺难度较小, DRAM芯片的产品合格率和可靠性较高。本申请实施例提供一种包括基底和存储阵列层的三维存储器。其中, 存储阵列层包括至少一个存储结构, 存储结构包括并排设置于基底上的N个电容器。电容器包括沿远离基底的方向、依次层叠设置于基底上的第一电极、第一介电层以及第二电极; 其中, $N \geq 2$, N为整数。本申请实施例提供的三维存储器用于存储数据。

一种三维存储器、芯片封装结构及电子设备

本申请要求于2021年04月30日提交国家知识产权局、申请号为202110485941.9、
申请名称为“一种三维存储器、芯片封装结构及电子设备”的中国专利申请的优先权，
5 其全部内容通过引用结合在本申请中。

技术领域

本申请涉及电子设备技术领域，尤其涉及一种三维存储器、芯片封装结构及电子设备。

背景技术

10 为了满足半导体集成电路的小型化和高集成度的要求，终端内部的存储器需要兼具体积小、存储量大的特点。

以动态随机存取存储器(dynamic random access memory, DRAM)为例，现有 DRAM 中的存储单元所采用的电容器可以为如图 1 所示的圆柱形电容器 01。为了减小 DRAM 的体积，圆柱形电容器 01 的直径已经逼近 2x nm 工艺（第二代 10nm 级工艺）级别。
15 并且，圆柱形电容器 01 的中间介电层的厚度已经接近量子隧穿的物理极限值。因此限制了 DRAM 存储器件进一步微缩的可能性，使得存储量较大的存储器很难设置于有限的布件空间内。

发明内容

本申请的实施例提供一种三维存储器、芯片封装结构及电子设备，能够在有限的
20 布件空间内，提高 DRAM 芯片的存储能力，并且三维存储器中电容器的制作工艺难度较小，DRAM 芯片的产品合格率和可靠性较高。

为达到上述目的，本申请的实施例采用如下技术方案：

第一方面，本申请一些实施例提供一种包括基底和存储阵列层的三维存储器。其中，存储阵列层包括至少一个存储结构，存储结构包括并排设置于基底上的 N 个电容器。
25 电容器包括沿远离基底的方向、依次层叠设置于基底上的第一电极、第一介电层以及第二电极；其中， $N \geq 2$ ，N 为整数。

由于本申请实施例提供的三维存储器中的电容器包括在基底上、沿远离基底的方向依次层叠设置的第一电极、第一介电层以及第二电极。在此情况下，上述第一电极、第一介电层以及第二电极可以为采用薄膜、曝光、显影、刻蚀工艺依次层叠于基底上的薄膜层。
30 这种结构设计能够减小电容器在垂直于基底的方向上的尺寸。在此基础上，上述存储结构包括并排设置于基底上的 N 个电容器，这样一来，在与基底的承载面平行的方向上，能够设置 N 个电容器。在此情况下，相对于圆柱形电容器而言，由于该电容器在垂直于基底的方向上的尺寸较大，而本申请实施例中电容器在垂直于基底的方向上的尺寸较小。因此，本申请实施例中的三维存储器能够在基底上叠加多层上述
35 存储阵列层，即电容器设置有多层，从而在有限的布件空间内，提高三维存储器的存储容量，使得在进入 1xnm（第一代 10nm 级工艺）之后能够实现 DRAM 芯片内的扩容。并且薄膜层结构的电容器的制作工艺难度较低，从而制作多层存储阵列层的制作工艺难度也较低。基于以上，本申请实施例三维存储器中的多个电容器一致性较好、

缺陷态低，使得三维存储器中的电子器件不良率较低，电子器件的可靠性较高。

在第一方面的一种可能的实现方式中，第一介电层覆盖第一电极远离基底的表面、以及第一电极的至少一个侧面，第二电极覆盖第一介电层远离基底的表面、以及第一介电层的至少一个侧面；其中，相邻的两个电容器的第二电极间隔设置。由于第一介电层同时覆盖在第一电极远离基底的表面以及第一电极的一个或多个侧面上，第二电极覆盖同时覆盖在第一介电层远离基底的表面、以及第一介电层的一个或多个侧面上。所以，电容器中的第一电极与第二电极之间的正对面积较大，能够在保证电容器的电容量满足存储需求的情况下，电容器的体积较小，从而提高每层存储阵列层中电容器的分布数量，进一步提高三维存储器的容量。

在第一方面的一种可能的实现方式中，N个电容器的第一介电层相连接为一体结构，能够一次采用一道工艺（如薄膜沉积工艺）制作N个电容器的第一介电层，工艺简单，降低了制作成本。

在第一方面的一种可能的实现方式中，三维存储器包括沿垂直于基底的方向、层叠设置的M层存储阵列层。其中， $M \geq 2$ ，M为整数。三维存储器还包括第二介电层，第二介电层位于相邻的两层存储阵列层之间。对于堆叠有两层以上的存储阵列层的三维存储器，制作第二介电层将相邻的两层存储阵列电隔离开。

在第一方面的一种可能的实现方式中，N个电容器沿第一方向并排设置，第一电极的第一截面为梯形。其中，第一截面与第一方向平行、且与基底垂直。由于第一电极的边角处的拐角较为平滑，所以，能够减少第一电极的边角处出现缺陷态，电容器的合格率较高。

在第一方面的一种可能的实现方式中，存储结构还包括N个选通晶体管、字线及位线，一个选通晶体管的第一极与一个电容器的第一电极电连接，字线与N个选通晶体管的栅极电连接，位线与N个选通晶体管的第二极电连接，以实现电容器的数据读取和写入。

在第一方面的一种可能的实现方式中，存储结构还包括N个选通晶体管和字线，一个选通晶体管的第一极与一个电容器的第一电极电连接，字线与N个选通晶体管的栅极电连接。三维存储器还包括沿垂直于基底的方向、层叠设置的M层存储阵列层。其中， $M \geq 2$ ，M为整数。三维存储器还包括N条位线，位线贯穿M层存储阵列层、且与M层存储阵列层中位于同一位置的M个选通晶体管的第二极电连接。其中，同一位置的M个选通晶体管在基底上的垂直投影重叠。该方案同样能够实现电容器的数据读取和写入，并且位线的长度较短。

在第一方面的一种可能的实现方式中，字线设置于选通晶体管的有源层远离基底的一侧，字线与有源层搭接的部分作为选通晶体管的栅极，便于采用一次构图工艺同时制作字线和选通晶体管的栅极，简化工艺步骤。

在第一方面的一种可能的实现方式中，第一电极的第二截面为长方形。其中，第二截面与第一方向、基底均垂直。长方形的长度方向与第一方向垂直、且与基底平行。第一电极的侧面包括与第一方向均垂直的第一侧面和第二侧面，第一介电层和第二电极依次覆盖第一侧面和第二侧面。对于长条形的第一电极，第一介电层和第二电极依次覆盖第一电极沿长度方向的第一侧面和第二侧面，能够使得第一电极和第二电极之

间的正对面积较大。基于以上，该方案能够缩小长条形第一电极的体积，在有限的布件空间内，该方案能够增大每层存储阵列层所能排布的电容器的数量，从而增大三维存储器的容量。

5 在第一方面的一种可能的实现方式中，第一电极的侧面还包括与第一方向均平行的第三侧面和第四侧面，第三侧面靠近选通晶体管设置、且与选通晶体管的第一极电连接，第一介电层和第二电极还依次覆盖第四侧面，进一步增加第一电极和第二电极的正对面积，进一步缩小长条形第一电极的体积。并且将选通晶体管靠近第一电极的第三侧面设置，不需相邻两个电容器之间预留选通晶体管的位置，使得相邻两个电容器之间的间距较小，进一步提高单层存储阵列层所能排布的电容器的数量，从而增大
10 三维存储器的容量。

在第一方面的一种可能的实现方式中，基底为硅基底，选通晶体管的第一极、第二极以及有源层集成于硅基底内，选通晶体管的第一极所电连接的电容器的第一电极与选通晶体管的栅极同层同材料。该方案能够采用同一次构图工艺同时制作电容器的第一电极与选通晶体管的栅极，减少工艺流程，降低制作成本。

15 在第一方面的一种可能的实现方式中，所述存储阵列层包括多个阵列排布的所述存储结构，能够进一步提高三维存储器的存储容量。

第二方面，本申请一些实施例提供一种芯片封装结构包括封装基板和上述实施例所述的三维存储器。三维存储器设置于封装基板上。由于本申请实施例提供的芯片封装结构包括如上任一技术方案所述的三维存储器，因此二者能够解决相同的技术问题，
20 并达到相同的技术效果，此处不再赘述。

在第二方面的一种可能的实现方式中，芯片封装结构还包括控制芯片，控制芯片设置于封装基板上、且与三维存储器位于同一平面上。或者，控制芯片与三维存储器层叠设置在封装基板上，能够满足不同终端产品的尺寸需求。

第三方面，本申请一些实施例提供一种电子设备，包括主板和上述实施例所述的
25 芯片封装结构。芯片封装结构设置在主板上、且与主板电连接。由于本申请实施例提供的电子设备包括如上任一技术方案所述的芯片封装结构，因此二者能够解决相同的技术问题，并达到相同的技术效果。

附图说明

- 图 1 为现有技术 DRAM 中电容器的结构连接示意图；
30 图 2 为本申请一些实施例提供的电子设备的结构示意图；
图 3 为图 2 所示电子设备的爆炸图；
图 4 为图 3 所示电子设备内主板和芯片封装结构的结构示意图；
图 5 为图 4 中所示的芯片封装结构中包括一个芯片的结构示意图；
图 6 为图 4 所示的芯片封装结构中包括堆叠设置的两个芯片的结构示意图；
35 图 7 为图 4 所示的芯片封装结构中包括位于同一平面的两个芯片的结构示意图；
图 8 为图 7 所示的芯片封装结构中三维存储器的结构示意图；
图 9 为示例一的三维存储器的三维结构示意图；
图 10 为对图 9 中示出的电容器沿第一平面进行剖切得到的剖面示意图；
图 11 为对第一种图 9 中示出的电容器沿第二平面进行剖切得到的剖面示意图；

图 12 为对第二种图 9 中示出的电容器沿第二平面进行剖切得到的剖面示意图；

图 13 为图 9 中 A-A 的截面示意图；

图 14 为图 9 所示的三维存储器的结构示意图；

图 15 为图 9 所示的三维存储器中选通晶体管的三维结构示意图；

5 图 16 为图 9 所示的三维存储器中第一种选通晶体管和第一种电容器的结构示意图；

图 17 为图 9 所示的三维存储器中第二种选通晶体管和第一种电容器的结构示意图；

10 图 18 为图 17 所示的三维存储器中第二选通晶体管位于第一电极的第三侧面的结构示意图；

图 19 为图 17 所示的三维存储器中第二选通晶体管位于第一电极的第四侧面的结构示意图；

图 20 为图 9 所示的三维存储器中一个存储单元、字线、位线的连接示意图；

图 21 为图 9 所示的三维存储器中 N 个存储单元、字线、位线的连接示意图；

15 图 22 为图 9 中 B-B 的截面示意图；

图 23 为示例二的三维存储器的三维结构示意图；

图 24 为相关技术中具有存储功能的芯片堆叠结构的结构示意图；

图 25 为图 23 中 C-C 的截面示意图；

图 26 为图 23 所示的三维存储器中字线和位线均位于存储阵列层内的结构示意图；

20 图 27 为图 23 所示的三维存储器的结构示意图；

图 28 为图 23 中 D-D 的截面示意图；

图 29 为图 23 中所示的三维存储器中 $N \times M$ 个存储单元、M 条字线、N 条位线的连接示意图；

图 30 为图 23 中所示的三维存储器包含有外围电路的连接示意图；

25 图 31 为示例三的三维存储器的结构示意图；

图 32 为示例四的三维存储器的结构示意图；

图 33 为图 32 所示的三维存储器的三维结构示意图；

图 34 为图 33 中 E-E 的截面示意图；

图 35 为图 33 中 F-F 的截面示意图；

30 图 36 为示例五的电子设备中芯片堆叠结构的结构示意图。

具体实施方式

本申请提供一种电子设备，该电子设备可以包括手机、平板电脑 (tablet personal computer)、膝上型电脑 (laptop computer)、个人数码助理 (personal digital assistant, PDA)、照相机、个人计算机、笔记本电脑、车载设备、可穿戴设备、增强现实 (augmented reality, AR) 眼镜、AR 头盔、虚拟现实 (virtual reality, VR) 眼镜或者 VR 头盔等需要存储数据的设备。本申请实施例对上述电子设备的具体形式不做特殊限制。以下为了方便说明，均是以该电子设备为如图 2 所示的手机为例进行的举例说明。

请参照图 2 和图 3，图 2 为本申请一些实施例提供的电子设备的立体图，图 3 为图 2 所示电子设备的爆炸图。由上述可知，在本实施例中，电子设备 1000 为手机。电

子设备 1000 可以包括如图 3 所示的屏幕 100、中框 200、后壳 300 及固定在中框 200 上的主板 400。

可以理解的是，图 2 和图 3 仅示意性的示出了电子设备 1000 包括的一些部件，这些部件的实际形状、实际大小、实际位置和实际构造不受图 2 和图 3 的限制。在其他一些示例中，电子设备 1000 也可以不包括屏幕 100。或者，电子设备 1000 还可以包括如图 3 所示的摄像头 500。

在本申请的一些实施例中，电子设备 1000 还可以包括如图 4 所示的芯片封装结构 600。该芯片封装结构 600 设置于该主板 400 上、且与主板 400 电连接。例如，芯片封装结构 600 可以通过焊球阵列（ball grid array, BGA）、或者多个阵列排布的铜柱凸块（copper pillar bump, CPB）与主板 400 电连接，从而使得芯片封装结构 600 能够与主板 400 上其他芯片或者芯片堆叠结构实现信号传输。

需要说明的是，上述主板 400 可以为印刷电路板（printed circuit board, PCB）。本申请对主板 400 上的芯片封装结构 600 的数量不做限制，可以一个、两个或两个以上。

以下对上述芯片封装结构 600 的结构进行举例说明。请参照图 5，芯片封装结构 600 可以包括封装基板（substrate, SUB）601、设置在封装基板 601 上的芯片 602 以及用于塑封芯片 602 的塑封料（molding）603。该芯片 602 可以为裸芯片（即裸 die），也可以为芯片堆叠结构（即多个裸 die 层叠设置）。本申请对封装于芯片封装结构 600 内的芯片 602 数量不做限制，可为如图 5 所示的一个，也可为如图 6 和图 7 所示的两个，或者还可以为两个以上。

以下为了方便说明，以如图 6 和图 7 所示的芯片封装结构 600 内封装有两个芯片 6021、6022 为例进行举例说明。

图 6 中示出的芯片封装结构 600 中的一个芯片 6021 可以为具有数据处理功能的处理芯片，例如为中央处理器（central processing unit, CPU）、片上系统（system on chip, SOC）或者图像处理器（graphics processing unit, GPU）等能够对数据进行处理

的芯片。图 6 中示出的芯片封装结构 600 中的另一个芯片 6022 可以为至少具有存储功能的芯片，该芯片可以包括三维存储器。上述具有三维存储器的芯片、上述处理芯片均可以与封装基板 601 电连接，从而使得上述具有三维存储器的芯片与上述处理芯片可以通过封装基板 601 进行数据传输。

需要说明的是，至少具有存储功能的芯片是指该芯片可以仅具有存储功能。此时，该芯片为存储芯片。或者，该芯片可以在具有存储功能的同时，还具有其他功能，例如数据处理功能，此时，该芯片为多功能集成芯片。上述三维存储器可为 DRAM 存储器件，例如双倍速率同步动态随机存储器（double data rate synchronous dynamic random access memory, DDR）、低功耗双倍速率同步动态随机存储器（low power double data rate synchronous dynamic random access memory, LPDDR）等。

在封装基板 601 上布置两个芯片 6021、6022 的安装位置时，可以采用如图 6 中示出的芯片封装结构 600 中的两个芯片 6021、6022 堆叠在封装基板 601 上的布置方式，也可以采用图 7 示出的两个芯片 6021、6022 位于同一平面上的布置方式。具体可根据电子设备实际需要，选择两个或两个以上芯片合适的方位布置关系。

需要说明的是，图 6 和图 7 中示出的两个芯片是以芯片 6021 为三维存储器、芯片 6022 为控制芯片为例进行的说明。当芯片封装结构 600 中封装有三个芯片 602 时，其中一个芯片可以为上述具有数据处理功能的处理芯片，另外两个可以均为上述至少具有存储功能的芯片。或者，三个芯片中的两个为上述至少具有存储功能的芯片，三个芯片中的剩余一个为上述具有数据处理功能的处理芯片。多个芯片在封装基板 601 上的方位布置方式同上所述，此处不再赘述。

以下对上述三维存储器的结构进行进一步的说明。图 3 所示的三维存储器 10 包括基底 101 和存储阵列层 102，存储阵列层 102 包括存储结构 1020。其中，基底 101，也可以称衬底。基底 101 可以位于存储阵列层 102 下方、且用于承载该存储阵列层 102。示例的，该基底 101 可以为单层结构。在此情况下，构成该基底 101 的材料可以包括半导体材料，诸如硅、锗、砷化镓、磷化铟等。或者，基底 101 的材料可以包括非导电材料，诸如玻璃、塑料或蓝宝石等。又示例的，上述基底 101 可以为多层结构。其中，最远离存储阵列层 102 的一层可以采用上述半导体材料或非导体材料，其余的膜层可以根据需要进行构图工艺，以应用构成其他电路结构。

需要说明的是，上述构图工艺，可指包括光刻工艺，或，包括光刻工艺以及刻蚀步骤，同时还可以包括打印、喷墨等其他用于形成预定图形的工艺。可根据本申请实施例中所形成的结构选择相应的构图工艺。上述光刻工艺是指包括成膜、曝光、显影等工艺过程的利用光刻胶、掩模板、曝光机等形成图形的工艺。

为了方便下文对描述，可以在部分附图中建立 X、Y、Z 坐标系。如图 8 所示基底 101 的所在平面可以为 XY 平面，以图 8 中示出的基底 101 为长方形为例，X 轴可以为基底 101 的长度方向，Y 轴可以为基底 101 的宽度方向，Z 轴为垂直于或在制作公差范围内近似垂直于基底 101 的方向。可以理解的是，基底 101 的宽度的尺寸小于基底 101 长度的尺寸。

以下结合不同的示例对本申请实施例中三维存储器 10 的结构进行详细的说明。

示例一

本示例为采用如图 9 所示的三维存储器 10。该三维存储器 10 包括一层存储阵列层 102，该存储阵列层 102 包括一个存储结构 1020。本示例中的三维存储器 10 为 DRAM，该存储结构 1020 包括设置于基底 101 上的 N 个（图 8 中以 N=6 为例）电容器 1，N 个电容器 1 沿第一方向（第一方向为 Y 轴方向）并排设置，其中， $N \geq 2$ ，N 为整数。

图 10 为采用平行于 YZ 平面的第一平面 P 对图 9 中示出的电容器 1 进行剖切得到的剖视图。图 10 中示出的电容器 1 可以包括第一电极 11、第一介电层 12 以及第二电极 13。第一电极 11、第一介电层 12 以及第二电极 13 沿远离基底 101 的方向（远离基底 101 的方向为 Z 轴方向）依次层叠设置于基底 101 上。

综上所述，由于本示例提供的三维存储器 10 中的电容器 1 包括在基底 101 上、沿 Z 轴方向依次层叠设置的第一电极 11、第一介电层 12 以及第二电极 13。在此情况下，上述第一电极 11、第一介电层 12 以及第二电极 13 可以为采用薄膜、曝光、显影、刻蚀工艺依次层叠于基底 101 上的薄膜层。这种结构设计能够减小电容器 1 在垂直于基底 101 的方向上的尺寸。在此基础上，上述存储结构 1020 包括并排设置于基底 101 上

的 N 个电容器 1, 这样一来, 在与基底 101 的承载面 (与 XY 面平行) 平行的方向上, 能够设置 N 个电容器 1。在此情况下, 相对于图 1 所示的圆柱形电容器 01 而言, 由于该电容器 1 沿 Z 方向的尺寸较大, 而本示例中电容器 1 在 Z 方向的尺寸较小。因此, 本示例中三维存储器 10 能够在基底 101 上叠加多层上述存储阵列层 102, 即电容器 1 设置有多层, 从而在有限的布件空间内, 提高三维存储器 10 的存储容量, 使得在进入 1xnm (第一代 10nm 级工艺) 之后能够实现 DRAM 芯片内的扩容。并且薄膜结构的电容器 1 的制作工艺难度较低, 从而制作多层存储阵列层 102 的制作工艺难度也较低。三维存储器 10 中的多个电容器 1 一致性较好、且缺陷态低, 使得三维存储器 10 中的电子器件不良率较低, 电子器件的可靠性较高。

并且, 本示例中的电容器 1 可以采用 14nm、10nm、7nm 及以下 (芯片中晶体管的最小线宽) 的较为先进的工艺制备, 能够获得尺寸较小、容量较高的三维存储器。

需要说明的是, 本示例的电容器 1 中的第一电极 11 的制作材料与第二电极 13 的制作材料可相同, 也可或不同。例如, 第一电极 11 的制作材料和第二电极 13 的制作材料均为钴 (Co)、氮化钛 (TiN) 或多晶硅等材料中的任一种。而本示例中电容器 1 的第一介电层 12 所采用的材料为 High-k (高介电常数) 介电材料。例如, 氧化铝 (Al₂O₃)、氧化铪 (HfO₂)、或锆-铝组成的多层材料中的任一种等。其中, 上述 High-k 介电材料是指介电常数 K 大于 3.9 的材料。

在设计电容器 11 的形状时, 同样考虑到半导体制作工艺因素的影响, 继续参照图 10, 本示例中第一电极 11 的第一截面为梯形, 若在基底 101 上采用刻蚀及沉积等工艺步骤制作电容器 1, 由于第一电极 11 的四个边角 W 处的拐角较为平滑, 所以, 能够减少第一电极 11 的边角 W 处出现缺陷态, 电容器 1 的合格率较高。可以理解的是, 第一电极 11 的形状也可以为其他方便制作的形状, 如第一电极 11 的第一截面为半圆柱形。

由于电容器 1 中第一介电层 12 和第二电极 13 覆盖第一电极 11 的面积应尽可能较大, 才能够增加第一电极 11 与第二电极 13 之间的正对面积。从而, 在保证电容器 1 的电容量满足存储数据需求, 电容器 1 的体积较小, 能够增加存储阵列层 102 上可分布的电容器 1 的数量。因此, 本示例的电容器 1 采用如图 10 所示的结构, 第一介电层 12 覆盖第一电极 11 远离基底 101 的表面 (即第一电极 11 的上表面 111)、以及第一电极 11 的侧面 112。第二电极 13 覆盖在第一介电层 12 远离基底 101 的表面 (即第一介电层 12 的上表面 121)、以及第一介电层 12 的侧面 122。图 10 示出的电容器 1 中第一电极 11 与第二电极 13 之间的正对面积较大。

需要说明的是, 本示例对第一介电层 12 和第二电极 13 覆盖第一电极 11 的面积不做限制, 也可设计电容器 1 中的第一介电层 12 仅覆盖在第一电极 11 的上表面 111, 第二电极 13 仅覆盖第一介电层 12 的上表面 121。

可以理解的是, 第一介电层 12 和第二电极 13 覆盖在第一电极 11 的侧面 112 面积越大, 第一电极 11 和第二电极 13 之间的正对面积越大, 电容器 1 的体积可制作的越小, 存储阵列层 102 上所能分布的电容器 1 的数量越多。

对于不同形状的电容器 1, 电容器 1 中第一电极 11 的侧面数量不同。图 9 示出的电容器 1 为设置在基底 101 上的长条形凸起结构, 也可称为横卧式鳍形结构。其中,

横卧式是指沿平行于基底 101 所在平面设置；上述基底 101 上的 N 个电容器 1 可看作为如图 9 所示的设置在基底 101 上的横卧式多鳍结构。

图 11 为采用平行于 X-Z 平面的第二截面 Q 对图 9 所示的一种横卧式鳍形电容器进行剖切得到的剖视图。图 12 为采用平行于 X-Z 平面的第二截面 Q 对图 9 所示的另一种横卧式鳍形的电容器进行剖切得到的剖视图。图 11 和图 12 中示出的电容器 1 的第一电极 11 的第二截面 Q 均为长方形。

结合图 10、图 11 和图 12 所示的两种横卧式鳍形电容器中的第一电极 11 的 112 侧面均为 4 个，第一电极 11 的 4 个侧面 112 可以分别为均沿 X 轴方向延伸的第一侧面 112a 和第二侧面 112b、以及均沿 Y 轴方向延伸的第三侧面 112c 和第四侧面 112d。相应地，第一介电层 12 的侧面 122 也有 4 个，第一介电层 12 的 4 个侧面 122 分别为均沿 X 轴方向延伸的第五侧面 122a 和第六侧面 122b、以及均沿 Y 轴方向延伸的第七侧面 122c 和第八侧面 122d。

在图 10 和图 11 所示的横卧式鳍形电容器中，第一介电层 12 覆盖第一电极 11 的上表面 111、第一电极 11 的第一侧面 112a 和第一电极 11 的第二侧面 112b。第二电极 13 覆盖第一介电层 12 的上表面 121、第一介电层 12 的第五侧面 122a 和第一介电层 12 的第六侧面 122b。由于第一介电层 12 和第二电极 13 能够覆盖横卧式鳍形电容器沿长度方向延伸的第一侧面 112a 和第二侧面 112b，使得第一电极 11 与第二电极 13 之间的正对面积较大。而第一电极 11 的第三侧面 112c 和第四侧面 112d 均处于裸露状态，能够便于从第一电极 11 的第三侧面 112c 与存储结构 1020 中的其他器件电连接，或从第一电极 11 的第四侧面 112d 与存储结构 1020 中的其他器件电连接。

在图 10 和图 12 所示的横卧式鳍形电容器中，第一介电层 12 覆盖第一电极 11 的上表面 111、第一电极 11 的第一侧面 112a、第一电极 11 的第二侧面 112b 及第一电极 11 的第四侧面 112d，第二电极 13 覆盖第一介电层 12 的第五侧面 122a、第一介电层 12 的第六侧面 122b 和第一介电层 12 的第八侧面 122d。由于第一介电层 12 和第二电极 13 能够依次覆盖长条形的电容器 1 沿长度方向延伸的第一侧面 112a 和第二侧面 112b、以及沿宽度方向延伸的第四侧面 112d，第一介电层 12 和第二电极 13 能够覆盖长条形的电容器 1 的侧面数量多、且面积大，使得第一电极 11 与第二电极 13 之间的正对面积较大。并且第一电极 11 的第三侧面 112c 均处于裸露状态，能够便于从第一电极 11 的第三侧面 112c 与存储结构 1020 中的其他器件电连接。

图 13 为图 9 的 A-A 截面图。为了便于制作，本示例的存储结构 1020 中的 N 个电容器 1 的第一介电层 12 采用如图 13 所示的相连接为一体的结构。N 个电容器 1 的第一介电层 12 能够采用一道工艺（如薄膜沉积工艺）制作，工艺简单，降低了制作成本。

基于此，为了能够向电容器 1 内写入数据，或者，从电容器 1 中读取数据，上述存储结构 1020 可以还包括如图 14 所示的选通晶体管 2，选通晶体管 2 与电容器 1 电连接。当选通晶体管 2 选通时，在电容器 1 内写入数据或者从电容器 1 读出数据。当选通晶体管 2 截止时，停止从电容器 1 读出数据。

需要说明的是，本示例中的选通晶体管 2 可为金属-氧化物-半导体场效应晶体管（metal-oxide-semiconductor field-effect transistor, MOSFET, MOS 管是 MOSFET 的简称）。该 MOS 管可以包括如图 15 所示的第一极 21、第二极 22 以及栅极 23。选通晶

5 体管 2 的第一极 21 与电容器 1 的第一电极 11 电连接, 如图 16 所示。其中, 当向该 MOS 管的栅极 23 提供的选通信号为有效信号时, 该 MOS 管处于导通状态, 此时 MOS 管的第一极 21 和第二极 22 电连接。当向该 MOS 管的栅极 23 提供的选通信号为非有效信号时, 该 MOS 管处于截止状态, 此时 MOS 管的第一极 21 和第二极 22 断开。图 15 示出的选通晶体管 2 为鳍式场效应晶体管 (fin field-effect transistor, FinFET)。

本示例对上述 MOS 管的类型不做限定, 上述 MOS 管可以为 N 型管, 此时选通信号为有效信号可以为高电平, 非有效信号可以为低电平。反之, 上述 MOS 管可以为 P 型管, 此时选通信号为有效信号可以为低电平, 非有效信号可以为高电平。此外, 上述选通晶体管 2 的第一极 21 可以为源极 (source, S), 此时, 选通晶体管 2 的第二极 22 可以为漏极 (drain, D)。或者, 上述选通晶体管 2 的第一极 21 可以为漏极, 此时, 选通晶体管 2 的第二极 22 可以为源极。

15 根据基底 101 材料的不同, 本示例三维存储器 10 中的选通晶体管 2 的整体或部分被形成在基底 101 中, 如图 16 所示。或者, 选通晶体管 2 的整体直接被形成在基底 101 上。例如, 基底 101 为硅基底, 选通晶体管 2 的源极、漏极及有源层被集成在基底 101 内, 选通晶体管 2 的栅极 23 被形成在基底 101 上, 如图 16 所示。选通晶体管 2 能够通过多个过程来形成, 包括但不限于: 光刻、干/湿蚀刻、薄膜沉积、热生长、注入、化学机械抛光、以及任何其他合适的过程。例如, 通过离子注入和/或热扩散在硅基底中形成掺杂区域, 其例如用作选通晶体管 2 的源极区域和/或漏极区域。

20 并且, 图 16 示出的选通晶体管 2 的栅极 23 与电容器 1 的第一电极 11 同层设置, 电容器 1 的第一电极 11 可以与选通晶体管 2 的栅极 23 同层同材料, 例如钴 (Co)、氮化钛 (TiN) 或多晶硅等材料中的任一种, 使得选通晶体管 2 的栅极 23 和电容器 1 的第一电极 11 能够采用同一次构图工艺同时制作电容器 1 的第一电极 11 与选通晶体管 2 的栅极 23。从而, 减少了工艺流程次数, 降低了制作成本。当然, 选通晶体管 2 的栅极 23 的材料与电容器 1 的第一电极 11 的材料也可不同, 在此不做限制, 具体可根据实际需要选择。

需要说明的是, “同层”指的是采用同一成膜工艺形成用于形成特定图形的膜层, 然后利用同一掩模板通过一次构图工艺形成的层结构。根据特定图形的不同, 同一构图工艺可能包括多次曝光、显影或刻蚀工艺, 而形成的层结构中的特定图形可以是连续的也可以是不连续的, 这些特定图形还可能处于不同的高度或者具有不同的厚度。其中, 本示例中的一次构图工艺, 是以通过一次掩膜曝光工艺形成不同的曝光区域, 然后对不同的曝光区域进行多次刻蚀、灰化等去除工艺最终得到预期图案为例进行的说明。

对于基底 101 为非金属材料, 整个选通晶体管 2 可以被形成在基底 101 上, 并且整个电容器 1 可以与选通晶体管 2 均同层设置, 如图 17 所示。

35 根据不同形状的电容器 1, 可将选通晶体管 2 设置在基板上不同的安装位置。

在图 16 和图 17 示出的电容器 1 中第一电极 11 的 4 个侧面中, 仅第三侧面 112c 处于裸露状态的方案。因此, 将选通晶体管 2 的第一极 21 可以靠近第一电极 11 的第三侧面 112c 设置。由于选通晶体管 2 设置在横卧式鳍形电容器的第一电极 11 宽边所在的一侧, 所以, 不需在相邻两个电容器 1 之间预留选通晶体管 2 的位置, 使得相邻

两个电容器 1 之间的间距较小。并且进一步提高了存储阵列层 102 能够布置的电容器 1 的数量，从而提高了三维存储器 10 的存储容量。

在图 18 和图 19 示出的横卧式鳍形电容器中，第一电极 11 的 4 个侧面中第三侧面 112c 和第四侧面 112d 均处于裸露状态的方案。图 18 示出的选通晶体管 2 的第一极 21 靠近横卧式鳍形电容器的第一电极 11 的第三侧面 112c 设置。图 19 示出的选通晶体管 2 的第一极 21 靠近横卧式鳍形电容器的第一电极 11 的第四侧面 112d 设置。同理，图 18 和图 19 所示的方案也将选通晶体管 2 设置在横卧式鳍形电容器的第一电极 11 宽边所在的一侧。因此，同样能够提高存储阵列层 102 能够布置的电容器 1 的数量，进而提高三维存储器 10 的存储容量。

本示例中的三维存储器 10 还包括如图 20 所示的字线 (wordline,WL) 3 和位线 (bitline,BL) 4，字线 3 与选通晶体管 2 的栅极 23 电连接，位线 4 与选通晶体管 2 的第二极 22 电连接。字线 3 用于给选通晶体管 2 的栅极 23 输入选通信号，位线 4 用于当选通晶体管 22 选通时，读取电容器 1 中的存储数据，或给电容器 1 内写入存储数据。

基于此，为了让一个选通晶体管 2 对应一个电容器 1，从而可以对每个电容器 1 独立进行读取和写入数据。本示例存储结构 1020 中的选通晶体管 2 也为 N 个，N 个选通晶体管 2 的第一极 21 分别与 N 个电容器 1 的第一电极 11 一一对应电连接，以形成 N 个图 21 所示的存储单元 1021。

相应地，本示例存储结构 1020 中的字线 3 为一条，位线 4 为 N 条。字线 3 与 N 个选通晶体管 2 的栅极 23 均电连接，N 个位线 4 分别与 N 个选通晶体管 2 的第二极 22 一一对应电连接。相应地，字线 3、位线 4 设置在靠近选通晶体管 2 的位置，以便于缩短字线 3、位线 4 的长度。

上述位线 4 的制作材料为钨制作，位线 4 也能够采用蚀刻、沉积或增长等工艺制作。图 22 为图 9 的 B-B 截面图。基于以上，在本示例中，字线 3 设置于选通晶体管 2 的有源层远离基底 101 的一侧，并且字线 3 与有源层搭接的部分作为选通晶体管 2 的栅极 23，如图 22 所示，便于采用一次构图工艺同时制作字线 3 和 N 个选通晶体管 2 的栅极 23，简化工艺步骤。并且，字线 3 与选通晶体管 2 的栅极 23 的制作材料相同。当然，字线 3 也可单独制作，本示例对此不做限制。

可以理解的是，对于选通晶体管 2 的栅极 23 与电容器 1 的第一极 21 同层同材料的方案，若字线 3 与有源层搭接的部分作为选通晶体管 2 的栅极 23，则能够采用一次构图工艺同时制作选通晶体管 2 的栅极 23、电容器 1 的第一极 21 及字线 3。

示例二

本示例为将如图 9 所示的一层存储阵列层 102 沿 Z 轴方向层叠 M 层的三维存储器 10。其中， $M \geq 2$ ，M 为整数。图 23 示出的三维存储器 10 层叠有 4 层 (即 $M=4$) 上述存储阵列层 102。

相较于采用图 1 所示的圆柱形电容器 01 的三维存储器，该三维存储器中仅可设置单层电容器，而本示例中的三维存储器 10 中的电容器 1 具有多层 (如一百层以上)，能够在有限布件空间内，存储更多的数据，使得三维存储器 10 的容量较大。并且薄膜层结构的电容器 1 的制作工艺难度较低，降低了制作多层存储阵列层 102 的制作工艺

难度。因此，所制作的三维存储器 10 中的多个电容器 1 一致性较好、且缺陷态低。从而，三维存储器 10 中的电子器件不良率也较低，电子器件的可靠性较高。

并且相较于如图 24 所示的相关技术，该技术为直接将多个减薄后的存储芯片（裸 die）02 堆叠键合得到的高带宽存储器（high bandwidth memory, HBM）。而本示例中的三维存储器 10 能够实现在同一裸 die 里面制作多层存储阵列层结构，实现了通过在裸 die 内的存储结构的三维堆叠，提高三维存储器 10 的容量。

图 25 为图 23 中的 C-C 截面示意图。对于具有 M 层存储阵列层 102 的方案，将相邻的两层存储阵列层 102 电隔离，如将上层电容器中的第一电极 11 与下层电容器中的第二电极 13 电隔离开。因此，本示例的三维存储器 10 还包括图 25 所示的第二介电层 103，第二介电层 103 位于相邻的两层存储阵列层 102 之间，第二介电层 103 能够实现相邻的两层存储阵列层 102 电隔离。需要说明的是，上述第二介电层 103 可采用金属间介电层（inter-metal-dielectric, IMD）介电材料，如二氧化硅（SiO₂）等材料。

在制作三维存储器 10 时，可以先在基底 101 上通过向上生长、外延、刻蚀、沉积等工艺步骤形成一层存储阵列层 102 后，再在该层存储阵列层 102 上形成第二介电层 103，之后在第二介电层 103 上形成另一层存储阵列层 102，如此往复进行，从而在每个基底 101 上形成一百层以上的存储阵列层 102。由于上述形成多层存储阵列层 102 可采用相同的光罩，能够降低三维存储器 10 的工艺成本。

本示例的三维存储器 10 中的字线 3 和位线 4 的设置位置，可采用如图 26 所示的字线 3、位线 4 均位于存储阵列层 102 内的方案。每一层存储阵列层 102 中的字线 3 与该层内的选通晶体管 2 电连接。每一层存储阵列层 102 中的位线 4 与该层内的选通晶体管 2 电连接。

或者，本示例三维存储器 10 中的任一存储阵列层 102 包括与该层上的 N 个选通晶体管 2 的栅极 23 电连接的字线 3，而采用如图 27 所示的位线 4 结构。该三维存储器 10 中的位线 4 为 N 个，N 个位线 4 分别贯穿 M 层存储阵列层 102、且与 M 层存储阵列层 102 中位于同一位置的 M 个选通晶体管 2 的第二极 22 电连接。其中，同一位置的 M 个选通晶体管 2 在基底 101 上的垂直投影重叠，位线 4 为如图 28 所示的贯穿 M 层（图 28 中 M=4）存储阵列层 102 来连接不同层的电容器 1 的第二电极 13 的通孔结构。由于不同层之间的选通晶体管 2 间距较短，所以，能够缩短所需位线 4 的长度。

图 29 所示的三维存储器 10 中字线 3 为 M 条，位线 4 为 N 条。每层存储阵列层 102 包括 N 个选通晶体管 2 和 N 个电容器 1，N 个选通晶体管 2 的第一极 21 分别与 N 个电容器 1 的第一电极 11 一一对应电连接，以形成 N 个图 29 所示的 M×N 个存储单元 1021。

本示例的三维存储器 10 还包括图 30 所示的外围电路 104。外围电路 104 包括读写选通电路 1041（例如，字线选通电路 sub-word-line, SWL）、地址译码器（例如，行解码器和列解码器）1042、信号放大电路（sense-amplitude, S/A）1043 等。地址译码器 1042 与读写选通电路 1041 电连接，读写选通电路 1041 与字线 3 电连接，信号放大电路 1043 与位线 4 电连接。

地址译码器 1042 接收到读取指令后，根据读取指令中包含的地址信息，通过读写选通电路 1041 对该地址对应的字线 3 进行选通。之后位线 4 读出字线 3 选通对应的电

容器 1 中包含的数据, 并通过信号放大电路 1043 将数据信号进行放大。地址译码器 1042 接收到写入指令后, 根据写入指令中包含的地址信息, 通过读写选通电路 1041 对该地址对应的字线 3 进行选通, 之后位线 4 给对应的电容器 1 内写入数据。

需要说明的是, 上述外围电路 104 可以形成在基底 101 上, 并且可以位于基底 101 的边沿位置。外围电路 104 可以与最底层的存储阵列层 102 同层设置。外围电路 104 的制作工艺同样能够通过多个过程来形成, 包括但不限于: 光刻、干/湿蚀刻、薄膜沉积、热生长、注入、化学机械抛光、以及任何其他合适的过程。上述字线 3 和位线 4 可以通过通孔互联结构与基底 101 上外围电路 104 电连接。

示例三

本示例为如图 31 示出的三维存储器 10。该三维存储器 10 与示例一中的三维存储器结构类似, 区别在于: 存储阵列层 102 上包括 S 个存储结构 1020, S 个存储结构 1020 排列排布。其中, $S \geq 2$, S 为整数。

由于本示例包含与示例一相同的结构, 所以, 能够获得与示例一相同的技术效果。并且, 本示例中每层存储阵列层 102 包括上述 S 个阵列排布的存储结构 1020, 即每层存储阵列层 102 所包含的电容器 1 数量越多, 能够满足在平行于 XY 平面上尺寸较大的终端产品提高存储容量的需求。

需要说明的是, 本示例中存储阵列层 102 上的存储结构 1020 的数量在此不做限制。图 31 示出的三维存储器 10 中存储阵列层 102 包括 4 个 ($S=4$) 存储结构 1020, 4 个存储结构 1020 沿矩形阵列排布。当然, 存储阵列层 102 上的 S 个存储结构 1020 也可沿圆形阵列排布。

示例四

本示例为将如图 31 所示的一层存储阵列层 102 沿 Z 轴方向层叠 M 层的三维存储器 10。图 32 和图 33 是以三维存储器 10 层叠有 4 层 ($M=4$) 存储阵列层 102 为例。

图 34 为图 33 的 E-E 截面示意图, 图 35 为图 33 的 F-F 的截面示意图。结合图 32、图 33 和图 34 可知, 由于本示例包含与示例三相同的结构, 所以, 能够获得与示例三相同的技术效果。并且, 本示例三维存储器 10 中的电容器 1 具有多层, 能够存储更多的数据, 使得三维存储器 10 的容量进一步提高。

示例五

本示例为设置有如图 36 所示的芯片堆叠结构的电子设备, 芯片堆叠结构可以位于该电子设备内的主板上。该芯片堆叠结构为将多个如图 32 所示的三维存储器 10 (裸 die) 堆叠设置, 并且多个三维存储器 10 之间可以通过通孔键合的方式电连接, 从而进一步提高电子设备的存储容量, 并实现电子设备的高带宽存储。图 36 是以芯片堆叠结构中的裸芯片有 4 个为例。当然, 本示例的芯片堆叠结构也可包含在芯片封装结构内。

在本说明书的描述中, 具体特征、结构、材料或者特点可以在任何的一个或多个实施例或示例中以合适的方式结合。

最后应说明的是: 以上实施例仅用以说明本申请的技术方案, 而非对其限制; 尽管参照前述实施例对本申请进行了详细的说明, 本领域的普通技术人员应当理解: 其依然可以对前述各实施例所记载的技术方案进行修改, 或者对其中部分技术特征进行等同替换; 而这些修改或者替换, 并不使相应技术方案的本质脱离本申请各实施例技

术方案的精神和范围。

权 利 要 求 书

1.一种三维存储器，其特征在于，包括：

基底；

5 存储阵列层，所述存储阵列层包括至少一个存储结构，所述存储结构包括并排设置于所述基底上的N个电容器，所述电容器包括沿远离所述基底的方向、依次层叠设置于所述基底上的第一电极、第一介电层以及第二电极；其中， $N \geq 2$ ，N为整数。

2.根据权利要求1所述的三维存储器，其特征在于，所述第一介电层覆盖所述第一电极远离所述基底的表面、以及所述第一电极的至少一个侧面；

10 所述第二电极覆盖所述第一介电层远离所述基底的表面、以及所述第一介电层的至少一个侧面；其中，相邻的两个所述电容器的第二电极间隔设置。

3.根据权利要求2所述的三维存储器，其特征在于，所述N个电容器的第一介电层相连接为一体结构。

4.根据权利要求1所述的三维存储器，其特征在于，所述三维存储器包括沿垂直于所述基底的方向、层叠设置的M层所述存储阵列层；其中， $M \geq 2$ ，M为整数；

15 所述三维存储器还包括第二介电层，所述第二介电层位于相邻的两层所述存储阵列层之间。

5.根据权利要求2-4任一项所述的三维存储器，其特征在于，所述N个电容器沿第一方向并排设置，所述第一电极的第一截面为梯形，其中，所述第一截面与所述第一方向平行、且与所述基底垂直。

6.根据权利要求5所述的三维存储器，其特征在于，所述存储结构还包括：

20 N个选通晶体管，一个所述选通晶体管的第一极与一个所述电容器的第一电极电连接；

字线，与所述N个选通晶体管的栅极电连接；

25 位线，与所述N个选通晶体管的第二极电连接。

7.根据权利要求5所述的三维存储器，其特征在于，所述存储结构还包括：

30 N个选通晶体管，一个所述选通晶体管的第一极与一个所述电容器的第一电极电连接；

字线，与所述N个选通晶体管的栅极电连接；

35 所述三维存储器还包括沿垂直于所述基底的方向、层叠设置的M层所述存储阵列层，其中， $M \geq 2$ ，M为整数；所述三维存储器还包括：

N条位线，所述位线贯穿所述M层所述存储阵列层、且与所述M层存储阵列层中位于同一位置的M个所述选通晶体管的第二极电连接；其中，同一位置的M个所述选通晶体管在所述基底上的垂直投影重叠。

8.根据权利要求6或7所述的三维存储器，其特征在于，所述字线设置于所述选通晶体管的有源层远离所述基底的一侧，所述字线与所述有源层搭接的部分作为所述选通晶体管的栅极。

9.根据权利要求6或7所述的三维存储器，其特征在于，所述第一电极的第二截面为长方形；其中，所述第二截面与所述第一方向、所述基底均垂直，所述长方形的

长度方向与所述第一方向垂直、且与所述基底平行；

所述第一电极的侧面包括与第二方向平行的第一侧面和第二侧面，其中，所述第二方向与所述第一方向垂直；

所述第一介电层和所述第二电极依次覆盖所述第一侧面和所述第二侧面。

- 5 10. 根据权利要求 9 所述的三维存储器，其特征在于，所述第一电极的侧面还包括与所述第一方向均平行的第三侧面和第四侧面，所述第三侧面靠近所述选通晶体管设置、且与所述选通晶体管的第一极电连接，所述第一介电层和所述第二电极还依次覆盖所述第四侧面。

- 10 11. 根据权利要求 6-10 中任一项所述的三维存储器，其特征在于，所述基底为硅基底；

所述选通晶体管的第一极、第二极以及有源层集成于所述硅基底内，所述选通晶体管的第一极所电连接的电容器的第一电极与所述选通晶体管的栅极同层同材料。

12. 根据权利要求 1-7 中任一项所述的三维存储器，其特征在于，所述存储阵列层包括多个阵列排布的所述存储结构。

- 15 13. 一种芯片封装结构，其特征在于，包括：
封装基板；

如权利要求 1-12 中任一项所述的三维存储器，所述三维存储器设置于所述封装基板上。

- 20 14. 根据权利要求 13 所述的芯片封装结构，其特征在于，所述芯片封装结构还包括：

控制芯片，所述控制芯片设置于所述封装基板上、且与所述三维存储器位于同一平面上，或者，所述控制芯片与所述三维存储器层叠设置在所述封装基板上。

15. 一种电子设备，其特征在于，包括：

主板；

- 25 如权利要求 13 或 14 所述的芯片封装结构，所述芯片封装结构设置在所述主板上、且与所述主板电连接。

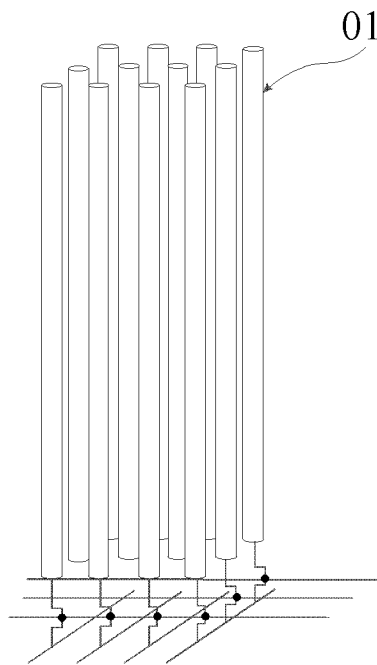


图 1

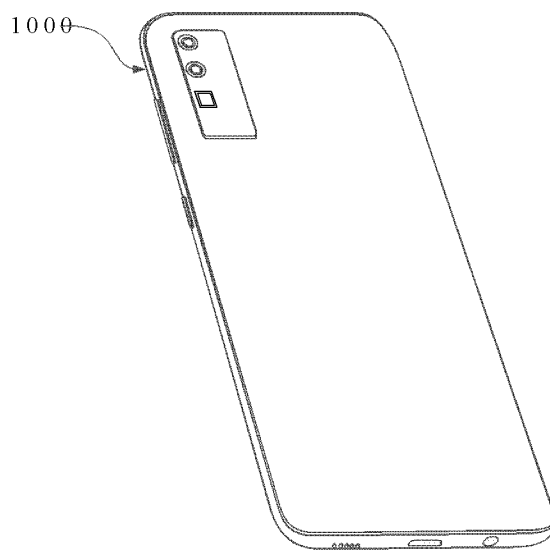


图 2

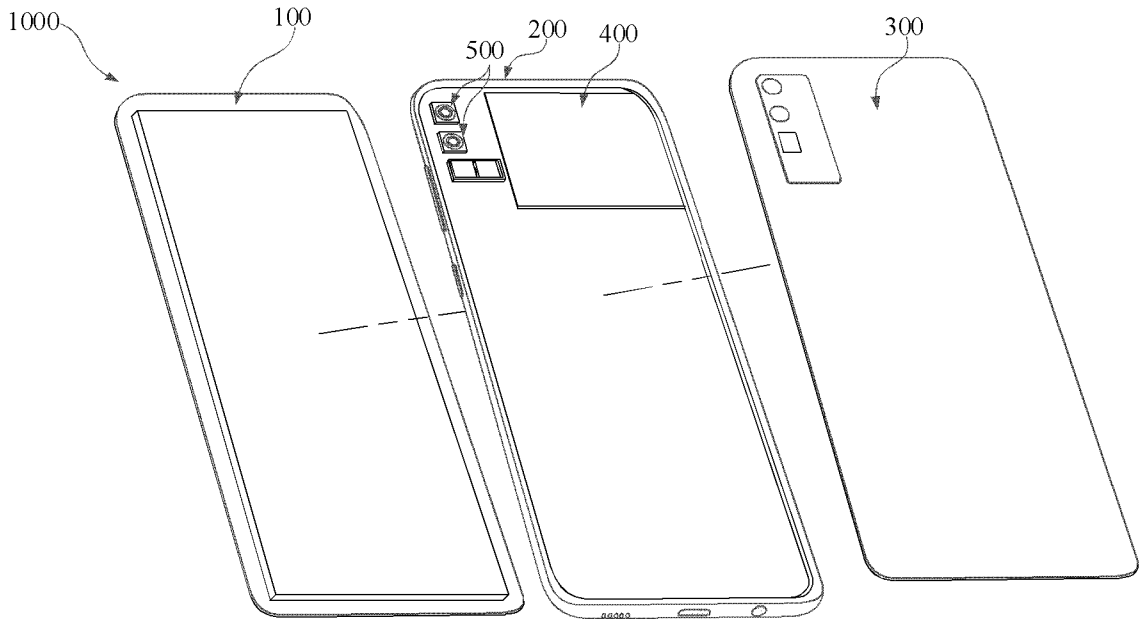


图 3

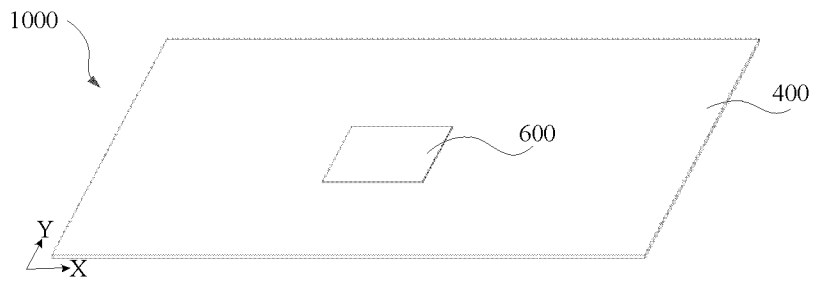


图 4

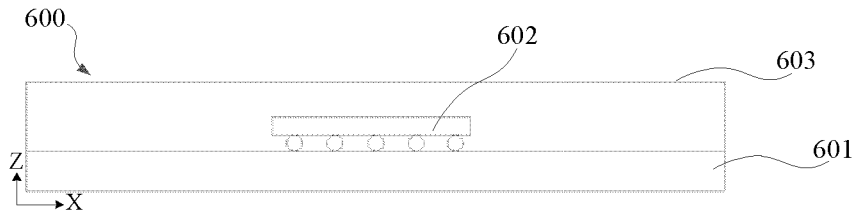


图 5

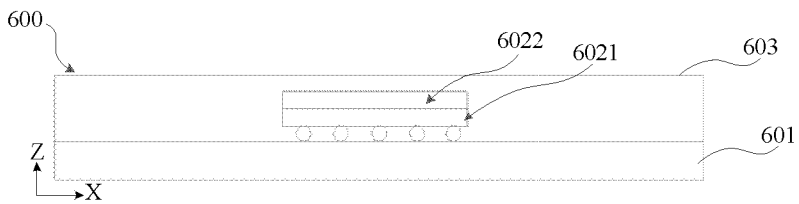


图 6

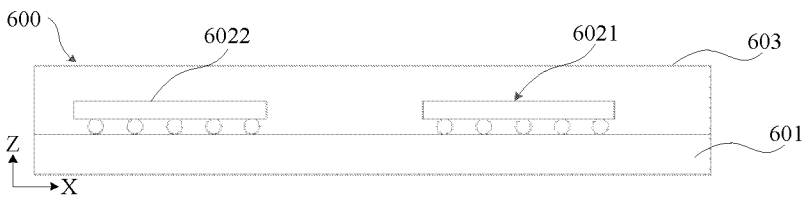


图 7

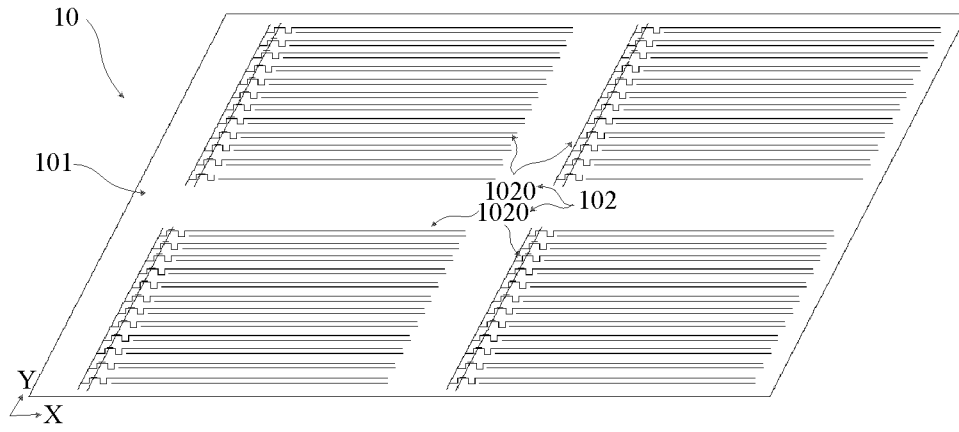


图 8

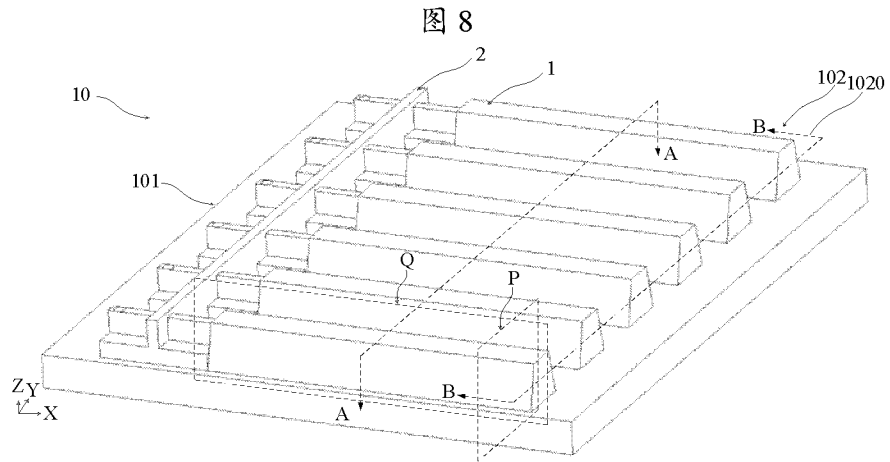


图 9

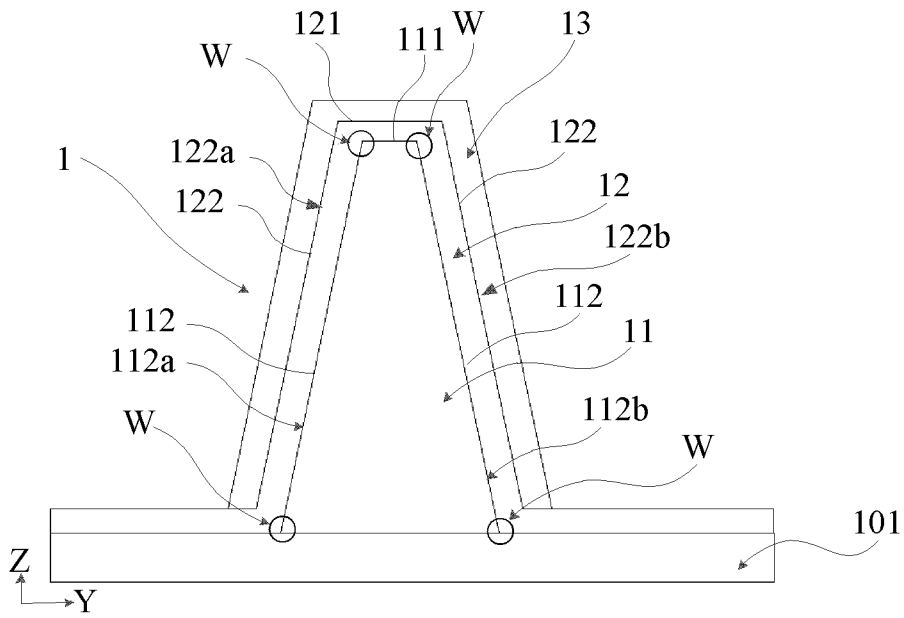


图 10

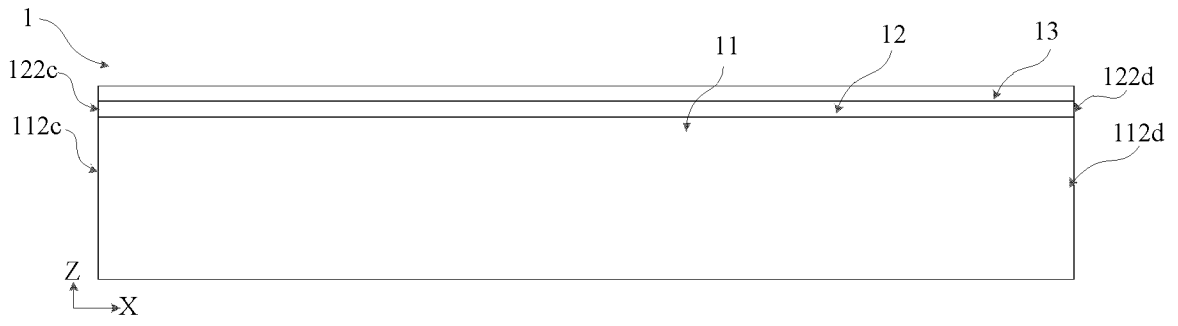


图 11

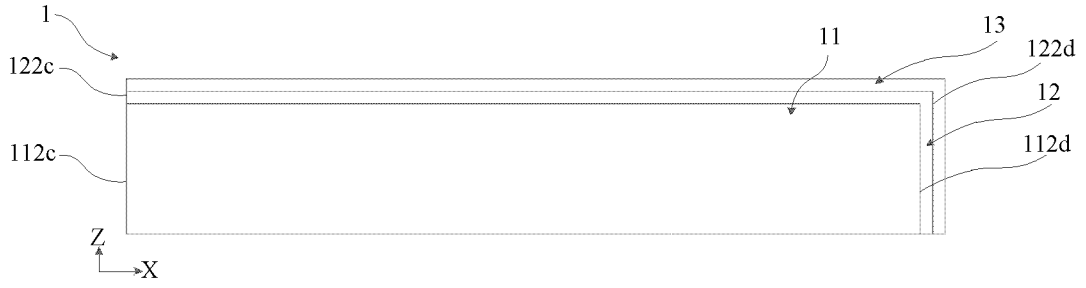


图 12

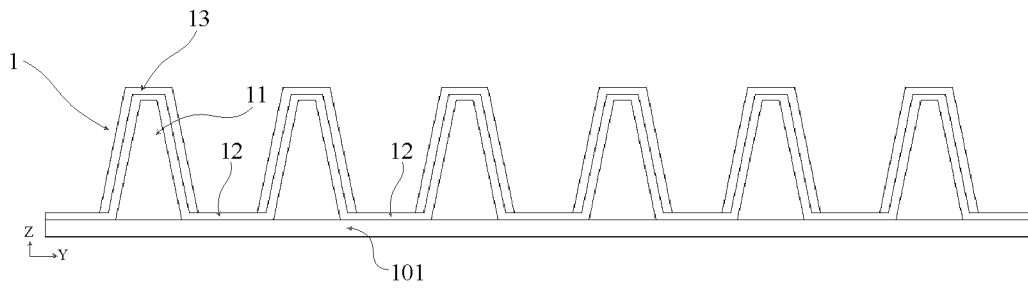


图 13

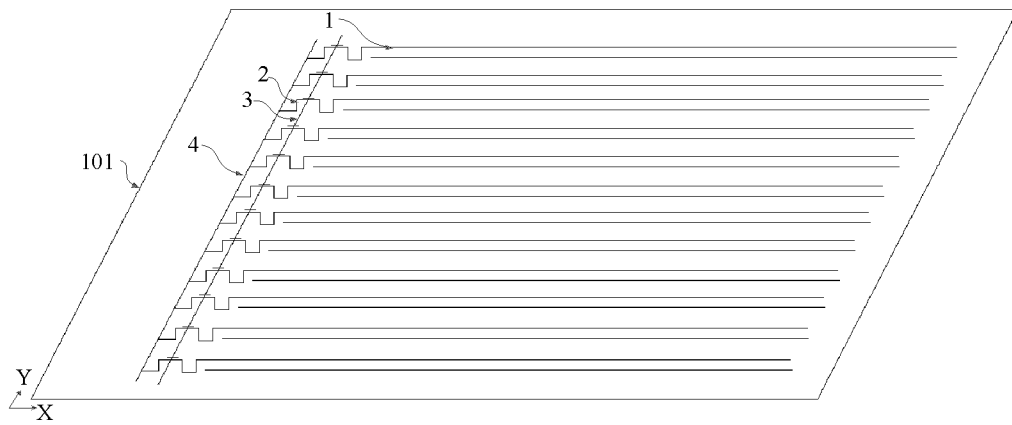


图 14

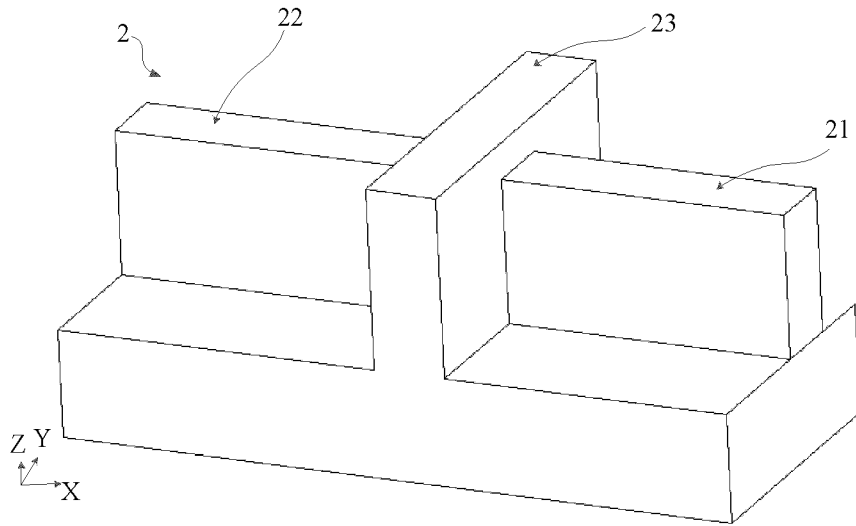


图 15

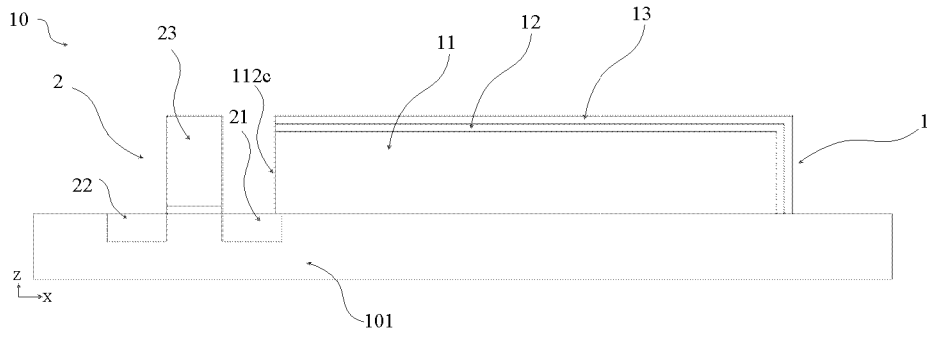


图 16

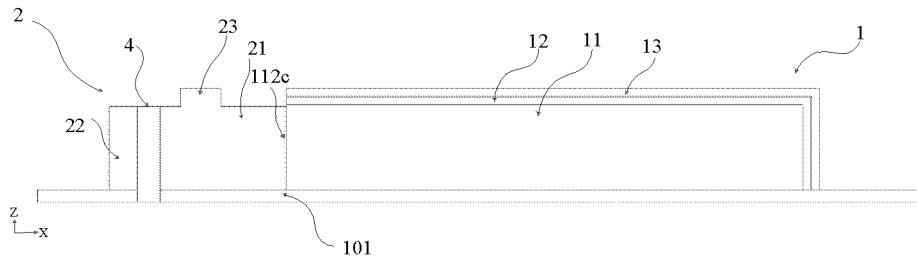


图 17

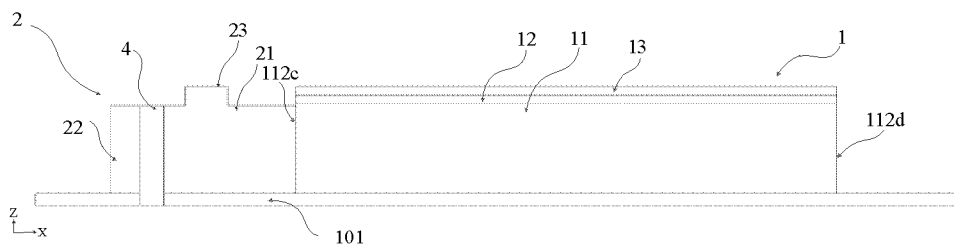


图 18

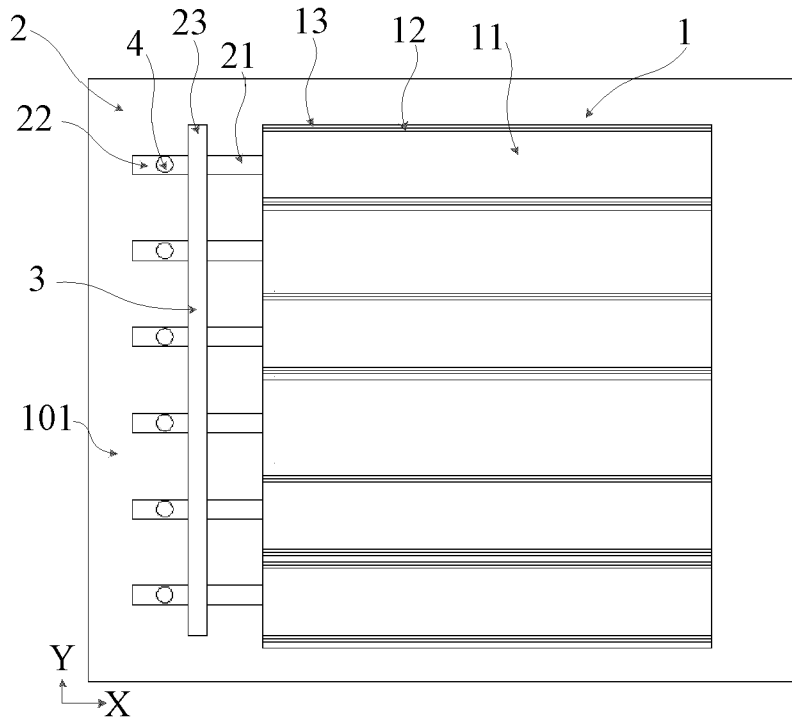


图 22

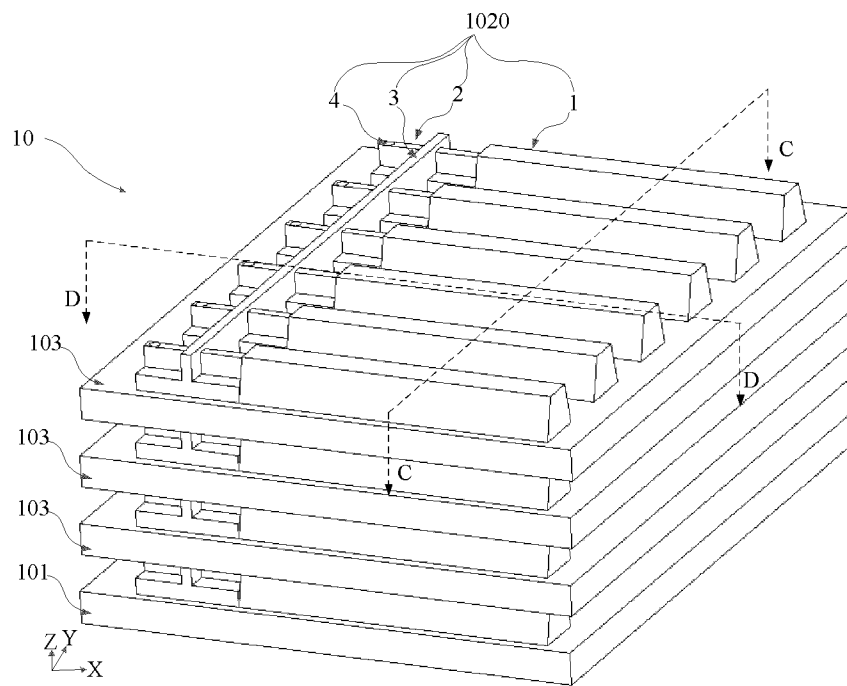


图 23

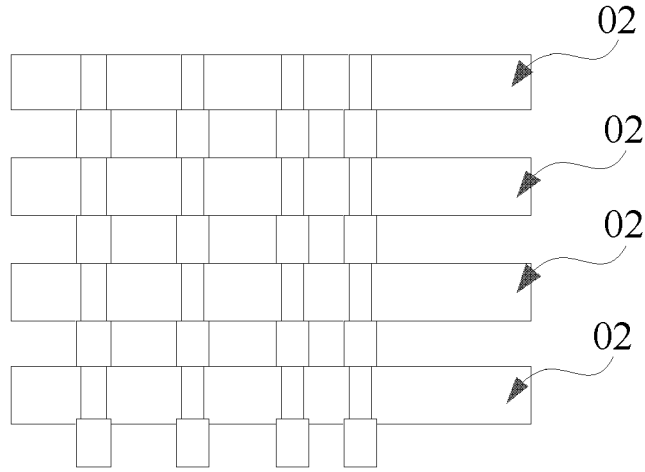


图 24

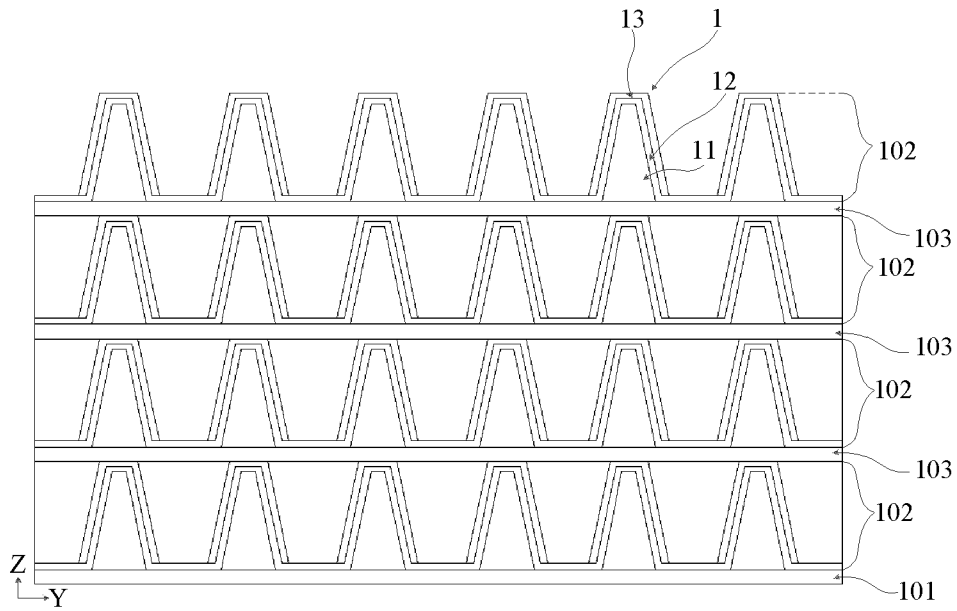


图 25

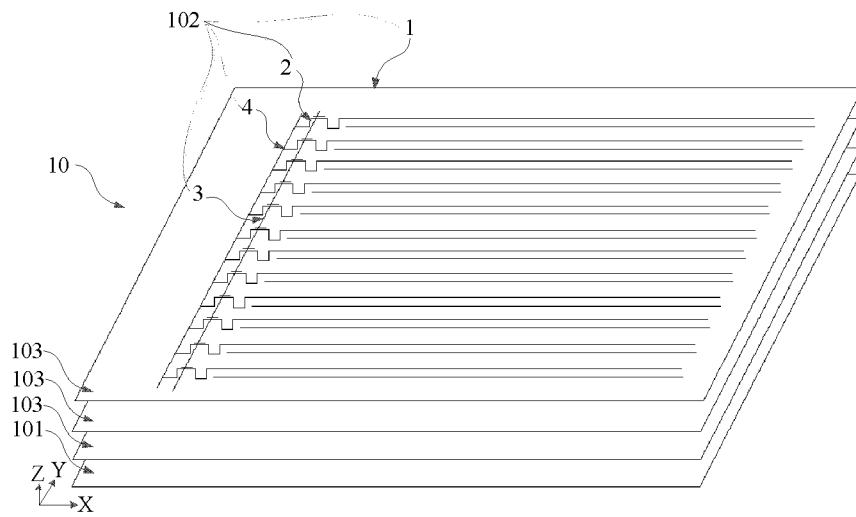


图 26

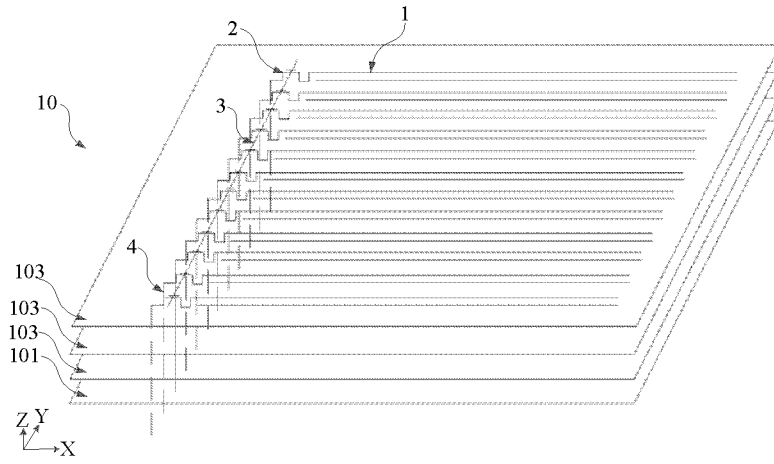


图 27

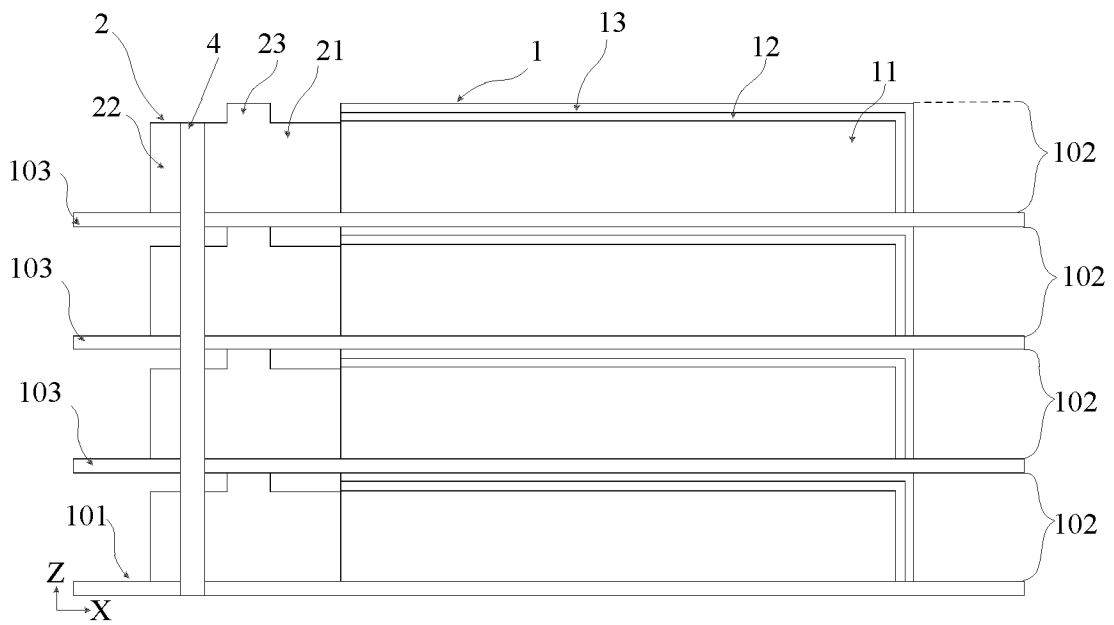


图 28

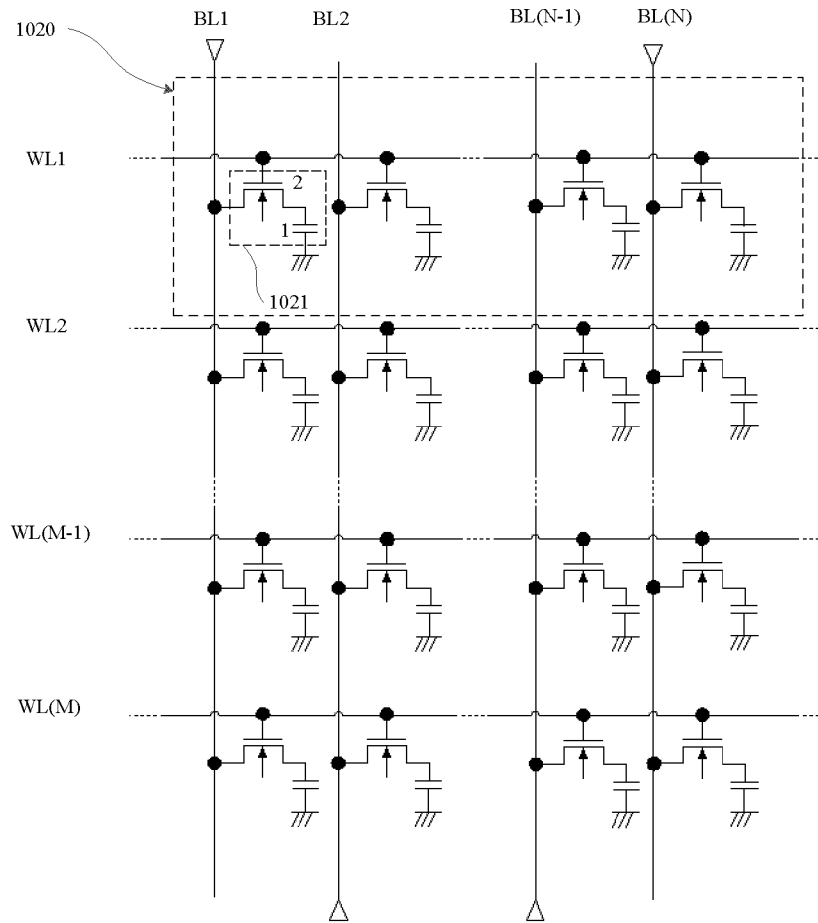


图 29

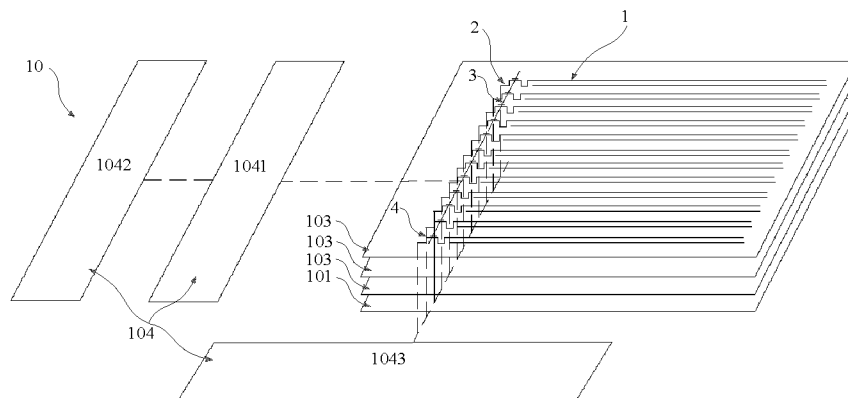


图 30

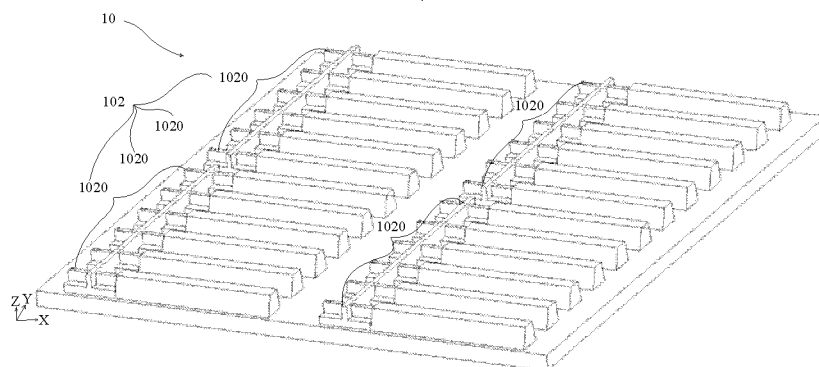


图 31

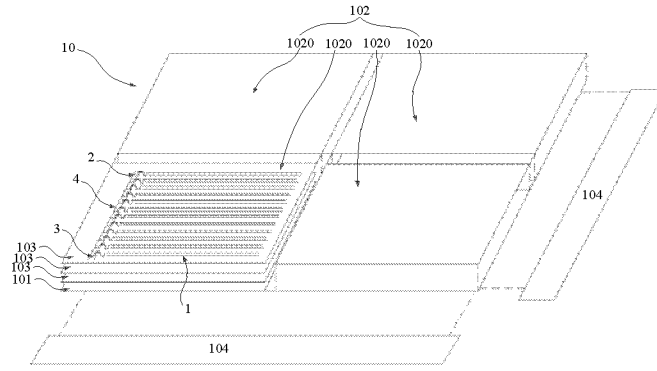


图 32

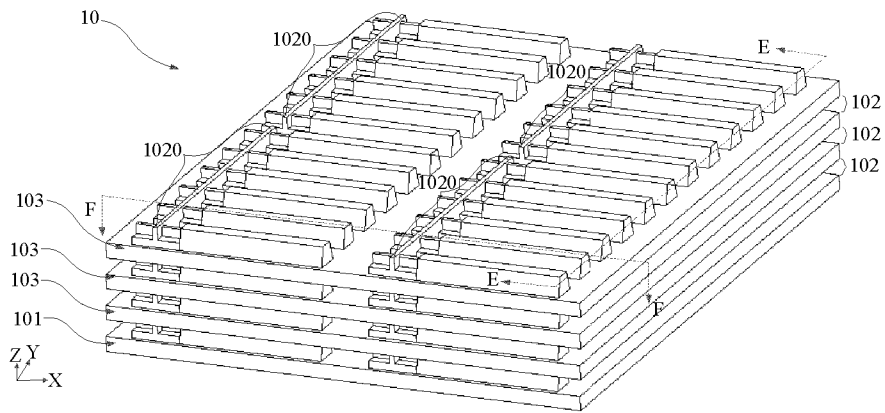


图 33

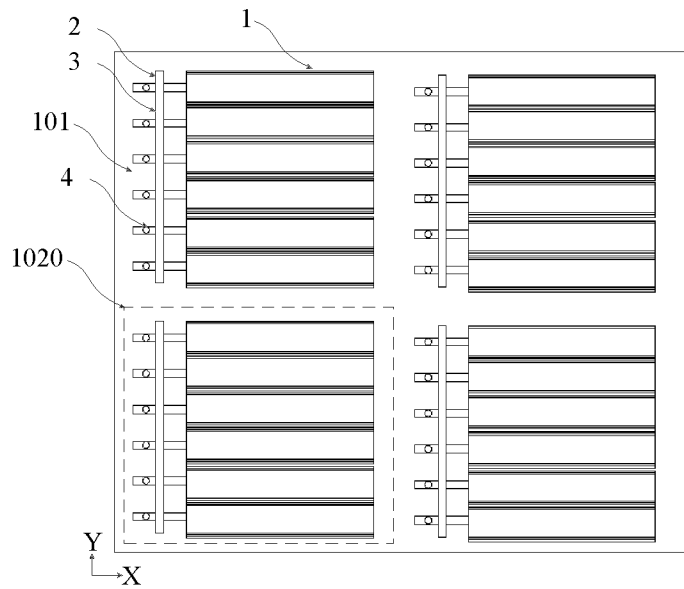


图 34

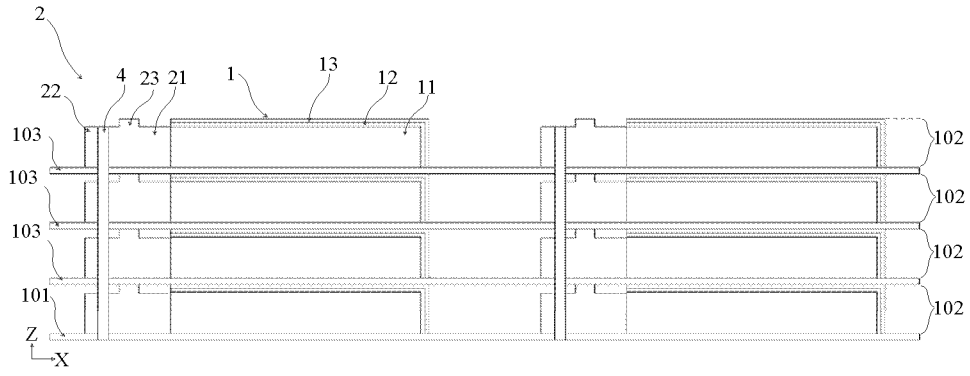


图 35

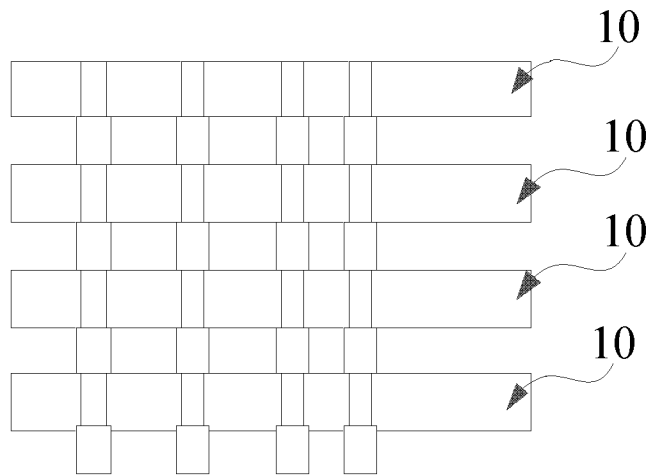


图 36

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/088298

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 27/108(2006.01)i; H01L 27/06(2006.01)i; H01L 21/8242(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNTXT; ENTXT; ENTXTC; DWPI; CNKI: 三维, 存储, 电容器, 介电层, 绝缘层, 覆盖, 阵列, 叠, 极板, 电极, 平行, 并排, 多, 堤, 坝, 带, 鳍, 条, 动态随机存取存储器, 凸起, 凸, 突, 3D, three, dimensional, memory, capacitor, dielectric, insulated, insulating, layer, cover, covering, array, stack, stacking, stacked, electrode, plate, alongside, juxtaposition, parallel, multi, multiple, dam, strip, banding, fin, dynamic, random, access, DRAM, projecting, convex, protruding		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2020152522 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 30 July 2020 (2020-07-30) description, paragraphs [0030]-[0492], and figures 1-46	1-15
X	CN 102569402 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 11 July 2012 (2012-07-11) description, paragraphs [0034]-[0308], and figures 1A-17F	1-15
A	CN 111435661 A (INTEL CORP.) 21 July 2020 (2020-07-21) entire document	1-15
A	CN 101645449 A (NEC ELECTRONICS CORP.) 10 February 2010 (2010-02-10) entire document	1-15
A	US 2003197194 A1 (IBM) 23 October 2003 (2003-10-23) entire document	1-15
A	TW 310462 B (VANGUARD INTERNATIONAL SEMICONDUCTOR CORP.) 11 July 1997 (1997-07-11) entire document	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
19 June 2022		30 June 2022
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/088298

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2020152522	A1	30 July 2020	TW	202105678	A	01 February 2021
				US	2022085073	A1	17 March 2022
				KR	20210120003	A	06 October 2021
				JP	WO2020152522	A1	30 July 2020
				CN	113330552	A	31 August 2021
CN	102569402	A	11 July 2012	JP	2012151453	A	09 August 2012
				KR	20200026227	A	10 March 2020
				JP	2017073573	A	13 April 2017
				JP	2016040845	A	24 March 2016
				JP	2021077918	A	20 May 2021
				KR	20190092361	A	07 August 2019
				JP	2018195856	A	06 December 2018
				US	2012161132	A1	28 June 2012
				KR	20180117075	A	26 October 2018
				KR	20120075423	A	06 July 2012
				JP	2020036046	A	05 March 2020
				TW	201240081	A	01 October 2012
				US	9287294	B2	15 March 2016
				TW	529930	B1	11 April 2016
				CN	102569402	B	28 September 2016
				JP	6105706	B2	29 March 2017
				KR	102008383	B1	07 August 2019
JP	6628845	B2	15 January 2020				
KR	102186409	B1	03 December 2020				
JP	6840824	B2	10 March 2021				
CN	111435661	A	21 July 2020	US	2020227416	A1	16 July 2020
				DE	102019135734	A1	16 July 2020
CN	101645449	A	10 February 2010	US	2010032740	A1	11 February 2010
				JP	2010040904	A	18 February 2010
US	2003197194	A1	23 October 2003	JP	2003318286	A	07 November 2003
				TW	200403864	A	01 March 2004
				US	6664582	B2	16 December 2003
				TW	1256144	B	01 June 2006
TW	310462	B	11 July 1997	US	5721154	A	24 February 1998

<p>A. 主题的分类</p> <p>H01L 27/108(2006.01)i; H01L 27/06(2006.01)i; H01L 21/8242(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNXTX; ENTXT; ENTXTC; DWPI; CNKI; 三维, 存储, 电容器, 介电层, 绝缘层, 覆盖, 阵列, 叠, 极板, 电极, 平行, 并排, 多, 堤, 坝, 带, 鳍, 条, 动态随机存取存储器, 凸起, 凸, 突, 3D, three, dimensional, memory, capacitor, dielectric, insulated, insulating, layer, cover, covering, array, stack, stacking, stacked, electrode, plate, alongside, juxtaposition, parallel, multi, multiple, dam, strip, banding, fin, dynamic, random, access, DRAM, projecting, convex, protruding</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>WO 2020152522 A1 (株式会社半导体能源研究所) 2020年7月30日 (2020 - 07 - 30) 说明书第[0030]-[0492]段、附图1-46</td> <td>1-15</td> </tr> <tr> <td>X</td> <td>CN 102569402 A (株式会社半导体能源研究所) 2012年7月11日 (2012 - 07 - 11) 说明书第[0034]-[0308]段、附图1A-17F</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 111435661 A (英特尔公司) 2020年7月21日 (2020 - 07 - 21) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 101645449 A (恩益禧电子股份有限公司) 2010年2月10日 (2010 - 02 - 10) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2003197194 A1 (IBM) 2003年10月23日 (2003 - 10 - 23) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>TW 310462 B (世界先进积体电路股份有限公司) 1997年7月11日 (1997 - 07 - 11) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	WO 2020152522 A1 (株式会社半导体能源研究所) 2020年7月30日 (2020 - 07 - 30) 说明书第[0030]-[0492]段、附图1-46	1-15	X	CN 102569402 A (株式会社半导体能源研究所) 2012年7月11日 (2012 - 07 - 11) 说明书第[0034]-[0308]段、附图1A-17F	1-15	A	CN 111435661 A (英特尔公司) 2020年7月21日 (2020 - 07 - 21) 全文	1-15	A	CN 101645449 A (恩益禧电子股份有限公司) 2010年2月10日 (2010 - 02 - 10) 全文	1-15	A	US 2003197194 A1 (IBM) 2003年10月23日 (2003 - 10 - 23) 全文	1-15	A	TW 310462 B (世界先进积体电路股份有限公司) 1997年7月11日 (1997 - 07 - 11) 全文	1-15
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	WO 2020152522 A1 (株式会社半导体能源研究所) 2020年7月30日 (2020 - 07 - 30) 说明书第[0030]-[0492]段、附图1-46	1-15																					
X	CN 102569402 A (株式会社半导体能源研究所) 2012年7月11日 (2012 - 07 - 11) 说明书第[0034]-[0308]段、附图1A-17F	1-15																					
A	CN 111435661 A (英特尔公司) 2020年7月21日 (2020 - 07 - 21) 全文	1-15																					
A	CN 101645449 A (恩益禧电子股份有限公司) 2010年2月10日 (2010 - 02 - 10) 全文	1-15																					
A	US 2003197194 A1 (IBM) 2003年10月23日 (2003 - 10 - 23) 全文	1-15																					
A	TW 310462 B (世界先进积体电路股份有限公司) 1997年7月11日 (1997 - 07 - 11) 全文	1-15																					
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																							
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																							
<p>国际检索实际完成的日期</p> <p>2022年6月19日</p>		<p>国际检索报告邮寄日期</p> <p>2022年6月30日</p>																					
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>张弘</p> <p>电话号码 86-(010)-62089915</p>																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/088298

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
WO	2020152522	A1	2020年7月30日	TW	202105678	A	2021年2月1日
				US	2022085073	A1	2022年3月17日
				KR	20210120003	A	2021年10月6日
				JP	W02020152522	A1	2020年7月30日
				CN	113330552	A	2021年8月31日
CN	102569402	A	2012年7月11日	JP	2012151453	A	2012年8月9日
				KR	20200026227	A	2020年3月10日
				JP	2017073573	A	2017年4月13日
				JP	2016040845	A	2016年3月24日
				JP	2021077918	A	2021年5月20日
				KR	20190092361	A	2019年8月7日
				JP	2018195856	A	2018年12月6日
				US	2012161132	A1	2012年6月28日
				KR	20180117075	A	2018年10月26日
				KR	20120075423	A	2012年7月6日
				JP	2020036046	A	2020年3月5日
				TW	201240081	A	2012年10月1日
				US	9287294	B2	2016年3月15日
				TW	529930	B1	2016年4月11日
				CN	102569402	B	2016年9月28日
				JP	6105706	B2	2017年3月29日
				KR	102008383	B1	2019年8月7日
				JP	6628845	B2	2020年1月15日
				KR	102186409	B1	2020年12月3日
				JP	6840824	B2	2021年3月10日
CN	111435661	A	2020年7月21日	US	2020227416	A1	2020年7月16日
				DE	102019135734	A1	2020年7月16日
CN	101645449	A	2010年2月10日	US	2010032740	A1	2010年2月11日
				JP	2010040904	A	2010年2月18日
US	2003197194	A1	2003年10月23日	JP	2003318286	A	2003年11月7日
				TW	200403864	A	2004年3月1日
				US	6664582	B2	2003年12月16日
				TW	1256144	B	2006年6月1日
TW	310462	B	1997年7月11日	US	5721154	A	1998年2月24日