

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4366858号
(P4366858)

(45) 発行日 平成21年11月18日 (2009.11.18)

(24) 登録日 平成21年9月4日 (2009.9.4)

(51) Int.Cl.	F I
H03K 19/00 (2006.01)	H03K 19/00 A
H01L 21/8238 (2006.01)	H01L 27/08 321L
H01L 27/092 (2006.01)	H01L 27/08 321C
H03F 1/02 (2006.01)	H03F 1/02
H03F 3/30 (2006.01)	H03F 3/30

請求項の数 8 (全 18 頁)

(21) 出願番号	特願2000-343330 (P2000-343330)	(73) 特許権者	000002185
(22) 出願日	平成12年11月10日 (2000.11.10)		ソニー株式会社
(65) 公開番号	特開2002-164775 (P2002-164775A)		東京都港区港南1丁目7番1号
(43) 公開日	平成14年6月7日 (2002.6.7)	(74) 代理人	100092152
審査請求日	平成19年1月26日 (2007.1.26)		弁理士 服部 毅巖
(31) 優先権主張番号	特願2000-281496 (P2000-281496)	(72) 発明者	清水目 和年
(32) 優先日	平成12年9月18日 (2000.9.18)		東京都品川区北品川6丁目7番35号 ソ
(33) 優先権主張国	日本国 (JP)		ニー株式会社内

審査官 矢頭 尚之

最終頁に続く

(54) 【発明の名称】 MOSトランジスタ回路

(57) 【特許請求の範囲】

【請求項1】

電源電圧を印加した状態で待機するMOSトランジスタ回路において、

1つ以上の信号入力端子、信号出力端子、電源側端子、及び、第1のチャンネル長を有するMOSトランジスタを含む主回路と、前記主回路のMOSトランジスタに対してドレイン - ソース方向に直列に接続されて、待機時にのみ、前記主回路のMOSトランジスタに流れる電流を遮断するように動作する、前記第1のチャンネル長より長い第2のチャンネル長を有するMOSトランジスタを含むリーク電流遮断回路と、待機時において、前記リーク電流遮断回路のMOSトランジスタが前記主回路のMOSトランジスタに流れる電流を遮断するのに連動して、前記信号出力端子からの出力電圧を前記主回路に供給する電源電圧と同じ電源電圧に安定化する出力電圧安定化回路と、を備えたことを特徴とするMOSトランジスタ回路。

【請求項2】

電源電圧を印加した状態で待機するMOSトランジスタ回路において、

1つ以上の信号入力端子、信号出力端子、電源側端子、及び、第1のチャンネル長を有するMOSトランジスタを含む主回路と、前記主回路のMOSトランジスタに対してドレイン - ソース方向に直列に接続されて、待機時にのみ、前記主回路のMOSトランジスタに流れる電流を遮断するように動作する、前記第1のチャンネル長より長い第2のチャンネル長を有するMOSトランジスタを含むリ

10

20

ーク電流遮断回路と、

待機時において、前記リーク電流遮断回路のM O S トランジスタが前記主回路のM O S トランジスタに流れる電流を遮断するのに連動して、前記信号出力端子を接地電位に安定化する出力電圧安定化回路と、

を備えたことを特徴とするM O S トランジスタ回路。

【請求項3】

電源電圧を印加した状態で待機するM O S トランジスタ回路において、

1つ以上の信号入力端子、信号出力端子、電源側端子、及び、M O S トランジスタを含む主回路と、P型トランジスタと、N型トランジスタを備え、

前記主回路に供給する電源電圧と同じ電源電圧を前記P型トランジスタのソースに印加し、かつ前記主回路の動作をオンオフ制御するためのイネーブル端子に前記P型トランジスタのゲート及び前記N型トランジスタのゲートを、前記主回路の信号出力端子の少なくとも1つに前記P型トランジスタのドレインを、前記主回路の接地側端子の少なくとも1つに前記N型トランジスタのドレインをそれぞれ接続し、かつ前記N型トランジスタのソースを接地し、かつ前記N型トランジスタのチャンネルを前記主回路に含まれるM O S トランジスタのチャンネル長よりも長く形成したこと、

を特徴とするM O S トランジスタ回路。

【請求項4】

電源電圧を印加した状態で待機するM O S トランジスタ回路において、

1つ以上の信号入力端子、信号出力端子、電源側端子、及び、M O S トランジスタを含む主回路と、P型トランジスタと、N型トランジスタを備え、

前記主回路に供給すべき電源電圧を前記P型トランジスタのソースに印加し、かつ前記P型トランジスタのドレインを前記主回路の電源側端子の少なくとも1つに接続し、かつ前記主回路の動作をオンオフ制御するためのイネーブル端子に前記P型トランジスタのゲート及び前記N型トランジスタのゲートを、前記主回路の信号出力端子の少なくとも1つに前記N型トランジスタのドレインをそれぞれ接続し、かつ前記主回路の接地側端子の少なくとも1つ及び前記N型トランジスタのソースを接地し、かつ前記P型トランジスタのチャンネルを前記主回路に含まれるM O S トランジスタのチャンネル長よりも長く形成したこと、

を特徴とするM O S トランジスタ回路。

【請求項5】

電源電圧を印加した状態で待機するM O S トランジスタ回路において、

第1のP型トランジスタのソースに電源電圧を印加し、かつ前記第1のP型トランジスタのゲートと第1のN型トランジスタのゲート同士を接続した部位を信号入力端子とし、かつ前記第1のP型トランジスタのドレインと前記第1のN型トランジスタのドレイン同士を接続した部位を信号出力端子とする1つ以上の論理回路と、

ドレインを前記論理回路の任意の1つの前記第1のN型トランジスタのソースに接続し、かつソースを接地し、かつゲートを前記論理回路の動作をオンオフ制御するためのイネーブル端子とし、かつチャンネルを前記第1のN型トランジスタのチャンネル長よりも長く形成した第2のN型トランジスタと、

ソースに前記電源電圧を印加し、かつドレインを前記信号出力端子に、ゲートを前記イネーブル端子にそれぞれ接続した第2のP型トランジスタと、

を具備したことを特徴とするM O S トランジスタ回路。

【請求項6】

電源電圧を印加した状態で待機するM O S トランジスタ回路において、

第1のN型トランジスタのソースを接地し、かつ第1のP型トランジスタのゲートと前記第1のN型トランジスタのゲート同士を接続した部位を信号入力端子とし、かつ前記第1のP型トランジスタのドレインと前記第1のN型トランジスタのドレイン同士を接続した部位を信号出力端子とする1つ以上の論理回路と、

ドレインを前記論理回路の任意の1つの前記第1のP型トランジスタのソースに接続し

10

20

30

40

50

、かつソースに電源電圧を印加し、かつゲートを前記論理回路の動作をオンオフ制御するためのイネーブル端子とし、かつチャンネルを前記第 1 の P 型トランジスタのチャンネル長よりも長く形成した第 2 の P 型トランジスタと、

ソースを接地し、かつドレインを前記信号出力端子に、ゲートを前記イネーブル端子にそれぞれ接続した第 2 の N 型トランジスタと、

を具備したことを特徴とする MOS トランジスタ回路。

【請求項 7】

電源電圧を印加した状態で待機する MOS トランジスタ回路において、

第 1 と第 2 の P 型トランジスタのソースに電源電圧を印加し、かつ前記第 1 の P 型トランジスタのゲートと第 1 の N 型トランジスタのゲート同士を接続した部位を第 1 の信号入力端子とし、かつ前記第 2 の P 型トランジスタのゲートと第 2 の N 型トランジスタのゲート同士を接続した部位を第 2 の信号入力端子とし、かつ前記第 1 と第 2 の P 型トランジスタのドレインと前記第 1 の N 型トランジスタのドレイン同士を接続した部位を信号出力端子とし、かつ前記第 1 の N 型トランジスタのソースと前記第 2 の N 型トランジスタのドレインを接続した 1 つ以上の論理回路と、

ドレインを前記論理回路の任意の 1 つの前記第 2 の N 型トランジスタのソースに接続し、かつソースを接地し、かつゲートを前記論理回路の動作をオンオフ制御するためのイネーブル端子とし、かつチャンネルを前記第 1 及び第 2 の N 型トランジスタのチャンネル長よりも長く形成した第 3 の N 型トランジスタと、

ソースに前記電源電圧を印加し、かつドレインを前記信号出力端子に、ゲートを前記イネーブル端子にそれぞれ接続した第 3 の P 型トランジスタと、

を具備したことを特徴とする MOS トランジスタ回路。

【請求項 8】

電源電圧を印加した状態で待機する MOS トランジスタ回路において、

第 1 の P 型トランジスタのソースに電源電圧を印加し、かつ前記第 1 の P 型トランジスタのゲートと第 1 の N 型トランジスタのゲート同士を接続した部位を第 2 の信号入力端子とし、かつ前記第 1 の P 型トランジスタのドレインと第 2 の P 型トランジスタのソースを接続し、かつ前記第 2 の P 型トランジスタのゲートと第 2 の N 型トランジスタのゲート同士を接続した部位を第 1 の信号入力端子とし、かつ前記第 1 と第 2 の N 型トランジスタのドレイン同士と前記第 2 の P 型トランジスタのドレインを接続した部位を信号出力端子とし、かつ前記第 1 と第 2 の N 型トランジスタのソース同士を接続した 1 つ以上の論理回路と、

ドレインを前記論理回路の任意の 1 つの前記第 1 と第 2 の N 型トランジスタのソースに接続し、かつソースを接地し、かつゲートを前記論理回路の動作をオンオフ制御するためのイネーブル端子とし、かつチャンネルを前記第 1 及び第 2 の N 型トランジスタのチャンネル長よりも長く形成した第 3 の N 型トランジスタと、

ソースに前記電源電圧を印加し、かつドレインを前記信号出力端子に、ゲートを前記イネーブル端子にそれぞれ接続した第 3 の P 型トランジスタと、

を具備したことを特徴とする MOS トランジスタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電源電圧を印加した状態で待機する MOS トランジスタ回路に関し、特に、待機状態回路のリーク電流等を低減し、消費電力を抑えることができる MOS トランジスタ回路に関する。

【0002】

【従来の技術】

従来、LSI（集積回路）では、電源を印加した状態で、その信号処理動作のみを停止させる状態、即ち待機状態（スタンバイ状態）が存在する。

【0003】

例えば、タイマーで設定した時刻まで動作を一時停止し、設定時刻になった時から音楽等を再生するような仕様の製品が挙げられるが、このような製品では、常時、回路全体に電源電圧が印加された状態にあり、この時、タイマーなどの一部の回路要素のみが動作状態で、その他の殆どの回路要素は、その信号処理動作が停止したままでの待機状態にある。

【 0 0 0 4 】

一般に、このような待機状態の回路要素を含む回路は、この回路の全ての回路要素が動作状態にある時よりも、低消費電力であるが、このような回路でも、回路要素には待機状態でも流れるリーク電流が存在するために、定常的な電力消費がなされることになる。

【 0 0 0 5 】

図 1 0 は、従来のトランジスタ回路の 1 例である標準的なインバータ回路を示す回路図である。

10

図 1 0 に示すトランジスタ回路は、P 型トランジスタ A と、N 型トランジスタ B を備える。

【 0 0 0 6 】

入力端子 (Input) は、P 型トランジスタ A と N 型トランジスタ B のゲート同士を接続した部位であり、出力端子 (Output) は、P 型トランジスタ A と N 型トランジスタ B のドレイン同士を接続した部位である。

【 0 0 0 7 】

また、インバータ回路の電源電圧 (Vdd) は、P 型トランジスタ A のソースに供給されている。

20

さらに、N 型トランジスタ B のソースは接地されている。

【 0 0 0 8 】

なお、P 型トランジスタ A と N 型トランジスタ B は、ショートチャネル型のトランジスタであり、信号の伝播速度は非常に速いが、その反面、待機状態ではない動作時点においてリーク電流 (IL) が生じる。

【 0 0 0 9 】

入力端子 (Input) には、Vdd 側に等しいハイ (High) 電位か、または、接地側の電位に等しいロー (Low) 電位かいずれか一つの電位が信号として到来する。入力端子 (Input) がハイ電位である時には、N 型 (N チャネル型) のトランジスタ B がオン (ON) 状態で、かつ P 型 (P チャネル型) のトランジスタ A がオフ (OFF) 状態となり、出力端子 (Output) には、接地側の電位に等しいロー電位が出力される。逆に、入力端子 (Input) がロー電位である時には、P 型のトランジスタ A がオン (ON) 状態、かつ N 型のトランジスタ B がオフ (OFF) 状態となり、出力端子 (Output) には、電圧値 (Vdd) に等しいハイ電位が出力される。

30

【 0 0 1 0 】

図 1 0 に示すインバータ回路において、リーク電流 (IL) は、Vdd 側と接地との間に接続されたトランジスタ A , B の内部を常時流れる無駄な電流である。

L S I の微細加工技術の進歩は、製品回路の耐圧値の低下をもたらし、印加される電源電圧も低く抑えられるので消費電力自体は漸減傾向にあり、従って、電源としてバッテリーを使用する製品にとっては好ましい環境が形成されつつあると言える。

40

【 0 0 1 1 】

しかしながら、L S I の微細加工技術の進歩は、他方では、回路のリーク電流 (サブスレッシュホールド電流) 等を大きくし、このリーク電流による定常的な電力消費を増大させる傾向にある。

【 0 0 1 2 】

なお、待機状態において、入力端子 (Input) の値は、上記ハイとローの中間値を示したり、不定値を示したりする場合も多い。

【 0 0 1 3 】

【 発明が解決しようとする課題 】

ところで、従来は、0 . 3 5 μ m 以上のチャネル長を持つトランジスタを集積させる L S

50

Iでは、トランジスタのリーク電流は、無視できる程に小さく、従って、待機状態においては、このリーク電流による定常的な消費電力量は、大きな問題にはならなかった。

【0014】

しかし、近年になって、LSIのMOS型トランジスタのチャネル長は $0.2\mu\text{m}$ 以下になっており、このような微細化傾向は、今後、益々進展することが予想される。

【0015】

従って、上記のリーク電流による定常的な電力消費の問題を解決することが急務となっていた。

また、従来のLSIでは、待機状態において、図10に示す入力端子(Input)の値は、上記ハイとローの中間値を示したり、不定値を示したりする場合が多いので、この時には、トランジスタA、Bには、不安定な貫通電流が流れることになり、やはり無駄な電力消費をもたらすといった問題点も有った。

【0016】

本発明は、以上のような従来のトランジスタ回路における問題点に鑑みてなされたものであり、待機時においてリーク電流等に起因する無駄な電力消費を低減することができるMOSトランジスタ回路を提供することを目的とする。

【0017】

【課題を解決するための手段】

本発明では上記の課題を解決するために、電源電圧を印加した状態で待機するMOSトランジスタ回路において、1つ以上の信号入力端子、信号出力端子、電源側端子、及び、第1のチャネル長を有するMOSトランジスタを含む主回路と、前記主回路のMOSトランジスタに対してドレイン-ソース方向に直列に接続されて、待機時にのみ、前記主回路のMOSトランジスタに流れる電流を遮断するように動作する、前記第1のチャネル長より長い第2のチャネル長を有するMOSトランジスタを含むリーク電流遮断回路と、待機時において、前記リーク電流遮断回路のMOSトランジスタが前記主回路のMOSトランジスタに流れる電流を遮断するのに連動して、前記信号出力端子からの出力電圧を前記主回路に供給する電源電圧と同じ電源電圧に安定化する出力電圧安定化回路と、を備えたことを特徴とするMOSトランジスタ回路が提供される。

また、電源電圧を印加した状態で待機するMOSトランジスタ回路において、1つ以上の信号入力端子、信号出力端子、電源側端子、及び、第1のチャネル長を有するMOSトランジスタを含む主回路と、前記主回路のMOSトランジスタに対してドレイン-ソース方向に直列に接続されて、待機時にのみ、前記主回路のMOSトランジスタに流れる電流を遮断するように動作する、前記第1のチャネル長より長い第2のチャネル長を有するMOSトランジスタを含むリーク電流遮断回路と、待機時において、前記リーク電流遮断回路のMOSトランジスタが前記主回路のMOSトランジスタに流れる電流を遮断するのに連動して、前記信号出力端子を接地電位に安定化する出力電圧安定化回路と、を備えたことを特徴とするMOSトランジスタ回路が提供される。

【0018】

また、電源電圧を印加した状態で待機するMOSトランジスタ回路において、1つ以上の信号入力端子、信号出力端子、電源側端子、及び、MOSトランジスタを含む主回路と、P型トランジスタと、N型トランジスタを備え、前記主回路に供給する電源電圧と同じ電源電圧を前記P型トランジスタのソースに印加し、かつ前記主回路の動作をオンオフ制御するためのイネーブル端子に前記P型トランジスタのゲート及び前記N型トランジスタのゲートを、前記主回路の信号出力端子の少なくとも1つに前記P型トランジスタのドレインを、前記主回路の接地側端子の少なくとも1つに前記N型トランジスタのドレインをそれぞれ接続し、かつ前記N型トランジスタのソースを接地し、かつ前記N型トランジスタのチャネルを前記主回路に含まれるMOSトランジスタのチャネル長よりも長く形成したこと、を特徴とするMOSトランジスタ回路が提供される。

【0019】

また、電源電圧を印加した状態で待機するMOSトランジスタ回路において、1つ以上

の信号入力端子、信号出力端子、電源側端子、及び、MOSトランジスタを含む主回路と、P型トランジスタと、N型トランジスタを備え、前記主回路に供給すべき電源電圧を前記P型トランジスタのソースに印加し、かつ前記P型トランジスタのドレインを前記主回路の電源側端子の少なくとも1つに接続し、かつ前記主回路の動作をオンオフ制御するためのイネーブル端子に前記P型トランジスタのゲート及び前記N型トランジスタのゲートを、前記主回路の信号出力端子の少なくとも1つに前記N型トランジスタのドレインをそれぞれ接続し、かつ前記主回路の接地側端子の少なくとも1つ及び前記N型トランジスタのソースを接地し、かつ前記P型トランジスタのチャネルを前記主回路に含まれるMOSトランジスタのチャネル長よりも長く形成したこと、を特徴とするMOSトランジスタ回路が提供される。

10

【0020】

また、電源電圧を印加した状態で待機するMOSトランジスタ回路において、第1のP型トランジスタのソースに電源電圧を印加し、かつ前記第1のP型トランジスタのゲートと第1のN型トランジスタのゲート同士を接続した部位を信号入力端子とし、かつ前記第1のP型トランジスタのドレインと前記第1のN型トランジスタのドレイン同士を接続した部位を信号出力端子とする1つ以上の論理回路と、ドレインを前記論理回路の任意の1つの前記第1のN型トランジスタのソースに接続し、かつソースを接地し、かつゲートを前記論理回路の動作をオンオフ制御するためのイネーブル端子とし、かつチャネルを前記第1のN型トランジスタのチャネル長よりも長く形成した第2のN型トランジスタと、ソースに前記電源電圧を印加し、かつドレインを前記信号出力端子に、ゲートを前記イネーブル端子にそれぞれ接続した第2のP型トランジスタと、を具備したことを特徴とするMOSトランジスタ回路が提供される。

20

【0021】

また、電源電圧を印加した状態で待機するMOSトランジスタ回路において、第1のN型トランジスタのソースを接地し、かつ第1のP型トランジスタのゲートと前記第1のN型トランジスタのゲート同士を接続した部位を信号入力端子とし、かつ前記第1のP型トランジスタのドレインと前記第1のN型トランジスタのドレイン同士を接続した部位を信号出力端子とする1つ以上の論理回路と、ドレインを前記論理回路の任意の1つの前記第1のP型トランジスタのソースに接続し、かつソースに電源電圧を印加し、かつゲートを前記論理回路の動作をオンオフ制御するためのイネーブル端子とし、かつチャネルを前記第1のP型トランジスタのチャネル長よりも長く形成した第2のP型トランジスタと、ソースを接地し、かつドレインを前記信号出力端子に、ゲートを前記イネーブル端子にそれぞれ接続した第2のN型トランジスタと、を具備したことを特徴とするMOSトランジスタ回路が提供される。

30

【0022】

また、電源電圧を印加した状態で待機するMOSトランジスタ回路において、第1と第2のP型トランジスタのソースに電源電圧を印加し、かつ前記第1のP型トランジスタのゲートと第1のN型トランジスタのゲート同士を接続した部位を第1の信号入力端子とし、かつ前記第2のP型トランジスタのゲートと第2のN型トランジスタのゲート同士を接続した部位を第2の信号入力端子とし、かつ前記第1と第2のP型トランジスタのドレインと前記第1のN型トランジスタのドレイン同士を接続した部位を信号出力端子とし、かつ前記第1のN型トランジスタのソースと前記第2のN型トランジスタのドレインを接続した1つ以上の論理回路と、ドレインを前記論理回路の任意の1つの前記第2のN型トランジスタのソースに接続し、かつソースを接地し、かつゲートを前記論理回路の動作をオンオフ制御するためのイネーブル端子とし、かつチャネルを前記第1及び第2のN型トランジスタのチャネル長よりも長く形成した第3のN型トランジスタと、ソースに前記電源電圧を印加し、かつドレインを前記信号出力端子に、ゲートを前記イネーブル端子にそれぞれ接続した第3のP型トランジスタと、を具備したことを特徴とするMOSトランジスタ回路が提供される。

40

【0023】

50

また、電源電圧を印加した状態で待機するMOSトランジスタ回路において、第1のP型トランジスタのソースに電源電圧を印加し、かつ前記第1のP型トランジスタのゲートと第1のN型トランジスタのゲート同士を接続した部位を第2の信号入力端子とし、かつ前記第1のP型トランジスタのドレインと第2のP型トランジスタのソースを接続し、かつ前記第2のP型トランジスタのゲートと第2のN型トランジスタのゲート同士を接続した部位を第1の信号入力端子とし、かつ前記第1と第2のN型トランジスタのドレイン同士と前記第2のP型トランジスタのドレインを接続した部位を信号出力端子とし、かつ前記第1と第2のN型トランジスタのソース同士を接続した1つ以上の論理回路と、ドレインを前記論理回路の任意の1つの前記第1と第2のN型トランジスタのソースに接続し、かつソースを接地し、かつゲートを前記論理回路の動作をオンオフ制御するためのイネーブル端子とし、かつチャンネルを前記第1及び第2のN型トランジスタのチャンネル長よりも長く形成した第3のN型トランジスタと、ソースに前記電源電圧を印加し、かつドレインを前記信号出力端子に、ゲートを前記イネーブル端子にそれぞれ接続した第3のP型トランジスタと、を具備したことを特徴とするMOSトランジスタ回路が提供される。

10

【0027】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

(第1の実施の形態)

図1は、本発明の第1の実施の形態に係るトランジスタ回路の回路構成を示す回路図である。

20

【0028】

本実施の形態に係るトランジスタ回路は、MOS-FET (Metal Oxide Semiconductor) トランジスタを含むセル (CE1) (主回路) と、P型トランジスタCと、リーク電流遮断の役割を持つN型トランジスタDとを備える。

【0029】

ここで、P型トランジスタC、N型トランジスタDは、いずれもMOS-FETである。P型トランジスタCのソースにはセル (CE1) の電源電圧 (Vdd) を印加し、ドレインはセル (CE1) の出力端子 (Output) と、ゲートはN型トランジスタDのゲート及び後述するイネーブル端子 (Enable) とそれぞれ接続している。

【0030】

さらに、N型トランジスタDのドレインはセル (CE1) の接地側端子と接続し、ソースは接地している。

30

なお、セル (CE1) は、ショートチャンネル型のMOSトランジスタを含んでいる回路とする。

【0031】

このショートチャンネル型のMOSトランジスタは、信号の伝播速度は非常に速いが、その反面、待機状態ではない動作時点において図10に示すリーク電流 (IL) が生じる。このリーク電流 (IL) は、そのままでは、待機状態でも生じるが、本実施の形態では、後述する動作原理により、これを阻止している。

【0032】

上記のN型トランジスタDのチャンネル長は、上記セル (CE1) に含まれるショートチャンネル型のMOSトランジスタのチャンネル長よりも十分に長くなるように形成している。

40

【0033】

また、セル (CE1) は、複数のMOSトランジスタの縦列接続 (これは、一種の増幅器として機能する) が可能であり、その場合には、リーク電流遮断の役割を持つN型トランジスタDのドレインは、対応する接地側端子を介して、そのいずれか1つと接続することができる。

【0034】

以下、本実施の形態に係るトランジスタ回路の動作原理を説明する。

本実施の形態に係るトランジスタ回路を動作状態とする場合には、イネーブル端子 (Enab

50

le)に電源電圧(Vdd)と等しいハイ電位を印加する。

【0035】

動作状態、即ち、イネーブル端子(Enable)に電源電圧(Vdd)と等しいハイ電位が印加された時には、P型トランジスタCはオフ状態、即ち、非導通状態となり、出力端子(Output)に対して何の影響も与えない。

【0036】

また、N型トランジスタDはオン状態、即ち、導通状態となるので、セル(CE1)の接地側端子が接地された状態となる。これにより、セル(CE1)は、例えば、後述の図2で示すNAND回路や、図10に示す従来のインバータ回路と等価な回路となる。

【0037】

この時、この回路の入力端子(Input)には、Vdd側に等しいハイ電位か、または、接地側の電位に等しいロー電位かいずれか一つの電位が信号として到来し、この信号に対して、セル(CE1)による所定の演算が実行されて、その結果が、出力端子(Output)に出力される。

【0038】

本実施の形態に係るトランジスタ回路を待機状態とする時には、イネーブル端子(Enable)を接地側電位と等しいロー電位とする。

待機状態、即ち、イネーブル端子(Enable)が接地側と等しいロー電位となった時には、P型トランジスタCはオン状態、即ち、導通状態となり、出力端子(Output)はVdd側と同じハイ電位となる。即ち、出力端子(Output)には、後段の回路要素(図示は省略)に必要なハイ電位の電源電圧(Vdd)が印加される。

【0039】

この時、N型トランジスタDはオフ状態、即ち、非導通状態となり、セル(CE1)は動作不可の状態になると共に、N型トランジスタDのチャネル長はセル(CE1)に使用されているショートチャネル型のMOSトランジスタのチャネル長よりも十分に長いので、図10に示すようなリーク電流(IL)は遮断される。

【0040】

なお、本実施の形態は、後段の回路要素が、電源を印加したままで待機するタイプであり、かつ、この待機状態において、入力端子(Input)がVdd側と同じハイ電位であることを要求するタイプの回路要素である場合に使用することができる。

【0041】

また、図1に示す本実施の形態では、セル(CE1)の入力端子(Input)は、符号Input-1, Input-2で示される2端子となっているが、一般には、任意の個数の入力端子を備えることが可能である。

【0042】

さらに、セル(CE1)の出力端子(Output)や、電源(Vdd)側端子、接地側端子についても、一般には、任意の個数を備えることが可能である(本実施の形態では、電源(Vdd)側端子も2端子としている)。

【0043】

また、P型トランジスタCはオプションであり、省略することも可能である。

図2は、本発明の第1の実施の形態に係るトランジスタ回路の一般的なセルの回路構成の1例を示す回路図である。

【0044】

図2に示すセル回路は、ソースに電源(Vdd)を印加し、ドレインを出力端子(Output)に接続し、ゲートにそれぞれ入力端子(Input-1), (Input-2)を接続した並列接続のP型トランジスタO, Pと、ドレインを出力端子(Output)に接続し、ソースを後述するN型トランジスタRのドレインと接続し、ゲートを入力端子(Input-1)に接続したN型トランジスタQと、ドレインをN型トランジスタQのソースと接続し、ソースを接地し、ゲートを入力端子(Input-2)に接続したN型トランジスタRを含む。

【0045】

図 2 に示すセル回路は、入力端子 (Input-1) , (Input-2) に入力される信号に対して N A N D 回路 (N A N D ゲート) としての演算動作を実行し、その演算結果を、出力端子 (Output) に出力する。

【 0 0 4 6 】

(第 2 の実施の形態)

図 3 は、本発明の第 2 の実施の形態に係るトランジスタ回路の回路構成を示す回路図である。

【 0 0 4 7 】

本実施の形態に係るトランジスタ回路は、M O S - F E T トランジスタを含むセル (C E 2) (主回路) と、リーク電流遮断の役割を持つ N 型トランジスタ C ' と、P 型トランジスタ D ' を備える。

10

【 0 0 4 8 】

ここで、N 型トランジスタ C ' 、P 型トランジスタ D ' は、いずれも M O S - F E T である。

なお、N 型トランジスタ C ' のドレインは出力端子 (Output) と接続し、ソースを接地している。

【 0 0 4 9 】

また、P 型トランジスタ D ' のソースは電源 (Vdd) と、ドレインは、セル (C E 2) の電源側端子にそれぞれ接続している。

さらに、N 型トランジスタ C ' 及び P 型トランジスタ D ' の各々のゲートは反イネーブル端子 (Enable バー) と接続している。

20

【 0 0 5 0 】

さらに、P 型トランジスタ D ' のチャネル長は、セル (C E 2) に含まれるショートチャネル型の M O S トランジスタのチャネル長よりも十分に長くなるように形成している。

【 0 0 5 1 】

以下、本実施の形態に係るトランジスタ回路の動作原理を説明する。

本実施の形態に係るトランジスタ回路を待機状態とはせずに、動作状態とする場合には、反イネーブル端子 (Enable バー) を接地側電位と等しいロー電位とする。

【 0 0 5 2 】

動作状態、即ち、反イネーブル端子 (Enable バー) が接地側と等しいロー電位となった時には、N 型トランジスタ C ' はオフ状態、即ち、非導通状態となり、出力端子 (Output) に対して何の影響も与えない。

30

【 0 0 5 3 】

また、P 型トランジスタ D ' はオン状態、即ち、導通状態となるので、セル (C E 2) に電源電圧 (Vdd) が供給される状態となり、これにより、セル (C E 2) は、例えば、図 2 に示す N A N D 回路や、図 1 0 に示すインバータ回路と等価な回路となる。

【 0 0 5 4 】

この時、この回路の入力端子 (Input) には、Vdd 側に等しいハイ電位か、または、設置側の電位に等しいロー電位がいずれか 1 つの電位が信号として到来し、この信号に対してセル (C E 2) の所定の演算が実行され、その結果が出力端子 (Output) に出力される。

40

【 0 0 5 5 】

本実施の形態に係るトランジスタ回路を待機状態とする時には、反イネーブル端子 (Enable バー) を Vdd 側と等しいハイ電位とする。

待機状態、即ち、反イネーブル端子 (Enable バー) が Vdd 側と同じハイ電位となった時には、N 型トランジスタ C ' はオン状態、即ち、導通状態となり、出力端子 (Output) は接地側と同電位となる。即ち、出力端子 (Output) は、後段の回路要素 (図示は省略) に必要なロー電位となる。

【 0 0 5 6 】

この時、P 型トランジスタ D ' はオフ状態、即ち、非導通状態となり、セル (C E 2) は動作不可の状態になると共に、P 型トランジスタ D ' のチャネル長は P 型トランジスタ A

50

やN型トランジスタBのチャネル長よりも十分に長いので、図10に示すようなリーク電流(IL)は遮断される。

【0057】

なお、本実施の形態は、後段の回路要素が電源を印加したままで待機するタイプであり、かつ、この待機状態において、入力端子が接地側と同じロー電位であることを要求するタイプの回路要素である場合に使用することができる。

【0058】

また、本実施の形態では、セル(CE2)の入力端子(Input)は、1端子となっているが、一般には、任意の個数の入力端子を備えることが可能である。

さらに、セル(CE2)の出力端子(Output)や、電源(Vdd)側端子、接地側端子についても、一般には、任意の個数を備えることが可能である(本実施の形態では、電源(Vdd)側端子をP型トランジスタD'のドレインと接続された1端子のみとしている)。

10

【0059】

また、N型トランジスタC'はオプションであり、省略することも可能である。

(第3の実施の形態)

図4は、本発明の第3の実施の形態に係るトランジスタ回路の回路構成を示す回路図である。

【0060】

本実施の形態に係るトランジスタ回路は、インバータ部を構成するP型トランジスタAと、N型トランジスタBと、リーク電流遮断の役割を持つN型トランジスタDを備える。

20

【0061】

ここで、P型トランジスタA、N型トランジスタB、N型トランジスタDは、いずれもMOS-FETである。

なお、インバータ部の入力端子(Input)は、P型トランジスタAとN型トランジスタBのゲート同士を接続した部位であり、出力端子(Output)は、P型トランジスタAとN型トランジスタBのドレイン同士を接続した部位である。

【0062】

また、インバータ部の電源電圧(Vdd)は、P型トランジスタAのソースに供給している。

さらに、N型トランジスタBのソースとN型トランジスタDのドレインを接続しており、N型トランジスタDのソースを接地している。

30

【0063】

なお、P型トランジスタAとN型トランジスタBは、ショートチャネル型のトランジスタであり、信号の伝播速度は非常に速いが、その反面、待機状態ではない動作時点において図10に示すリーク電流(IL)が生じる。このリーク電流(IL)は、そのままでは、待機状態でも生じるが、本実施の形態では、後述する動作原理により、これを阻止している。

【0064】

N型トランジスタDのチャネル長は、P型トランジスタA及びN型トランジスタBのそれぞれのチャネル長よりも十分に長くなるように形成している。

また、インバータ部は、複数の縦列接続(これは、一種の増幅器として機能する)が可能であり、その場合には、リーク電流遮断の役割を持つN型トランジスタDは、そのいずれか1つのインバータ部と接続することができる。

40

【0065】

以下、本実施の形態に係るトランジスタ回路の動作原理を説明する。

本実施の形態に係るトランジスタ回路を待機状態とはせずに、動作状態とする場合には、イネーブル端子(Enable)に電源電圧(Vdd)と等しいハイ電位を印加する。

【0066】

これにより、N型トランジスタDはオン状態、即ち、導通状態となるので、N型トランジスタBのソースが接地された状態となる。これにより、P型トランジスタAとN型トランジスタBを含むインバータ部は、図10に示す従来のインバータ回路と等価な回路となる

50

。

【 0 0 6 7 】

この回路の入力端子 (Input) には、Vdd側に等しいハイ電位か、または、接地側の電位に等しいロー電位がいずれか 1 つの電位が信号として到来する。入力端子 (Input) がハイ電位である時には、N型のトランジスタ B がオン状態で、かつ P 型のトランジスタ A がオフ状態となり、出力端子 (Output) には、接地側の電位に等しいロー電位が出力される。逆に、入力端子 (Input) がロー電位である時には、P型のトランジスタ A がオン状態、かつ N 型のトランジスタ B がオフ状態となり、出力端子 (Output) には、電圧値 (Vdd) に等しいハイ電位が出力される。

【 0 0 6 8 】

本実施の形態に係るトランジスタ回路を待機状態とする時には、イネーブル端子 (Enable) を接地側電位と等しいロー電位とする。

これにより、N型トランジスタ D はオフ状態、即ち、非導通状態となり、インバータ部は動作不可の状態になると共に、N型トランジスタ D のチャネル長は P 型トランジスタ A や N 型トランジスタ B のチャネル長よりも十分に長いので、図 1 0 に示すようなリーク電流 (IL) は遮断される。

【 0 0 6 9 】

(第 4 の実施の形態)

図 5 は、本発明の第 4 の実施の形態に係るトランジスタ回路の回路構成を示す回路図である。

【 0 0 7 0 】

本実施の形態に係るトランジスタ回路は、第 1 の実施の形態に係るトランジスタ回路と比較して、P型トランジスタ C が追加されているだけであり、その他は、第 1 の実施の形態に係るトランジスタ回路と同じである。

【 0 0 7 1 】

ここで、P型トランジスタ C は、M O S - F E T である。

なお、P型トランジスタ C のソースはインバータ部の電源電圧 (Vdd) と、ドレインは出力端子 (Output) にそれぞれ接続している。

【 0 0 7 2 】

さらに、P型トランジスタ C のゲートはイネーブル端子 (Enable) と接続している。

また、N型トランジスタ D のチャネル長は、P型トランジスタ A 及び N 型トランジスタ B のそれぞれのチャネル長よりも十分に長くなるように形成している。

【 0 0 7 3 】

以下、本実施の形態に係るトランジスタ回路の動作原理を説明する。

本実施の形態に係るトランジスタ回路の動作は、前述の第 1 の実施の形態に係るトランジスタ回路の動作に、P型トランジスタ C の動作を付加したものとなる。

【 0 0 7 4 】

動作状態、即ち、イネーブル端子 (Enable) に電源電圧 (Vdd) と等しいハイ電位が印加された時には、P型トランジスタ C はオフ状態、即ち、非導通状態となり、出力端子 (Output) に対して何の影響も与えない。

【 0 0 7 5 】

待機状態、即ち、イネーブル端子 (Enable) が接地側と同電位となった時には、P型トランジスタ C はオン状態、即ち、導通状態となり、出力端子 (Output) は Vdd 側と同じハイ電位となる。即ち、出力端子 (Output) には、後段の回路要素 (図示は省略) に必要な電源電圧 (Vdd) が印加される。

【 0 0 7 6 】

本実施の形態は、後段の回路要素が電源を印加したままで待機するタイプであり、かつ、この待機状態において、入力端子が Vdd 側と同じハイ電位であることを要求するタイプの回路要素である場合に使用することができる。

【 0 0 7 7 】

(第5の実施の形態)

図6は、本発明の第5の実施の形態に係るトランジスタ回路の回路構成を示す回路図である。

【0078】

本実施の形態に係るトランジスタ回路は、インバータ部を構成するP型トランジスタAと、N型トランジスタBと、リーク電流遮断の役割を持つP型トランジスタD'を備える。

【0079】

ここで、P型トランジスタA、N型トランジスタB、P型トランジスタD'は、MOS-FETである。

なお、インバータ部の入力端子(Input)は、P型トランジスタAとN型トランジスタBのゲート同士を接続した部位であり、出力端子(Output)は、P型トランジスタAとN型トランジスタBのドレイン同士を接続した部位である。

【0080】

また、インバータ部の電源電圧(Vdd)はP型トランジスタD'のソースに、P型トランジスタD'のドレインはP型トランジスタAのソースとそれぞれ接続している。

【0081】

さらに、N型トランジスタBのソースは接地している。

なお、P型トランジスタAとN型トランジスタBは、ショートチャネル型のトランジスタであり、信号の伝播速度は非常に速いが、その反面、待機状態ではない動作時点において図5に示すリーク電流(IL)が生じる。このリーク電流(IL)は、そのままでは、待機状態でも生じるが、本実施の形態では、後述する動作原理により、これを阻止している。

【0082】

P型トランジスタD'のチャネル長は、P型トランジスタA及びN型トランジスタBのそれぞれのチャネル長よりも十分に長くなるように形成している。

また、インバータ部は、複数の縦列接続(これは、一種の増幅器として機能する)が可能であり、その場合には、リーク電流遮断の役割を持つP型トランジスタD'は、そのいずれか1つのインバータ部とVdd側との間に介在させることができる。

【0083】

以下、本実施の形態に係るトランジスタ回路の動作原理を説明する。

本実施の形態に係るトランジスタ回路を待機状態とはせずに、動作状態とする場合には、反イネーブル端子(Enableバー)を接地側電位と等しいロー電位とする。

【0084】

これにより、P型トランジスタD'はオン状態、即ち、導通状態となるので、P型トランジスタAのソースに電源電圧(Vdd)が印加される状態となる。これにより、P型トランジスタAとN型トランジスタBを含むインバータ部は、図10に示すインバータ回路と等価な回路となる。

【0085】

この回路の入力端子(Input)には、Vdd側に等しいハイ電位か、または、接地側の電位に等しいロー電位かいずれか1つの電位が信号として到来する。入力端子(Input)がハイ電位である時には、N型のトランジスタBがオン状態で、かつP型のトランジスタAがオフ状態となり、出力端子(Output)には、接地側の電位に等しいロー電位が出力される。逆に、入力端子(Input)がロー電位である時には、P型のトランジスタAがオン状態、かつN型のトランジスタBがオフ状態となり、出力端子(Output)には、電圧値(Vdd)に等しいハイ電位が出力される。

【0086】

本実施の形態に係るトランジスタ回路を待機状態とする時には、反イネーブル端子(Enableバー)をVdd側と等しいハイ電位とする。

これにより、P型トランジスタD'はオフ状態、即ち、非導通状態となり、インバータ部は動作不可の状態になると共に、P型トランジスタD'のチャネル長はP型トランジスタAやN型トランジスタBのチャネル長よりも十分に長いので、図10に示すようなリーク

10

20

30

40

50

電流 (IL) は遮断される。

【0087】

(第6の実施の形態)

図7は、本発明の第6の実施の形態に係るトランジスタ回路の回路構成を示す回路図である。

【0088】

本実施の形態に係るトランジスタ回路は、第3の実施の形態に係るトランジスタ回路と比較して、N型トランジスタC'が追加されているだけであり、その他は、第3の実施の形態に係るトランジスタ回路と同じである。

【0089】

ここで、N型トランジスタC'は、MOS-FETである。

なお、N型トランジスタC'のドレインは出力端子(Output)と接続し、ソースは接地している。

【0090】

さらに、N型トランジスタC'のゲート及びP型トランジスタD'の各々のゲートは反イネーブル端子(Enableバー)と接続している。

また、P型トランジスタD'のチャネル長は、P型トランジスタA及びN型トランジスタBのそれぞれのチャネル長よりも十分に長くなるように形成している。

【0091】

以下、本実施の形態に係るトランジスタ回路の動作原理を説明する。

本実施の形態に係るトランジスタ回路の動作は、前述の第3の実施の形態に係るトランジスタ回路の動作に、N型トランジスタC'の動作を付加したものとなる。

【0092】

動作状態、即ち、反イネーブル端子(Enableバー)が接地側と等しいロー電位となった時には、N型トランジスタC'はオフ状態、即ち、非導通状態となり、出力端子(Output)に対して何の影響も与えない。

【0093】

待機状態、即ち、反イネーブル端子(Enableバー)がVdd側と同じハイ電位となった時には、N型トランジスタC'はオン状態、即ち、導通状態となり、出力端子(Output)は接地側と同電位となる。即ち、出力端子(Output)は、後段の回路要素(図示は省略)に必要なロー電位となる。

【0094】

本実施の形態は、後段の回路要素が電源を印加したままで待機するタイプであり、かつ、この待機状態において、入力端子が接地側と同じロー電位であることを要求するタイプの回路要素である場合に使用することができる。

【0095】

(第7の実施の形態)

図8は、本発明の第7の実施の形態に係るトランジスタ回路の回路構成を示す回路図である。

【0096】

本実施の形態に係るトランジスタ回路の回路構成は、図1に示す本発明の第1の実施の形態に係るトランジスタ回路のセル(CE1)が、具体的に図2に示すNAND回路と置き換わった構成を持つ。

【0097】

また、N型トランジスタDのチャネル長は、P型トランジスタO、P及びN型トランジスタQ、Rのそれぞれのチャネル長よりも十分に長くなるように形成している。

【0098】

従って、その動作は、図1に示す本発明の第1の実施の形態に係るトランジスタ回路のセル(CE1)の動作を、図2に示すNAND回路に置き換えたものとなる。

【0099】

10

20

30

40

50

(第8の実施の形態)

図9は、本発明の第8の実施の形態に係るトランジスタ回路の回路構成を示す回路図である。

【0100】

本実施の形態に係るトランジスタ回路の回路構成は、図1に示す本発明の第1の実施の形態に係るトランジスタ回路のセル(CE1)が、NOR回路と置き換わった構成を持つ。

【0101】

従って、その動作は、図1に示す本発明の第1の実施の形態に係るトランジスタ回路のセル(CE1)の動作を、P型トランジスタH、Iと、N型トランジスタJ、Kを含むNOR回路に置き換えたものとなる。

【0102】

ここで、トランジスタH、I、J、Kは、MOS-FETである。

P型トランジスタHのソースは電源(Vdd)と、ドレインは後続するP型トランジスタIのソースと、ゲートは入力端子(Input-2)とそれぞれ接続している。

【0103】

また、P型トランジスタIのソースはP型トランジスタHのドレインと、ドレインは出力端子(Output)と、ゲートは入力端子(Input-1)とそれぞれ接続している。

【0104】

N型トランジスタJのドレインは出力端子(Output)と、ソースは後続するN型トランジスタDのドレインと、ゲートは入力端子(Input-2)とそれぞれ接続している。

【0105】

また、N型トランジスタKのドレインは出力端子(Output)と、ソースは後続するN型トランジスタDのドレインと、ゲートは入力端子(Input-1)とそれぞれ接続している。

【0106】

さらに、N型トランジスタDのチャネル長は、P型トランジスタH、I及びN型トランジスタJ、Kのそれぞれのチャネル長よりも十分に長くなるように形成している。

【0107】

なお、上記の各実施の形態に係るトランジスタ回路では、セルを構成する回路として、インバータ回路、NAND回路、NOR回路を用いた例を説明したが、AND、OR、EXCLUSIVE-OR、FLIP-FLOP等の回路素子や、ROM、RAM、PLAT等の回路素子を用いても、同様に、本発明を適用した回路を構成することができる。

【0108】

【発明の効果】

以上に説明したとおり、本発明では、1つ以上の信号入力端子、信号出力端子、電源側端子、及び、MOSトランジスタを含む主回路に対して、待機時にのみ、この主回路に流れる電流を遮断するようにリーク電流遮断回路が動作するので、待機時における主回路での無駄な電力消費を低減することができる。

また、本発明では、例えば、電源電圧を印加した状態で待機するタイプのMOSトランジスタを使用したセルなどを含むMOSトランジスタ回路において、上記セルに使用されているMOSトランジスタよりもチャネル長の長いリーク電流遮断用のMOSトランジスタを、上記セルと(電源電圧と接地間で)直列接続となるように追加的に設置し、該トランジスタ回路を動作させる時にのみ上記リーク電流遮断用のMOSトランジスタを導通させ、該トランジスタ回路を待機させる時には、非導通となるように構成したので、(電源電圧と接地間の)上記セルのリーク電流による無駄な電力消費を低減することができる。

【0109】

また、該トランジスタ回路を動作させる時には影響せず、該トランジスタ回路を待機させる時にのみ、信号出力端子の電位を(中間電位ではない)ハイまたはロー電位とすることができるMOSトランジスタを設置したので、後段の待機型回路のトランジスタ貫通電流による無駄な電力消費も低減することができる。

【図面の簡単な説明】

10

20

30

40

50

【図 1】本発明の第 1 の実施の形態に係るトランジスタ回路の回路構成を示す回路図である。

【図 2】本発明の第 1 の実施の形態に係るトランジスタ回路の一般的なセルの回路構成の 1 例を示す回路図である。

【図 3】本発明の第 2 の実施の形態に係るトランジスタ回路の回路構成を示す回路図である。

【図 4】本発明の第 3 の実施の形態に係るトランジスタ回路の回路構成を示す回路図である。

【図 5】本発明の第 4 の実施の形態に係るトランジスタ回路の回路構成を示す回路図である。

10

【図 6】本発明の第 5 の実施の形態に係るトランジスタ回路の回路構成を示す回路図である。

【図 7】本発明の第 6 の実施の形態に係るトランジスタ回路の回路構成を示す回路図である。

【図 8】本発明の第 7 の実施の形態に係るトランジスタ回路の回路構成を示す回路図である。

【図 9】本発明の第 8 の実施の形態に係るトランジスタ回路の回路構成を示す回路図である。

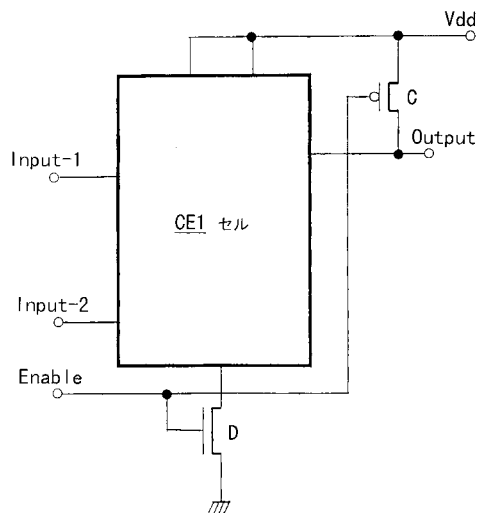
【図 10】従来のトランジスタ回路の 1 例である標準的なインバータ回路を示す回路図である。

20

【符号の説明】

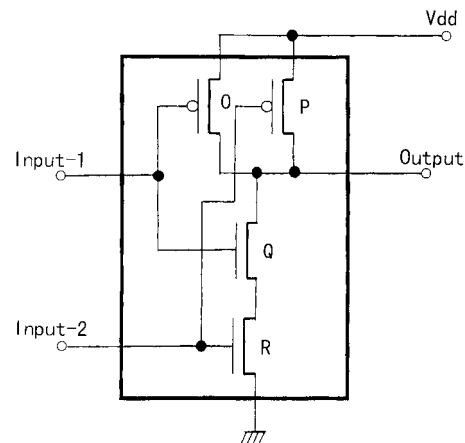
A, C, D', O, P, H, I P 型トランジスタ、B, D, C', Q, R, J, K ...
... N 型トランジスタ、CE 1, CE 2 セル、IL リーク電流、Vdd 電源電圧、I
nput, Input-1, Input-2 入力端子、Output 出力端子、Enable イネーブル端
子、Enableバー 反イネーブル端子

【図 1】



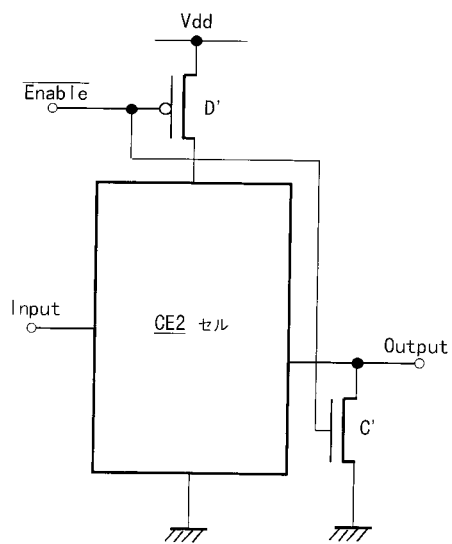
C, D : MOS トランジスタ

【図 2】



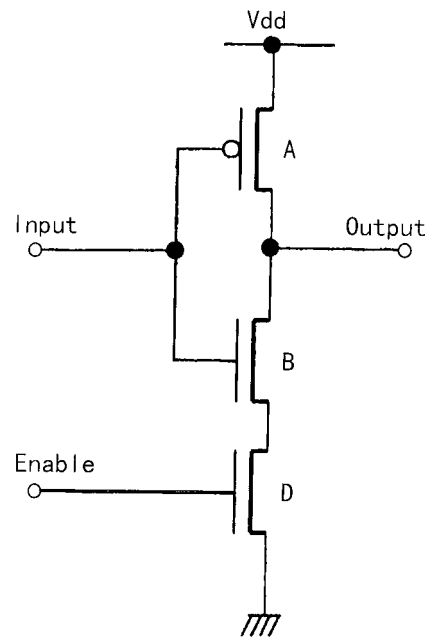
O, P, Q, R : MOS トランジスタ

【図 3】



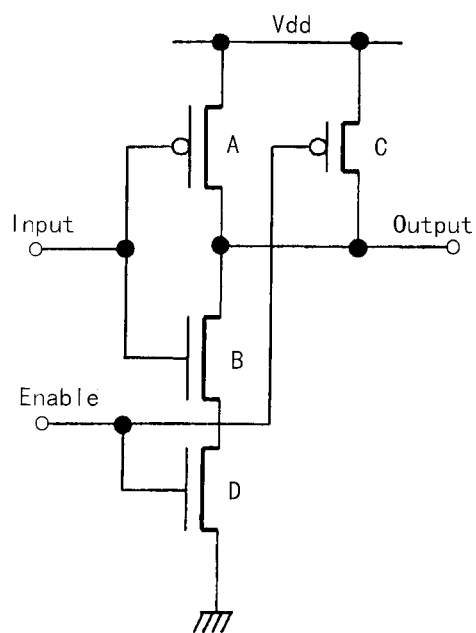
C', D' : MOS トランジスタ

【図 4】



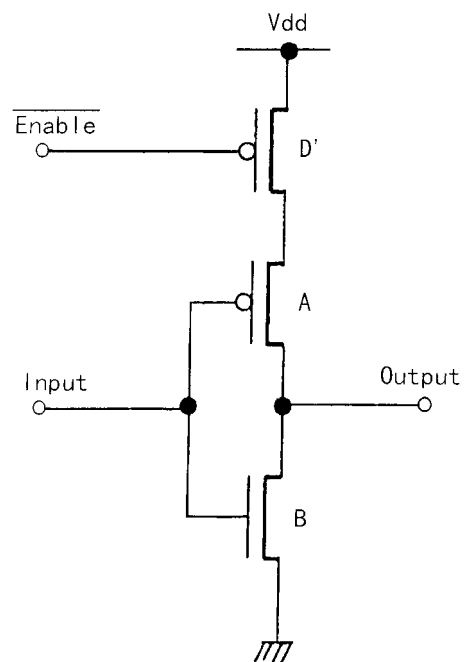
A, B, D : MOS トランジスタ

【図 5】



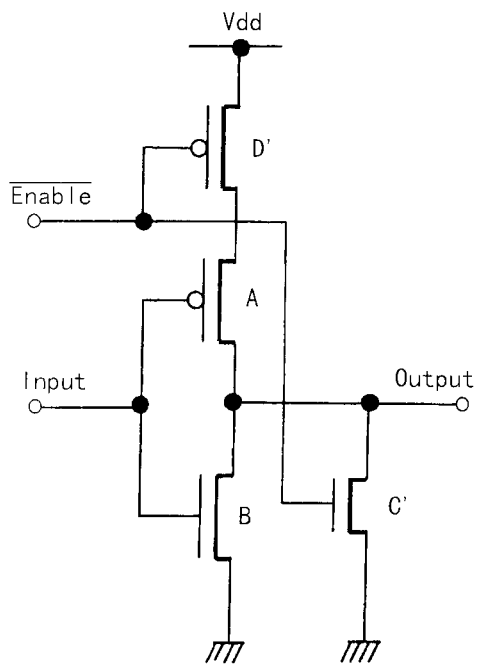
A, B, C, D : MOS トランジスタ

【図 6】



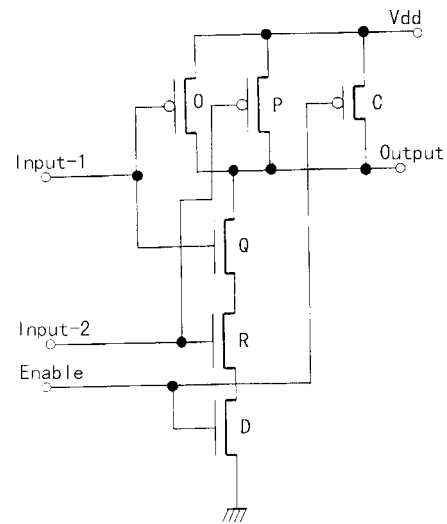
A, B, D' : MOS トランジスタ

【図 7】



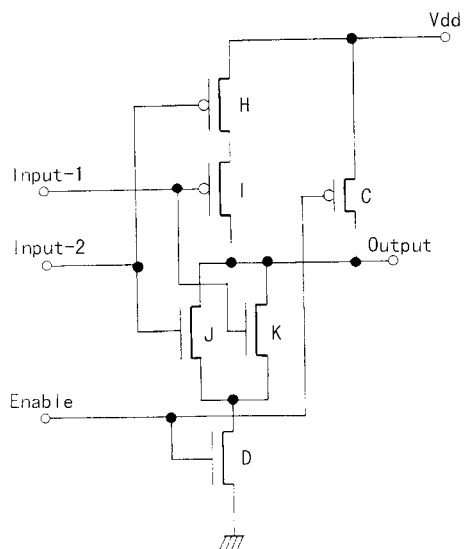
A, B, C', D' : MOS トランジスタ

【図 8】



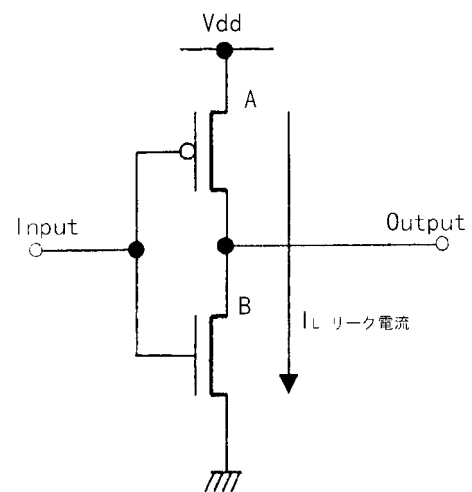
C, D, O, P, Q, R : MOS トランジスタ

【図 9】



C, D, H, I, J, K : MOS トランジスタ

【図 10】



A, B : MOS トランジスタ

フロントページの続き

- (56)参考文献 特開 2 0 0 0 - 2 1 6 2 6 7 (J P , A)
特開 2 0 0 0 - 1 2 4 7 8 5 (J P , A)
特開平 1 1 - 0 1 7 5 2 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H03K 19/00
H01L 21/8238
H01L 27/092
H03F 1/02
H03F 3/30