

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015年10月8日 (08.10.2015)



(10) 国际公布号
WO 2015/149653 A1

- (51) 国际专利分类号:
H03K 3/017 (2006.01)
- (21) 国际申请号: PCT/CN2015/075206
- (22) 国际申请日: 2015年3月27日 (27.03.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410129747.7 2014年4月1日 (01.04.2014) CN
- (71) 申请人: 中兴通讯股份有限公司 (ZTE CORPORATION) [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。
- (72) 发明人: 陈中盟 (CHEN, Zhongmeng); 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。
- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(54) Title: CLOCK DUTY RATIO ADJUSTMENT CIRCUIT AND MULTI-PHASE CLOCK GENERATOR

(54) 发明名称: 一种时钟占空比调整电路及多相位时钟产生器

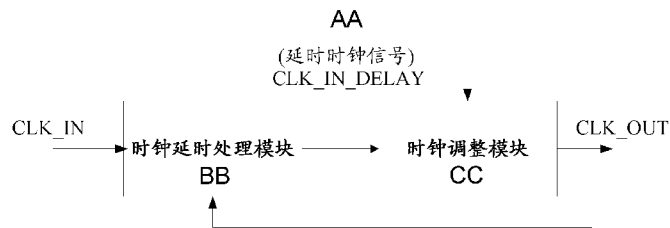
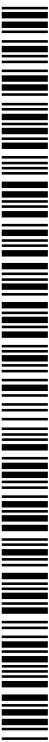


图3 / Fig.3

AA Time delay clock signal
 BB Clock time delay processing module
 CC Clock adjustment module

(57) Abstract: Disclosed is a clock duty ratio adjustment circuit, comprising: a clock time delay processing module and a clock adjustment module, wherein the clock time delay processing module is configured to conduct time delay on an input clock signal of the clock duty ratio adjustment circuit to obtain a time delay clock signal, and acquire an output clock signal of the clock duty ratio adjustment circuit to adjust the time delay between the input clock signal and the time delay clock signal according to the duty ratio of the output clock signal; and the clock adjustment module is configured to adjust the duty ratio of the input clock signal according to the time delay clock signal to obtain the output clock signal. Also disclosed is a multi-phase clock generator.

(57) 摘要: 本发明实施例公开了一种时钟占空比调整电路, 包括: 时钟延时处理模块和时钟调整模块; 所述时钟延时处理模块配置为对所述时钟占空比调整电路的输入时钟信号进行延时得到延时时钟信号, 以及获取所述时钟占空比调整电路的输出时钟信号, 根据所述输出时钟信号的占空比调整所述输入时钟信号与所述延时时钟信号之间的延时; 所述时钟调整模块配置为根据所述延时时钟信号对所述输入时钟信号的占空比进行调节得到所述输出时钟信号。本发明实施例还公开了一种多相位时钟产生器。



WO 2015/149653 A1

一种时钟占空比调整电路及多相位时钟产生器

技术领域

本发明涉及时钟调整技术，尤其涉及到一种时钟占空比调整电路及多相位时钟产生器。

5 背景技术

为了增加双倍速率同步动态随机存储器（DDR，Double Data Rate）、同步动态随机存储器（SDRAM，Synchronous Dynamic Random Access Memory）等高速系统的吞吐量，这些系统采用了双边沿触发方式工作，因此，50%的时钟占空比对于双边沿触发的系统正常工作非常重要。

10 现有技术中产生调节时钟信号占空比的方法主要包括以下两种：

第一种，如美国专利（US6320438）介绍的采用负反馈脉冲调整电路来调节输出时钟的占空比，将输出时钟的占空比信息转换为电流或者电压来调整环路中时钟的 slew rate(压摆率)，进而调整时钟信号的占空比。具体地，电路框图如图 1 所示，该专利占空比调整的过程为：利用 RC 滤波电路将
15 DRIVER OUT(占空比调整之后的输出时钟)的占空比转化为电压 DET OUT（滤波器输出的电压，即滤波器将输出时钟转化为电压），如果占空比不等于 50%，那么 DET OUT 就不等于工作电压 VDD/2，两者之间的电压误差通过误差放大器 30 转化为控制电压 CTL，CTL 配置为调节 PMOS12 和 NMOS18 的栅电压，改变 DRIVER IN（输入时钟 CLK_IN 经过压摆率调整
20 之后的时钟）信号的 slew rate(压摆率)，改变 slew rate(压摆率)就是改变上升沿和下降沿的斜率，从而调整信号的占空比。

第二种，如美国专利（US6853225）介绍的方法，通过混相器混合相位相同但相位变化不同的时钟信号和反相时钟信号，以抵消相位变化，从而

产生粗略校正的时钟信号，由于混相器的线性度较低；使得混相器输出时钟的占空比精度差，为了进一步提高校正精度，还增加了一级 DCC 对混相器的输出时钟进一步占空比调整。具体地，如图 2 所示，该专利的占空比调整的过程为：通过两个延时锁定环（DLL，Delay Locked Loop）得到相位相反

5 相反的时钟 clk_1 和 clk_2 ，然后通过混相器得到一个粗略调整占空比的信号 clk_hpg ，然后再加一个 DCC LOOP 来进一步调整 clk_hpg 的占空比；DCC LOOP 就是通过将 clk_out 的占空比转化成控制电压，来调整 DCC 中的差分放大器的输出时钟的压摆率，从而调整占空比。

然而现有占空比调整方案存在以下缺陷：

10 （1）第一种方法，将占空比信息转换为电流或者电压来调整环路中时钟的 $slew\ rate$ （压摆率）进而调整时钟占空比，会因为 $slew\ rate$ （压摆率）导致动态功耗增加；

（2）第二种方法，使用混相器来调整占空比，然而混相器的线性度也会给时钟占空比带来较大影响，这样会带来占空比误差，导致时钟占空比

15 调整不精确。

因此，亟需一种新的占空比调整电路以解决上述问题。

发明内容

本发明实施例要解决的主要技术问题是，提供一种时钟占空比调整电路及多相位时钟产生器，能够对时钟信号的占空比调整，并且可以节省动

20 态功耗和提高时钟占空比的调整精度。

为解决上述技术问题，本发明实施例提供一种时钟占空比调整电路，包括：时钟延时处理模块和时钟调整模块；

所述时钟延时处理模块，配置为对所述时钟占空比调整电路的输入时钟信号进行延时得到延时时钟信号，以及获取所述时钟占空比调整电路的

25 输出时钟信号，根据所述输出时钟信号的占空比调整所述输入时钟信号与

所述延时时钟信号之间的延时；

所述时钟调整模块，配置为根据所述延时时钟信号对所述输入时钟信号的占空比进行调节得到所述输出时钟信号。

上述方案中，所述时钟调整模块，还配置为检测所述输入时钟信号和
5 所述延时时钟信号的上升沿，当检测到所述输入时钟信号的上升沿时输出上升沿，当检测到所述延时时钟信号的上升沿时输出下降沿。

上述方案中，所述时钟延时处理模块，还配置为当所述输出时钟信号的占空比大于第一阈值时减小所述输入时钟信号与所述延时时钟信号之间的延时，当所述输出时钟信号的占空比小于所述第一阈值时增大所述输入
10 时钟信号与所述延时时钟信号之间的延时。

上述方案中，所述时钟延时处理模块包括：时钟延时子模块和时钟反馈子模块；

所述时钟反馈子模块，配置为获取所述输出时钟信号，将所述输出时钟信号的占空比转换为控制电压；

15 所述时钟延时子模块，配置为对所述输入时钟信号进行延时得到所述延时时钟信号，并且根据所述控制电压调整所述输入时钟信号与所述延时时钟信号之间的延时。

上述方案中，所述时钟反馈子模块，还配置为将所述输出时钟信号的占空比转换为变化的控制电压；

20 所述时钟延时子模块，还配置为根据所述控制电压的变化调整所述输入时钟信号与所述延时时钟信号之间的延时。

上述方案中，所述时钟反馈子模块，还配置为当所述输出时钟信号的占空比大于第一阈值时，将其转换为呈减小状态的控制电压；当所述输出时钟信号的占空比小于所述第一阈值时，将其转换为呈增大状态的控制电
25 压；

所述时钟延时子模块，还配置为当所述控制电压处于减小状态时减小所述输入时钟信号与所述延时时钟信号之间的延时；当所述控制电压处于增大状态时增大所述输入时钟信号与所述延时时钟信号之间的延时。

上述方案中，所述时钟反馈子模块为电荷泵，所述电荷泵由电流舵鉴相器和低通滤波器串联构成；

所述电流舵鉴相器，配置为将所述输出时钟信号的占空比转换为控制电压，并利用所述控制电压给低通滤波器充放电得到呈增大或减小状态的控制电压。

上述方案中，所述时钟延时子模块为压控延时器，所述时钟调整模块为上升沿检测器。

同样为了解决上述的技术问题，本发明实施例还提供了一种多相位时钟产生器，包括 DLL（延迟锁定环）电路和至少两个以上所述的时钟占空比调整电路；

所述 DLL 电路，配置为产生至少两种不同相位的时钟信号；

所述至少两个时钟占空比调整电路，配置为分别对至少两种不同相位的时钟信号进行占空比调节；所述时钟占空比调整电路的个数与所述 DLL 电路产生时钟信号的相位种类对应。

上述方案中，所述多相位时钟产生器还包括控制电路，所述控制电路，配置为控制所述时钟占空比调整电路是否工作。

本发明实施例提供的所述时钟占空比调整电路及多相位时钟产生器，通过将时钟延时处理模块配置为对所述时钟占空比调整电路的输入时钟信号进行延时得到延时时钟信号，以及获取所述时钟占空比调整电路的输出时钟信号，根据所述输出时钟信号的占空比调整所述输入时钟信号与所述延时时钟信号之间的延时的模块；以及将所述时钟调整模块配置为根据所述延时时钟信号对所述输入时钟信号的占空比进行调节得到所述输出时钟

信号的模块，如此，使得本发明实施例能够利用输入时钟信号的延时时钟信号对输入时钟信号进行调节，并且利用输出时钟信号的占空比动态调整延时时钟信号以最终得到所需占空比的输出时钟信号，因此本发明实施例所述的调整电路无需将时钟占空比信息转变为 slew rate(压摆率)来调整输出时钟占空比，进而避免了由于 slew rate(压摆率)导致的动态功耗增加的问题，从而实现了减小电源高电平与电流地直通的时间效果，节省了动态功耗的目的。

附图说明

- 图 1 为现有技术中一种时钟占空比调整电路的结构示意图；
- 10 图 2 为现有技术中另一种时钟占空比调整电路的结构示意图；
- 图 3 为本发明实施例一提供的第一种时钟占空比调整电路的结构示意图；
- 图 4 为本发明实施例一提供的第二种时钟占空比调整电路的结构示意图；
- 15 图 5 为本发明实施例一提供的一种上升沿检测器的时序图；
- 图 6 为本发明实施例一提供的第三种时钟占空比调整电路的结构示意图；
- 图 7 为本发明实施例二提供的一种时钟占空比调整电路的结构示意图；
- 图 8 为本发明实施例二提供的一种电荷泵的结构示意图；
- 20 图 9 为本发明实施例三提供的第一种多相位时钟产生器的结构示意图；
- 图 10 为本发明实施例三提供的第二种多相位时钟产生器的结构示意图；
- 图 11 为本发明实施例三提供的第三种多相位时钟产生器的结构示意图。

具体实施方式

下面通过具体实施方式结合附图对本发明实施例作进一步详细说明。

实施例一：

如图 3 所示，本实施例提供了一种时钟占空比调整电路，包括：时钟
5 延时处理模块和时钟调整模块；

所述时钟延时处理模块，配置为对所述时钟占空比调整电路的输入时钟信号 CLK_IN 进行延时得到延时时钟信号 CLK_IN_DELAY，以及获取所述时钟占空比调整电路的输出时钟信号，根据所述输出时钟信号 CLK_OUT 的占空比调整所述输入时钟信号与所述延时时钟信号之间的延时 Tdealy；

10 所述时钟调整模块，配置为根据所述延时时钟信号 CLK_IN_DELAY 对所述输入时钟信号 CLK_IN 的占空比进行调节得到所述输出时钟信号 CLK_OUT。

本实施例时钟占空比调整电路主要思想：通过输入时钟信号的延时时
15 钟信号对输入时钟信号的占空比调节，并且利用反馈的输出时钟信号的占空比动态地调整输入时钟信号与延时时钟信号之间的延时，最终形成整个调整电路形成一个动态平衡即可得到预设占空比的输出时钟信号。

在一具体实施例中，利用本实施例的时钟占空比调整电路，可以得到
20 占空比为 50%的输出时钟信号，具体地可以，在调整电路的输出时钟信号的占空比为 50%时不调整所述输入时钟信号与所述延时时钟信号之间的延时时，在其他占空比不等于 50%的情况下调整延时即可。

本发明实施例中，所述时钟占空比电路可以根据不同设置产生不同占
25 空比的输出时钟信号。本实施例的时钟占空比调整电路与现有技术相比，不需要将时钟占空比信息转变为 slew rate 来调整输出时钟占空比，达到了减小电源高电平与电流地直通的时间效果，节省了动态功耗，也避免了由于混相器精度不确定所带来的占空比误差。

本实施例中，所述时钟占空比调整电路中时钟调整模块调节时钟信号占空比的方式为通过调节时钟信号高电平持续的时间来调节时钟信号占空比，具体地，本实施例中所述调制模块可配置为检测所述输入时钟信号和所述延时时钟信号的上升沿，当检测到所述输入时钟信号的上升沿时输出上升沿，当检测到所述延时时钟信号的上升沿时输出下降沿；如图 4 所示，
5 上升沿，当检测到所述延时时钟信号的上升沿时输出下降沿；如图 4 所示，
优选地，本实施例所述时钟调整模块可以为上升沿检测器。如图 5 所示，
当上升沿检测器检测到 CLK_IN 时，上升沿检测器的输出信号 CLK_OUT
也输出上升沿，当检测到 CLK_IN_DELAY 的上升沿时，CLK_OUT 才由高
电平变为低电平，本实施例输出时钟信号 CLK_OUT 的占空比取决于
10 CLK_OUT 由 CLK_IN_DELAY 与 CLK_IN 之间的延时 Tdealy。

在图 5 所示调节占空比方式的基础上，优选地，本实施例调整电路中
所述时钟延时处理模块配置为当所述输出时钟信号 CLK_OUT 的占空比大
于 0.5 时减小所述输入时钟信号 CLK_IN 与所述延时时钟信号
CLK_IN_DELAY 之间的延时 Tdealy，当所述输出时钟信号 CLK_OUT 的占
15 空比小于 0.5 时增大所述输入时钟信号 CLK_IN 与所述延时时钟信号
CLK_IN_DELAY 之间的延时 Tdealy。通过上述的调整，本实施例调整电路
可以将任意占空比的输入时钟信号调节成占空比为 0.5 的输出时钟信号，例
如 CLK_OUT 的占空比为 $0.6 > 0.5$ ，时钟延时处理模块就会减小 Tdealy，从
而减小占空比直到 CLK_OUT 的占空比为 0.5；又或者如 CLK_OUT 的占空
20 比为 $0.4 < 0.5$ ，时钟延时处理模块就会增大 Tdealy，从而增大占空比直到
CLK_OUT 的占空比为 0.5。

如图 6 所示，优选地，本实施例中所述时钟延时处理模块包括：时钟
延时子模块和时钟反馈子模块；所述时钟反馈子模块配置为获取所述输出
时钟信号，将所述输出时钟信号的占空比转换为控制电压 Vctrl；所述时钟
25 延时子模块配置为对所述输入时钟信号进行延时得到所述延时时钟信号，

并且根据所述控制电压 V_{ctrl} 调整所述输入时钟信号与所述延时时钟信号之间的延时。本实施例的调整电路可以将输出的时钟占空比信息转换为控制电压，通过控制电压来控制时钟延时子模块调整输入时钟信号 CLK_IN 与所述延时时钟信号 CLK_IN_DELAY 之间的延时 T_{dealy} 。优选地，本实施例中时钟延时子模块可以为压控延时器。

优选地，本实施例时钟反馈子模块还配置为将所述输出时钟信号的占空比转换为变化的控制电压 V_{ctrl} ；时钟延时子模块还配置为根据所述控制电压 V_{ctrl} 的变化调整所述输入时钟信号与所述延时时钟信号之间的延时。

10 优选地，所述时钟反馈子模块还配置为当所述输出时钟信号的占空比大于 0.5 时，将其转换为呈减小状态的控制电压；当所述输出时钟信号的占空比小于 0.5 时，将其转换为呈增大状态的控制电压；

对应地，时钟延时子模块，还配置为当所述控制电压处于减小状态时减小所述输入时钟信号与所述延时时钟信号之间的延时，当所述控制电压处于增大状态时增大所述输入时钟信号与所述延时时钟信号之间的延时。

15 为了增大调整电路环路，提高了占空比调整的精度和响应速度，本实施例优先时钟反馈模块为电荷泵，利用电荷泵将输出时钟信号占空比转换为变化的控制电压。本实施例电荷泵由电流舵鉴相器和低通滤波器串联构成；所述电流舵鉴相器配置为将所述输出时钟信号的占空比转换为控制电压，并利用所述控制电压给低通滤波器充放电得到呈增大或减小状态的控制电压。

20

这里，值得注意的是，以上给出的具体实施方式仅是用于解释本发明实施例，并非用于限制本发明实施例；在实际应用中，例如所述时钟延时处理模块，还可以配置为当所述输出时钟信号的占空比大于第一阈值时减小所述输入时钟信号与所述延时时钟信号之间的延时；当所述输出时钟信号的占空比小于所述第一阈值时增大所述输入时钟信号与所述延时时钟信

25

号之间的延时；对应地，所述时钟反馈子模块，还可以配置为当所述输出
时钟信号的占空比大于第一阈值时，将其转换为呈减小状态的控制电压；
当所述输出时钟信号的占空比小于所述第一阈值时，将其转换为呈增大状
态的控制电压；所述时钟延时子模块，还可以配置为当所述控制电压处于
5 减小状态时减小所述输入时钟信号与所述延时时钟信号之间的延时；当所
述控制电压处于增大状态时增大所述输入时钟信号与所述延时时钟信号之
间的延时；其中，所述第一阈值为大于 0 小于 1 的任意值；进一步地，当
所述第一阈值为 a ，即 a 为大于 0 小于 1 的任意值，此时，只需将图 8 中 I_{up}
和 I_{down} 之间的关系调整为 $\frac{I_{up}}{I_{down}} = \frac{a}{1-a}$ 即可。

10 本发明实施例提供的所述时钟占空比调整电路及多相位时钟产生器，
通过将时钟延时处理模块配置为对所述时钟占空比调整电路的输入时钟信
号进行延时得到延时时钟信号，以及获取所述时钟占空比调整电路的输出
时钟信号，根据所述输出时钟信号的占空比调整所述输入时钟信号与所述
延时时钟信号之间的延时的模块；以及将所述时钟调整模块配置为根据所
15 述延时时钟信号对所述输入时钟信号的占空比进行调节得到所述输出时钟
信号的模块，如此，使得本发明实施例能够利用输入时钟信号的延时时钟
信号对输入时钟信号进行调节，并且利用输出时钟信号的占空比动态调整
延时时钟信号以最终得到所需占空比的输出时钟信号，因此本发明实施例
所述的调整电路无需将时钟占空比信息转变为 slew rate(压摆率)来调整输出
20 时钟占空比，进而避免了由于 slew rate(压摆率)导致的动态功耗增加的问题，
从而实现了减小电源高电平与电流地直通的时间效果，节省了动态功耗的
目的。

另外，由于本发明实施例所述的调整电路无需使用混相器来调整，所
以避免了由于混相器精度不确定所带来的占空比误差；因此，与现有技术
25 的调整电路相比，本发明实施例所述的时钟占空比调整电路能够节省功耗、

提高占空比调整的精确度。

进一步地，由于本发明实施例的所述时钟占空比调整电路利用电荷泵将时钟占空比信息转换为控制电压，而不采用误差控制放大器将时钟占空比信息转为控制电压，因此，避免了误差控制放大器在高频时增益的降低所带来的功耗增加、占空比调整精度下降问题；而且，与现有技术相比，本发明实施例增大了环路增益，提高了占空比调整的精度和响应速度。

实施例二：

如图 7，本实施例提供了一种时钟占空比调整电路，该电路由压控延时器、上升沿检测器、电荷泵组成，电荷泵又由电流舵鉴相器和低通滤波器组成。上升沿检测器构成了本发明实施例的时钟调整模块，压控延时器以及电荷泵构成了本发明实施例的时钟延时处理模块，其中电荷泵作为时钟反馈模块。压控延时器的作用是随着控制电压 V_{ctrl} 的变化而调整输出信号 CLK_IN_DELAY 与输入信号 CLK_IN 之间的延时，上升沿检测器配置为检测 CLK_IN 和 CLK_IN_DELAY 两个信号的上升沿，当检测到 CLK_IN 的上升沿时，上升沿检测器的输出信号 CLK_OUT 也输出上升沿，当检测到 CLK_IN_DELAY 的上升沿时， CLK_OUT 才由高电平变为低电平，上升沿检测器的时序图如图 5 所示。因此调整 CLK_IN_DELAY 的上升沿出现时刻，即调整压控延时器的控制电压 V_{ctrl} ，改变压控延时器的延时 T_{dealy} ，便可以调整输出时钟信号 CLK_OUT 的高电平持续时间 T_{high} ，从而调整 CLK_OUT 的占空比。

为了调整输出时钟 CLK_OUT 的占空比，从而得到 50% 的占空比；本实施例调整电路中增加了一个反馈电路（即电荷泵）来调整压控延时器的控制电压，反馈电路采用了电流舵鉴相器将输出时钟信号 CLK_OUT 的占空比转化为控制电压 V_{ctrl} ，低通滤波器配置为平滑 V_{ctrl} 和增大反馈环路的电路增益，电流舵鉴相器和低通滤波器组成了一个如图 8 所示的电荷泵，

当 CLK_OUT 的电平为低电平时, 电流舵鉴相器的充电电流 I_{up} 对低通滤波器充电, 使得 V_{ctrl} 增大, 当 CLK_OUT 的电平为高电平时, 电流舵鉴相器的放电电流 I_{down} 对低通滤波器放电, 使得 V_{ctrl} 减小, 当反馈环路达到稳定时, 可以得到 $I_{up} * T_{low} = I_{down} * T_{high}$ (其中 T_{low} 为 CLK_OUT 一个时钟周期中的低电平持续时间, T_{high} 为 CLK_OUT 一个时钟周期中的高电平持续时间), 若电流舵鉴相器中的充放电电流相等, 则 $T_{low} = T_{high}$, 这样就得到了占空比为 50% 的输出时钟信号 CLK_OUT。本实施例压控延时器和电荷泵实现当输出时钟信号的占空比不为 50% 时输出呈变化状态的控制电压, 然后压控延时器通过控制电压的变化来控制延时使得输出时钟信号的占空比最终为 50%。

在一具体实施例中, 时钟占比空调整电路可以将任意占空比的时钟信号调整为占空比为 50% 的时钟信号, 其不需要将输出时钟占空比信息转变为 slew rate 来调整输出时钟占空比, 也不需要使用混相器来调整, 而是通过将输出时钟占空比信息转化为输入时钟的上升沿延时信息来调整输出时钟的占空比; 与现有技术相比, 可以节省功耗以及提升占空比调整精度。

另外本实施例使用了一个电荷泵将输出的时钟占空比信息转换为控制电压, 增大了环路增益, 提高了占空比调整的精度和响应速度, 避免了误差控制放大器在高频时增益的降低所带来的功耗增加、占空比调整精度下降问题。

20

实施例三:

如图 9 所示, 本实施例提供了一种多相位时钟产生器, 包括 DLL (Delay Locked Loop, 延迟锁定环) 电路和至少两个上述实施例介绍的时钟占空比调整电路 (调整电路 1-n); 所述 DLL 电路配置为产生至少两种不同相位的时钟信号 (CLK-1、CLK-2... .. CLK-n); 所述至少两个时钟占空比调整电路配置为分别对至少两种不同相位的时钟信号进行占空比调节; 所述时钟

25

占空比调整电路的个数与所述 DLL 电路产生时钟信号的相位种类对应。

所述时钟占空比调整电路的个数与所述 DLL 电路产生时钟信号的相位种类对应指的是，DLL 电路产生几种相位的时钟信号就需要几个时钟占空比调整电路。例如产生 8 种不同相位的时钟信号就需要 8 个时钟占空比调整电路，对每种相位的时钟信号进行调整。

优选地，如图 10 所示，为了减少功耗，还可以增加一个控制电路，所述控制电路配置为控制所述时钟占空比调整电路是否工作。本实施例中的控制电路可以为译码器。

本实施例介绍的是时钟占空比调整电路的应用，应当理解，本发明实施例的时钟占空比调整电路不仅仅限于调整 DLL 电路中的时钟信号，还可以调整其他电路产生的时钟信号。

下面以产生 8 种不同相位的时钟信号的多相位时钟产生器来具体介绍本实施例的多相位时钟产生器。如图 11 所示，该多相位时钟产生器包括：传统 DLL 电路、3x8 译码器以及 8 个如上所述的时钟占空比调整电路；虚线框中的电路是传统 DLL 结构，其中延时单元有 8 个，每个延时单元的延时一致，故每个延时单元的相移是 45 度，可以产生 CLK_45、CLK_90、CLK_135、CLK_180、CLK_225、CLK_270、CLK_315、CLK_360 8 种不同相位的信号。8 个时钟占空比调整电路分别对 8 种不同相位的信号进行占空比调整，输出占空比为 50% 的 8 种不同相位的信号；3x8 译码器用作开关来控制占空比调整电路的工作与否。

以上内容是结合具体的实施方式对本发明实施例所作的进一步详细说明，不能认定本发明实施例的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干简单推演或替换，都应当视为属于本发明的保护范围。

工业实用性

本发明实施例能够利用输入时钟信号的延时时钟信号对输入时钟信号进行调节，并且利用输出时钟信号的占空比动态调整延时时钟信号以最终得到所需占空比的输出时钟信号，因此本发明实施例所述的调整电路无需
5 将时钟占空比信息转变为 slew rate(压摆率)来调整输出时钟占空比，进而避免了由于 slew rate(压摆率)导致的动态功耗增加的问题，从而实现了减小电源高电平与电流地直通的时间效果，节省了动态功耗的目的。

权利要求书

1、一种时钟占空比调整电路，包括：时钟延时处理模块和时钟调整模块；

5 所述时钟延时处理模块，配置为对所述时钟占空比调整电路的输入时钟信号进行延时得到延时时钟信号，以及获取所述时钟占空比调整电路的输出时钟信号，根据所述输出时钟信号的占空比调整所述输入时钟信号与所述延时时钟信号之间的延时；

所述时钟调整模块，配置为根据所述延时时钟信号对所述输入时钟信号的占空比进行调节得到所述输出时钟信号。

10 2、如权利要求 1 所述的时钟占空比调整电路，其中，

所述时钟调整模块，还配置为检测所述输入时钟信号和所述延时时钟信号的上升沿，当检测到所述输入时钟信号的上升沿时输出上升沿，当检测到所述延时时钟信号的上升沿时输出下降沿。

3、如权利要求 2 所述的时钟占空比调整电路，其中，

15 所述时钟延时处理模块，还配置为当所述输出时钟信号的占空比大于第一阈值时减小所述输入时钟信号与所述延时时钟信号之间的延时；当所述输出时钟信号的占空比小于所述第一阈值时增大所述输入时钟信号与所述延时时钟信号之间的延时。

20 4、如权利要求 3 所述的时钟占空比调整电路，其中，所述时钟延时处理模块包括：时钟延时子模块和时钟反馈子模块；

所述时钟反馈子模块，配置为获取所述输出时钟信号，将所述输出时钟信号的占空比转换为控制电压；

25 所述时钟延时子模块，配置为对所述输入时钟信号进行延时得到所述延时时钟信号，并且根据所述控制电压调整所述输入时钟信号与所述延时时钟信号之间的延时。

5、如权利要求4所述的时钟占空比调整电路，其中，

所述时钟反馈子模块，还配置为将所述输出时钟信号的占空比转换为变化的控制电压；

所述时钟延时子模块，还配置为根据所述控制电压的变化调整所述输入时钟信号与所述延时时钟信号之间的延时。

6、如权利要求5所述的时钟占空比调整电路，其中，

所述时钟反馈子模块，还配置为当所述输出时钟信号的占空比大于第一阈值时，将其转换为呈减小状态的控制电压；当所述输出时钟信号的占空比小于所述第一阈值时，将其转换为呈增大状态的控制电压；

所述时钟延时子模块，还配置为当所述控制电压处于减小状态时减小所述输入时钟信号与所述延时时钟信号之间的延时；当所述控制电压处于增大状态时增大所述输入时钟信号与所述延时时钟信号之间的延时。

7、如权利要求6所述的时钟占空比调整电路，其中，

所述时钟反馈子模块为电荷泵，所述电荷泵由电流舵鉴相器和低通滤波器串联构成；

所述电流舵鉴相器，配置为将所述输出时钟信号的占空比转换为控制电压，并利用所述控制电压给低通滤波器充放电得到呈增大或减小状态的控制电压。

8、如权利要求4-7任一项所述的时钟占空比调整电路，其中，所述时钟延时子模块为压控延时器，所述时钟调整模块为上升沿检测器。

9、一种多相位时钟产生器，包括延迟锁定环电路和至少两个如权利要求1-8任一项所述的时钟占空比调整电路；其中，

所述延迟锁定环电路，配置为产生至少两种不同相位的时钟信号；

所述至少两个时钟占空比调整电路，配置为分别对至少两种不同相位的时钟信号进行占空比调节；所述时钟占空比调整电路的个数与所述延迟

锁定环电路产生时钟信号的相位种类对应。

10、如权利要求 9 所述的多相位时钟产生器，其中，还包括控制电路，所述控制电路，配置为控制所述时钟占空比调整电路是否工作。

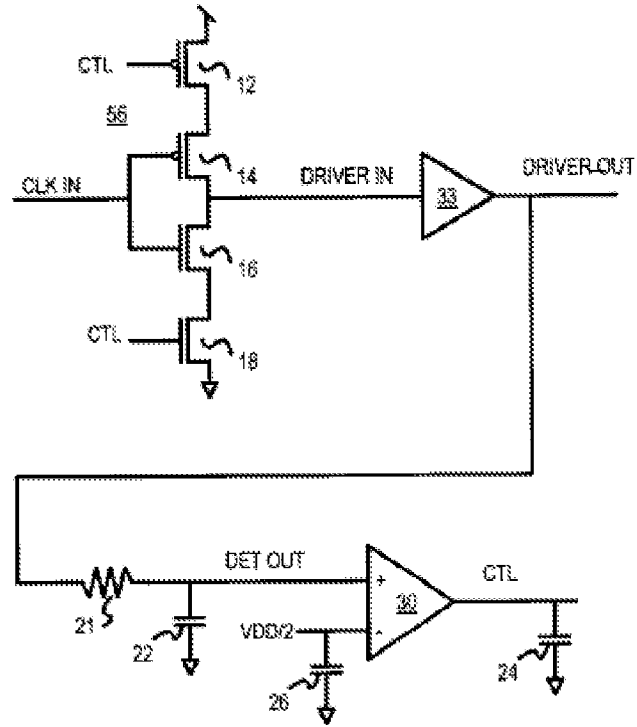


图 1

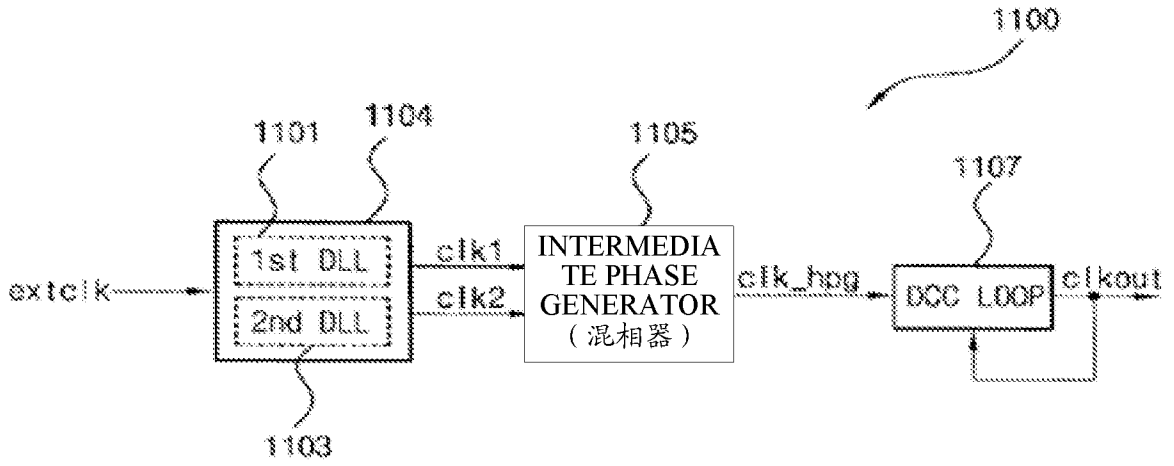


图 2

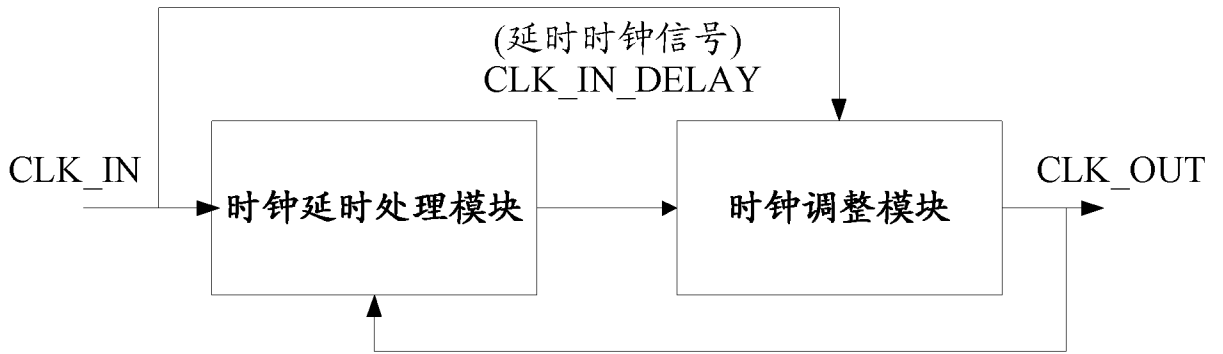


图 3

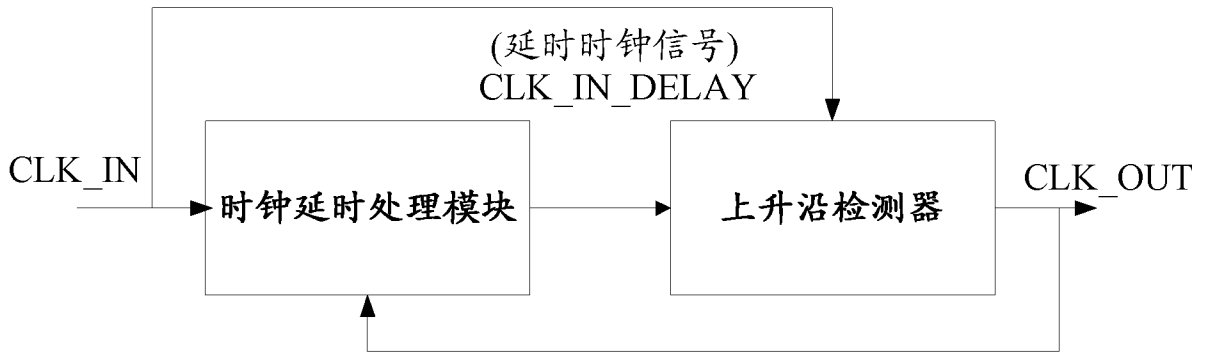


图 4

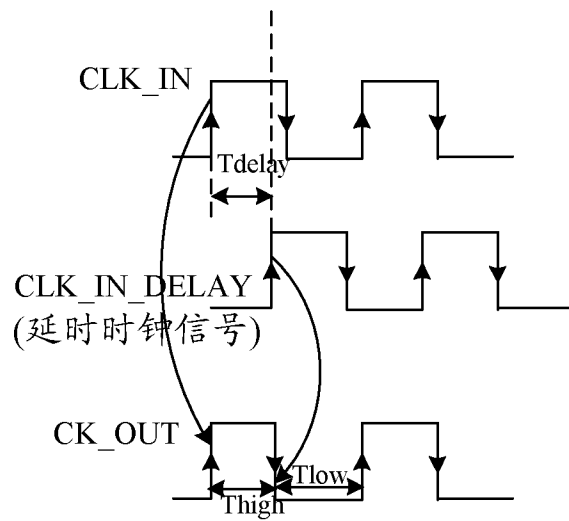


图 5

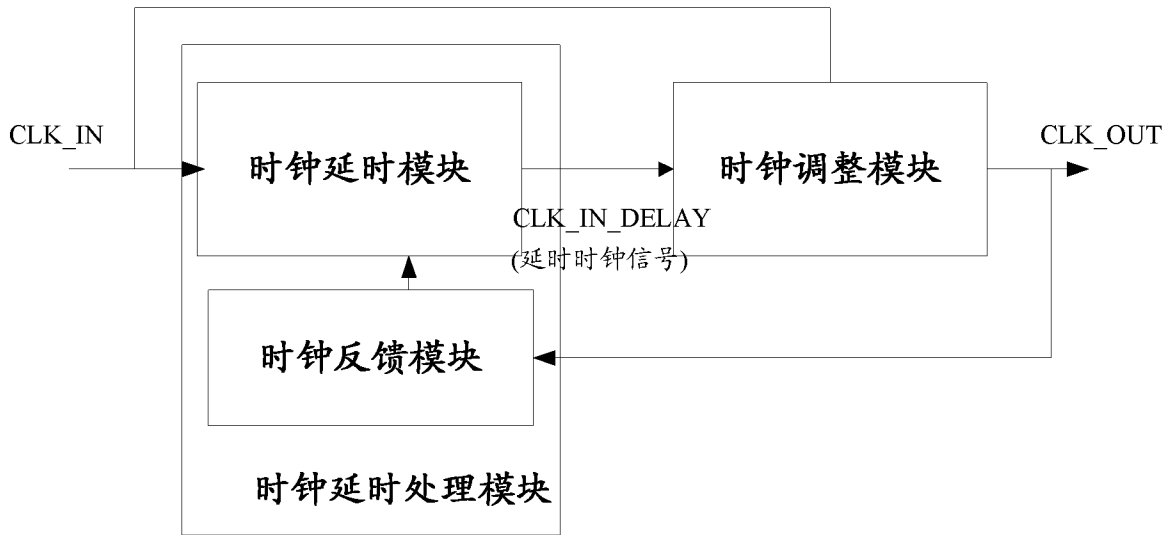


图 6

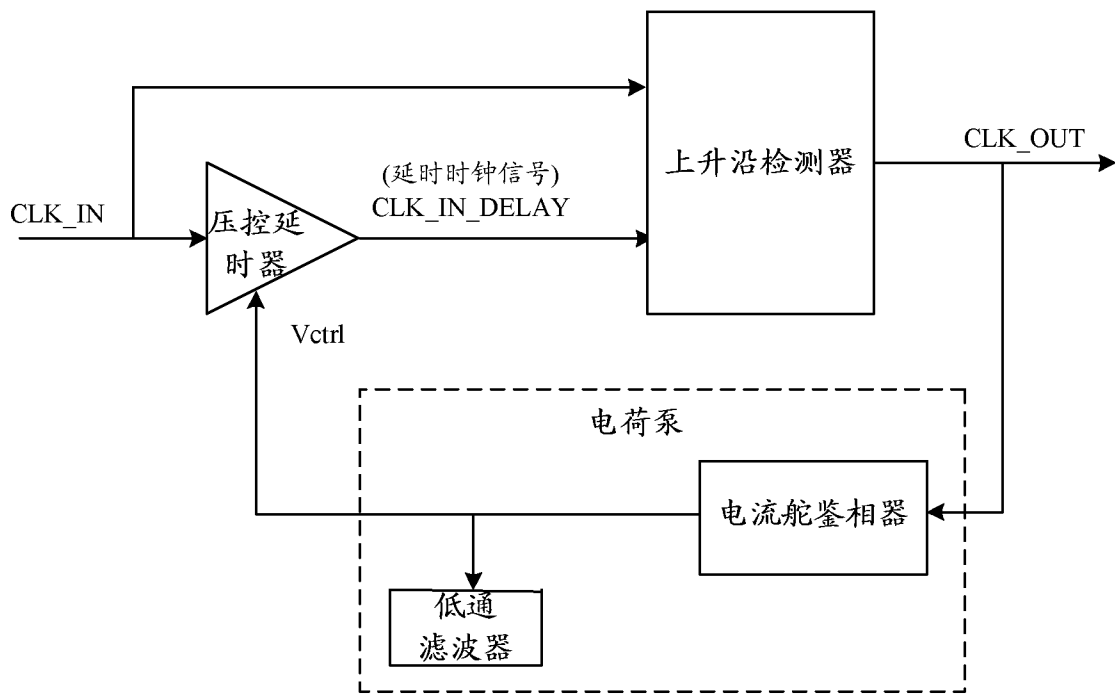


图 7

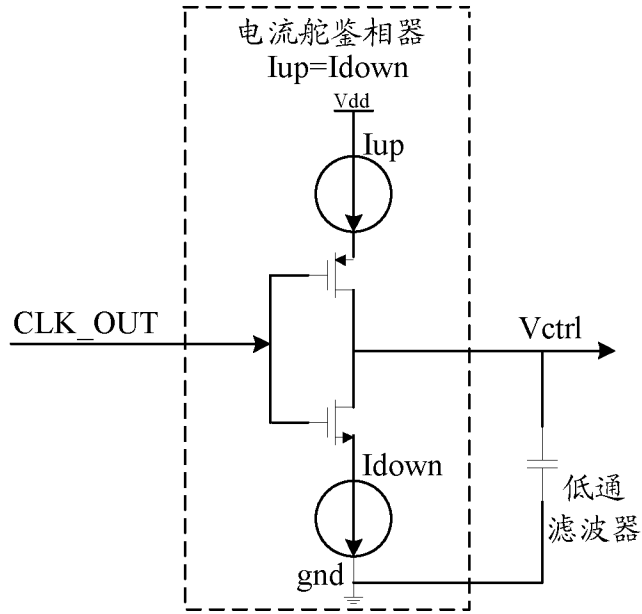


图 8

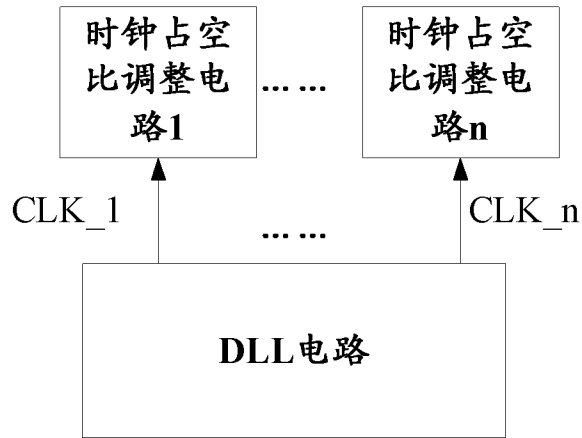


图 9

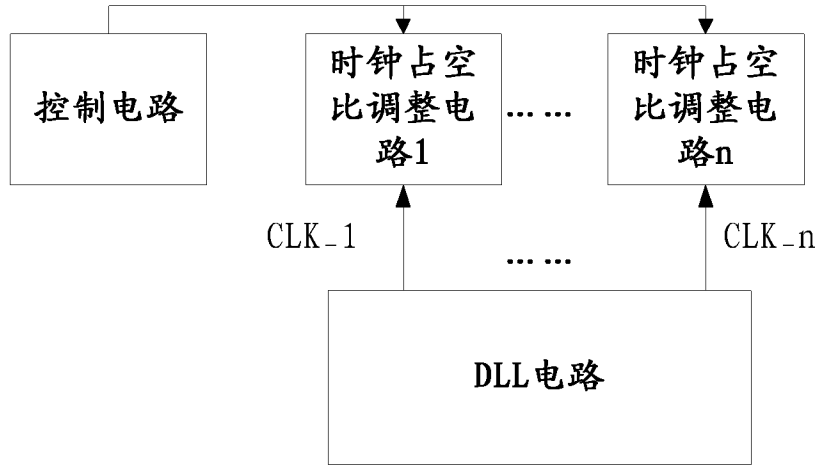


图 10

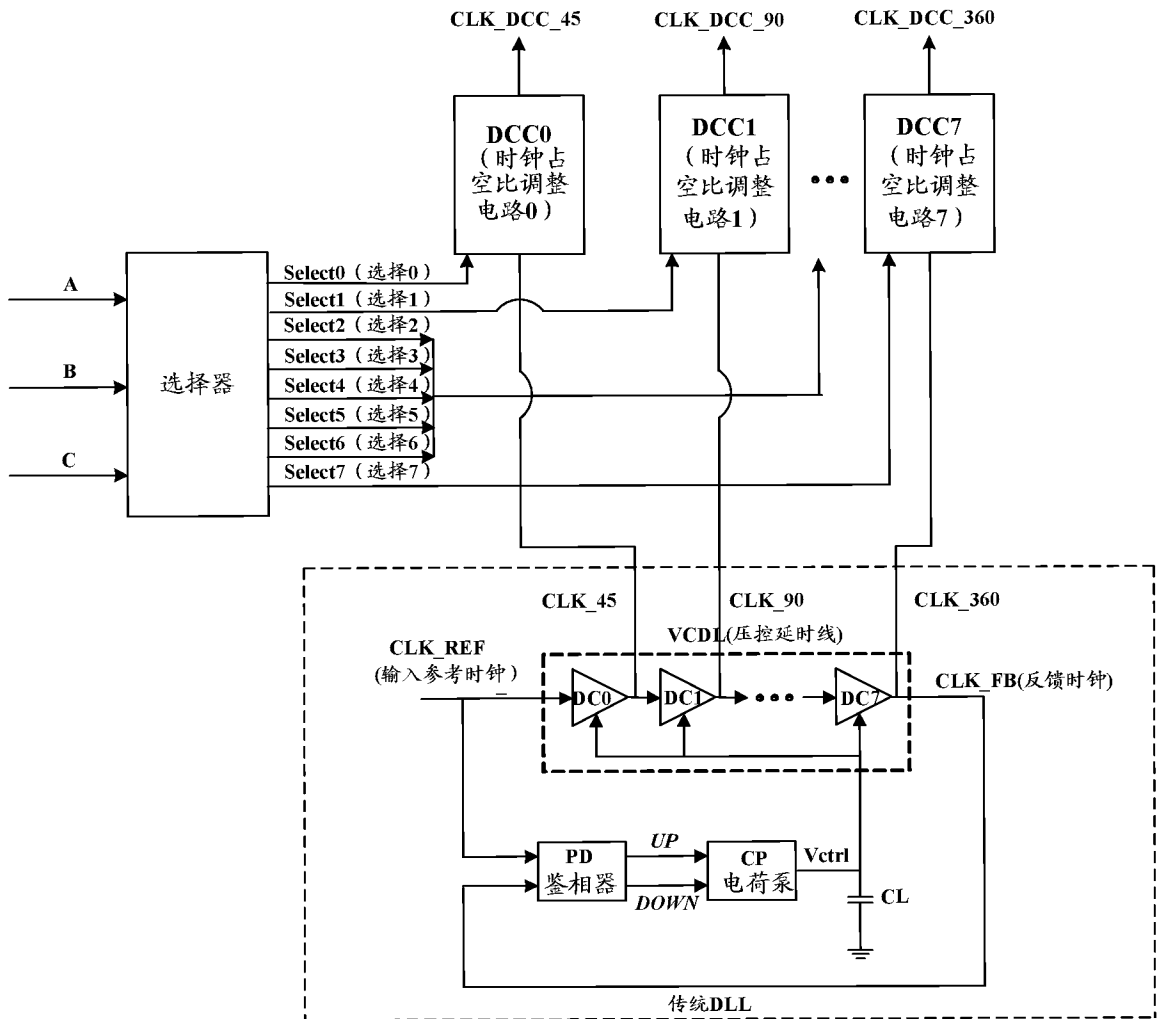


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/075206

A. CLASSIFICATION OF SUBJECT MATTER

H03K 3/017 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K 3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNMED; CPRSABS; CNABS; CPEA; TWMED; KRABS; DWPI; JPABS; ILABS; RUABS; TWABS; HKABS; MOABS; DEABS; SIPOABS; SGABS; AUABS: delay, rectif+, regulat+, clock, integrat+, adjust+, duty?cycle, modulat+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 203457123 U (INTEL CORPORATION), 26 February 2014 (26.02.2014), description, paragraphs [0006]-[0103], and figures 1-7	1-10
A	CN 103560768 A (NO. 24 RESEARCH INSTITUTE OF CETC), 05 February 2014 (05.02.2014), the whole document	1-10
A	CN 102369669 A (QUALCOMM INC.), 07 March 2012 (07.03.2012), the whole document	1-10
A	US 2014062551 A1 (WREEJU, B. et al.), 06 March 2014 (06.03.2014), the whole document	1-10

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

<p>Date of the actual completion of the international search</p> <p style="text-align: center;">23 June 2015 (23.06.2015)</p>	<p>Date of mailing of the international search report</p> <p style="text-align: center;">01 July 2015 (01.07.2015)</p>
<p>Name and mailing address of the ISA/CN:</p> <p>State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451</p>	<p>Authorized officer</p> <p style="text-align: center;">WANG, Xiaowei</p> <p>Telephone No.: (86-10) 62411642</p>

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/075206

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 203457123 U	26 February 2014	TW 201338425 A	16 September 2013
		US 2014203851 A1	24 July 2014
		EP 2798739 A1	05 November 2014
		WO 2013101117 A1	04 July 2013
CN 103560768 A	05 February 2014	None	
CN 102369669 A	07 March 2012	US 8169243 B2	01 May 2012
		KR 20130137051 A	13 December 2013
		KR 20120005013 A	13 January 2012
		JP 2014060729 A	03 April 2014
		US 2010253405 A1	07 October 2010
		US 8564346 B2	22 October 2013
		CN 102369669 B	10 December 2014
		JP 2012523181 A	27 September 2012
		JP 5475105 B2	16 April 2014
		EP 2415171 A1	08 February 2012
		WO 2010115152 A1	07 October 2010
		US 2012161837 A1	28 June 2012
		KR 1456966 B1	04 November 2014
		KR 1392375 B1	08 May 2014
		IN 201106827 P4	26 April 2013
US 2014062551 A1	06 March 2014	US 8994426 B2	31 March 2015

国际检索报告

国际申请号

PCT/CN2015/075206

<p>A. 主题的分类</p> <p>H03K 3/017 (2006.01) i</p> <p>按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献 (标明分类系统和分类号)</p> <p>H03K 3/-</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))</p> <p>CNMED; CPRSABS; CNABS; CPEA; TWMED; KRABS; DWPI; JPABS; ILABS; RUABS; TWABS; HKABS; MOABS; DEABS; SIPOABS; SGABS; AUABS: 延时, delay, 时钟, rectif+, regulat+, clock, 调整, integrat+, 占空比, adjust+, duty?cycle, 调节, modulat+</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 203457123 U (英特尔公司) 2014年 2月 26日 (2014 - 02 - 26) 说明书第[0006]-[0103]段, 图1-7</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 103560768 A (中国电子科技集团公司第二十四研究所) 2014年 2月 5日 (2014 - 02 - 05) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 102369669 A (高通股份有限公司) 2012年 3月 7日 (2012 - 03 - 07) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 2014062551 A1 (BHAUMIK WREEJU等) 2014年 3月 6日 (2014 - 03 - 06) 全文</td> <td>1-10</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 203457123 U (英特尔公司) 2014年 2月 26日 (2014 - 02 - 26) 说明书第[0006]-[0103]段, 图1-7	1-10	A	CN 103560768 A (中国电子科技集团公司第二十四研究所) 2014年 2月 5日 (2014 - 02 - 05) 全文	1-10	A	CN 102369669 A (高通股份有限公司) 2012年 3月 7日 (2012 - 03 - 07) 全文	1-10	A	US 2014062551 A1 (BHAUMIK WREEJU等) 2014年 3月 6日 (2014 - 03 - 06) 全文	1-10
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	CN 203457123 U (英特尔公司) 2014年 2月 26日 (2014 - 02 - 26) 说明书第[0006]-[0103]段, 图1-7	1-10															
A	CN 103560768 A (中国电子科技集团公司第二十四研究所) 2014年 2月 5日 (2014 - 02 - 05) 全文	1-10															
A	CN 102369669 A (高通股份有限公司) 2012年 3月 7日 (2012 - 03 - 07) 全文	1-10															
A	US 2014062551 A1 (BHAUMIK WREEJU等) 2014年 3月 6日 (2014 - 03 - 06) 全文	1-10															
<p>国际检索实际完成的日期</p> <p>2015年 6月 23日</p>	<p>国际检索报告邮寄日期</p> <p>2015年 7月 1日</p>																
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局 (ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国</p> <p>传真号 (86-10)62019451</p>	<p>受权官员</p> <p>王效维</p> <p>电话号码 (86-10)62411642</p>																

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/075206

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	203457123	U	2014年 2月 26日	TW	201338425	A	2013年 9月 16日
				US	2014203851	A1	2014年 7月 24日
				EP	2798739	A1	2014年 11月 5日
				WO	2013101117	A1	2013年 7月 4日
CN	103560768	A	2014年 2月 5日	无			
CN	102369669	A	2012年 3月 7日	US	8169243	B2	2012年 5月 1日
				KR	20130137051	A	2013年 12月 13日
				KR	20120005013	A	2012年 1月 13日
				JP	2014060729	A	2014年 4月 3日
				US	2010253405	A1	2010年 10月 7日
				US	8564346	B2	2013年 10月 22日
				CN	102369669	B	2014年 12月 10日
				JP	2012523181	A	2012年 9月 27日
				JP	5475105	B2	2014年 4月 16日
				EP	2415171	A1	2012年 2月 8日
				WO	2010115152	A1	2010年 10月 7日
				US	2012161837	A1	2012年 6月 28日
				KR	1456966	B1	2014年 11月 4日
				KR	1392375	B1	2014年 5月 8日
				IN	201106827	P4	2013年 4月 26日
US	2014062551	A1	2014年 3月 6日	US	8994426	B2	2015年 3月 31日

表 PCT/ISA/210 (同族专利附件) (2009年7月)