

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6896189号
(P6896189)

(45) 発行日 令和3年6月30日(2021.6.30)

(24) 登録日 令和3年6月10日(2021.6.10)

(51) Int.Cl. F I
 GO 1 R 23/02 (2006.01) GO 1 R 23/02
 GO 1 R 23/12 (2006.01) GO 1 R 23/12

請求項の数 9 (全 19 頁)

<p>(21) 出願番号 特願2020-563731 (P2020-563731)</p> <p>(86) (22) 出願日 平成31年1月22日 (2019.1.22)</p> <p>(86) 国際出願番号 PCT/JP2019/001761</p> <p>(87) 国際公開番号 W02020/152764</p> <p>(87) 国際公開日 令和2年7月30日 (2020.7.30)</p> <p>審査請求日 令和2年11月10日 (2020.11.10)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号</p> <p>(74) 代理人 110003166 特許業務法人山王内外特許事務所</p> <p>(72) 発明者 和田 平 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内</p> <p>(72) 発明者 田島 賢一 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内</p> <p>審査官 田口 孝明</p>
--	---

最終頁に続く

(54) 【発明の名称】 周波数検出回路

(57) 【特許請求の範囲】

【請求項1】

第1のクロック信号を出力する第1の信号源と、
 前記第1のクロック信号と周波数は同じで位相が異なる第2のクロック信号を出力する第2の信号源と、

前記第1のクロック信号を用いて受信信号をアンダーサンプリングする第1のサンプルホールド回路と、

前記第2のクロック信号を用いて前記受信信号をアンダーサンプリングする第2のサンプルホールド回路と、

前記第1のサンプルホールド回路と前記第2のサンプルホールド回路との出力信号の位相差を用いて、前記受信信号の周波数を算出する周波数算出回路と、

を備え、

前記周波数算出回路は、前記第1のサンプルホールド回路の出力信号の周波数を検出するとともに前記位相差を用いて前記受信信号に対するアンダーサンプリングの次数を算出し、算出した前記次数及び検出した前記周波数から前記受信信号の周波数を算出する周波数検出回路。

【請求項2】

前記周波数算出回路は、前記第1のクロック信号と前記第2のクロック信号との位相差、及び前記第1のサンプルホールド回路と前記第2のサンプルホールド回路と出力信号の位相差から前記受信信号に対するアンダーサンプリングの前記次数を算出することを特徴

10

20

とする請求項 1 に記載の周波数検出回路。

【請求項 3】

前記周波数算出回路は、前記第 1 のクロック信号の位相を θ_{CLK1} とし、前記第 2 のクロック信号の位相を θ_{CLK2} とし、前記第 1 のサンプルホールド回路の出力信号の位相を θ_{out1} とし、前記第 2 のサンプルホールド回路の出力信号の位相を θ_{out2} としたとき、以下の式

$$n = -\frac{\theta_{out2} - \theta_{out1}}{\theta_{CLK2} - \theta_{CLK1}}$$

により求まる n をアンダーサンプリングの前記次数として求めることを特徴とする請求項 2 に記載の周波数検出回路。

10

【請求項 4】

前記周波数算出回路は、前記第 1 のクロック信号の周波数を f_{CLK} とし、前記第 1 のサンプルホールド回路の出力信号の周波数を f_{out} とし、これらと請求項 3 に記載の前記 n を用いて、以下の式

$$f_{out} = f_{RF} - n \cdot f_{CLK}$$

を満たす f_{RF} を記受信信号の周波数として算出することを特徴とする請求項 3 に記載の周波数検出回路。

【請求項 5】

20

前記周波数算出回路は、前記第 1 のクロック信号の位相を θ_{CLK1} とし、前記第 2 のクロック信号の位相を θ_{CLK2} とし、前記第 1 のサンプルホールド回路の出力信号の位相を θ_{out1} とし、前記第 2 のサンプルホールド回路の出力信号の位相を θ_{out2} としたとき、以下の式

$$n = \frac{\theta_{out2} - \theta_{out1}}{\theta_{CLK2} - \theta_{CLK1}}$$

により求まる n をアンダーサンプリングの前記次数として求めることを特徴とする請求項 2 に記載の周波数検出回路。

【請求項 6】

30

前記周波数算出回路は、前記第 1 のクロック信号の周波数を f_{CLK} とし、前記第 1 のサンプルホールド回路の出力信号の周波数を f_{out} とし、これらと請求項 5 に記載の前記 n を用いて、以下の式

$$f_{out} = -f_{RF} + n \cdot f_{CLK}$$

を満たす f_{RF} を前記受信信号の周波数として算出することを特徴とする請求項 5 に記載の周波数検出回路。

【請求項 7】

前記周波数算出回路は、前記第 1 の信号源及び前記第 2 の信号源にそれぞれ前記第 1 のクロック信号の位相情報及び前記第 2 のクロック信号の位相情報を出力することを特徴とする請求項 1 に記載の周波数検出回路。

40

【請求項 8】

前記受信信号の周波数を算出する第 1 の請求項 1 記載の周波数検出回路と、前記第 1 の請求項 1 記載の周波数検出回路の第 1 のクロック信号の周波数とは異なる周波数でアンダーサンプリングし、前記受信信号の周波数を算出する第 2 の請求項 1 記載の周波数検出回路と、

前記第 1 の請求項 1 記載の周波数検出回路が算出した前記受信信号の周波数と前記第 2 の請求項 1 記載の周波数検出回路が算出した前記受信信号の周波数とを比較し、前記受信信号の周波数を判定する判定回路と、

を備えた周波数検出回路。

【請求項 9】

50

前記判定回路は、前記第1の請求項1記載の周波数検出回路が算出したアンダーサンプリングの次数と前記第2の請求項1記載の周波数検出回路が算出したアンダーサンプリングの次数とを比較し、前記受信信号の周波数を判定することを特徴とする請求項8に記載の周波数検出回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は周波数検出回路に関する。

【背景技術】

【0002】

周波数検出回路は、入力された任意の信号の周波数を特定する回路である。例えば、周波数検出回路は、ミキサなどの周波数変換器、ADC (Analog to Digital Converter)、FPGA (Field Programmable Gate Array) などの演算回路 (論理回路もしくはデジタル回路ともいう) を用いて構成される。

【0003】

従来の周波数検出回路としては、例えば、特許文献1において、サンプラーとADCから成る系を複数並列化した構成が示されている。この周波数検出回路では、タイムインターリーブ処理を行っており、系ごとにサンプリング周波数は同じだが、サンプリングタイミングをずらしてデジタル信号に変換し、各系で得られたデジタル信号を合成する。複数の系で異なるタイミングでサンプリングをすることにより、等価的にサンプリングの速度を向上できるため、精度よく入力信号の周波数を特定できる。例えば、周波数 f_c のクロック信号でサンプリングを行う系が x 系ある場合、周波数検出回路全体としては、周波数 $x \cdot f_c$ のクロック信号で動作していることと等価となる。入力信号の周波数を f_{in} とすると、サンプリングの定理から、 $f_{in} < 2 \cdot x \cdot f_c$ であれば、オーバーサンプリングであるため f_{in} を正しく特定することができる。

【先行技術文献】

【特許文献】

【0004】

特開2017-2116604号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1における周波数検出回路では、 f_{in} が高くなると、系の並列数 x を増やす必要があり、周波数検出回路の規模が増大するという課題があった。

【0006】

本発明は、上記のような課題を解決するためになされたもので、入力信号が高周波化しても、系の並列数を保ったまま周波数を検出できる周波数検出回路を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の周波数検出回路は、第1のクロック信号を出力する第1の信号源と、第1のクロック信号と周波数は同じで位相が異なる第2のクロック信号を出力する第2の信号源と、第1のクロック信号を用いて受信信号をアンダーサンプリングする第1のサンプルホールド回路と、第2のクロック信号を用いて受信信号をアンダーサンプリングする第2のサンプルホールド回路と、第1のサンプルホールド回路と第2のサンプルホールド回路との出力信号の位相差を用いて、受信信号の周波数を算出する周波数算出回路とを備え、周波数算出回路は、第1のサンプルホールド回路の出力信号の周波数を検出するとともに位相差を用いて受信信号に対するアンダーサンプリングの次数を算出し、算出した次数及び検出した周波数から受信信号の周波数を算出する。

10

20

30

40

50

【発明の効果】

【0008】

本発明によれば、入力信号の周波数に関わらず系の並列数を保ったまま周波数を特定することができる。

【図面の簡単な説明】

【0009】

【図1】この発明の実施の形態1に係る受信機の一構成例を示す構成図である。

【図2】この発明の実施の形態1に係る周波数算出回路17の一構成例を示す構成図である。

【図3】この発明の実施の形態1に係るS/H回路11の出力信号の周波数スペクトルを示す図である。 10

【図4】この発明の実施の形態1に係る周波数算出回路17の他の構成例を示す構成図である。

【図5】この発明の実施の形態2に係る受信機の一構成例を示す構成図である。

【図6】この発明の実施の形態2に係る周波数検出回路の演算回路119における f_{CLK1} 及び f_{CLK2} の設定手順の一例を示すフローチャートである。

【発明を実施するための形態】

【0010】

実施の形態1.

図1は、この発明の実施の形態1に係る受信機の一構成例を示す構成図である。 20

本受信機は、アンテナ1、増幅器2、及び周波数検出回路3を備え、周波数検出回路3は、S/H回路11、S/H回路12、信号源13、信号源14、フィルタ15、フィルタ16、周波数算出回路17から構成される。 f_{RF} は周波数検出回路3の入力信号の周波数、 ϕ_{RF} は周波数検出回路3の入力信号の位相、 f_{CLK} は信号源13の出力信号の周波数、 f_{CLK} は信号源14の出力信号の周波数、 ϕ_{CLK1} は信号源13の出力信号の初期位相、 ϕ_{CLK2} は信号源14の出力信号の初期位相、 f_{out} はフィルタ15の出力信号の周波数、 ϕ_{out1} はフィルタ15の出力信号の初期位相、 ϕ_{out2} はフィルタ16の出力信号の初期位相である。

【0011】

アンテナ1は、空間を伝播する信号を受信し、増幅器2に出力するアンテナである。アンテナ1の出力端子は、増幅器2の入力端子に接続される。例えば、アンテナ1には、ダイポールアンテナ、パッチアンテナなどを用いることができる。もちろん、素子アンテナを複数組み合わせさせたアレーアンテナを用いてもよい。なお、アンテナ1は、空間を伝播する信号を受信し、受信した信号を出力することができれば、どのような構成を用いてもよい。 30

【0012】

増幅器2は、アンテナ1が出力した信号の電力を増幅し、周波数検出回路3に出力する増幅器である。なお、増幅器2は、自身が付加する雑音が小さく、周波数変換回路3の雑音指数の影響が無視できる程度まで電力を増幅することが望ましい。増幅器2の入力端子は、アンテナ1の出力端子に接続され、増幅器2の出力端子は、周波数検出回路3の入力端子に接続される。例えば、増幅器2はディスクリートのトランジスタを用いて構成される。なお、増幅器2は、入力された信号の電力を増幅して出力することができれば、どのような構成のものを用いてもよい。 40

【0013】

周波数検出回路3は、入力された信号の周波数を特定し、その周波数を示す信号を出力する回路である。周波数検出回路3は、増幅器2から入力された信号から f_{RF} を特定し、 f_{RF} を示す信号を出力する。周波数検出回路3の入力端子は、増幅器2の出力端子に接続される。

【0014】

S/H回路11は、信号源13が出力した第1のクロック信号に同期して、増幅器2が出 50

力した信号をアンダーサンプリング（サブサンプリングともいう）して、アンダーサンプリングした信号をフィルタ15に出力するサンプルアンドホールド（トラックアンドホールドともいう）回路である。S/H回路11のRF端子は増幅器2の出力端子に接続され、S/H回路11のクロック端子は信号源13の出力端子に接続され、S/H回路11の出力端子はフィルタ15の入力端子に接続される。例えば、S/H回路11には、入力されたRF信号（増幅器2の出力信号）に対して線路のオープンとショートとを切り替えるスイッチと入力されたRF信号に対して線路がオープンの際に電荷を蓄える容量とで構成された回路などが用いられる。S/H回路11は、入力されたRF信号をアンダーサンプリングし、アンダーサンプリングした信号を出力することができれば、どのような構成を用いてもよい。ここで、アンダーサンプリングした信号とは、アンダーサンプリングにより生じる信号をいう。

10

【0015】

S/H回路12は、信号源14が出力した第2のクロック信号に同期して、増幅器2が出力した信号をアンダーサンプリングして、アンダーサンプリングした信号をフィルタ16に出力するサンプルアンドホールド回路である。S/H回路12のRF端子は増幅器2の出力端子に接続され、S/H回路12のクロック端子は信号源14の出力端子に接続され、S/H回路12の出力端子はフィルタ16の入力端子に接続される。例えば、S/H回路12には、入力されたRF信号に対して線路のオープンとショートとを切り替えるスイッチと入力されたRF信号に対して線路がオープンの際に電荷を蓄える容量とで構成された回路などが用いられる。S/H回路12は、入力されたRF信号をアンダーサンプリングし、アンダーサンプリングした信号を出力することができれば、どのような構成を用いてもよい。

20

【0016】

信号源13は、任意の信号波形または任意の周波数の信号を生成できる回路であり、周波数算出回路17が出力した C_{LK1} のデータに基づいて、S/H回路11に入力する第1のクロック信号を生成する信号源である。信号源13の制御端子は、周波数算出回路17の第1の出力端子に接続され、信号源13の出力端子は、S/H回路11のクロック端子に接続される。例えば、信号源13には、DAC（Digital-to-Analog Converter）、DDS（Direct Digital Synthesizer）、PLL（Phase Locked Loop）回路などが用いられる。なお、図1では省略しているが、信号源13は外部から入力された制御信号や基準信号を用いて、第1のクロック信号を生成してもよい。信号源13は、任意の信号波形または任意の周波数の信号を生成できれば、どのような回路を用いてもよい。

30

【0017】

信号源14は、任意の信号波形または任意の周波数の信号を生成できる回路であり、周波数算出回路17が出力した C_{LK2} のデータに基づいて、S/H回路12に入力する第2のクロック信号を生成する信号源である。信号源14の制御端子は、周波数算出回路17の第2の出力端子に接続され、信号源14の出力端子は、S/H回路12のクロック端子に接続される。例えば、信号源14には、DAC、DDS、PLL回路などが用いられる。なお、図1では省略しているが、信号源14は外部から入力された制御信号や基準信号を用いて、第2のクロック信号を生成してもよい。信号源14は、任意の信号波形または任意の周波数の信号を生成できれば、どのような回路を用いてもよい。

40

【0018】

フィルタ15は、所定の通過帯域を有し、S/H回路11が出力した信号のうち通過帯域内にある信号を通過させ、通過帯域外の周波数帯域にある信号を抑圧するフィルタである。フィルタ15は、S/H回路11が出力した信号のうち、通過帯域外に存在する信号や不要波を抑圧して、周波数算出回路17に出力する。フィルタ15の入力端子はS/H回路11の出力端子に接続され、フィルタ15の出力端子は周波数算出回路17の第1の入力端子に接続される。例えば、フィルタ15は、LPF（Low Pass Filter）、HPF（High Pass Filter）、BPF（Band Pass F

50

filter) が用いられる。フィルタ 15 は、チップインダクタ、チップキャパシタ等を用いて実装される。通過させる周波数帯や、必要な抑圧量に応じて他のマイクロストリップや、同軸共振器等の共振器を用いて構成してもよい。

【0019】

フィルタ 16 は、所定の通過帯域を有し、S/H回路 12 が出力した信号のうち通過帯域内にある信号を通過させ、通過帯域外の周波数帯域にある信号を抑圧するフィルタである。フィルタ 16 は、S/H回路 12 が出力した信号のうち、通過帯域外に存在する信号や不要波を抑圧して、周波数算出回路 17 に出力する。フィルタ 16 の入力端子は S/H回路 12 の出力端子に接続され、フィルタ 16 の出力端子は周波数算出回路 17 の第 2 の入力端子に接続される。例えば、フィルタ 16 は、LPF、HPF、BPF が用いられる。

10

【0020】

周波数算出回路 17 は、フィルタ 15 とフィルタ 16 が出力した信号から、 f_{RF} を特定し、その結果を出力するとともに、 CLK_1 と CLK_2 とを示すデータをそれぞれ信号源 13 と信号源 14 とに出力する回路である。周波数算出回路 17 の第 1 の入力端子はフィルタ 15 の出力端子に接続され、周波数算出回路 17 の第 2 の入力端子はフィルタ 16 の出力端子に接続され、周波数算出回路 17 の第 1 の出力端子は信号源 13 の制御端子に接続され、周波数算出回路 17 の第 2 の出力端子は信号源 14 の制御端子に接続される。

20

【0021】

図 2 は、この発明の実施の形態 1 に係る周波数算出回路 17 の一構成例を示す構成図である。周波数算出回路 17 は、量子化器 21、量子化器 22、 f_{out} 算出回路 23、位相差算出回路 24、 n 算出回路 25、 f_{RF} 算出回路 26、信号源制御回路 27 から構成される。なお、 n は、アンダーサンプリングの次数（クロック信号の次数とも言う）であり、以下の式 (1) を満たす整数である。

【0022】

【数 1】

$$f_{RF} = |n \cdot f_{CLK} + f_{out}| \cdot \dots (1)$$

30

【0023】

量子化器 21 は、入力された信号を量子化し、量子化した信号のデータを出力する回路である。量子化器 21 は、フィルタ 15 が出力した信号を量子化し、量子化した信号のデータを f_{out} 算出回路 23 と位相差算出回路 24 とに出力する。量子化器 21 の入力端子は、フィルタ 15 の出力端子に接続され、量子化器 21 の出力端子は、 f_{out} 算出回路 23 の入力端子と位相差算出回路 24 の第 1 の入力端子に接続される。例えば、量子化器 21 には ADC を用いることができる。なお、量子化器 21 に ADC を用いる場合、外部から入力されたクロック信号に同期して量子化を行ってもよい。量子化器 21 は、入力された信号を量子化し、量子化した信号のデータを出力することができれば、どのような構成を用いてもよい。

40

【0024】

量子化器 22 は、入力された信号を量子化し、量子化した信号のデータを出力する回路である。量子化器 22 は、フィルタ 16 が出力した信号を量子化し、量子化した信号のデータを位相差算出回路 24 に出力する。量子化器 22 の入力端子は、フィルタ 16 の出力端子に接続され、量子化器 22 の出力端子は、位相差算出回路 24 の第 2 の入力端子に接続される。例えば、量子化器 22 には ADC を用いることができる。なお、量子化器 22 に ADC を用いる場合、外部から入力されたクロック信号に同期して量子化を行ってもよい。量子化器 22 は、入力された信号を量子化し、量子化した信号のデータを出力することができれば、どのような構成を用いてもよい。

【0025】

50

f_{out} 算出回路 23 は、入力された信号の周波数を算出する回路であり、量子化器 21 が出力した信号から、その出力信号の周波数 f_{out} を算出し、算出した f_{out} を f_{RF} 算出回路 26 に出力する。 f_{out} 算出回路 23 の入力端子は、量子化器 21 の出力端子に接続され、 f_{out} 算出回路 23 の出力端子は、 f_{RF} 算出回路 26 の第 1 の入力端子に接続される。例えば、 f_{out} 算出回路 23 には、FPGA を用いることができる。このとき、FPGA は例えば FFT (Fast Fourier Transform) などの演算処理によって、 f_{out} を算出する。 f_{out} 算出回路 23 には、入力された信号の周波数を算出し、算出した f_{out} を出力することができれば、どのような構成のものを用いてもよい。

【0026】

位相差算出回路 24 は、入力された 2 つの信号の位相差を算出する回路であり、量子化器 21 及び量子化器 22 が出力した信号から、位相差 $\phi_{out2} - \phi_{out1}$ もしくは $\phi_{out1} - \phi_{out2}$ を算出し、算出した位相差を n 算出回路 25 に出力する。位相差算出回路 24 の第 1 の入力端子は、量子化器 21 の出力端子に接続され、位相差算出回路 24 の第 2 の入力端子は、量子化器 22 の出力端子に接続され、位相差算出回路 24 の出力端子は、 n 算出回路 25 の入力端子に接続される。例えば、位相差算出回路 24 には、FPGA 等の論理回路 (デジタル回路ともいう) を用いることができる。FPGA を用いた場合、例えば、直交復調演算と逆正接演算を組み合わせることで算出することができる。位相差算出回路 24 は、入力された 2 つの信号の位相差を算出し、算出結果を出力することができれば、どのような構成のものを用いてもよい。

【0027】

n 算出回路 25 は、位相差算出回路 24 が出力した $\phi_{out2} - \phi_{out1}$ もしくは $\phi_{out1} - \phi_{out2}$ の算出結果から、第 1 のクロック信号と第 2 のクロック信号との位相差 $CLK2 - CLK1$ を用いて n を算出し、算出した n を f_{RF} 算出回路 26 に出力する回路である。 n 算出回路 25 の入力端子は位相差算出回路 24 の出力端子に接続され、 n 算出回路 25 の出力端子は f_{RF} 算出回路 26 の第 2 の入力端子に接続される。例えば、 n 算出回路 25 は、FPGA 及びメモリから構成される。 n 算出回路 25 は、位相差算出回路 24 が出力した信号から、予めメモリに記憶しておいた $CLK2 - CLK1$ を用いて n を算出し、算出した n を出力することができれば、どのような構成のものを用いてもよい。

【0028】

f_{RF} 算出回路 26 は、 f_{out} 算出回路 23 が出力した f_{out} を示す信号と、 n 算出回路 25 が出力した n を示す信号から、 f_{RF} を算出し、算出した f_{RF} を出力する回路である。 f_{RF} 算出回路 26 の第 1 の入力端子は、 f_{out} 算出回路 23 の出力端子に接続され、 f_{RF} 算出回路 26 の第 2 の入力端子は、 n 算出回路 25 の出力端子に接続される。例えば、 f_{RF} 算出回路 26 には、FPGA を用いることができる。 f_{RF} 算出回路 26 は、 f_{out} を示す信号と n を示す信号とから、 f_{RF} を算出し、算出した f_{RF} を出力することができれば、どのような構成のものを用いてもよい。

【0029】

信号源制御回路 27 は、 $CLK1$ を示すデータと $CLK2$ を示すデータとをそれぞれ信号源 13 と信号源 14 とに出力する回路である。信号源制御回路 27 の第 1 の出力端子は信号源 13 の制御端子に接続され、信号源制御回路 27 の第 2 の出力端子は信号源 14 の制御端子に接続される。例えば、信号源制御回路 27 には、FPGA やメモリを用いることができる。 $CLK1$ と $CLK2$ とは、演算によって求めてもよいし、メモリなどに予め記憶しておいたデータを読み出してもよい。信号源制御回路 27 は、 $CLK1$ を示すデータと $CLK2$ を示すデータとを出力することができれば、どのような構成のものを用いてもよい。

【0030】

次に、この発明の実施の形態 1 による動作について説明する。ここでは、説明を簡単にするため、アンテナ 1 で受信した信号および周波数検出回路 3 に入力される信号は周波数 f

10

20

30

40

50

f_{RF} の 1 波とする。信号源 13、信号源 14 として PLL 回路を用い、フィルタ 15 とフィルタ 16 として LPF を用い、周波数算出回路 17 として、図 2 に用いる構成のものを用いる。また、量子化器 21、量子化器 22 として ADC を用い、 f_{out} 算出回路 23、位相差算出回路 24、 f_{RF} 算出回路 26 として FPGA を用い、 n 算出回路 25 として FPGA 及びメモリを用いることとする。なお、メモリは FPGA 内のメモリであっても FPGA 外のメモリであってもよい。量子化器 21 および量子化器 22 として用いた ADC はともに外部から入力された第 3 のクロック信号に同期して量子化を行うものとし、オーバーサンプリングしているものとする。なお、位相差算出回路 24 は、 out_2 out_1 を算出するものとする。

【0031】

10

まず、本受信機においてアンテナ 1 が空間を伝播する周波数 f_{RF} の信号を受信し、増幅器 2 に出力する。増幅器 2 は、アンテナ 1 が出力した受信信号を増幅して S/H 回路 11 と S/H 回路 12 とに出力する。

【0032】

信号源 13 は、周波数 f_{CLK} で初期位相 ϕ_{CLK1} の第 1 のクロック信号を生成し、S/H 回路 11 に出力する。信号源 14 は周波数 f_{CLK} で初期位相 ϕ_{CLK2} の第 2 のクロック信号を生成し、S/H 回路 12 に出力する。S/H 回路 11 は、第 1 のクロック信号に同期して、増幅器 2 が出力した受信信号をアンダーサンプリングする。

【0033】

図 3 は、この発明の実施の形態 1 に係る S/H 回路 11 の出力信号の周波数スペクトルを示す図である。横軸は周波数、縦軸は電力である。実線の矢印は S/H 回路 11 の入力信号、破線の矢印は S/H 回路 11 の出力信号を示す。S/H 回路 11 は、信号源 13 が出力した第 1 のクロック信号によって、増幅器 2 が出力した信号をアンダーサンプリングする。アンダーサンプリングにより、S/H 回路 11 の出力スペクトルは、第 1 のクロック信号の周波数の半分の周波数 $f_{CLK}/2$ (以降、ナイキスト周波数と呼ぶ) ごとに折り返し成分が生じる。このとき、S/H 回路 11 の出力信号は、複数の周波数成分を持つ。この周波数を $f_{S/H}$ とすると、以下の式 (2) で表される。

20

【0034】

【数 2】

$$f_{S/H} = |f_{RF} \pm n \cdot f_{CLK}| \cdots (2)$$

30

【0035】

ただし、 n は整数である。ここで、フィルタ 15 は、S/H 回路 11 の出力信号に含まれる多数の周波数成分のうち、最も周波数が低い成分の信号を通過させる。このとき、 f_{out} は、以下の式 (3) もしくは式 (4) で表される。

【0036】

【数 3】

$$f_{out} = f_{RF} - n \cdot f_{CLK} \quad (f_{RF} \geq n \cdot f_{CLK} \text{ のとき}) \cdots (3)$$

【0037】

40

【数 4】

$$f_{out} = -f_{RF} + n \cdot f_{CLK} \quad (f_{RF} < n \cdot f_{CLK} \text{ のとき}) \cdots (4)$$

【0038】

out_1 は以下の式 (5) もしくは式 (6) で表される。

【0039】

【数 5】

$$\theta_{out1} = \theta_{RF} - n \cdot \theta_{CLK1} \quad (f_{RF} \geq n \cdot f_{CLK} \text{ のとき}) \cdots (5)$$

【0040】

50

【数6】

$$\theta_{out1} = -\theta_{RF} + n \cdot \theta_{CLK1} \quad (f_{RF} < n \cdot f_{CLK} \text{のとき}) \dots (6)$$

【0041】

S/H回路12は、信号源14が出力した第2のクロック信号によって、増幅器2が出力した信号をアンダーサンプリングする。これにより、S/H回路12の出力スペクトルは、ナイキスト周波数ごとに折り返し成分が生じる。このとき、S/H回路12の出力信号には、S/H回路11の出力信号と同様に、複数の周波数成分が存在する。S/H回路11に対するフィルタ15と同様に、フィルタ16は、S/H回路12の出力信号に含まれる多数の周波数成分のうち、最も周波数が低い成分の信号を通過させる。このとき、 f_{out} は、以下の式(7)もしくは式(8)で表される。

10

【0042】

【数7】

$$f_{out} = f_{RF} - n \cdot f_{CLK} \quad (f_{RF} \geq n \cdot f_{CLK} \text{のとき}) \dots (7)$$

【0043】

【数8】

$$f_{out} = -f_{RF} + n \cdot f_{CLK} \quad (f_{RF} < n \cdot f_{CLK} \text{のとき}) \dots (8)$$

【0044】

このとき、S/H回路11とS/H回路12とで、入力されるクロック信号の位相が異なる(θ_{CLK1} 、 θ_{CLK2})ため、S/H回路11の出力信号とS/H回路12の出力信号とは、周波数が f_{out} であって、 θ_{out1} 、 θ_{out2} である。すなわち、フィルタ15の出力信号及びフィルタ16の出力信号は、周波数は同じで位相が異なる。このとき、 θ_{out2} は、以下の式(9)もしくは式(10)で表される。

20

【0045】

【数9】

$$\theta_{out2} = \theta_{RF} - n \cdot \theta_{CLK2} \quad (f_{RF} \geq n \cdot f_{CLK} \text{のとき}) \dots (9)$$

【0046】

【数10】

$$\theta_{out2} = -\theta_{RF} + n \cdot \theta_{CLK2} \quad (f_{RF} < n \cdot f_{CLK} \text{のとき}) \dots (10)$$

【0047】

なお、フィルタ15及びフィルタ16は、周波数算出回路17に多数の周波数成分が入力されることによる誤動作、もしくは高い電力の周波数成分が入力されることによる故障を防止するために設けられている。S/H回路11とS/H回路12の出力信号には f_{out} 以外に多数の周波数成分が存在するため、 f_{out} 以外の成分を十分抑圧できるようにフィルタの通過帯域もしくは実装方法を決定する。その場合のフィルタ15及びフィルタ16は、BPF(Band Pass Filter)であっても良い。さらに、S/H回路11とS/H回路12の出力信号に含まれる f_{out} 以外の周波数成分が、周波数算出回路17の動作可能な周波数以外となる場合、もしくは、それらの周波数成分の電力が低い場合など、周波数算出回路17で誤動作や故障が起きない場合は、フィルタ15及びフィルタ16は設けず、スルー回路で周波数算出回路17に接続するようにしても良い。

30

【0048】

量子化器21は、フィルタ15が出力したアナログ信号を量子化し、量子化した信号のデータをデジタル信号として f_{out} 算出回路23と位相差算出回路24に出力する。量子化器22は、フィルタ16が出力したアナログ信号を量子化し、量子化した結果をデジタル信号として位相差算出回路24に出力する。

40

【0049】

f_{out} 算出回路23は、量子化器21が出力したデジタル信号の周波数を算出し、算出した周波数を f_{RF} 算出回路26に出力する。位相差算出回路24は、量子化器21および量子化器22が出力した信号から、 $\theta_{out2} - \theta_{out1}$ を算出し、算出結果を n 算出回路25に出力する。このとき、 $\theta_{out2} - \theta_{out1}$ は以下の式(11)もしくは式(12)で表すことができる。

50

【 0 0 5 0 】

【 数 1 1 】

$$\theta_{out2} - \theta_{out1} = n(\theta_{CLK1} - \theta_{CLK2}) \quad (f_{RF} \geq n \cdot f_{CLK} \text{ のとき}) \dots (11)$$

【 0 0 5 1 】

【 数 1 2 】

$$\theta_{out2} - \theta_{out1} = n(\theta_{CLK2} - \theta_{CLK1}) \quad (f_{RF} < n \cdot f_{CLK} \text{ のとき}) \dots (12)$$

【 0 0 5 2 】

n は、式 (1 1) 及び式 (1 2) から以下の式 (1 3) 及び式 (1 4) で表される。

【 0 0 5 3 】

【 数 1 3 】

$$n = -\frac{\theta_{out2} - \theta_{out1}}{\theta_{CLK2} - \theta_{CLK1}} \quad (f_{RF} \geq n \cdot f_{CLK} \text{ のとき}) \dots (13)$$

【 0 0 5 4 】

【 数 1 4 】

$$n = \frac{\theta_{out2} - \theta_{out1}}{\theta_{CLK2} - \theta_{CLK1}} \quad (f_{RF} < n \cdot f_{CLK} \text{ のとき}) \dots (14)$$

【 0 0 5 5 】

n 算出回路 2 5 は、入力された $\theta_{out2} - \theta_{out1}$ を示すデータから、式 (1 3)、式 (1 4)、及び予めメモリに記憶しておいた $\theta_{CLK2} - \theta_{CLK1}$ を用いて n を算出し、算出した n を f_{RF} 算出回路 2 6 に出力する。

10

【 0 0 5 6 】

f_{RF} 算出回路 2 6 は、 f_{out} 算出回路 2 3 が出力した f_{out} を示す信号と、n 算出回路 2 5 が出力した n を示す信号から、式 (3) 及び式 (4) を用いて f_{RF} を算出し、算出した f_{RF} を周波数検出回路 3 の外部へと出力する。

【 0 0 5 7 】

ここで、n 及び f_{RF} の算出過程について詳細を説明する。一般的に任意の信号の位相を算出する場合、算出結果は 0° 以上 360° 未満の値で表される。すなわち、仮に $\theta_{out2} - \theta_{out1} = 370^\circ$ であったとしても、位相差算出回路 2 4 は $\theta_{out2} - \theta_{out1} = 10^\circ$ であると算出する。位相差算出回路 2 4 の算出結果には、このようなアンビギュイティ (不定性) があるため、正しく f_{RF} を算出するためには、 θ_{CLK1} 及び θ_{CLK2} を適切に設定する必要がある。

20

30

【 0 0 5 8 】

ここでは、説明を簡単にするため、本周波数検出回路 3 で検出したい周波数範囲は $3 \sim 10 \text{ GHz}$ であるとする。まず、 $f_{CLK} = 1 \text{ GHz}$ 、 $\theta_{CLK1} = 0^\circ$ 、 $\theta_{CLK2} = 10^\circ$ と設定し、 $f_{out} = 0.1 \text{ GHz}$ 及び $\theta_{out2} - \theta_{out1} = 330^\circ$ が得られた場合について説明する。

【 0 0 5 9 】

$\theta_{out2} - \theta_{out1}$ のアンビギュイティを考慮すると、 $\theta_{out2} - \theta_{out1} = 330^\circ + \dots \cdot 360^\circ$ である。ただし、 \dots は整数である。 $\theta_{out2} - \theta_{out1} = 330^\circ + \dots \cdot 360^\circ$ と $\theta_{CLK1} - \theta_{CLK2} = 10^\circ$ とを式 (1 1) に代入すると、 $n = -33 - 36 \dots$ である。n を式 (3) に代入し、さらに、 $f_{out} = 0.1 \text{ GHz}$ を式 (3) に代入すると、 $f_{RF} = -33 - 36 \dots + 0.1 \text{ GHz}$ である。本周波数検出回路 3 で検出したい周波数範囲は $3 \sim 10 \text{ GHz}$ であることから、これを満たす \dots は -1 のみであり、 $n = 3$ である。これより、 $f_{RF} = 3.1 \text{ GHz}$ と算出できる。

40

【 0 0 6 0 】

また、式 (1 2) についても同様に考えると、 $n = 33 + 36 \dots$ である。n を式 (4) に代入し、さらに、 $f_{out} = 0.1 \text{ GHz}$ を式 (4) に代入すると、 $f_{RF} = 33 + 36 \dots - 0.1 \text{ GHz}$ である。本周波数検出回路 3 で検出したい周波数範囲は $3 \sim 10 \text{ GHz}$

50

であるから、式(4)から得られる f_{RF} を満たす n は存在しない。これより、 $n = 3$ 、 $f_{RF} = 3.1 \text{ GHz}$ と一意に算出できる。

【0061】

次に、 $f_{CLK} = 1 \text{ GHz}$ 、 $\theta_{CLK1} = 0^\circ$ 、 $\theta_{CLK2} = 90^\circ$ と設定し、 $f_{out} = 0.1 \text{ GHz}$ 、 $\theta_{out2} - \theta_{out1} = 90^\circ$ が得られた場合について説明する。

【0062】

$\theta_{out2} - \theta_{out1}$ のアンビギュイティを考慮すると、実際の $\theta_{out2} - \theta_{out1}$ は、 $90^\circ + n \cdot 360^\circ$ である。これと式(11)より、 $n = -1 - 4$ である。 n を式(3)に代入し、さらに、 $f_{out} = 0.1 \text{ GHz}$ を式(3)に代入すると、 $f_{RF} = -1 - 4 + 0.1 \text{ GHz}$ である。本周波数検出回路3で検出したい周波数範囲は3 ~ 10 GHz であるため、これを満たす n は -1、-2 の2つ、すなわち $n = 3, 7$ である。これより、 $f_{RF} = 3.1$ もしくは 7.1 GHz となる。

10

【0063】

また、式(12)についても同様に考えると、 $n = 1 + 4$ である。 n を式(4)に代入し、さらに、 $f_{out} = 0.1 \text{ GHz}$ を式(4)に代入すると、 $f_{RF} = 1 + 4 - 0.1 \text{ GHz}$ である。本周波数検出回路3で検出したい周波数範囲は3 ~ 10 GHz であるため、これを満たす n は 1、2 の2つ、すなわち $n = 5, 9$ である。これより、 $f_{RF} = 4.9$ もしくは 8.9 GHz となる。このとき、 n および f_{RF} は一意に決めることができず、正しく f_{RF} を特定できない。

【0064】

20

このように、 θ_{CLK1} 及び θ_{CLK2} を適切に設定しないと f_{RF} を一意に算出することはできない。 f_{RF} を一意に算出するためには、本周波数検出回路3で検出したい最大周波数を f_x とすると、位相差算出回路24で検出可能な位相の範囲が θ_1 から θ_2 の範囲である場合(例えば $0^\circ \sim 360^\circ$)、以下の式(15)を満たすように θ_{CLK1} 及び θ_{CLK2} を定める必要がある。

【0065】

【数15】

$$\theta_{CLK2} - \theta_{CLK1} < \frac{\theta_2 - \theta_1}{\text{round}(\frac{f_x}{f_{CLK}})} \dots (15)$$

30

【0066】

信号源制御回路27は、式(15)を満たすように算出した θ_{CLK1} 及び θ_{CLK2} を示すデータを出力する。なお、図2には記載していないが、 θ_{CLK1} 及び θ_{CLK2} の算出は、信号源制御回路27が行ってもよいし、周波数算出回路17の外部で演算を行った結果を信号源制御回路27に入力して記憶しておいてもよい。

【0067】

以上のように、実施の形態1によれば、周波数が同じで位相の異なるクロック信号が入力される2つのS/H回路を用いてRF信号(受信信号)をアンダーサンプリングし、S/H回路の出力信号の周波数と2つのS/H回路の出力信号の位相差とから、RF信号に対するアンダーサンプリングの次数を求めて、その次数からRF信号の周波数を特定することができる。RF信号の周波数にかかわらず2つのS/H回路でRF信号の周波数を特定できるので、RF信号が高周波化しても回路規模は増大しない。また、サンプリング周波数(クロック信号の周波数)も高くしなくても良い。これにより、消費電力の増大を抑えた周波数検出回路を実現できる。

40

【0068】

以上の説明では、 f_{out} 算出回路23が量子化器21の出力信号の周波数を算出する場合について説明したが、 f_{out} 算出回路23は量子化器22の出力信号の周波数を算出してよい。また、ここでは、位相差算出回路24が $\theta_{out2} - \theta_{out1}$ の値を算出する場合について説明したが、位相差算出回路24は $\theta_{out1} - \theta_{out2}$ の値を算出してよい。ただし、このとき、 n 算出回路25では、式(11)及び式(12)の右

50

辺にマイナスを付けた式を用いて n を算出する。

【0069】

実施の形態1では、受信信号の周波数を変換する回路はS/H回路11及びS/H回路12としたが、S/H回路11とS/H回路12とに入力されるRF信号が同じで、かつフィルタ15とフィルタ16との出力信号の周波数が同じになれば、アンテナ1の出力端子から周波数算出回路17の第1および第2の入力端子までの間に周波数変換回路を設けてもよい。周波数変換回路には、例えば、分周器、逡倍器、ミキサ、S/H回路などを用いることができる。

【0070】

以上の説明では、信号源13及び信号源14を用いて第1のクロック信号及び第2のクロック信号を生成したが、第1のクロック信号及び第2のクロック信号は、周波数が同じで位相が異なっていれば、別の回路を用いて生成してもよい。例えば、信号源と電力分配器と移相器とを用いることができる。この場合、信号源が出力する信号を電力分配器で2つの信号に分配し、そのうち一方の信号を第1のクロック信号とし、もう一方の信号の位相を移相器で移相させて第2のクロック信号とすればよい。

10

【0071】

ここではS/H回路11とS/H回路12とが出力した信号のうち、フィルタ15とフィルタ16とを用いて、最も周波数が低い成分の信号を通過させたが、他の周波数成分の信号を通過させてもよい。 $f_{out} = f_{RF}$ となる条件であれば、第1ナイキストゾーン以外に存在する周波数成分の信号であってもよい。

20

【0072】

なお、ここでは、量子化器21と量子化器22とを用いて、フィルタ15とフィルタ16との出力信号を量子化した後にデジタル回路で $out_2 - out_1$ の算出を行ったが、 $out_2 - out_1$ をアナログ回路で抽出した後に量子化を行ってもよい。

【0073】

図4は、この発明の実施の形態1に係る周波数算出回路17の他の構成例を示す構成図である。 f_{out} 算出回路31では、量子化器33がフィルタ15の出力信号を量子化し、演算器34がFFTなどの演算処理を行い、 f_{out} を算出する。位相差算出回路32では、まず、ミキサ35がフィルタ15とフィルタ16が出力した2つのアナログ信号を混合し、2つの信号の位相差を示すアナログ信号を量子化器36に出力する。量子化器36は、位相差を示すアナログ信号を量子化し、演算器37に出力する。ここで、ミキサ35の出力信号は、 $out_2 - out_1$ そのものの値を示す信号ではないが、 $out_2 - out_1$ と一意に対応する信号である。演算器37は、ミキサ35が出力する位相差を示す信号に対して、位相差を示す信号と $out_2 - out_1$ との対応関係を予め記憶しておいたメモリ38から、 $out_2 - out_1$ の値を読み出し、 $out_2 - out_1$ を示すデータを n 算出回路25に出力する。なお、演算器37は、FPGAなどで構成される。

30

【0074】

また、ここでは n は整数としたが、回路の性能のばらつきなどによって、 n 算出回路25で算出した n が整数に近い値の小数になる場合には、小数の n を四捨五入などによって整数にしてもよい。

40

【0075】

以上の説明では、周波数検出回路3に入力される信号は周波数 f_{RF} の1波としたが、複数波であってもよい。複数波であった場合、S/H回路11及びS/H回路12の出力信号において、第1ナイキストゾーン内に存在する信号も複数となる。このとき、フィルタ15の出力信号とフィルタ16の出力信号とは、周波数は同じで位相が異なるため、1波の場合と同様にして受信信号の周波数を特定することができる。

【0076】

ただし、 f_{RF} がナイキスト周波数の整数倍となる場合（以降、事象Aと呼ぶ）、S/H回路11及びS/H回路12でのアンダーサンプリングによって f_{out} がDC (Dir

50

ect Current)となり位相情報が存在しなくなるため、 f_{RF} を特定できない。図2には記載していないが、 f_{out} 算出回路23で f_{out} を算出した結果、 f_{out} がDCであれば、それを外部に通知するようにしてもよい。さらに、その通知結果を元に f_{CLK} を変更し、事象Aの周波数関係を避けるように制御するようにしてもよい。

【0077】

また、周波数検出回路3に入力される信号が複数波であって、その複数波をS/H回路11とS/H回路12とがアンダーサンプリングすることによって生じる信号(複数波に対するS/H回路11及びS/H回路12の出力信号)の周波数が、第1ナイキストゾーンにおいて同じになる場合(以降、事象Bと呼ぶ)、位相関係が式(5)~(8)で表せないため、 n 算出回路25で算出した n は、周波数検出回路3で検出する周波数範囲の対象外となる値や、整数から大きく離れた小数値となる。これより、正しく周波数を特定できない。図2には記載していないが、 n 算出回路25での n の算出結果をモニタする回路を設け、 n が周波数検出回路3で検出する周波数範囲の対象外となる値や、整数から大きく離れた小数値となった場合に、それを外部に通知してもよい。さらに、その通知結果を元に f_{CLK} を変更し、事象Bの周波数関係を避けるように制御を掛けてもよい。

10

【0078】

実施の形態2.

実施の形態1では、事象Aおよび事象Bとなる周波数関係の場合、正しく f_{RF} を特定できない、もしくは f_{RF} を特定できないことが分かった後に事象Aおよび事象Bとなる周波数関係を避けるように f_{CLK} を変更するため、正しい f_{RF} の検出に時間が掛かった。実施の形態2では、実施の形態1で示した周波数検出回路を2つ用いて、それぞれの周波数検出回路内のS/H回路に入力するクロック信号を互いに異なる周波数とすることによって、どちらかの周波数検出回路で事象Aおよび事象Bを避けて正しい f_{RF} を特定する。

20

【0079】

図5は、この発明の実施の形態2に係る受信機の一構成例を示す構成図である。周波数検出回路301は、互いにアンダーサンプリングするクロック周波数が異なる周波数検出回路3及び周波数検出回路101を有する。図5において図1と同一の符号は、同一または相当の部分を表し、説明を省略する。

f_{CLK1} は信号源13及び信号源14の出力信号の周波数、 ϕ_{CLK11} は信号源13の出力信号の初期位相、 ϕ_{CLK12} は信号源14の出力信号の初期位相、 f_{out1} はフィルタ15の出力信号の周波数、 ϕ_{out11} はフィルタ15の出力信号の初期位相、 ϕ_{out12} はフィルタ16の出力信号の初期位相、 f_{CLK2} は信号源113及び信号源114の出力信号の周波数、 ϕ_{CLK21} は信号源113の出力信号の初期位相、 ϕ_{CLK22} は信号源114の出力信号の初期位相、 f_{out2} はフィルタ115の出力信号の周波数、 ϕ_{out21} はフィルタ115の出力信号の初期位相、 ϕ_{out22} はフィルタ116の出力信号の初期位相である。

30

【0080】

周波数検出回路101は、入力された信号の周波数を特定し、その周波数を示す信号を出力する回路である。周波数検出回路101は、増幅器2が出力した信号から f_{RF} を特定し、 f_{RF} を示す信号を判定回路118に出力する。周波数検出回路101の入力端子は、増幅器2の出力端子に接続され、周波数検出回路101の出力端子は、判定回路118の第2の入力端子に接続される。

40

【0081】

S/H回路111は、信号源113が出力した第3のクロック信号に同期して、増幅器2が出力した信号をアンダーサンプリングして、アンダーサンプリングした信号をフィルタ115に出力するサンプルアンドホールド回路である。S/H回路111のRF端子は増幅器2の出力端子に接続され、S/H回路111のクロック端子は信号源113の出力端子に接続され、S/H回路111の出力端子はフィルタ115の入力端子に接続される。例えば、S/H回路111には、入力されたRF信号(増幅器2の出力信号)に対して線

50

路のオープンとショートとを切り替えるスイッチと入力されたRF信号に対して線路がオープンの際に電荷を蓄える容量とで構成された回路などが用いられる。S/H回路111は、入力されたRF信号をアンダーサンプリングし、アンダーサンプリングした信号を出力することができれば、どのような構成を用いてもよい。

【0082】

S/H回路112は、信号源114が出力した第4のクロック信号に同期して、増幅器2が出力した信号をアンダーサンプリングして、アンダーサンプリングした信号をフィルタ116に出力するサンプルアンドホールド回路である。S/H回路112のRF端子は増幅器2の出力端子に接続され、S/H回路112のクロック端子は信号源114の出力端子に接続され、S/H回路112の出力端子はフィルタ116の入力端子に接続される。例えば、S/H回路112には、入力されたRF信号に対して線路のオープンとショートとを切り替えるスイッチと入力されたRF信号に対して線路がオープンの際に電荷を蓄える容量とで構成された回路などが用いられる。S/H回路112は、入力されたRF信号をアンダーサンプリングし、アンダーサンプリングした信号を出力することができれば、どのような構成を用いてもよい。

10

【0083】

信号源113は、任意の信号波形または任意の周波数の信号を生成できる信号源であり、S/H回路111に inputsする第3のクロック信号を生成する回路である。信号源113の出力端子は、S/H回路111のクロック端子に接続される。例えば、信号源113には、DAC、DDS、PLL回路などが用いられる。なお、図5では省略しているが、信号源113は外部から入力された制御信号や基準信号を用いて、第3のクロック信号を生成してもよい。信号源113は、任意の信号波形または任意の周波数の信号を生成できれば、どのような回路を用いてもよい。

20

【0084】

信号源114は、任意の信号波形または任意の周波数の信号を生成できる信号源であり、S/H回路112に inputsする第4のクロック信号を生成する回路である。信号源114の出力端子は、S/H回路112のクロック端子に接続される。例えば、信号源114には、DAC、DDS、PLL回路などが用いられる。なお、図5では省略しているが、信号源114は外部から入力された制御信号や基準信号を用いて、第4のクロック信号を生成してもよい。信号源114は、任意の信号波形または任意の周波数の信号を生成できれば、どのような回路を用いてもよい。

30

【0085】

フィルタ115は、所定の通過帯域を有し、S/H回路111が出力した信号のうち通過帯域内にある信号を通過させ、通過帯域外の周波数帯域にある信号を抑圧するフィルタである。フィルタ115は、S/H回路111が出力した信号のうち、通過帯域外に存在する信号や不要波を抑圧して、周波数算出回路117に出力する。フィルタ115の入力端子はS/H回路111の出力端子に接続され、フィルタ115の出力端子は周波数算出回路117の第1の入力端子に接続される。例えば、フィルタ115は、チップインダクタ、チップキャパシタ等を用いて実装される。通過させる周波数帯や、必要な抑圧量に応じて他のマイクロストリップや、同軸共振器等の共振器を用いて構成してもよい。

40

【0086】

フィルタ116は、所定の通過帯域を有し、S/H回路112が出力した信号のうち通過帯域内にある信号を通過させ、通過帯域外の周波数帯域にある信号を抑圧するフィルタである。フィルタ116は、S/H回路112が出力した信号のうち、通過帯域外に存在する信号や不要波を抑圧して、周波数算出回路117に出力する。フィルタ116の入力端子はS/H回路112の出力端子に接続され、フィルタ116の出力端子は周波数算出回路117の第2の入力端子に接続される。例えば、フィルタ116は、チップインダクタ、チップキャパシタ等を用いて実装される。通過させる周波数帯や、必要な抑圧量に応じて他のマイクロストリップや、同軸共振器等の共振器を用いて構成してもよい。

【0087】

50

周波数算出回路 117 は、フィルタ 115 とフィルタ 116 とが出力した信号から、 f_{RF} を特定する回路である。周波数算出回路 117 の第 1 の入力端子はフィルタ 115 の出力端子に接続され、周波数算出回路 117 の第 2 の入力端子はフィルタ 116 の出力端子に接続され、周波数算出回路 117 の出力端子は判定回路 118 の第 2 の入力端子に接続される。周波数算出回路 117 には、例えば、図 2 に示す構成を用いることができる。

【0088】

判定回路 118 は、周波数算出回路 117 及び周波数算出回路 117 が出力した f_{RF} を示す信号に対してどちらの f_{RF} が正しいかを判定する回路である。判定回路 118 の第 1 の入力端子は、周波数算出回路 117 の出力端子に接続され、判定回路 118 の第 2 の入力端子は、周波数算出回路 117 の出力端子に接続される。判定回路 118 には、例えば、FPGA を用いることができる。

10

【0089】

演算回路 119 は、事象 A および事象 B となる周波数関係を避けるように f_{CLK1} 及び f_{CLK2} を演算し、演算した f_{CLK1} 及び f_{CLK2} をそれぞれ周波数算出回路 117 及び周波数算出回路 117 を介して、信号源 13 及び信号源 14 と、信号源 113 及び信号源 114 とに出力する演算回路である。予め事象 A 及び事象 B となる周波数関係を避けるように、演算回路 119 は f_{CLK1} 及び f_{CLK2} を決定する。演算回路には、例えば、CPU (Central Processing Unit) とメモリからなるコンピュータ、マイコン、FPGA などを用いることができるが、以下に示す f_{CLK1} 及び f_{CLK2} の決定フローを実行できればどのような演算回路であっても良い。

20

【0090】

次に、この発明の実施の形態 2 に係る周波数検出回路 301 を含む受信機の動作について説明する。なお、周波数検出回路 3 と周波数検出回路 101 の両方において、事象 A および事象 B となる周波数関係以外の場合の動作は、実施の形態 1 と同じであるため、説明を省略する。ここでは、周波数算出回路 117 及び周波数算出回路 117 は、図 2 に示す構成を用いることとする。

【0091】

周波数検出回路 3 と周波数検出回路 101 のどちらか一方において、事象 A もしくは事象 B の場合の周波数関係となる場合、その周波数検出回路では f_{RF} を正しく特定できないため、特定した f_{RF} はその周波数検出回路で検出できる周波数範囲の対象外となる周波数となる。しかし、もう一方の周波数検出回路では、アンダーサンプリングに用いるクロック信号の周波数が f_{RF} を正しく特定できない他方の周波数検出回路のクロック信号の周波数と異なるため、事象 A もしくは事象 B の場合の周波数関係を避けることができ、 f_{RF} を正しく特定できる。事象 A 及び事象 B は受信信号の周波数とクロック信号の周波数とがある組み合わせのときに生じるが、2 つの周波数検出回路に入力される受信信号の周波数は変わらず、クロック信号の周波数が異なるため、一方の周波数検出回路でその関係を満たした場合、他方の周波数検出回路では事象 A 及び事象 B を満たさなくなる。したがって、どちらかの周波数検出回路で f_{RF} を正しく特定を特定できる。

30

【0092】

判定回路 118 では、周波数検出回路 3 及び周波数検出回路 101 のそれぞれが出力した f_{RF} を示す信号から、正しい f_{RF} を特定する。このとき、例えば判定回路 118 では、まず周波数検出回路 3 及び周波数検出回路 101 のそれぞれが出力した f_{RF} を示す信号を比較し、同じであればそのまま f_{RF} を示す信号を出力し、異なっていれば f_{RF} を示す信号が周波数検出回路 3 及び周波数検出回路 101 で検出できる周波数範囲であるか否かを判断し、正しい方の f_{RF} を示す信号を出力する。

40

【0093】

なお、周波数検出回路 3 及び周波数検出回路 101 のどちらか一方が、事象 A もしくは事象 B の周波数関係となる場合であっても、算出した f_{RF} が周波数検出回路 3 及び周波数検出回路 101 で検出できる周波数範囲内の周波数となる場合もある。このため、図 5 には記載していないが、判定回路 118 は、周波数検出回路 3 と周波数検出回路 101 と

50

が算出した f_{RF} の他に、 n の値を用いて正しい f_{RF} を特定してもよい。このとき、例えば、算出した n が、整数から大きく離れた小数となった場合、その周波数検出回路が算出した f_{RF} は誤りとするといった演算手順で正しい f_{RF} を特定できる。

【0094】

周波数検出回路3及び周波数検出回路101の両方において、事象Aもしくは事象Bの周波数関係となる場合は、 f_{RF} を正しく特定できなくなる。このため、本実施の形態においては、事象Aもしくは事象Bの周波数関係を避けるように f_{CLK1} 及び f_{CLK2} を設定する必要がある。

【0095】

図6は、この発明の実施の形態2に係る周波数検出回路の演算回路119における f_{CLK1} 及び f_{CLK2} の設定手順の一例を示すフローチャートである。ここでは、周波数検出回路3及び周波数検出回路101で検出できる周波数範囲は、 f_{min} から f_{max} とする。

10

【0096】

ステップS101において、まず、演算回路119は f_{CLK1} を設定する。

【0097】

次に、ステップS102において、演算回路119は、ステップS101で定めた f_{CLK1} から、 f_{min} から f_{max} の範囲で f_{out1} がDCとなる f_{RF} を算出する。なお、 f_{RF} の値は1つの場合も複数の場合もある。

【0098】

次に、ステップS103において、演算回路119は f_{CLK2} を設定する。

20

【0099】

次に、ステップS104において、演算回路119は、ステップS103で定めた f_{CLK2} から、 f_{min} から f_{max} の範囲で f_{out2} がDCとなる f_{RF} を算出する。なお、 f_{RF} の値は1つの場合も複数の場合もある。

【0100】

次に、ステップS105において、演算回路119は、ステップS102で求めた f_{RF} とステップS104で求めた f_{RF} とを比較し、同じ値があるか否かを判別する。同じ値の f_{RF} がない場合、ステップS106に進む。同じ値の f_{RF} がある場合、ステップS103に進み、演算回路119は、先にステップS103で設定した値と別の値に f_{CLK2} を設定する。

30

【0101】

次に、ステップS106において、演算回路119は、ステップS101で設定した f_{CLK1} を用いて、同じ f_{out1} となる f_{RF} の組み合わせを算出する。例えば、 $f_{CLK1} = 1 \text{ GHz}$ の場合、 $f_{RF} = 1.1 \text{ GHz}$ と $f_{RF} = 1.9 \text{ GHz}$ との組み合わせは、同じ $f_{out1} = 0.1 \text{ GHz}$ となる。

【0102】

次に、ステップS107において、演算回路119は、ステップS103で設定した f_{CLK2} を用いて、同じ f_{out2} となる f_{RF} の組み合わせを算出する。例えば、 $f_{CLK2} = 1.5 \text{ GHz}$ の場合、 $f_{RF} = 1.6 \text{ GHz}$ と $f_{RF} = 2.9 \text{ GHz}$ との組み合わせは、同じ $f_{out2} = 0.1 \text{ GHz}$ となる。

40

【0103】

次に、ステップS108において、演算回路119は、ステップS106の算出結果とステップS107の算出結果とを比較し、同じ f_{RF} の組み合わせがあるか否かを判別する。同じ組み合わせがある場合、ステップS109に進む。同じ組み合わせがない場合、演算回路119は、 f_{CLK1} と f_{CLK2} とをそれぞれ周波数検出回路3の周波数算出回路17と周波数検出回路101の周波数算出回路117とに出力し、フローを終了する。

【0104】

フロー終了後、周波数算出回路17は、信号源13及び信号源14に f_{CLK1} を出力

50

し、信号源 1 3 及び信号源 1 4 は、クロック周波数を f_{CLK1} に設定する。同様に、周波数算出回路 1 1 7 は、信号源 1 1 3 及び信号源 1 1 4 に f_{CLK2} を出力し、信号源 1 1 3 及び信号源 1 1 4 は、出力するクロック周波数を f_{CLK2} に設定する。

【0105】

次に、ステップ S 1 0 9 において、演算回路 1 1 9 は、これまでのフローで設定した f_{CLK2} 以外の値に f_{CLK2} を設定できるか否かを判断する。このとき、これまでのフローで定めた f_{CLK2} と信号源 1 1 3 及び信号源 1 1 4 の周波数設定範囲とを考慮して判断する。例えば、信号源 1 1 3 及び信号源 1 1 4 が出力周波数範囲 1 ~ 2 GHz で分解能 0.5 GHz の PLL 回路である場合、設定可能な f_{CLK2} は 1 GHz、1.5 GHz、2 GHz の 3 つであり、これまでのフローでこれら 3 つの値の全てを f_{CLK2} として定めたか否かを判断する。周波数設定範囲内において f_{CLK2} を他の値に設定できる場合はステップ S 1 0 3 に進み、演算回路 1 1 9 は、 f_{CLK2} を別の値に設定する。一方、周波数設定範囲内において f_{CLK2} を他の値に設定できない場合はステップ S 1 0 1 に進み、演算回路 1 1 9 は、先に設定した値と別の値に f_{CLK1} を設定する。

10

【0106】

以上のように、実施の形態 2 によれば、実施の形態 1 の周波数検出回路と同様の効果を得ることができる。加えて、2 つの周波数検出回路を用い、それぞれの周波数検出回路のクロック信号を互いに異なる周波数とすることによって、片方の周波数検出回路が事象 A もしくは事象 B の周波数関係となっても、もう片方の周波数検出回路においてその周波数関係を避けることができ、正しく f_{RF} を特定できる。これにより、実施の形態 2 に係る周波数検出回路は、周波数検出の信頼性を向上させることができる。

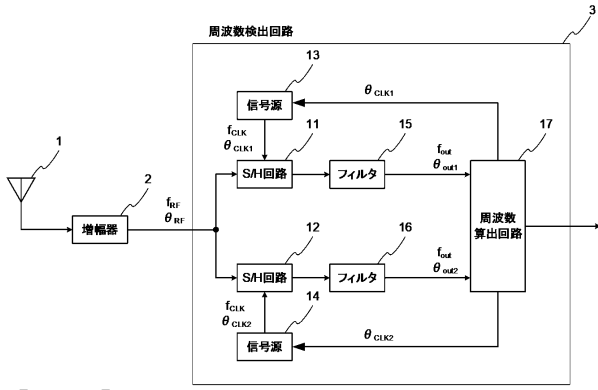
20

【符号の説明】

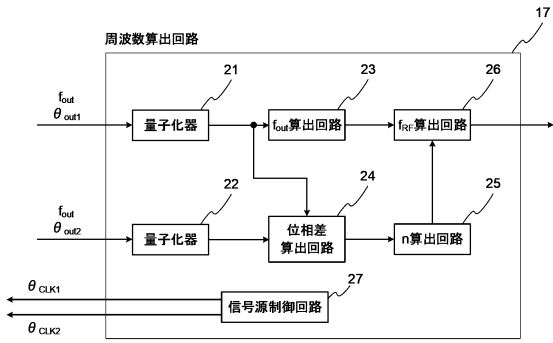
【0107】

1 アンテナ、2 増幅器、3 101 301 周波数検出回路、11 12 11
1 112 S/H回路、13 14 113 114 信号源、15 16 115
116 フィルタ、17 117 周波数算出回路、21 22 33 36 量子化器、
23 31 f_{out} 算出回路、24 32 位相差算出回路、25 n算出回路、2
6 f_{RF} 算出回路、27 信号源制御回路、34 37 演算器、35 ミキサ、38
メモリ、118 判定回路、119 演算回路。

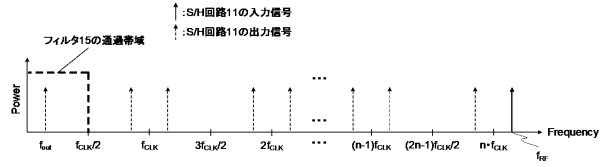
【図1】



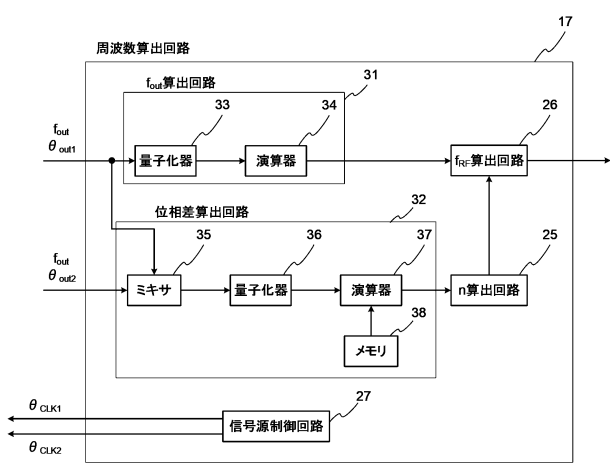
【図2】



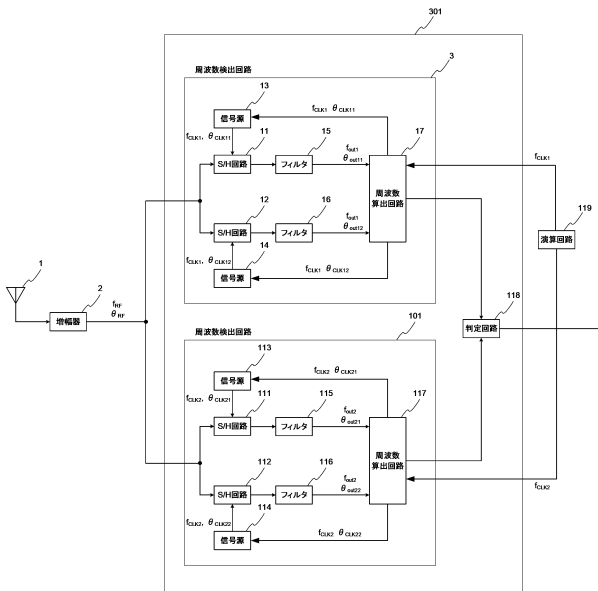
【図3】



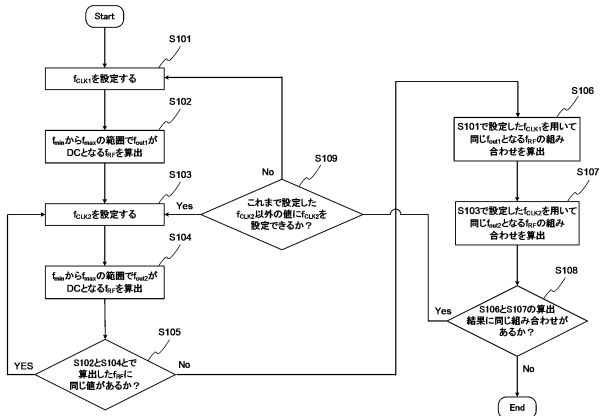
【図4】



【図5】



【図6】



フロントページの続き

- (56)参考文献 米国特許第04348735 (US, A)
特開2009-162662 (JP, A)
特開2009-300437 (JP, A)
国際公開第2018/154747 (WO, A1)
特開2000-284008 (JP, A)
特開2006-119148 (JP, A)
特開2017-216604 (JP, A)
特開2018-174415 (JP, A)
米国特許第07194365 (US, B1)
米国特許出願公開第2007/0250279 (US, A1)

(58)調査した分野(Int.Cl., DB名)

IPC G01R 23/00 - 23/20