

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4749052号  
(P4749052)

(45) 発行日 平成23年8月17日(2011.8.17)

(24) 登録日 平成23年5月27日(2011.5.27)

(51) Int.Cl. F I  
 HO 1 G 7/06 (2006.01) HO 1 G 7/06  
 HO 3 H 5/12 (2006.01) HO 3 H 5/12  
 HO 3 H 7/12 (2006.01) HO 3 H 7/12

請求項の数 6 (全 21 頁)

(21) 出願番号 特願2005-178279 (P2005-178279)  
 (22) 出願日 平成17年6月17日(2005.6.17)  
 (65) 公開番号 特開2006-49840 (P2006-49840A)  
 (43) 公開日 平成18年2月16日(2006.2.16)  
 審査請求日 平成20年1月18日(2008.1.18)  
 (31) 優先権主張番号 特願2004-190454 (P2004-190454)  
 (32) 優先日 平成16年6月28日(2004.6.28)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000006633  
 京セラ株式会社  
 京都府京都市伏見区竹田鳥羽殿町6番地  
 (72) 発明者 山形 佳史  
 京都府相楽郡精華町光台3丁目5番地3号  
 京セラ株式会社中央研究所内  
 (72) 発明者 勝田 宏  
 京都府相楽郡精華町光台3丁目5番地3号  
 京セラ株式会社中央研究所内

審査官 酒井 朋広

最終頁に続く

(54) 【発明の名称】 可変容量コンデンサ、回路モジュールおよび通信装置

(57) 【特許請求の範囲】

【請求項1】

高周波信号の入力端子と出力端子との間に印加電圧により誘電率が変化する薄膜誘電体層を用いた複数の可変容量素子が直列接続されており、前記印加電圧の高電位側の第1バイアスラインと低電位側の第2バイアスラインとが、複数の前記可変容量素子の両端および各素子間に交互に接続されており、

複数の前記可変容量素子のうち、前記入力端子に接続された可変容量素子および前記出力端子に接続された可変容量素子は、その容量値が他の前記可変容量素子の容量値よりも大きく、

複数の前記可変容量素子のうち、前記第1バイアスラインが前記入力端子側に接続された可変容量素子群Aの容量値の合計値と前記第1バイアスラインが前記出力端子側に接続された可変容量素子群Bの容量値の合計値とが実質的に等しいことを特徴とする可変容量コンデンサ。

【請求項2】

高周波信号の入力端子と出力端子との間に印加電圧により誘電率が変化する薄膜誘電体層を用いた奇数個の可変容量素子が直列接続されており、前記印加電圧の高電位側の第1バイアスラインと低電位側の第2バイアスラインとが、奇数個の前記可変容量素子の両端および各素子間に交互に接続されており、

奇数個の前記可変容量素子のうち、前記第1バイアスラインが前記入力端子側に接続された可変容量素子群Aの容量値の合計値と前記第1バイアスラインが前記出力端子側に接続

10

20

された可変容量素子群 B の容量値の合計値とが実質的に等しいことを特徴とする可変容量コンデンサ。

【請求項 3】

前記可変容量素子が偶数であることを特徴とする請求項 1 記載の可変容量コンデンサ。

【請求項 4】

前記可変容量素子群 A の前記可変容量素子と前記可変容量素子群 B の前記可変容量素子とが実質的に等しい容量値の対になっていることを特徴とする請求項 3 記載の可変容量コンデンサ。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかに記載の可変容量コンデンサが共振回路を構成するコンデンサとして用いられていることを特徴とする回路モジュール。

10

【請求項 6】

請求項 5 記載の回路モジュールがフィルタ手段として用いられていることを特徴とする通信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、印加電圧により誘電率が変化する誘電体層を有し、容量が変化するにより共振周波数を変化させることができる可変容量コンデンサならびにそれを用いた回路モジュールおよび通信装置に関するものであり、特に、耐電力、低歪み、低損失等の特性に優れた可変容量コンデンサならびにそれを用いた回路モジュールおよび通信装置に関するものである。

20

【背景技術】

【0002】

従来から、印加電圧により誘電体層の誘電率が変化する薄膜コンデンサが提案されている（例えば、特許文献 1 を参照。）。

【0003】

この特許文献 1 に提案されている薄膜コンデンサは、図 10 にその例を断面図で示すように、支持基板 201 上に、下部電極層 202 と、薄膜誘電体層 203 と、上部電極層 204 とを順次被着形成した薄膜コンデンサ 200 である。具体的には、支持基板 201 上の略全面に下部電極層 202 となる導体層を被着形成した後、電極形状にパターン加工を行ない、所定形状の下部電極層 202 を形成する。次に、下部電極層 202 上に薄膜誘電体層 203 を形成する。この薄膜誘電体層 203 は、所定位置にマスクを載置して薄膜形成法により形成したり、あるいは、スピンコート法により形成し、その後、所定形状にパターニングしたりすることによって形成する。なお、必要に応じて薄膜誘電体層 203 について加熱硬化処理を行なう。次に、薄膜誘電体層 203 上の略全面に上部電極層 204 となる導体層を形成した後、上部電極層 204 の電極形状にパターン加工を施して所定形状の上部電極層 204 を形成して、薄膜コンデンサ 200 が形成されていた。なお、ここで、薄膜誘電体層 203 のうち、実際に下部電極層 202 と上部電極層 204 とで挟持される対向領域が容量発生領域となる。

30

【0004】

このような薄膜コンデンサ 200 によれば、薄膜誘電体層 203 に所定の直流バイアス電圧（バイアス信号）を印加して、薄膜誘電体層 203 の誘電率を所望の値に制御することにより容量特性を制御することができ、その結果、可変容量コンデンサとして機能するものとなる。

40

【特許文献 1】特開平 11 - 260667 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、この薄膜コンデンサ 200 を使用する際には、例えば図 11 ( a ) , ( b ) にそれぞれ等価回路図で示すように、バイアス信号は薄膜コンデンサ 200 が実装される配

50

線基板に形成した外部回路（バイアス供給回路）Gで供給されていた。

【0006】

ここで、図11(a)では、薄膜コンデンサ200とバイアス供給回路Gとの接続点Aとバイアス端子Vとの間に、インダクタンス成分としてのチョークコイル205が配置されている。

【0007】

また、図11(b)では、バイアス供給回路Gに、薄膜コンデンサ200で動作させる高周波信号の波長に対して  $\lambda/4$  線路長のストリップ線路206を形成している。そして、そのストリップ線路206のバイアス端子V側の一端は接地されており、さらに、ストリップ線路206のバイアス端子V側の一端と接地部との間に直流制限容量素子208を形成している。

10

【0008】

このように、薄膜コンデンサ200を使用する際には、この薄膜コンデンサ200以外に、配線基板上に薄膜コンデンサ200の構造および特性に応じたバイアス供給回路Gを用意しなくてはならなかった。このため、配線基板に実装される薄膜コンデンサ200に対応したバイアス供給回路Gを設計する必要がある、その調整に非常に複雑な手間が必要となるという問題点があった。さらに、薄膜コンデンサ200とバイアス供給回路Gとが別々に構成されるため、全体として大型化してしまうという問題点もあった。

【0009】

また、上述のような薄膜コンデンサ200を高周波用電子部品として用いる場合には、薄膜コンデンサ200に容量を変化させるための直流バイアス電圧と、高周波信号の電圧（高周波電圧）とが同時に印加されることになる。しかしながら、高周波電圧が高い場合には、高周波電圧によっても薄膜コンデンサ200の容量が変化するため、高周波電子部品において波形歪みや相互変調歪み等が生じるようになる。これら波形歪みや相互変調歪み等を小さくするためには、高周波電界強度を下げて高周波電圧による容量変化を小さくする必要があり、そのためには、薄膜誘電体層203の厚みを厚くすることが有効であるが、薄膜誘電体層203の厚みを厚くすると直流電界強度も小さくなるため、直流バイアス電圧による容量変化率も下がってしまうという問題点がある。

20

【0010】

また、高周波領域ではコンデンサに電流が流れやすくなるため、コンデンサを高周波領域で使用中にはコンデンサの損失抵抗によりコンデンサが発熱し、破壊してしまうという耐電力上の問題点がある。このような耐電力上の問題点に対しても、薄膜誘電体層203の厚みを厚くし、単位体積当たりの発熱量を小さくすることが有効であるが、前述のように薄膜誘電体層203の厚みを厚くすると直流電界強度も小さくなるため、直流バイアス電圧による容量変化率も下がってしまうという問題点がある。

30

【0011】

本発明は、以上のような従来の技術における問題点を鑑みて案出されたものであり、その目的は、可変容量コンデンサに対する独立した外部のバイアス供給回路の形成を不要とし、取り扱いが容易な可変容量コンデンサを提供することにある。

【0012】

また、本発明の別の目的は、高周波信号による容量変化が抑制され、相互変調歪みが小さく、耐電力に優れ、かつ直流バイアスにより容量を大きく変化させることが可能な可変容量コンデンサを提供することにある。

40

【0013】

本発明のさらに別の目的は、上記の可変容量コンデンサを用いた回路モジュールおよび通信装置を提供することにある。

【課題を解決するための手段】

【0014】

本発明の可変容量コンデンサは、1) 高周波信号の入力端子と出力端子との間に印加電圧により誘電率が変化する薄膜誘電体層を用いた複数の可変容量素子が直列接続されてお

50

り、前記印加電圧の高電位側の第1バイアスラインと低電位側の第2バイアスラインとが、複数の前記可変容量素子の両端および各素子間に交互に接続されており、複数の前記可変容量素子のうち、前記入力端子に接続された可変容量素子および前記出力端子に接続された可変容量素子は、その容量値が他の前記可変容量素子の容量値よりも大きく、複数の前記可変容量素子のうち、前記第1バイアスラインが前記入力端子側に接続された可変容量素子群Aの容量値の合計値と前記第1バイアスラインが前記出力端子側に接続された可変容量素子群Bの容量値の合計値とが実質的に等しいことを特徴とするものである。

【0016】

また、本発明の可変容量コンデンサは、2) 上記1)の構成において、前記可変容量素子が偶数であることを特徴とするものである。

10

【0017】

また、本発明の可変容量コンデンサは、3) 上記2)の構成において、前記可変容量素子群Aの前記可変容量素子と前記可変容量素子群Bの前記可変容量素子とが実質的に等しい容量値の対になっていることを特徴とするものである。

【0021】

また、本発明の回路モジュールは、上記1)～3)のいずれかの構成の本発明の可変容量コンデンサが共振回路を構成するコンデンサとして用いられていることを特徴とするものである。

【0022】

また、本発明の通信装置は、本発明の回路モジュールがフィルタ手段として用いられていることを特徴とするものである。

20

【発明の効果】

【0023】

本発明の可変容量コンデンサ(図1のようにバイアス端子V1, V2を接続した構成のもの)によれば、1) 高周波信号の入力端子と出力端子との間に印加電圧により誘電率が変化する薄膜誘電体層を用いた複数の可変容量素子が直列接続されており、印加電圧の高電位側の第1バイアスラインと低電位側の第2バイアスラインとが、複数の可変容量素子の両端および各素子間に交互に接続されていることから、従来の可変容量コンデンサのように外部の配線基板に実装していた独立したバイアス供給回路を不要とすることができ、可変容量コンデンサが実装される回路基板の小型化が図れるとともに、取り扱いが容易となる。

30

【0024】

また、本発明の可変容量コンデンサは、複数の可変容量素子が直列接続されており、印加電圧の高電位側の第1バイアスラインと低電位側の第2バイアスラインとが、複数の可変容量素子の両端および各素子間に交互に接続されていることから、第1バイアスラインを介して供給される印加電圧、すなわち直流バイアス電圧(バイアス信号)が各々の可変容量素子に単独に印加され、その後第2バイアスラインへと抜けることより、直流的には各々の可変容量素子は並列に接続されている。このため、各々の可変容量素子に所望の直流バイアス電圧を印加することができ、これにより、直流バイアス電圧による各々の可変容量素子の容量変化率を最大限に利用でき、容量を大きく変化させることが可能となる。  
また、本発明の可変容量コンデンサは複数の可変容量素子を具備しているがバイアス信号経路に対して各々の可変容量素子は並列に接続されているため、直流バイアス電圧を供給するためのバイアス電源を2つ(片方を接地した場合は1つ)にまとめることができ、可変容量コンデンサが実装される回路基板の構成が簡易となる。

40

【0025】

また、本発明の可変容量コンデンサは複数の可変容量素子が高周波的に直列接続されているため、可変容量コンデンサに印加される高周波電圧が各々の可変容量素子に分圧されるので、個々の可変容量素子に印加される高周波電圧は分圧されて小さくなり、これによって、可変容量コンデンサの高周波信号による容量変動を小さく抑えることができ、高周波電子部品において波形歪みや相互変調歪み等を大幅に抑制することができる。さらには

50

、複数の可変容量素子が高周波的に直列接続されているため、高周波的には容量素子の誘電体層の層厚を厚くしたのと同じ効果があり、可変容量コンデンサの損失抵抗による単位体積当たりの発熱量を小さくすることができ、耐電力を向上させることができる。ここで、波形歪みとは、入力信号（高周波信号）の電圧により可変容量コンデンサの容量が変化するため、入力信号と異なる周波数へのエネルギー変換による高調波信号が生じ、出力信号に波形歪みが生じることをいう。また、相互変調歪みとは、入力信号が周波数の異なる2つの入力信号である場合、出力信号は、2つの入力信号の和の項、当該和の2乗の項、当該和の3乗の項、当該和の4乗以上の項を足した式で表され、和の2乗の項以上の項では、2つの入力信号がミキシング（掛け算）され、相互変調歪み（積の項の高調波）が生じる。具体的には、2つの入力信号（ $X = A \cos \omega_1 t + B \cos \omega_2 t$ ）（ $A, B$ は定数）を、非線形回路の可変容量コンデンサ（ $y = \alpha_1 X + \alpha_2 X^2 + \alpha_3 X^3 + \dots$ ）（ $\alpha_1, \alpha_2, \alpha_3$ は定数）に入力すると、出力信号は  $y = \alpha_1 (A \cos \omega_1 t + B \cos \omega_2 t) + \alpha_2 (A \cos \omega_1 t + B \cos \omega_2 t)^2 + \alpha_3 (A \cos \omega_1 t + B \cos \omega_2 t)^3 \dots$  となり、これを展開すると、2乗の項は  $2AB \cos \omega_1 t \cdot \cos \omega_2 t = \cos(\omega_1 \pm \omega_2)t$ 、3乗の項は  $3A^2 B \cos^2 \omega_1 t \cdot \cos \omega_2 t = \cos(2\omega_1 \pm \omega_2)t$ 、 $3AB^2 \cos \omega_1 t \cdot \cos^2 \omega_2 t = \cos(2\omega_2 \pm \omega_1)t$  で表される相互変調歪みを含むこととなる。

10

## 【0026】

このように、本発明の可変容量コンデンサによれば、複数の可変容量素子が高周波的に直列に接続されていることにより、高周波信号による容量変動が抑制され、高周波電子部品として使用した場合に相互変調歪みが少なく、耐電力に優れたものとなる。

20

## 【0027】

また、本発明の可変容量コンデンサによれば、2) 上記1)の構成において、複数の前記可変容量素子のうち、第1バイアスラインが入力端子側に接続された可変容量素子群Aの容量値の合計値と第1バイアスラインが出力端子側に接続された可変容量素子群Bの容量値の合計値とが実質的に等しいことから、高周波電圧により個々の可変容量素子の容量が変動しても、可変容量素子群Aと可変容量素子群Bとでは極性の異なる直流バイアス電圧が印加されるため、可変容量素子群Aと可変容量素子群Bとの高周波電圧による容量変動を相殺しあうことで可変容量コンデンサ全体の高周波信号による容量値の変動をさらに小さくすることができ、その結果、高周波電子部品として使用する場合に高周波信号に対する波形歪みや相互変調歪みを少なくすることができる。

30

## 【0028】

また、本発明の可変容量コンデンサによれば、3) 上記2)の構成において、可変容量素子が偶数であることから、個々の可変容量素子にかかる直流バイアス電圧の向きは交互に異なるが、可変容量素子が偶数であるため隣り合う可変容量素子間で直流バイアス電圧の向きの違いによる影響を相殺しあうことで、バイアス信号に対する極性が発生しなくなり、その結果、可変容量コンデンサとして実装する際に極性に注意を払う必要がなく取り扱いの容易なものとなる。

## 【0029】

また、本発明の可変容量コンデンサによれば、4) 上記3)の構成において、可変容量素子群Aの可変容量素子と可変容量素子群Bの可変容量素子とが実質的に等しい容量値の対になっていることから、高周波電圧により個々の可変容量素子の容量が変動しても、可変容量素子群Aと可変容量素子群Bとでは極性の異なる直流バイアス電圧が印加されるため、可変容量素子群Aおよび可変容量素子群Bの実質的に等しい容量値の対となっている可変容量素子間で容量変動を相殺しあうこととなるので可変容量コンデンサ全体の高周波信号による容量値の変動をさらに小さくすることができ、その結果、高周波電子部品として使用した場合に高周波信号に対する波形歪みや相互変調歪みを少なくすることができる。

40

## 【0030】

また、本発明の可変容量コンデンサによれば、5) 上記3)の構成において、複数の可変容量素子の容量値が実質的に等しいことから、可変容量素子群Aの任意の可変容量素子

50

と可変容量素子群 B の任意の可変容量素子とが実質的に等しい容量値の対となることより、高周波電圧により個々の可変容量素子の容量が変動しても、可変容量素子群 A と可変容量素子群 B とでは極性の異なる直流バイアス電圧が印加されるため、可変容量素子群 A および可変容量素子群 B の実質的に等しい容量値の対となっている可変容量素子間で容量変動を相殺しあうこととなるので可変容量コンデンサ全体の高周波信号による容量値の変動をさらに小さくすることができ、その結果、高周波電子部品として使用した場合に高周波信号に対する波形歪みや相互変調歪みを少なくすることができる。また、同一の可変容量素子を複数個形成すればよいため、個々の可変容量素子の設計が異なる場合に比べて製造が簡易となる。

**【 0 0 3 1 】**

また、本発明の可変容量コンデンサによれば、6) 上記 2) の構成において、可変容量素子が奇数であることから、高周波信号を供給するための信号端子である入力端子および出力端子と、第 1 および第 2 バイアスラインが接続されるバイアス信号を供給するバイアス端子とを共通とすることができ、その結果、実装やパターン設計等の自由度を増やすことができる取扱いが容易な可変容量コンデンサとすることができる。

**【 0 0 3 2 】**

また、本発明の可変容量コンデンサによれば、7) 上記 1) ~ 4) のいずれかまたは 6) の構成において、入力端子に接続された可変容量素子および出力端子に接続された可変容量素子は、他の可変容量素子よりも容量値が大きいことから、入力端子と入力端子に接続された可変容量素子との間および出力端子と出力端子に接続された可変容量素子との間に生じる浮遊容量値に比べ、入力端子に接続された可変容量素子および出力端子に接続された可変容量素子の容量値が大きくなるため、入力端子に接続された可変容量素子および出力端子に接続された可変容量素子の容量値に対する浮遊容量値の影響は小さくなる。また、可変容量コンデンサの容量値は、可変容量素子が直列接続されているため、各可変容量素子の容量値の逆数の総和の逆数となることから、入力端子に接続された可変容量素子および出力端子に接続された可変容量素子の容量値は、他の可変容量素子の容量値より可変容量コンデンサの容量値への寄与は小さくなる。その結果、浮遊容量の影響を抑制することができ、可変容量コンデンサの容量値のばらつきが少ないものとなる。

**【 0 0 3 3 】**

また、本発明の回路モジュールによれば、上記 1) ~ 7) のいずれかの構成の本発明の可変容量コンデンサが共振回路を構成するコンデンサとして用いられていることから、コンデンサの容量変化率が大きく、かつ所望の容量を精度良く得ることができることにより、広い周波数範囲にわたり所望の共振周波数を精度良く得ることのできるものとなる。また、共振回路を構成するコンデンサが耐電力性に優れていることから、信頼性が高いものとなる。

**【 0 0 3 4 】**

また、本発明の通信装置によれば、本発明の回路モジュールがフィルタ手段として用いられていることから、広い周波数範囲にわたり所望の共振周波数を精度良く設定できることより、フィルタ手段として使用可能な周波数範囲が広く、かつ所望のフィルタ機能を精度良く得ることのできるものとなる。

**【発明を実施するための最良の形態】****【 0 0 3 5 】**

以下、本発明の可変容量コンデンサ、回路モジュールおよび通信装置について図面を参照しつつ詳細に説明する。

**【 0 0 3 6 】**

図 1 は 4 個の可変容量素子を有する本発明の可変容量コンデンサの実施の形態の一例を示す等価回路図である。

**【 0 0 3 7 】**

図 1 に示す等価回路図において、符号 C 1, C 2, C 3, C 4 はいずれも可変容量素子であり、B 11, B 12, B 13 は抵抗成分およびインダクタ成分の少なくとも一方を含む第 1

10

20

30

40

50

バイアスライン（同図では、抵抗成分 $R_{11}$ ， $R_{12}$ ， $R_{13}$ を示す。）であり、 $B_{21}$ ， $B_{22}$ は抵抗成分およびインダクタ成分の少なくとも一方を含む第2バイアスライン（同図では、抵抗成分 $R_{21}$ ， $R_{22}$ を示す。）である。図1においては第1バイアス端子 $V_1$ が第2バイアス端子 $V_2$ よりも高い電位（第1バイアス端子 $V_1$ が正電位、第2バイアス端子 $V_2$ が負電位でもよい）に設定されており、可変容量素子 $C_1$ ， $C_3$ が、第1バイアスラインが入力端子 $I$ 側に接続された可変容量素子群Aであり、可変容量素子 $C_2$ ， $C_4$ が、第1バイアスラインが出力端子 $O$ 側に接続された可変容量素子群Bである。

**【0038】**

このような構成の可変容量コンデンサ $C_t$ においては、可変容量コンデンサ $C_t$ の入力端子 $I$ と出力端子 $O$ との間には、高周波信号が、直列接続された可変容量素子 $C_1$ ， $C_2$ ， $C_3$ ， $C_4$ を介して流れることになる。このとき、第1バイアスライン $B_{11}$ ， $B_{12}$ ， $B_{13}$ および第2バイアスライン $B_{21}$ ， $B_{22}$ の抵抗成分 $R_{11}$ ， $R_{12}$ ， $R_{13}$ および $R_{21}$ ， $R_{22}$ は、可変容量素子 $C_1$ ， $C_2$ ， $C_3$ ， $C_4$ の高周波信号の周波数領域でのインピーダンスに対して大きなインピーダンス成分となっており、高周波帯のインピーダンスに悪影響を与えない。

10

**【0039】**

また、可変容量素子 $C_1$ の容量成分を制御するバイアス信号は、第1バイアス端子 $V_1$ からインダクタンス $L_1$ ，第1バイアスライン $B_{11}$ を介して可変容量素子 $C_1$ に供給され、第2バイアスライン $B_{21}$ ，インダクタンス $L_2$ を介して第2バイアス端子 $V_2$ に流れる。この可変容量素子 $C_1$ に印加される直流バイアス電圧に応じて、可変容量素子 $C_1$ は所定の誘電率となり、その結果、所望の容量成分が得られることになる。可変容量素子 $C_2$ ， $C_3$ ， $C_4$ についても、これらは第1バイアスライン $B_{12}$ ， $B_{13}$ および第2バイアスライン $B_{21}$ ， $B_{22}$ を介して直流的に並列接続されているので、同様に直流的に同じ大きさのバイアス信号が印加され、所定の容量成分を得ることができる。

20

**【0040】**

その結果、可変容量素子 $C_1$ ， $C_2$ ， $C_3$ ， $C_4$ の容量を所望の値に制御するための直流バイアス電圧を、安定して可変容量素子 $C_1$ ， $C_2$ ， $C_3$ ， $C_4$ それぞれに別々に供給することができ、バイアス信号の印加による可変容量素子 $C_1$ ， $C_2$ ， $C_3$ ， $C_4$ の誘電率を所望通りに変化させることができ、よって容量成分の制御が容易な可変容量コンデンサ $C_t$ とすることができる。

30

**【0041】**

また、可変容量素子 $C_1$ ， $C_2$ ， $C_3$ ， $C_4$ に入力される高周波信号は、抵抗成分 $R_{11}$ ， $R_{12}$ ， $R_{13}$ および $R_{21}$ ， $R_{22}$ が高周波信号の周波数領域でのインピーダンスに対して大きなインピーダンス成分となっていることから、第1バイアスライン $B_{11}$ ， $B_{12}$ ， $B_{13}$ および第2バイアスライン $B_{21}$ ， $B_{22}$ を介して漏れることがない。これによっても、バイアス信号が安定して可変容量素子 $C_1$ ， $C_2$ ， $C_3$ ， $C_4$ に独立に印加されるようになっており、その結果、バイアス信号による各々の可変容量素子 $C_1$ ， $C_2$ ， $C_3$ ， $C_4$ の容量変化率を最大限に利用することができるものとなっている。

**【0042】**

つまり、可変容量コンデンサ $C_t$ においては、可変容量素子 $C_1$ ， $C_2$ ， $C_3$ ， $C_4$ は高周波的には直列接続された可変容量素子と見ることができる。

40

**【0043】**

従って、これら直列接続された可変容量素子 $C_1$ ， $C_2$ ， $C_3$ ， $C_4$ に印加される高周波電圧は可変容量素子 $C_1$ ， $C_2$ ， $C_3$ ， $C_4$ のそれぞれに分圧されるので、個々の可変容量素子 $C_1$ ， $C_2$ ， $C_3$ ， $C_4$ に印加される高周波電圧は減少することとなる。このことから、高周波信号に対する容量変動は小さく抑えることができ、可変容量コンデンサを使用した高周波電子部品において波形歪みや相互変調歪み等を抑制することができる。

**【0044】**

また、可変容量素子 $C_1$ ， $C_2$ ， $C_3$ ， $C_4$ を直列接続したことにより、高周波的には容量素子の誘電体層の層厚を厚くしたのと同じ効果があり、可変容量コンデンサの損失抵

50

抗による単位体積当りの発熱量を小さくすることができ、可変容量コンデンサ  $C_t$  の耐電力を向上することができる。ここで、可変容量コンデンサの損失抵抗による発熱は、可変容量コンデンサの損失抵抗成分を  $E_{SR}$ 、可変容量コンデンサを流れる電流を  $I$  (コンデンサにかかる電圧を  $V$ )、電力消費を  $P$  とすると、電力消費  $P = I^2 \cdot E_{SR}$  ( $P = V^2 / E_{SR}$ ) が生じ、可変容量コンデンサが発熱することによって生じる。

【0045】

また、第1バイアスライン  $B_{11}$ 、 $B_{12}$ 、 $B_{13}$  および第2バイアスライン  $B_{21}$ 、 $B_{22}$  により第1および第2バイアス端子  $V_1$ 、 $V_2$  からバイアス信号を供給することができるので、従来の可変容量コンデンサにおいて外部の配線基板に実装していた独立したバイアス供給回路が不要となり、可変容量コンデンサ  $C_t$  が実装される回路基板の小型化が図れるとともに、取り扱いが容易となる。

10

【0046】

また、印加電圧の高電位側、すなわち第1バイアス端子  $V_1$  側の第1バイアスライン  $B_{11}$ 、 $B_{12}$ 、 $B_{13}$  と、低電位側、すなわち第2バイアス端子  $V_2$  側の第2バイアスライン  $B_{21}$ 、 $B_{22}$  とが、複数の可変容量素子  $C_1$ 、 $C_2$ 、 $C_3$ 、 $C_4$  の両端および各素子間に交互に接続されているため、可変容量素子  $C_1$  および  $C_2$  の第2バイアス端子  $V_2$  側のバイアスライン、可変容量素子  $C_2$  および  $C_3$  の第1バイアス端子  $V_1$  側のバイアスライン、可変容量素子  $C_3$  および  $C_4$  の第2バイアス端子  $V_2$  側のバイアスラインを共通化することができる。これによりバイアスラインの数を少なくすることができ、バイアスラインの構成を簡易なものとするすることができる。

20

【0047】

また、図1に示す等価回路図において、第2バイアス端子  $V_2$  を接地しても良い。この場合には、インダクタンス  $L_2$  は不要となる。

【0048】

ここで、可変容量素子群 A の容量値の合計値と可変容量素子群 B の容量値の合計値とが実質的に等しいことが好ましい。以下、図2および図3を参照しつつ、その理由について説明する。

【0049】

図2は可変容量素子  $C_1$ 、 $C_2$ 、 $C_3$ 、 $C_4$  の容量変化率の印加電圧依存性を示したものである。図2において横軸は印加電圧(単位: V)、縦軸は容量変化率(単位: %)を表わす。ここで、白丸印は直流バイアス電圧が印加された状態を示し、黒丸印は直流バイアス電圧が印加された状態で直流バイアス電圧に重畳して高周波電圧が印加された状態を示している。

30

【0050】

図3(a)および(b)は、図1に示す可変容量コンデンサ  $C_t$  における可変容量素子  $C_1$ 、 $C_2$ 、 $C_3$ 、 $C_4$  の高周波的にみたときの接続構成を示す概念図であり、可変容量素子群 A を構成する可変容量素子  $C_1$ 、 $C_3$  をまとめて表し、可変容量素子群 B を構成する可変容量素子  $C_2$ 、 $C_4$  をまとめて表したものである。

【0051】

図3(a)では、直流バイアス電圧が印加されている状態において、可変容量素子群 A の容量値の合計値を  $C$  とし、可変容量素子群 B の容量値の合計値を、可変容量素子群 A の容量値の合計値  $C$  の  $x$  倍、すなわち  $x \times C$  としている。

40

【0052】

図3(b)では、直流バイアス電圧が印加されている状態において高周波電圧が印加されたときの可変容量素子群 A の容量値の合計値および可変容量素子群 B の容量値の合計値を示している。

【0053】

図2に示すように、可変容量素子  $C_1$ 、 $C_2$ 、 $C_3$ 、 $C_4$  に、直流バイアス電圧が印加された状態で高周波電圧を加えた場合に、高周波信号の位相が正電位のときには、直流バイアス電圧が正電位のときには高周波電圧印加により可変容量素子  $C_1$ 、 $C_2$ 、 $C_3$ 、 $C$

50



4 に実際に印加されるバイアス電圧は大きくなり、その結果、容量値は直流バイアス電圧のみ印加されている状態に比べて減少する。逆に直流バイアス電圧が負電位の場合には高周波電圧印加により可変容量素子  $C_1$  ,  $C_2$  ,  $C_3$  ,  $C_4$  に実際に印加される直流バイアス電圧は小さくなり、その結果、容量値は直流バイアス電圧のみ印加されている状態に比べて増加する。このように、直流バイアス電圧の絶対値が等しくてもその極性が異なると、可変容量素子  $C_1$  ,  $C_2$  ,  $C_3$  ,  $C_4$  の容量は異なるものとなる。また、図 2 は可変容量素子  $C_1$  ,  $C_2$  ,  $C_3$  ,  $C_4$  の容量変化率の印加電圧依存性を示したものであるので、可変容量素子  $C_1$  ,  $C_2$  ,  $C_3$  ,  $C_4$  の容量変化量は、可変容量素子  $C_1$  ,  $C_2$  ,  $C_3$  ,  $C_4$  の個々の容量により異なる。

【 0 0 5 4 】

ここで、可変容量コンデンサ  $C_t$  において、可変容量素子群 A は高電位となる第 1 バイアスライン B11 , B12 が入力端子 I 側に接続されており、可変容量素子群 B は高電位となる第 1 バイアスライン B12 , B13 が出力端子 O 側に接続されていることから、第 1 バイアス端子 V1 が正電位、第 2 バイアス端子 V2 が負電位となるので、高周波信号の入力端子 I 側からみると、可変容量素子群 A には正電位の直流バイアス電圧が印加され、可変容量素子群 B には負電位の直流バイアス電圧が印加されていることとなる。このため、可変容量素子群 A においてはバイアス電圧が大きくなり、容量値の合計値が  $C$  から  $C - C$  と小さくなる。一方、可変容量素子群 B においてはバイアス電圧が小さくなり、容量値の合計値が  $x \times C$  から  $x \times (C + C)$  と大きくなる。逆に、高周波信号の位相が負電位のときには、可変容量素子群 A の容量値の合計値は  $C + C$  となり、可変容量素子群 B の容量値の合計値は  $x \times (C - C)$  となる。

【 0 0 5 5 】

ここで、 $C$  は、可変容量素子群 A の容量値の合計値  $C$  を基準とした高周波信号による可変容量素子群 A の容量変化量を示す。なお、図 2 に示すように、可変容量素子  $C_1 \sim C_4$  の容量変化率の印加電圧依存性は印加電圧が正の領域、負の領域で一次関数の関係ではない。このため、厳密には高周波電圧による容量変化量  $C$  の絶対値は、直流バイアス電圧が正電圧のときと負電圧のときとで等しくならないが、ほぼ一次関数で表されるものとみなすことができるものとした。なお、図 1 2 は、可変容量素子  $C_1$  ,  $C_2$  ,  $C_3$  ,  $C_4$  に、直流バイアス電圧が印加された状態で 1 MHz ~ 3 GHz の高周波電圧を加えた場合において、可変容量素子  $C_1$  ,  $C_2$  ,  $C_3$  ,  $C_4$  の容量変化の周波数依存性を具体的な数値（測定値）で示したグラフ（線図）である。また、図 1 3 は、図 1 2 の 2 GHz の高周波電圧における可変容量素子  $C_1$  ,  $C_2$  ,  $C_3$  ,  $C_4$  の容量変化の印可電圧依存性を具体的な数値（測定値）で示したグラフ（線図）である。

【 0 0 5 6 】

ここで、直流バイアス電圧印加時の可変容量素子群 A の容量値の合計値  $C$  が 2.5 pF , 高周波信号による可変容量素子群 A の容量変化量  $C$  を直流バイアス電圧印加時の可変容量素子群 A の容量値の合計値  $C$  の 25% にあたる 0.625 pF としたときに、直流バイアス電圧印加時の可変容量素子群 A の容量値の合計値  $C$  および可変容量素子群 B の容量値の合計値  $x \times C$  の合成容量値、すなわち可変容量コンデンサ  $C_t$  の直流バイアス電圧印加時の容量値  $C_T$  , 直流バイアス電圧に重畳して高周波信号を印加した場合の可変容量コンデンサ  $C_t$  の容量値であって、高周波信号の位相が正電位のときの容量値  $C_T +$  および高周波信号の位相が負電位のときの容量値  $C_T -$  , 直流バイアス電圧に重畳して高周波信号を加えたことによる可変容量コンデンサ  $C_t$  の容量値の変化の割合  $C_T + / C_T$  ,  $C_T - / C_T$  を計算した結果を表 1 に示す。

【表 1】

x	$\Delta C$ (pF)	C (pF)	$C_T$ (pF)	$C_{T+}$ (pF)	$C_{T-}$ (pF)	$C_{T+}/C_T$ (%)	$C_{T-}/C_T$ (%)
1.0	0.625	2.5	1.25	1.17	1.17	93.8	93.8
1.2	0.625	2.5	1.36	1.25	1.31	91.7	95.9
1.4	0.625	2.5	1.46	1.31	1.43	90.0	97.8
1.6	0.625	2.5	1.54	1.36	1.53	88.6	99.5
1.8	0.625	2.5	1.61	1.41	1.62	87.5	101.0
2.0	0.625	2.5	1.67	1.44	1.70	86.5	102.3

## 【 0 0 5 7 】

表 1 からわかるように、 $x = 1.0$  のとき、すなわち可変容量素子群 A と可変容量素子群 B との容量値が等しい場合には、直流バイアス電圧に重畳して高周波信号を印加したときの可変容量コンデンサ  $C_t$  の容量値  $C_{T+}$  と  $C_{T-}$  とは等しい。しかしながら、 $x$  が大きくなるにつれ、すなわち可変容量素子群 A と可変容量素子群 B との容量値の差が大きくなるにつれて、高周波信号の位相の違いによる容量値  $C_{T+}$  と  $C_{T-}$  との差は大きくなり、 $x = 1.6$  のときには可変容量コンデンサ  $C_t$  の容量値  $C$  に対する変化の割合の差は 10% の差となる。このように、可変容量コンデンサ  $C_t$  は可変容量素子群 A と可変容量素子群 B との容量値が異なる場合には高周波信号の位相に対して容量が異なるコンデンサとして振舞うことになるため、高周波電子部品においては高周波信号に対して波形歪み相互変調歪みを発生させることになる。したがって、可変容量素子群 A の容量値の合計値と可変容量素子群 B の容量値の合計値とをほぼ同じに設定することにより、高周波電子部品において波形歪みや相互変調歪みを抑制することができる。

## 【 0 0 5 8 】

また、可変容量素子を偶数個（ここでは 4 個）としているので、図 1 に示すように信号端子 I, O のどちらから高周波信号を印加してもバイアス信号のかかり方は変化しない。つまり、個々の可変容量素子にかかる直流バイアス電圧の向きは交互に異なるが、可変容量素子が偶数であるため隣り合う可変容量素子間で直流バイアス電圧の向きの違いによる影響を相殺し合うことで、バイアス信号に対する極性が発生しなくなり、その結果、可変容量コンデンサとして実装する際に極性に注意を払う必要がなく取り扱いの容易なものとなる。

## 【 0 0 5 9 】

さらには、可変容量素子群 A の可変容量素子  $C_1$ ,  $C_3$  と可変容量素子群 B の可変容量素子  $C_2$ ,  $C_4$  とが実質的に等しい容量値の対になっているとき、たとえば、可変容量素子群 A の可変容量素子  $C_1$  の容量値を 4 pF, 可変容量素子  $C_3$  の容量値を 2 pF、可変容量素子群 B の可変容量素子  $C_2$  の容量値を 2 pF, 可変容量素子  $C_4$  の容量値を 4 pF とすることにより、同じ容量値の可変容量素子が同じ数各可変容量素子群に含まれることになる。このような可変容量コンデンサ  $C_t$  において、直流バイアス電圧に重畳して印加される高周波電圧に対して個々の可変容量素子の容量が変動しても、可変容量素子群 A と可変容量素子群 B とでは極性の異なる直流バイアス電圧が印加されるため、可変容量素子群 A および可変容量素子群 B の実質的に等しい容量値の対となっている可変容量素子間で容量変動を相殺しあうことで可変容量コンデンサ  $C_t$  全体の高周波信号がバイアス電圧に重畳されることによる容量値の変動をさらに小さくすることができ、その結果、高周波電子部品において高周波信号に対する波形歪みや相互変調歪みを少なくすることができる。

## 【 0 0 6 0 】

さらには、可変容量素子  $C_1$ ,  $C_2$ ,  $C_3$ ,  $C_4$  の容量値が実質的に等しい場合、例えば、全ての容量値が 2.6 pF である場合には、全ての可変容量素子における容量変化量の

10

20

30

40

50

絶対値がほぼ等しくなるので、可変容量素子群 A の任意の可変容量素子と可変容量素子群 B の任意の可変容量素子との間で容量変動を相殺しあうことで可変容量コンデンサ C t 全体の高周波信号がバイアス電圧に重畳されることによる容量値の変動をさらに小さくすることができ、その結果、高周波電子部品において高周波信号に対する波形歪みや相互変調歪みを少なくすることができる。

【 0 0 6 1 】

また、図 4 ( a ) および ( b ) にそれぞれ等価回路図で示すように、図 1 に示す可変容量コンデンサ C t と同様の構成であり、かつ可変容量素子を奇数個 ( この図では 5 個 ) としてもよい。この図において、図 1 と同様の箇所には同じ符号をつけており、それらについて重複する説明は省略する。

10

【 0 0 6 2 】

図 4 において、個々の可変容量素子 C 1 ~ C 5 に直流バイアス電圧を印加するために、第 1 バイアスライン B 11 , B 12 , B 13 および第 2 バイアスライン B 21 , B 22 , B 23 を設けた。このような可変容量コンデンサ C t ' において、図 4 ( a ) に示すように信号端子 I , O と第 1 および第 2 バイアス端子 V 1 , V 2 とを別にすることも、図 4 ( b ) に示すように第 1 バイアス電圧 V 1 を入力端子 I に、第 2 バイアス電圧 V 2 を出力端子 O と共通にして使用することもでき、一般のコンデンサと同等に扱うこともできる。その結果、実装やパターン設計等の自由度を増やすことができ取扱いが容易な可変容量コンデンサ C t ' とすることができる。

【 0 0 6 3 】

20

また、可変容量コンデンサ C t , C t ' において、入力端子 I に接続された可変容量素子 C 1 および出力端子 O に接続された可変容量素子 C 4 または C 5 は、他の可変容量素子よりも容量値が大きいことが好ましい。なぜなら、入力端子 I と入力端子 I に接続された可変容量素子 C 1 との間および出力端子 O と出力端子 O に接続された可変容量素子 C 4 または C 5 との間に生じる浮遊容量値に比べ、入力端子 I に接続された可変容量素子 C 1 および出力端子 O に接続された可変容量素子 C 4 または C 5 の容量値を大きくすることにより、浮遊容量の影響を抑制することができ、可変容量コンデンサ C t , C t ' の容量値のばらつきが少ないものとなる。

【 0 0 6 4 】

次に、本発明の可変容量コンデンサ C t の作製方法の例について説明する。

30

【 0 0 6 5 】

図 5 は本発明の可変容量コンデンサ C t について、4 つの可変容量素子 C 1 ~ C 4 を有する可変容量コンデンサ C t の例を示す透視状態の平面図であり、図 6 は図 5 に示す可変容量コンデンサ C t の A - A ' 線断面図である。

【 0 0 6 6 】

図 5、図 6 において、1 は支持基板、2 は下部電極層、31, 32, 33 は導体ライン、4 は薄膜誘電体層、5 は上部電極層、61, 62, 63, 64, 65 は薄膜抵抗、7 は絶縁層、8 は引き出し電極層、9 は保護層、10 は半田拡散防止層、111, 112 および 113, 114 は半田端子部である。なお、この半田拡散防止層 10 と半田端子部 111 および 112 とで、それぞれ第 1 信号端子 ( 入力端子 ) I および第 2 信号端子 ( 出力端子 ) O を構成している。また、半田拡散防止層 10 と半田端子部 114 および 113 とで、それぞれ第 1 バイアス端子 V 1 および第 2 バイアス端子 V 2 を構成している。

40

【 0 0 6 7 】

支持基板 1 は、アルミナセラミックス等のセラミック基板や、サファイア等の単結晶基板等である。この支持基板 1 の上に下部電極層 2 , 薄膜誘電体層 4 および上部電極層 5 を順次、支持基板 1 のほぼ全面に成膜する。これら各層の成膜終了後、上部電極層 5 , 薄膜誘電体層 4 および下部電極層 2 を順次、所定の形状にエッチングする。

【 0 0 6 8 】

下部電極層 2、薄膜誘電体層 4、および上部電極層 5 の成膜に際しては、下部電極層 2 と薄膜誘電体層 4 との間、ならびに薄膜誘電体層 4 と上部電極層 5 との間に、パーティク

50

ル等の可変容量コンデンサの特性を劣化させる要因になりうる不純物の混入を最低限に抑制することが望ましい。従って、これら下部電極層 2、薄膜誘電体層 4 および上部電極層 5 の成膜は、同じ成膜装置で、成膜室を大気開放せずに連続して行なうことが望ましい。このため、具体的な成膜方法としては、スパッタが好適である。

#### 【0069】

下部電極層 2 は、薄膜誘電体層 4 の形成に高温スパッタが必要となるため、その高温に耐えられるように高融点であることが必要である。具体的には、Pt、Pd 等の金属材料から成るものである。この下部電極層 2 も、高温スパッタで形成される。さらに、下部電極層 2 は、高温スパッタによる形成後に、薄膜誘電体層 4 のスパッタ温度である 700~900 へ加熱され、薄膜誘電体層 4 のスパッタ開始まで一定時間保持することにより、平坦な層となる。

10

#### 【0070】

下部電極層 2 の厚みは、可変容量素子 C 1 から可変容量素子 C 2 までの抵抗成分や、可変容量素子 C 3 から可変容量素子 C 4 までの抵抗成分および下部電極層 2 の連続性を考慮した場合には厚い方が望ましいが、支持基板 1 との密着性を考慮した場合には相対的に薄い方が望ましく、両方を考慮して決定される。具体的には、0.1 $\mu$ m~10 $\mu$ m である。下部電極層 2 の厚みが 0.1 $\mu$ m よりも薄くなると、下部電極層 2 自身の抵抗が大きくなるほか、下部電極層 2 の連続性が確保できなくなる可能性がある。一方、10 $\mu$ m より厚くすると、内部応力が大きくなって、支持基板 1 との密着性が低下したり、支持基板 1 の反りを生じたりするおそれがある。

20

#### 【0071】

薄膜誘電体層 4 は、少なくとも Ba, Sr, Ti を含有するペロブスカイト型酸化物結晶から成る高誘電率の誘電体層であることが好ましい。例えば、少なくとも Ba, Sr, Ti を含有するペロブスカイト型酸化物結晶としては、チタン酸バリウムストロンチウム ( $(Ba_x Sr_{1-x})TiO_3$ )、チタン酸バリウムストロンチウムに Mn, Mg, La, W 等をドーブしたもの等がある。この薄膜誘電体層 4 は、下部電極層 2 の表面(上面)に形成されている。例えば、ペロブスカイト型酸化物結晶が得られる誘電体材料をターゲットとして、スパッタリング法による成膜を所望の厚みになるまで行なう。このとき、基板温度を高く、例えば 800 として高温スパッタリングを行なうことにより、スパッタ後の熱処理を行なうことなく、高誘電率で容量変化率の大きい、低損失の薄膜誘電体層 4 を得ることができる。

30

#### 【0072】

上部電極層 5 の材料としては、この層の抵抗を下げるため、抵抗率の小さな Au が望ましいが、薄膜誘電体層 4 との密着性向上のためには、Pt 等を密着層として用いることが望ましい。この上部電極層 5 の厚みは 0.1 $\mu$ m~10 $\mu$ m となっている。この厚みの下限については、下部電極層 2 と同様に、上部電極層 5 自身の抵抗および連続性を考慮して設定される。また、厚みの上限については、薄膜誘電体層 4 との密着性を考慮して設定される。

#### 【0073】

上述のように成膜した後、上部電極層 5、薄膜誘電体層 4 および下部電極層 2 を、順次、所定の形状にエッチングする。エッチングは、レジストをスピンコーティング法等により全面に均一に塗布し、フォトリソグラフィ法によりレジストを所定の形状にパターンニングした後、ウェットエッチングもしくはドライエッチングにより行なう。可変容量素子 C 1~C 4 の容量値は上部電極層 5 の面積により決定されるため、上部電極層 5 のエッチングでは、より精度の高いドライエッチングを用いることが望ましい。

40

#### 【0074】

ドライエッチングは、例えば電子サイクロトロン共鳴装置 (ECR 装置) を用い、アルゴンプラズマをエッチャントとして行なうことができる。

#### 【0075】

なお、薄膜誘電体層 4 のエッチングはウェットエッチングおよびドライエッチングのど

50

ちらにより行なってもよい。

【0076】

また、下部電極層2のエッチングは、ウェットエッチングおよびドライエッチングのどちらを用いてもよいが、下部電極層2の厚みが厚い場合には、パターンング精度の観点から、上部電極層5と同様にドライエッチングにより行なうことが望ましい。

【0077】

以上のような上部電極層5、薄膜誘電体層4および下部電極層2のエッチングにおいては、薄膜誘電体層4の下面は下部電極層2の上面より小さく、上部電極層5の下面は薄膜誘電体層4の上面よりも小さくなるようにエッチングされる。これにより、電界の集中しやすい下部電極層2の外縁部分に薄膜誘電体層4がないので、リーク電流特性が向上する。

10

【0078】

このようにして、可変容量素子C1～C4を得ることができる。

【0079】

ここで、第1信号端子Iと可変容量素子C1との間および可変容量素子C4と第2信号端子Oとの間を電気的に接続するために、支持基板1上の第1および第2信号端子I、Oを形成する位置に導電性材料からなる導電層を形成することが望ましい。この導電層は、可変容量コンデンサC1～C4を形成した後に新たに成膜することで形成してもよいが、下部電極層2のパターンングの際に、同時にこれら導電層も形成するようにパターンングを行なうことによって、下部電極層2と同一の材料および同一の工程で形成してもよい。

20

【0080】

第1バイアスラインB11、B12、B13は、導体ライン32、33と薄膜抵抗61、62、63とから構成されており、第1バイアス端子V1から第1信号端子Iと可変容量素子C1との接続点の間、可変容量素子C2と可変容量素子C3との接続点の間、すなわち可変容量素子C2の上部電極層5と可変容量素子C3の上部電極層5とを接続する引き出し電極層8との間、可変容量素子C4と第2信号端子Oとの接続点の間にそれぞれ設けられており、第1バイアス端子V1を介して外部回路と接続される。

【0081】

第2バイアスラインB21、B22は、導体ライン31と薄膜抵抗64、65とから構成されており、第2バイアス端子V2から可変容量素子C2と可変容量素子C3との接続点の間、すなわち可変容量素子C2と可変容量素子C3とで共有する下部電極層2との間および可変容量素子C3と可変容量素子C4との接続点の間、すなわち可変容量素子C2と可変容量素子C3とで共有する下部電極層2との間にそれぞれ設けられており、第2バイアス端子V2を介して外部回路と接続される。

30

【0082】

このような構成の第1および第2バイアスラインB11、B12、B13およびB21、B22を設けることにより、可変容量素子C1～C4は第1および第2バイアスラインB11、B12、B13およびB21、B22を介して並列に接続されている。

【0083】

この導体ライン31、32、33は、上述の下部電極層2、薄膜誘電体層4および上部電極層5を形成した後、新たに成膜することによって形成することができる。その際には、既に形成した下部電極層2、薄膜誘電体層4および上部電極層5を保護するために、リフトオフ法を用いることが望ましい。また、これら導体ライン31～33は、下部電極層2のパターンングの際に、同時にこれら導体ライン31～33も形成するようにパターンングを行なうことによって形成することができる。

40

【0084】

この導体ライン31～33の材料としては、第1および第2バイアスラインB11、B12、B13、B21、B22の抵抗値のばらつきを抑制するために、低抵抗であるAuが望ましいが、薄膜抵抗61、62、63、64、65の抵抗が十分に高いので、Pt等を用いて、下部電極層2と同じ材料および同じ工程で形成してもよい。

50

## 【0085】

ここで、支持基板1上の第1および第2バイアス端子V1, V2の形成位置にて第1および第2バイアス端子V1, V2を形成しやすくするために、導体ライン31および導体ライン32とそれぞれ電氣的に接続した、導電性材料からなる導電層を形成することが望ましい。この導電層は、可変容量コンデンサC1~C4を形成した後に新たに成膜して形成してもよいが、導体ライン31~33を形成するときに、導体ライン31, 32の第1および第2バイアス端子V1, V2の形成位置における形状を第1および第2バイアス端子V1, V2の形状に合わせて形成することで、同時にこれら導電層も一体となるように形成するようにパターンニングを行なうことによって、導体ライン31~33と同一の材料および同一の工程で形成してもよい。

10

## 【0086】

なお、第1および第2バイアス端子V1, V2を、本発明の可変容量コンデンサCtの中心に対して互いに点対称の位置に配置することにより、可変容量コンデンサCtを図5に示す平面図において上下反対にしても配線基板に実装することができるため、取り扱いが容易となる。

## 【0087】

次に、第1および第2バイアスラインB11, B12, B13, B21, B22を構成する薄膜抵抗61~65の材料としては、タンタル(Ta)を含有し、かつその比抵抗が $1\text{ m}\cdot\text{cm}$ 以上であるものが望ましい。 $R = \rho \cdot l / (w \cdot t)$  (R:薄膜抵抗の抵抗、l:薄膜抵抗の長さ、w:薄膜抵抗の幅、t:薄膜抵抗の膜厚)より得られる比抵抗が $1\text{ m}\cdot\text{cm}$ より小さい場合、膜厚tを薄くする必要があり断線が生じ易くなる。また、薄膜抵抗61~65は、アスペクト比(長さl/幅w)を大きくして長さを長くする必要があるが、アスペクト比が大きすぎると可変容量コンデンサの素子形状が大きくなるため、比抵抗を $1\text{ m}\cdot\text{cm}$ 以上としてアスペクト比が大きくなり過ぎないようにすることができる。一方、比抵抗が大きくなり過ぎると、薄膜抵抗61~65の温度特性や再現性等が劣化し易くなるので、比抵抗の上限の大きさは、両特性を考慮して決定される。例えば、バイアスラインの抵抗値として $10\text{ k}\Omega$ を得る場合は比抵抗を $1\text{ m}\cdot\text{cm}$ 以上とし、膜厚を $50\text{ nm}$ としたときにはアスペクト比は50以下となり、可変容量コンデンサの素子形状を大きくすることなく実現可能なアスペクト比となる。薄膜抵抗61~65の具体的な材料としては、窒化タンタル(TaN)やTaSiN, Ta-Si-Oを例示することができる。例えば、窒化タンタルの場合であれば、Taをターゲットとして、窒素を雰囲気中に加えてスパッタリングを行なうリアクティブスパッタ法により、所望の組成比および抵抗率の薄膜抵抗61~65を成膜することができる。

20

30

## 【0088】

このスパッタリングの条件を適宜選択することにより、膜厚が $40\text{ nm}$ 以上で、比抵抗が $1\text{ m}\cdot\text{cm}$ 以上の薄膜抵抗61~65を形成することができる。さらに、スパッタリングの終了後、レジストを塗布して所定の形状に加工した後、これをマスクとして反応性イオンエッチング(RIE)等のエッチングプロセスを行なうことにより、簡便にパターンニングすることができる。

## 【0089】

第1および第2バイアスラインB11, B12, B13, B21, B22の抵抗値は、使用する周波数領域において第1および第2バイアスラインB11, B12, B13, B21, B22のインピーダンスが各可変容量素子C1~C4のインピーダンスよりも大きくなるように設定される。導体ライン31~33の抵抗値は薄膜抵抗61~65の抵抗値と比較して非常に小さくなるため、第1および第2バイアスラインB11, B12, B13, B21, B22の抵抗値は薄膜抵抗61~65の抵抗値とほぼ等しくなる。従って、薄膜抵抗61~65の抵抗値を、使用する周波数領域において、各可変容量素子C1~C4のインピーダンスより大きくなるように設定する。例えば、可変容量コンデンサCtを周波数 $1\text{ GHz}$ で使用し、可変容量素子C1~C4の容量を $5\text{ pF}$ とした場合には、この周波数の $1/10$ ( $100\text{ MHz}$ )からインピーダンスに悪影響を与えないように、即ち使用周波数領域の信号成分が第1および第2バイアスラ

40

50

イン B11, B12, B13, B21, B22に漏洩し、各可変容量素子 C1 ~ C4 のインピーダンスに影響を与えないように、薄膜抵抗61 ~ 65を可変容量素子 C1 ~ C4 の100MHzでのインピーダンスの10倍以上の抵抗値に設定するものとする、必要な第1および第2バイアスライン B11, B12, B13, B21, B22の抵抗値は、約3.2kΩ以上となる。可変容量コンデンサにおける薄膜抵抗61 ~ 65の比抵抗率は1mΩ・cm以上として、第1および第2バイアスライン B11, B12, B13, B21, B22の抵抗値として10kΩを得る場合であれば、薄膜抵抗61 ~ 65のアスペクト比(長さ/幅)は、膜厚を50nmとしたとき、50以下とできるため、素子形状を大きくすることなく実現可能なアスペクト比を有する薄膜抵抗61 ~ 65となる。

【0090】

これら薄膜抵抗61 ~ 65を含む第1および第2バイアスライン B11, B12, B13, B21, B22は、支持基板1上に直接形成されている。これにより、可変容量素子 C1 ~ C4上に形成する際に必要となる、下部電極層2, 上部電極層4および引き出し電極層8との絶縁を確保するための絶縁層が不要となり、可変容量素子 C1 ~ C4を構成する層の数を低減することが可能となる。さらに、高抵抗の薄膜抵抗61 ~ 65を用いることにより、形状を大きくすることなく、可変容量コンデンサ Ct を作製することができる。

【0091】

次に、絶縁層7は、この上に形成する引き出し電極層8と下部電極層2との絶縁を確保するために必要である。さらに、この絶縁層7は、第1および第2バイアスライン B11, B12, B13, B21, B22を被覆しており、薄膜抵抗61 ~ 65が酸化されるのを防止できるため、第1および第2バイアスライン B11, B12, B13, B21, B22の抵抗値を経時的に一定とすることができ、これにより信頼性を向上させることができる。絶縁層7の材料は、耐湿性を向上させるために、窒化ケイ素および酸化ケイ素の少なくとも1種類より成るものとする。これらは、被覆性を考慮して、化学気相堆積(CVD)法等により、成膜することが望ましい。

【0092】

また、絶縁層7は、通常のレジストを用いるドライエッチング法等により、所望の形状に加工することができる。そして、絶縁層7には、薄膜抵抗61 ~ 65と引き出し電極層8との接続を確保するために導体ライン33に到達する貫通孔を設けている。その他でこの絶縁層7から露出させる部位としては、上部電極層4および半田端子部111, 112, 113, 114のみとしておくことが、耐湿性向上の観点から好ましい。

【0093】

次に、引き出し電極層8は、第1の可変容量素子 C1 の上部電極層5と第1信号端子 I、すなわち第1信号端子 I 形成部の導電層との間、可変容量素子 C2 と可変容量素子 C3 との上部電極層5同士との間、可変容量素子 C4 の上部電極層5と第2信号端子 O、すなわち第2信号端子 O 形成部の導電層との間を、絶縁層7の貫通孔を通してそれぞれ接続するものである。このように引き出し電極層8を形成することにより、第1信号端子 I から第2信号端子 O まで可変容量素子 C1 ~ C4 が順に直列接続される。さらに、可変容量素子 C2, C3 にまたがる引き出し電極層8は、絶縁層7の貫通孔を通して導体ライン33と接続している。この引き出し電極層8の材料としては、Au, Cu等の低抵抗な金属を用いることが望ましい。また、引き出し電極層8に対する絶縁層7との密着性を考慮して、Ti, Ni等の密着層を使用してもよい。

【0094】

なお、引出し電極層8を形成するとき、第1および第2信号端子 I, Oならびに第1および第2バイアス端子 V1, V2の形成位置に、引出し電極層8を構成する材料からなる層を形成することが好ましい。第1および第2信号端子 I, Oならびに第1および第2バイアス端子 V1, V2を形成する位置の高さを揃えることにより、実装が容易となるからである。

【0095】

次に、半田端子部111, 112, 113, 114を露出させて全体を被覆するように、保護層9を

10

20

30

40

50

形成する。保護層9は、可変容量素子C1を始めとする可変容量コンデンサCtの構成部材を機械的に保護するほか、薬品等による汚染から保護するためのものである。ただし、この保護層9の形成時には、半田端子部111, 112, 113, 114を露出するようにする。保護層9の材料としては、耐熱性が高く、段差に対する被覆性が優れたものが良く、具体的には、ポリイミド樹脂やBCB(ベンゾシクロブテン)樹脂等を用いる。これらは、樹脂原料を塗布した後、所定の温度で硬化させることにより形成される。

【0096】

半田拡散防止層10は、半田端子部111, 112, 113, 114形成の際のリフローや実装の際に、半田端子部111, 112, 113, 114の半田が引き出し電極層8あるいは下部電極層2への拡散することを防止するために形成する。この半田拡散防止層10の材料としては、Niが好適である。また、半田拡散防止層10の表面には、半田濡れ性を向上させるために、半田濡れ性の高いAu, Cu等を0.1 $\mu$ m程度形成する場合もある。

10

【0097】

最後に、半田端子部111, 112, 113, 114を半田拡散防止層10の上に形成する。これは、可変容量コンデンサの外部の配線基板への実装を容易にするために形成する。これら半田端子部111, 112, 113, 114は、半田端子部111, 112, 113, 114に所定のマスクを用いて半田ペーストを印刷後、リフローを行なうことにより形成するのが一般的である。

【0098】

以上述べた可変容量コンデンサCtによれば、第1および第2バイアスラインB11, B12, B13, B21, B22もしくはその一部に、窒化タンタルを含有し、かつ比抵抗が1m $\cdot$ cm以上の薄膜抵抗61~65を用いることにより、薄膜抵抗61~65のアスペクト比を低減して可変容量コンデンサCtの小型化を実現している。さらには、第1および第2バイアスラインB11, B12, B13, B21, B22を支持基板1上に直接形成することにより、可変容量素子C1等の各素子を構成する層の数が低減されている。また、各素子を構成する各導体層や誘電体層等の形成工程を共通化できるため、構造が比較的複雑であるにもかかわらず、非常に簡単に形成することができる。

20

【0099】

次に、本発明の可変容量コンデンサCt'の作製方法について説明する。

【0100】

図7は5つの可変容量素子C1~C5を有する本発明の可変容量コンデンサCt'の例を示す透視状態の平面図であり、図8は図7に示す可変容量コンデンサCt'のA-A'線断面図である。なお、これらの図において、図5, 図6と同様の個所には同じ符号を付してあり、それらについて重複する説明は省略する。

30

【0101】

図7、図8において、C5は可変容量素子であり、可変容量素子C4と第2信号端子Oとの間に可変容量素子C1~C4と同一材料、同一工程にて形成される。

【0102】

34は導体ライン、66は薄膜抵抗であり、バイアス供給回路を構成する第1バイアスラインB13は、導体ライン34と薄膜抵抗63とから構成されており、第2バイアスラインB23は、導体ライン31と薄膜抵抗66とから構成されている。

40

【0103】

この第1バイアスラインB13, 第2バイアスラインB23は、第1バイアスラインB11, B12および第2バイアスラインB21, B22と同一材料、同一工程にて形成される。

【0104】

また、絶縁層7には、薄膜抵抗61と引き出し電極層8との接続を確保するために導体ライン33, 34に到達する貫通孔を設けている。

【0105】

第1信号端子Iから第2信号端子Oまで、可変容量素子C1~C5を直接接続するには、例えば、第1信号端子Iと可変容量素子C1の上部電極層4とを引き出し電極層8を介して電氣的に接続し、可変容量素子C1, C2で下部電極層2を共用することで両者を電

50



氣的に接続し、可変容量素子C<sub>2</sub>、C<sub>3</sub>の上部電極層4を引き出し電極層8を介して電氣的に接続し、以下同様に、下部電極層2を共有して可変容量素子C<sub>3</sub>、C<sub>4</sub>間を、引き出し電極層8を介して可変容量素子C<sub>4</sub>、C<sub>5</sub>の上部電極層4間を、下部電極層2を共有して可変容量素子C<sub>5</sub>と第2信号端子Oとの間を、それぞれを電氣的に接続すればよい。

【0106】

以上述べた可変容量コンデンサC<sub>t</sub>'によれば、高周波信号を供給するための信号端子である入力端子Iおよび出力端子Oと、第1および第2バイアスラインが接続されるバイアス信号を供給するバイアス端子V<sub>1</sub>、V<sub>2</sub>を共通とすることができ、その結果、実装やパターン設計等の自由度を増やすことができ取扱いが容易な可変容量コンデンサC<sub>t</sub>'とすることができる。

【0107】

次に、本発明の回路モジュールおよび通信装置について説明する。

【0108】

本発明の回路モジュールは、上記本発明の可変容量コンデンサと、インダクタおよび抵抗の少なくとも一つと、これらに電圧を印加できる電圧供給部とを備えた共振回路として構成されている。本発明の可変容量コンデンサが共振回路を構成するコンデンサとして用いられているため、コンデンサの容量変化率が大きく、かつ所望の容量を精度良く得ることができることにより、直流バイアス電圧の印加により広い周波数範囲にわたり所望の共振周波数を精度良く得ることのできるものとなる。また、コンデンサが耐電力に優れていることから、信頼性が高く、簡便に作製でき、生産性の高いものとなる。また、可変容量素子が偶数の場合には直流バイアス電圧の極性に依存しないため取扱いが容易となる。

【0109】

また、本発明の通信装置は、上記構成の回路モジュールをフィルタ手段として用いた構成となっている。例えば、このようなフィルタ手段を送信回路および受信回路にそれぞれ設け、送信回路と受信回路とを送受信切替え装置を介して接続することにより本発明の通信装置を得ることができる。このようなフィルタ手段は、例えば、上記回路モジュールとインダクタ、キャパシタ等を組み合わせることによって得ることができる帯域通過フィルタがあり、広い周波数範囲にわたり所望の共振周波数を精度良く設定できることにより、使用可能な周波数範囲が広く、かつ所望の通過帯域を精度良く得ることのできるものとなる。このように、本発明の通信装置によれば、広い周波数範囲にわたり所望の共振周波数を精度良く設定できることにより、フィルタ手段として使用可能な周波数範囲が広く、かつ所望のフィルタ機能を精度良く得ることのできるものとなる。

【0110】

なお、本発明は以上の実施の形態の例に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々の変更を加えることは何ら差し支えない。例えば、上述の実施の形態の例では、バイアス供給回路である第1バイアスラインB<sub>11</sub>、B<sub>12</sub>、B<sub>13</sub>および第2バイアスラインB<sub>21</sub>、B<sub>22</sub>を共通にしているが、バイアスラインB<sub>11</sub>、B<sub>12</sub>、B<sub>13</sub>、B<sub>21</sub>、B<sub>22</sub>をそれぞれの変容量素子C<sub>1</sub>、C<sub>2</sub>、C<sub>3</sub>、C<sub>4</sub>に対して個別に設けた構成とした可変容量コンデンサC<sub>t</sub>としても構わない。また、図9に示すようにバイアス電圧V<sub>1</sub>を入力端子Iから印加しても良い。

【0111】

また、支持基板1上の複数領域にそれぞれ直列接続した可変容量素子からなる本発明の可変容量コンデンサを形成したり、第1および第2バイアスラインをインダクタや伝送線路で形成したりしてもよい。

【図面の簡単な説明】

【0112】

【図1】本発明の可変容量コンデンサの実施の形態の一例を示す等価回路図である。

【図2】本発明の第1の可変容量コンデンサにおける容量変化率の直流バイアス電圧特性の例を示す線図である。

【図3】(a)、(b)はそれぞれ本発明の第1の可変容量コンデンサにおいて高周波的

10

20

30

40

50

にみたときの可変容量素子の接続構成を示す概念図である。

【図4】(a), (b)はそれぞれ本発明の可変容量コンデンサの実施の形態の他の例を示す等価回路図である。

【図5】図1に示す可変容量コンデンサの例を示す透視状態の平面図である。

【図6】図5のA-A'線断面図である。

【図7】図4に示す可変容量コンデンサの例を示す透視状態の平面図である。

【図8】図7のA-A'線断面図である。

【図9】バイアス供給回路を個別に設けた本発明の可変容量コンデンサの実施の形態の他の例を示す等価回路図である。

【図10】従来の薄膜コンデンサの例を示す断面図である。

10

【図11】(a)および(b)は、それぞれ従来の可変コンデンサの等価回路図である。

【図12】可変容量素子に種々の値の直流バイアス電圧が印加された場合における容量の周波数依存性を示す線図である。

【図13】可変容量素子に直流バイアス電圧が印加された状態で2GHzの高周波電圧を加えた場合において、可変容量素子の容量変化の印加電圧依存性を具体的な数値で示した線図である。

【符号の説明】

【0113】

1・・・支持基板

2・・・下部電極層

20

31、32、33、34・・・導体ライン

4・・・薄膜誘電体層

5・・・上部電極層

61、62、63、64、65・・・薄膜抵抗

7・・・絶縁層

8・・・引出し電極層

9・・・保護層

10・・・半田拡散防止層

111、112・・・半田端子部

C1、C2、C3、C4、C5・・・可変容量素子

30

Ct・・・可変容量コンデンサ

B11、B12、B13・・・第1バイアスライン

B21、B22、B23・・・第2バイアスライン

I・・・入力端子

O・・・出力端子

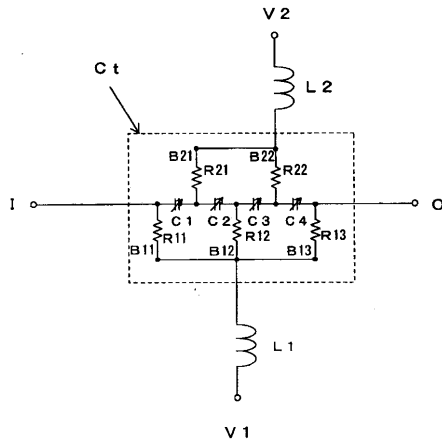
L1、L2・・・インダクタ

R11、R12、R13、R21、R22、R23・・・抵抗成分

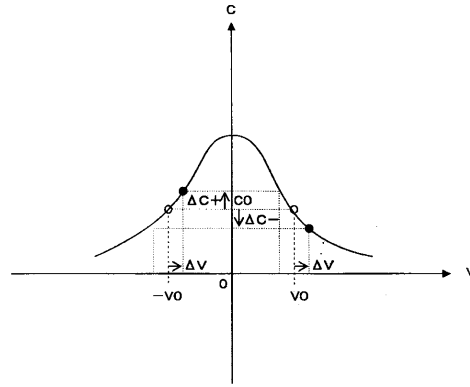
V1・・・第1バイアス端子

V2・・・第2バイアス端子

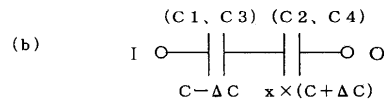
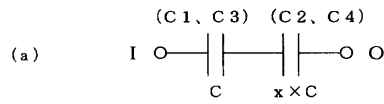
【 図 1 】



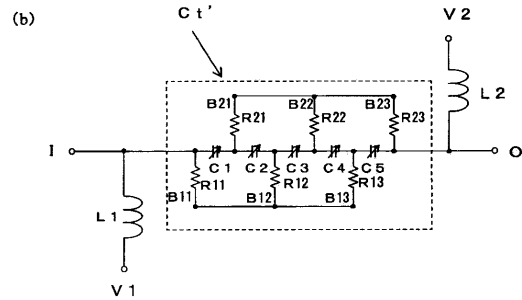
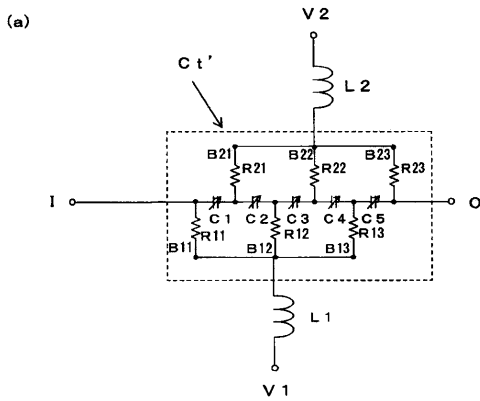
【 図 2 】



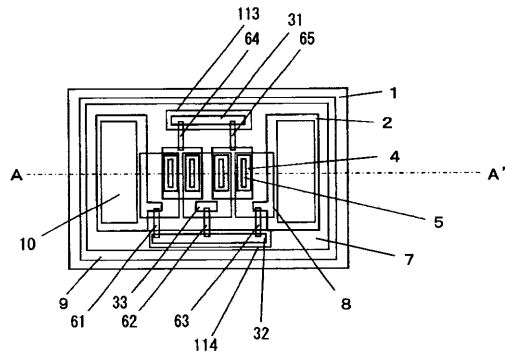
【 図 3 】



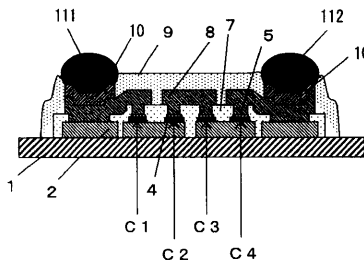
【 図 4 】



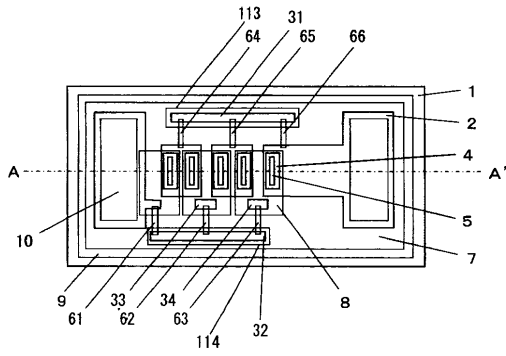
【 図 5 】



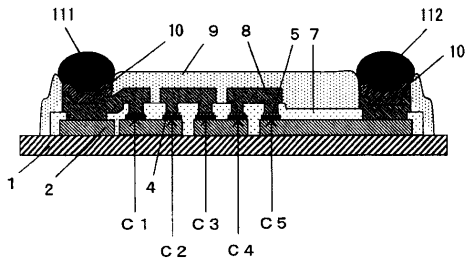
【 図 6 】



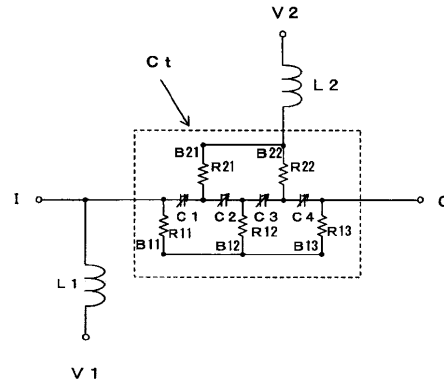
【 図 7 】



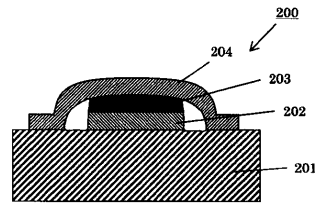
【 図 8 】



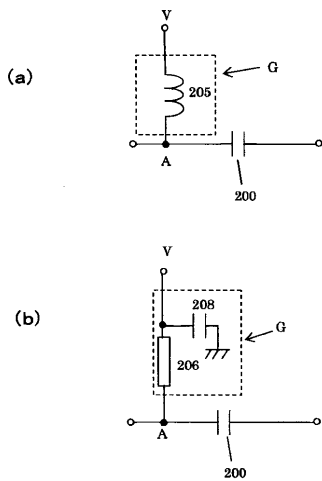
【 図 9 】



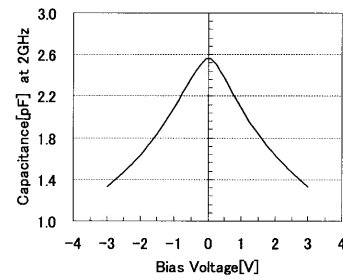
【 図 10 】



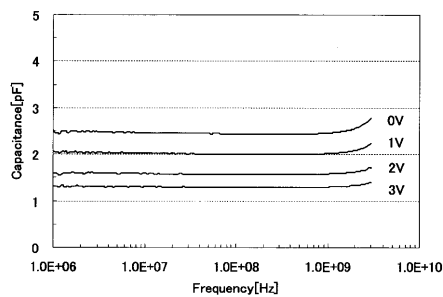
【 図 11 】



【 図 13 】



【 図 12 】



---

フロントページの続き

(56)参考文献 国際公開第03/038996(WO,A1)  
特表2005-508096(JP,A)  
特開平10-209714(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H01G	7/06
H03H	5/12
H03H	7/12