



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

213 086

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 30 07 80
(21) PV 5340-80

(51) Int. Cl.³ H 03 K 23/02

(40) Zveřejněno 31 08 81
(45) Vydáno 01 01 84

(75)
Autor vynálezu

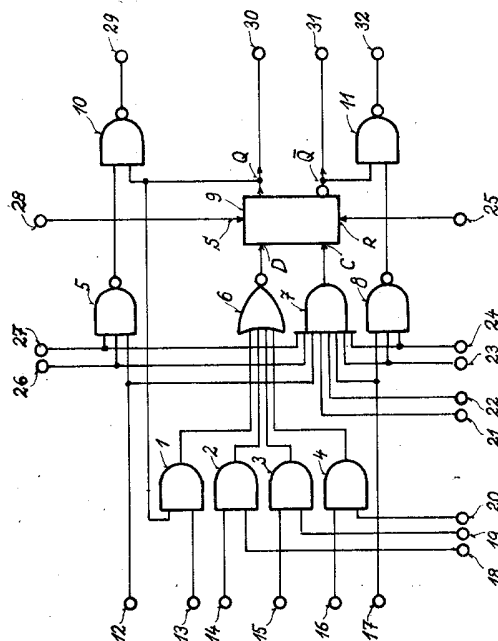
HOLUB IGOR ing., PRAHA

(54) Zapojení víceúčelového obvodu pro digitální zařízení

Vynález řeší problém konstrukce víceúčelového obvodu, který je použitelný u celé řady přístrojů jednoduchých, například vratného čítače, sčítačky, odčítačky atd., ale také kombinovaných, tj. vytvořených kombinací přístrojů vpředu uvedených.

Podstatou zapojení obvodu podle vynálezu je skupina 4 hradel pro vytvoření logického součinu, skupina 4 hradel pro vytvoření negovaného logického součtu, jedno hradlo osmivstupové pro vytvoření logického součinu a jeden bistabilní klopný obvod typu D. Úplné zapojení má celkem 17 vstupů a 4 výstupy.

Zapojení je použitelné ve výpočetní technice, automatizační a řídicí technice.



Vynález se týká zapojení víceúčelového obvodu pro digitální zařízení, které je použitečné pro konstrukci různých přístrojů, jako je vratný čítač, sčítačka, odčítačka, případně obvody pro vytváření dvojkového nebo dekadického komplementu čísla, dále obousměrný posuvný registr, násobička, převodník kódů. Tohoto víceúčelového obvodu lze ovšem použít také pro zařízení vytvořené kombinací uvedených přístrojů.

Stávající známá zapojení, náležející do stejné kategorie jako zapojení podle vynálezu a jemu nejbližší, lze rozdělit do dvou skupin. Do první skupiny náleží vratné čítače a do druhé skupiny aritmeticko-logické jednotky.

Obvody první skupiny jsou schopné provádět malý počet funkcí: čítání vpřed, čítání zpět, nastavení a nulování.

Obvody druhé skupiny mají větší funkční rozsah; mohou realizovat celou řadu aritmetických a logických funkcí, ale příslušné zařízení je nutné doplnit registry dat a jeho struktura je podstatně složitější. Naopak je výhodou, že operační rychlost je vysoká.

Jeden obvod patřící do první skupiny má dva vstupy pro přenos z nižších řádů, tj. pro čítání vpřed a zpět, dále vstupy dat pro nastavení, vstup pro nulování, vstup nastavení, dva výstupy pro přenos do vyšších řádů, tj. pro čítání vpřed a zpět a čtyři výstupy Q_A, Q_B, Q_C, Q_D čtyř jednotlivých klopných obvodů.

Podrobné popisy obvodů druhé skupiny jsou uvedeny v katalogích příslušných firem.

Podstatou zapojení víceúčelového obvodu pro digitální zařízení, které je použitečné pro konstrukci různých přístrojů, jako je vratný čítač, sčítačka, odčítačka, případně obvody pro vytváření dvojkového nebo dekadického komplementu čísla, dále obousměrný posuvný registr, násobička, převodník kódů, jakož pro konstrukci zařízení, které je vytvořeno kombinací uvedených přístrojů, podle vynálezu je, že první vstup pro přenos z nižších řádů při čítání vpřed je připojen ke třetímu vstupu prvního hradla pro vytvoření negovaného logického součinu a zároveň ke třetímu vstupu pátého hradla pro vytvoření logického součinu. Druhý vstup pro volbu funkce je připojen ke druhému vstupu prvního hradla pro vytvoření logického součinu, jehož výstup je připojen k prvnímu vstupu hradla pro vytvoření negovaného logického součtu. Třetí vstup pro posun registru vpřed je připojen k prvnímu vstupu druhého hradla pro vytvoření logického součinu, jehož výstup je připojen ke druhému vstupu hradla pro vytvoření negovaného logického součtu. Čtvrtý vstup pro posun registru zpět je připojen k prvnímu vstupu třetího hradla pro vytvoření logického součinu, jehož výstup je připojen ke třetímu vstupu hradla pro vytvoření negovaného logického součtu. Pátý vstup pro nastavení registru je připojen k prvnímu vstupu čtvrtého hradla pro vytvoření logického součinu, jehož výstup je připojen ke čtvrtému vstupu hradla pro vytvoření negovaného logického součtu. Šestý vstup pro přenos z nižších řádů při čítání zpět je připojen k prvnímu vstupu druhého hradla pro vytvoření negovaného logického součtu a zároveň k šestému vstupu pátého hradla pro vytvoření logického součinu, jehož výstup je připojen k hodinovému vstupu bistabilního klopného obvodu typu D. První vstup prvního hradla pro vytvoření logického součinu je připojen ke druhému vstupu třetího hradla a zároveň k přímému výstupu bistabilního klopného obvodu typu D a ke druhému výstupu zapojení. Sedmý vstup pro posun registru vpřed je připojen ke druhému vstupu druhého hradla pro vytvoření logického součinu. Osmý vstup pro posun registru zpět je připojen ke druhému vstupu

třetího hradla pro vytvoření logického součinu. Devátý vstup pro nastavení registru je připojen ke druhému vstupu čtvrtého hradla pro vytvoření logického součinu. Desátý vstup pro přetvoření čísla na jeho komplement při čítání vpřed je připojen ke čtvrtému vstupu pátého hradla pro vytvoření logického součinu. Jedenáctý vstup pro přetvoření čísla na jeho komplement při čítání zpět je připojen k pátému vstupu pátého hradla pro vytvoření logického součinu. Dvanáctý vstup, odčítací, při čítání vpřed, je připojen k sedmému vstupu pátého hradla pro vytvoření logického součinu a zároveň ke druhému vstupu druhého hradla pro vytvoření negovaného logického součinu. Třináctý vstup, odčítací, při čítání zpět, je připojen k osmému vstupu pátého hradla pro vytvoření logického součinu a zároveň ke třetímu vstupu druhého hradla pro vytvoření negovaného logického součinu. Patnáctý vstup, přičítací, při čítání vpřed, je připojen ke druhému vstupu pátého hradla pro vytvoření logického součinu a zároveň ke druhému vstupu prvního hradla pro vytvoření negovaného logického součinu. Šestnáctý vstup, sečítací, při čítání zpět, je připojen k prvnímu vstupu pátého hradla pro vytvoření logického součinu a zároveň k prvnímu vstupu prvního hradla pro vytvoření negovaného logického součinu, jehož výstup je připojen k prvnímu vstupu třetího hradla pro vytvoření negovaného logického součinu, jehož výstup je připojen k prvnímu výstupu zapojení pro přenos při čítání vpřed. Čtrnáctý vstup je připojen ke vstupu pro nulování bistabilního klopného obvodu typu D. Sedmnáctý vstup je připojen ke vstupu pro nastavení bistabilního klopného obvodu typu D. Výstup druhého hradla pro vytvoření negovaného logického součinu je připojen ke druhému vstupu čtvrtého hradla pro vytvoření negovaného logického součinu, jehož první vstup je připojen k negovanému výstupu bistabilního klopného obvodu typu D a zároveň k třetímu výstupu, zatímco výstup hradla pro vytvoření negovaného logického součtu je připojen ke vstupu dat bistabilního klopného obvodu typu D. Výstup čtvrtého hradla pro vytvoření negovaného logického součinu je připojen ke čtvrtému výstupu pro přenos při čítání zpět.

Hlavní výhodou zapojení podle vynálezu je jeho relativní jednoduchost ve srovnání se zapojením, které by při použití stávajících dostupných přístrojů bylo schopno provádět aspoň stejný počet druhů činností. Náklady spojené s realizací zařízení zapojeného podle vynálezu jsou ovšem také výrazně nižší, než v případě pořízení souboru přístrojů schopných plnit aspoň stejný soubor činností.

Zařízení zapojené podle vynálezu dává kromě jiného například možnost předzpracování průběžně změřených dat, případně informací, za účelem jejich ekonomického ukládání do paměti, z níž mohou být později předány k dalšímu podrobnému zpracování.

Na výkresu je znázorněno schéma zapojení víceúčelového obvodu pro digitální zařízení.

První vstup 12 pro přenos z nižších řádů při čítání vpřed je připojen ke třetímu vstupu prvního hradla 2 pro vytvoření negovaného logického součinu a zároveň ke třetímu vstupu pátého hradla 7 pro vytvoření logického součinu.

Druhý vstup 13 pro volbu funkce je připojen ke vstupu prvního hradla 1 pro vytvoření logického součinu, jehož výstup je připojen k prvnímu vstupu hradla 6 pro vytvoření negovaného logického součtu.

Třetí vstup 14 pro funkci registru vpřed je připojen k prvnímu vstupu druhého hradla 2 pro vytvoření logického součinu.

Čtvrtý vstup 15 pro funkci registru zpět je připojen k prvnímu vstupu třetího hradla 3 pro vytvoření logického součinu.

Pátý vstup 16 pro nastavení registru je připojen k prvnímu vstupu čtvrtého hradla 4 pro vytvoření logického součinu.

Šestý vstup 17 pro přenos z nižších řádů při čítání zpět je připojen k prvnímu vstupu druhého hradla 8 pro vytvoření negovaného logického součinu a zároveň k šestému vstupu hradla 7.

Sedmý vstup 18 pro posun registru vpřed je připojen ke druhému vstupu hradla 2, jehož výstup je připojen ke druhému vstupu hradla 6.

Osmý vstup 19 pro posun registru zpět je připojen ke druhému vstupu hradla 3, jehož výstup je připojen ke třetímu vstupu hradla 6.

Devátý vstup 20 pro nastavení registru je připojen ke druhému vstupu čtvrtého hradla 4 pro vytvoření logického součinu, jehož výstup je připojen ke čtvrtému vstupu hradla 6.

Desátý vstup 21 pro komplementaci obsahu paměťové buňky při čítání vpřed je připojen ke čtvrtému vstupu hradla 7.

Jedenáctý vstup 22 pro komplementaci obsahu paměťové buňky při čítání zpět je připojen k pátému vstupu hradla 7.

Dvanáctý vstup 23, odčítací, při čítání vpřed, je připojen k sedmému vstupu hradla 7 a zároveň ke druhému vstupu hradla 8.

Třináctý vstup 24, odčítací, při čítání zpět, je připojen k osmému vstupu hradla 7 a zároveň ke třetímu vstupu hradla 8.

Čtrnáctý vstup 25 je připojen k nulovacímu vstupu R bistabilního klopného obvodu 2 typu D.

Patnáctý vstup 26, přičítací, při čítání vpřed, je připojen ke druhému vstupu hradla 7 a zároveň ke druhému vstupu hradla 2.

Šestnáctý vstup 27, přičítací, při čítání zpět, je připojen k prvnímu vstupu hradla 7 a zároveň k prvnímu vstupu hradla 2.

Sedmnáctý vstup 28 je připojen ke vstupu S pro nastavení obvodu 2.

První výstup 29 pro přenos do vyšších řádů při čítání vpřed je spojen s negovaným výstupem třetího hradla 10 pro vytvoření negovaného logického součinu.

Druhý výstup 30 je přímým výstupem Q obvodu 2.

Třetí výstup 31 je negovaným výstupem Q obvodu 2.

Čtvrtý výstup 32, pro přenos do vyšších řádů při čítání zpět, je spojen s negovaným výstupem čtvrtého hradla 11 pro vytvoření negovaného logického součinu.

První vstup hradla 1 je připojen k přímému výstupu Q obvodu 2, který je zároveň připojen ke druhému přímému výstupu 30 obvodu 2 a k druhému vstupu třetího hradla 10 pro vytvoření negovaného logického součinu. První vstup hradla 10 je připojen k výstupu hradla 2 a výstup hradla 10 je připojen k prvnímu výstupu 29 pro přenos do vyšších řádů při čítání vpřed.

Vstup dat D obvodu 2 je připojen k výstupu hradla 6. Vstup C je připojen k výstupu hradla 7; negovaný výstup Q obvodu 2 je připojen k třetímu negovanému výstupu 31 obvodu 2 a zároveň k prvnímu vstupu čtvrtého hradla 11 pro vytvoření negovaného logického součinu. Druhý vstup hradla 11 je připojen k výstupu hradla 8, jehož výstup je připojen ke čtvrtému výstupu 32 pro přenos do vyšších řádů při čítání zpět.

Zapojení podle vynálezu může být takto činné: zaprvé jako jednosměrný čítač vpřed, zadruhé jako jednosměrný čítač zpět, zatřetí pro přičtení jednobitové informace na prvním přičítacím vstupu 26 při čítání vpřed, začtvrté pro přičtení jednobitové informace na druhém přičítacím vstupu 27 při čítání zpět, zapáté pro odečtení jednobitové informace na prvním odčítacím vstupu 23 při čítání vpřed, zašesté pro odečtení jednobitové informace na druhém odčítacím vstupu 24 při čítání zpět, zasedmé pro komplementaci obsahu paměťové buňky při čítání vpřed, zaosmé pro komplementaci obsahu paměťové buňky při čítání zpět, zadeváté pro nastavení obsahu paměťové buňky, přičemž se provede buď nastavení libovolného počátečního stavu v každém stupni řetězce tvořícího čítač, nebo posunutí informace v posuvném registru zpět.

Nastavení počátečního stavu nebo posun informace v posuvném registru se přitom provede přivedením pracovního impulsu na desátý vstup 21 nebo na jedenáctý vstup 22 pro komplementaci obsahu paměťové buňky při čítání vpřed nebo zpět. O tom, který z případů vpředu uvedených nastane, zn. nastavení libovolného počátečního stavu v každém stupni řetězce tvořícího čítač nebo posunutí informace v posuvném registru vpřed, případně vzad, nebo komplementace obsahu paměťové buňky, rozhoduje, na který ze vstupů 13, 14, 15, 16 je přiváděna úroveň logické jedničky.

V případě, že je úroveň logické jedničky přiváděna na vstup 13, funguje obvod 9 jako obvod typu T a celý obvod umožňuje a realizuje funkce popsané v odstavcích "zprvce" až "zasedmé".

V případě, že je úroveň logické jedničky přivedena na vstup 14, registr funguje vpřed, je-li úroveň logické jedničky přivedena na vstup 15, registr funguje zpět a je-li úroveň logické jedničky přivedena na vstup 16, provádí se nastavení registru. Přitom ovšem je rozhodující, jaké signály se přivádějí na vstupy 18, 19, 20.

Spouštění funkce se děje zavedením pulzu na vstup 21 nebo 22.

Jednotlivé základní druhy činnosti obvodu podle vynálezu lze provádět pouze postupně, nikoliv současně, a přitom je nutné splnit dvě základní podmínky: zprvce nejdříve nastavit logické úrovně na nevyužitých vstupech způsobem vpředu uvedeným a teprve potom pracovní úrovně na použitých vstupech zapojení obvodu, zadruhé provozovat vždy pouze jedinou činnost v daném funkčním kroku. Jednotlivé funkční kroky musí být od sebe odděleny stavem, při němž na všech spouštěcích vstupech je zavedena úroveň logické jedničky. Týká se to vstupů 12, 17, 21, 22, 23, 24, 16, 27.

Činnost obvodu při čítání vpřed: činnosti se zúčastňuje vstup 12, obvod 9, vstupy 25, 28, hradla 5, 7, 10, 1, 6 a výstupy 29, 30, 31. Úroveň logické nuly je na vstupech 14, 15, 16. Úroveň logické jedničky je na vstupech 13, 17, 21, 22, 23, 24, 25, 26, 27, 28.

Činnost obvodu při čítání zpět: činnosti se zúčastňuje vstup 17, obvod 9, vstupy 25, 28, hradla 8, 7, 11, 1, 6 a výstupy 30, 31, 32. Úroveň logické nuly je na vstupech 14, 15, 16. Úroveň logické jedničky je na vstupech 12, 13, 21, 22, 23, 24, 26, 27, 25, 28.

Činnost obvodu při přičítání první informace k obsahu paměťové buňky: činnosti se zúčastňují vstupy 12, 25, 28, 26, obvod 9, hradla 5, 7, 10, 1, 6 a výstupy 29, 30, 31. Úroveň logické nuly je na vstupech 14, 15, 16. Úroveň logické jedničky je na vstupech 13, 17, 21, 22, 23, 24, 27, 25, 28.

Činnost obvodu při přičítání druhé informace k obsahu paměťové buňky: činnosti se zúčastňují vstupy 12, 25, 28, 27, obvod 9, hradla 8, 7, 11, 1, 6 a výstupy 30, 31, 32. Úroveň logické nuly je na vstupech 14, 15, 16. Úroveň logické jedničky je na vstupech 13, 17, 21, 22, 23, 24, 26, 25, 28.

Činnost obvodu při odčítání první informace od obsahu paměťové buňky: činnosti se zúčastňují vstupy 17, 25, 28, 23, obvod 9, hradla 2, 7, 10, 1, 6 a výstupy 29, 30, 31. Úroveň logické nuly je na vstupech 14, 15, 16. Úroveň logické jedničky je na vstupech 13, 17, 21, 22, 24, 26, 27, 25, 28.

Činnost obvodu při odčítání druhé informace od obsahu paměťové buňky: činnosti se zúčastňují vstupy 17, 25, 28, 24, obvod 9, hradla 8, 7, 11, 1, 6 a výstupy 30, 31, 32. Úroveň logické nuly je na vstupech 14, 15, 16. Úroveň logické jedničky je na vstupech 13, 12, 21, 22, 23, 26, 27, 25, 28.

Činnost obvodu při změně obsahu paměťové buňky na jednotkový element: činnosti se zúčastňuje vstup 21 pro přetvoření čísla na jeho komplement při čítání vpřed a/nebo vstup 22 pro přetvoření čísla na jeho komplement při čítání zpět, dále obvod 9 a hradla 7, 1, 6 a výstupy 30, 31. Úroveň logické nuly je na vstupech 14, 15, 16. Úroveň logické jedničky je na vstupech 12, 13, 17, 23, 24, 26, 27, 25, 28.

Činnost obvodu při nastavení paměťové buňky na zvolený logický stav, v němž je zahrnut posun registru vpřed nebo zpět: činnosti se zúčastňuje vstup 18 a/nebo vstup 19 a/nebo vstup 20 nebo vstup 21, obvod 9, hradlo 2 nebo hradlo 3 nebo hradlo 4, hradla 6, 7 a výstup 30 nebo výstup 31. Úroveň logické nuly je na vstupu 13. Úroveň logické jedničky je na vstupu 14 nebo na vstupu 15 nebo na vstupu 16 a dále na vstupech 12, 17, 23, 24, 26, 27, 25, 28.

Každý ze vstupů 14, 15, 16 je při všech druzích činnosti zaměnitelný se vstupy 18, 19, 20 a každý z těchto vstupů je použitelný pro volbu tří druhů činnosti obvodu podle vynálezu.

Využití zapojení podle vynálezu je široké, neboť zapojení lze použít jak pro konstrukci zařízení jednoduchého, tak pro zařízení komplikované a kombinované, která jsou schopná provádět různé kombinace činnosti a tak realizovat velmi náročné, složité digitální operace. Z hlediska rozsahu modifikací zapojení podle vynálezu nelze nijak vymezit jejich počet ani jejich druhy. Zapojení je univerzálně použitelné.

PŘEDMĚT VYNÁLEZU

Zapojení víceúčelového obvodu pro digitální zařízení, které je použitelné pro konstrukci různých přístrojů, jako je vratný čítač, sčítačka, odčítačka, případně obvody pro vytváření dvojkového nebo dekadického komplementu čísla, dále obousměrný posuvný registr, násobička, převodník kódů, jakož pro konstrukci zařízení, které je vytvořeno kombinací uvedených přístrojů, vyznačené tím, že první vstup (12) pro přenos z nižších řádů při čítání vpřed je připojen ke třetímu vstupu prvního hradla (5) pro vytvoření negovaného logického součinu a zároveň ke třetímu vstupu pátého hradla (7) pro vytvoření logického součinu, druhý vstup (13) pro volbu funkce je připojen ke druhému vstupu prvního hradla (1) pro vytvoření logického součinu, jehož výstup je připojen k prvnímu vstupu hradla (6)

pro vytvoření negovaného logického součtu, třetí vstup (14) pro posun registru vpřed je připojen k prvnímu vstupu druhého hradla (2) pro vytvoření logického součinu, jehož výstup je připojen k druhému vstupu hradla (6) pro vytvoření negovaného logického součtu, čtvrtý vstup (15) pro posun registru zpět je připojen k prvnímu vstupu třetího hradla (3) pro vytvoření logického součinu, jehož výstup je připojen ke třetímu vstupu hradla (6) pro vytvoření negovaného logického součtu, pátý vstup (16) pro nastavení registru je připojen k prvnímu vstupu čtvrtého hradla (4) pro vytvoření logického součinu, jehož výstup je připojen ke čtvrtému vstupu hradla (6) pro vytvoření negovaného logického součtu, šestý vstup (17) pro přenos z nižších řádů při čítání zpět je připojen k prvnímu vstupu druhého hradla (8) pro vytvoření negovaného logického součinu a zároveň k šestému vstupu pátého hradla (7) pro vytvoření logického součinu, jehož výstup je připojen k hodinovému vstupu (C) bistabilního klopného obvodu (9) typu D, zatímco první vstup prvního hradla (1) pro vytvoření logického součinu je připojen ke druhému vstupu třetího hradla (10) a zároveň k přímému výstupu (Q) bistabilního klopného obvodu (9) typu D a ke druhému výstupu (30) zapojení, sedmý vstup (18) pro posun registru vpřed je připojen ke druhému vstupu druhého hradla (2) pro vytvoření logického součinu, osmý vstup (19) pro posun registru zpět je připojen ke druhému vstupu třetího hradla (3) pro vytvoření logického součinu, devátý vstup (20) určený pro nastavení registru, je připojen ke druhému vstupu čtvrtého hradla (4) pro vytvoření logického součinu, desátý vstup (21) pro přetvoření čísla na jeho komplement při čítání vpřed je připojen ke čtvrtému vstupu pátého hradla (7) pro vytvoření logického součinu, jedenáctý vstup (22) pro přetvoření čísla na jeho komplement při čítání zpět je připojen k pátému vstupu pátého hradla (7) pro vytvoření logického součinu, dvanáctý vstup (23), odčítací, při čítání vpřed, je připojen k sedmému vstupu pátého hradla (7) pro vytvoření logického součinu a zároveň ke druhému vstupu druhého hradla (8) pro vytvoření negovaného logického součinu, třináctý vstup (24), odčítací, při čítání zpět, je připojen k osmému vstupu pátého hradla (7) pro vytvoření logického součinu a zároveň ke třetímu vstupu druhého hradla (8) pro vytvoření negovaného logického součinu, patnáctý vstup přičítací (26) při čítání vpřed je připojen ke druhému vstupu pátého hradla (7) pro vytvoření logického součinu a zároveň ke druhému vstupu prvního hradla (5) pro vytvoření negovaného logického součinu, šestnáctý vstup (27), sečítací, při čítání zpět, je připojen k prvnímu vstupu pátého hradla (7) pro vytvoření logického součinu a zároveň k prvnímu vstupu prvního hradla (5) pro vytvoření negovaného logického součinu, jehož výstup je připojen k prvnímu vstupu třetího hradla (10) pro vytvoření negovaného logického součinu, jehož výstup je připojen k prvnímu výstupu (29) zapojení pro přenos při čítání vpřed, čtrnáctý vstup (25) je připojen ke vstupu (R) pro nulování bistabilního klopného obvodu (9) typu D, sedmáctý vstup (28) je připojen ke vstupu (S) pro nastavení bistabilního klopného obvodu (9) typu D, výstup druhého hradla (8) pro vytvoření negovaného logického součinu je připojen ke druhému vstupu čtvrtého hradla (11) pro vytvoření negovaného logického součinu, jehož první vstup je připojen k negovanému výstupu (Q) bistabilního klopného obvodu (9) typu D a zároveň k třetímu výstupu (31), zatímco výstup hradla (6) pro vytvoření negovaného logického součtu je připojen ke vstupu (D) dat bistabilního klopného obvodu (9) typu D a výstup čtvrtého hradla (11) pro vytvoření negovaného logického součinu je připojen ke čtvrtému výstupu (32), pro přenos při čítání zpět.

