(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 27/12

(45) 공고일자 2003년07월18일
(11) 등록번호 10-0373940
(24) 등록일자 2003년02월14일

(21) 출원번호 10-1997-0009143
(22) 출원일자 1997년03월15일

(65) 공개번호 특1997-0067912
(43) 공개일자 1997년10월13일

(30) 우선권주장 96-87531 1996년03월15일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마자끼 순페이
일본 도쿄 세타가야꾸 세이요 4-10-20

코야마 준
일본 가나가와켄 사가미하라시 니시하시모또 1-4-23

타케무라 야수히코
일본 가나가와켄 아쓰기시 아이코 934-3 산 화이트 하라시마 202

(74) 대리인 이병호

심사관 : 임동우

(54) 박막반도체장치

요약

본 발명은 감소된 누설 전류를 지닌 절연된 게이트 박막 반도체 장치에 관한 것이다. 상기 장치는 소스 및 드레인 영역이 형성된 박막 반도체를 갖는다. 제 1 및 제 2 전극은 박막 반도체의 대향면상에 형성된다. 최소한 한 개의 제 2 전극은 소스 및 드레인 영역을 전기적으로 오버랩핑하지 않는다. 역바이어스 전압이 제 1 게이트 전극에 인가될 때(즉, 선택않된 상태), 순바이어스 전압이 제 2 게이트 전극에 인가되며, 이로써, 누설 전류 경로를 제어한다. 이와같이, 선택않된 상태의 저항은 증가된다. 결과적으로, 누설 전류가 감소된다. 이러한 구조 때문에 박막 트랜지스터의 온/오프 전류비는 향상될 수 있다.

대표도

도 1a

명세서

도면의 간단한 설명

도 1A 내지 도 1D는 본 발명에 따른 반도체 장치의 기본 구조도.
도 2A 및 도 2B는 본 발명에 따른 반도체 장치의 기본 동작 원리를 설명한 도면.
도 3은 제 1 실시예의 반도체 장치의 횡단면도.

도 4A 내지 도 4C는 본 발명에 따른 반도체 장치의 기본 동작 원리를 설명한 도면.
도 5A 내지 도 5D는 본 발명에 따른 반도체 장치의 기본 동작 원리를 설명한 도면.
도 6은 본 발명에 따른 반도체 장치의 기본 동작 원리를 설명한 도면.
도 7A 및 도 7B는 제 1 실시예의 반도체 장치의 상면도.
도 8A 내지 도 8F는 제 2 실시예의 반도체 장치의 일련의 공정을 설명한 횡단면도.
도면의 주요 부분에 대한 설명
102 : 제 1 게이트 전극 104 : 박막 반도체
108 : 제 2 게이트 전극 109 : 소스 전극/접속부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

1. 발명의 분야
본 발명은 절연 표면상에 형성된 박막 집적 회로 및 사용된 회로의 구조물, 즉, 박막 트랜지스터(TFT)의 구조물에 관한 것이다. 절연 표면은 절연체의 표면뿐만이 아니라, 반도체 또는 재료의 표면상에 형성된 유전층을 포함한다. 즉, 본 발명에 따른 집적 회로 및 TFT는 유리 등으로 된 절연 기판상에 형성된 것과, 단결정실리콘 등으로 된 반도체 기판상에 용착된 절연체상에 형성된 것을 포함한다.
2. 관련 기술의 설명
TFT 등의 박막 반도체 장치는 절연 표면상의 내인성 반도체 영역(액티브 층)아일랜드를 형성하고, CVD 또는 스퍼터링에 의해 유전막을 게이트 절연막으로서 형성한후, 상기 유전막상에 게이트 전극을 형성함으로써 얻어진다. 또다른 방법에서, 게이트 전극이 먼저 형성되고, 그후 게이트 절연막 및 액티브 층이 게이트 전극상에 용착된다. 전자의 경우, 소스/드레인 영역은 N형 또는 P형 도펀트를 내인성 박막 반도체에 확산시킴으로써 형성된다. 후자의 경우, 도펀트 확산을 활용할수도 있지만, 개별의 N형 또는 P형 반도체막을 형성하는 것이 일반적이다.
종래 기술의 TFT는 N형 또는 P형 소스/드레인 영역, 내인성 채널 영역, 게이트 절연막, 및 게이트 전극을 갖는다. 게이트 절연막 및 게이트 전극은 채널 영역상에 용착된다. 도전성 접속부 및 전극(소스 전극/접속부 및 드레인 전극/접속부로 언급됨)은 소스 및 드레인 영역에 각각 접속되어 외부와의 전기적 접속을 허용한 다. TFT는 소스 및 드레인 전극과 게이트 전극을 구비하는 세 개의 단자에 의해 제어된다.

발명이 이루고자 하는 기술적 과제

일부 회로에서, 소스 영역과 드레인 영역을 명확하게 구분하는 것이 불가능하다. 따라서, 하기 설명에서, 소스 및 드레인 영역은 회로에 의해 구분되는 것이 아니라 임의로 설정될수 있다. 즉, 소스 영역으로서 임의로 정의된 영역이 아닌 단자에 접속된 N형 또는 P형 영역이 드레인 영역으로서 정의된다. 최근에, TFT의 필드 이동도를 증가시킬 필요가 있기 때문에 비결정질 반도체대신에 결정질 반도체로부터 액티브 층을 제조하도록 시도되어 왔다.
결정성을 갖는 비단일 결정 반도체(예를들어, 폴리실리콘)를 사용하는 TFT의 큰 문제점은 누설 전류(오프 전류)가 크다는 것이다. 특히, 전압이 게이트 전극에 인가되지 않거나 역 전압이 인가될때(즉, 선택않된 상태 또는 오프 상태), 채널(전류 경로)이 형성되지 않는다. 그러므로, 전류가 흐르지 않게 된다. 그러나, 단결정반도체를 통해 흐르게 되는 관찰된 일반 누설 전류이상의 전류가 관찰된다. 이 현상은 단결정이 아닌 반도체의 고유한 특성이다.
이러한 큰 누설 전류는 동적 동작(전하 보유와 같은)이 요구되는 경우에 문제가 된다. 더욱이, 정적 동작이 필수적인 경우에 전력 소모가 바람직하지 않게 증가된다.
액정 표시기에 의해 정형된 액티브 매트릭스 회로에서 TFT의 광범위한 응용을 볼수 있다. 이런 종류의 회로에 있어서, TFT는 행렬로 배열된 화소에 대해 스위 칭 트랜지스터로서 기능한다. 상기 목적을 위해, 화소 전극 및 그 보조 캐패시터(유지 캐패시터)내에 저장된 전하가 누설되지 않음이 요구된다. 만일, 큰 누설 전류가 발생하면, 전하는 충분히 긴 시간동안 유지될 수가 없다.
채널 길이를 증가시키거나 채널 폭을 줄임으로써 누설 전류가 효과적으로 감소될수 있다. 이 방법이 적용된다면, 누설 전류의 절대값이 감소된다. 그러나, 전압이 게이트 전극에 인가될 때, 즉, 선택된 상태(온 상태)에서 드레인 전류(온(on) 전류)도 감소될 것이다. 결과적으로, 상기 요구되는 동작은 실행될 수 없다. 즉, 이 방법을 이용하여, 드레인 전류 대 누설 전류(온/오프 전류비)의 비가 개선될 수 없다.
발명의 개요
상기 문제점을 해결하기위해, 본 발명의 이루어졌다. 본 발명의 목적은 단결정과는 다른 반도체를 구비한 액티브 층을 갖춘 TFT를 제공하는 것이며, 상기 TFT는 누설 전류가 감소되고 온/오프 전류 비가 개선된 것을 특징으로 한다.
본 발명은 박막 반도체, 게이트 절연막, 및 게이트 전극을 갖춘 박막 반도체를 구비한다. 본 발명에 있어서, 제 2 게이트 전극 및 제 2 게이트 절연막은 종래의 TFT에 부가하여 형성된다. 즉, 본 발명에 따라 부가된 제 2 게이트 전극이

종래의 게이트 전극과 동일한 제 1 게이트 전극에 부가하여 형성된다. 게이트 전극에 대응하는 게이트 절연막이 또한 형성된다. 본 발명의 기본 원리를 제공하는 박막 반도체 장치에 있어서, 상기 박막 반도체는 아일랜드 형태로 제조된다. 소스/드레인 영역은 동일하거나 다른 레벨로 형성된다.

본 발명의 한 특성에서, 제 2 게이트 전극은 소스/드레인 영역의 어느 영역도 오버랩핑하지 않도록 형성된다. 역바이어스 전압이 제 1 게이트 전극에 인가될 때, 제 2 게이트 전극에 대해 순바이어스 전압이 인가된다.

본 발명의 한 양상은 상기 조건을 만족하는 박막 반도체 장치를 제공하는데, 제 1 및 제 2 게이트 전극이 박막 반도체의 대향면상에 위치된다.

본 발명의 또다른 한 특징은 박막 반도체가 두 개의 기본 면을 갖춘다는 사실에 기초한다. 제 1 게이트 전극은 박막 반도체의 제 1 기본면상에 형성되며, 제 1 게이트 절연체가 박막 반도체사이에 위치된다. 제 2 게이트 전극은 제 2 기본면상에 위치된다.

본 발명에 있어서, 공정순서는 최소한 소스 및 드레인 영역중의 한 영역에 접속된 도전성 접속부와 동일한 막으로부터 제 2 게이트 전극에 의해 간략화된다.

본 발명은 박막 반도체가 기판과 각각의 제 1 전극간에 위치된 소위 탑-게이트(top-gate) TFT에 응용될수 있다. 유사하게, 본 발명은 기판과 박막 반도체간에 각각의 제 1 게이트 전극이 위치된 소위 바텀-게이트(bottom-gate) TFT에 응용가능하다.

본 발명의 기본 구조는 도 1A 내지 도 1D에 도시되어 있으며, 이는 바텀-게이트형에 관한 것이다. 도 1A는 횡단면 구조이다. 제 1 게이트 전극(2), 제 1 게이트 절연막(3), 및 박막 반도체(4)는 기판(1)상에 형성된다. 소스 영역(5) 및 드레인 영역(6)은 박막 반도체의 대향 단부에 형성된다. 제 2 게이트 절연막(7) 및 제 2 게이트 전극(8a 내지 8c)은 기판상에 형성된다. 필요에 따라, 소스 전극/접속부(9) 및 드레인 전극/접속부(10)가 형성될수도 있다(도 1A).

도 1A에 있어서, 제 2 게이트 전극의 배열은 명확하지 않으며, 그 적층 구조가 도 1B에 도시되어 있다(도 1B).

도 1C에는 상기로부터 관찰된 방법이 도시되어 있다. 본 발명에서, 제 2 게이트 전극중에 최소한 한 개의 게이트 전극은 소스 및 드레인 전극의 어느 부분도 전기적으로 오버랩핑하지 않는다. '전기적'은 제 2 전극의 전기적 영향을 의미한다. 최소한 한 개의 제 2 게이트 전극이 소스 및 드레인 영역을 기하학적으로 오버랩핑하는 경우에서도, 제 2 게이트 전극이 기하학적 오버랩핑 부분에 대해 전기적 영향을 주지 않는다면, 제 2 게이트 전극은 '전기적' 오버랩핑이 아닌 것으로 언급된다(도 1C).

본 발명에서, 제 2 게이트 전극은 도 1C에 도시된 바와같이 상호간에 스태거(staggered) 관계(또는 대안의 관계)로 형성된다. 또, 제 2 게이트 전극(8a 및 8b)은 도 1D에 도시된 바와같이 상호 병렬 관계로 형성된다(도 1D).

본 발명에서, 만일 박막 트랜지스터내 또는 상의 임의의 제 2 게이트 전극을 오버랩핑하지 않는 영역이 베이스 영역으로서 정의된다면(즉, 제 2 게이트 전극이 상기 베이스 영역에 대해 전기적 영향을 주지 않는다면), 또, 제 2 게이트 전극이 다음의 조건을 만족시키도록 배열된다면, 본 발명의 효과는 더욱 증대될 것이다.

즉, 본 발명의 제 3 양상은 베이스 영역만을 통하는 소스 영역으로부터 드레인 영역까지의 최단 거리가 박막 반도체를 통하는 소스 영역으로부터 드레인 영역까지의 최단 거리보다 크다.

본 발명의 제 4 양상은 베이스 영역의 평균 폭(즉, 베이스 영역만을 통하는 소스 영역으로부터 드레인 영역까지의 최단 경로 거리에 의해 분할된 베이스 영역의 범위)이 박막 반도체의 폭(즉, 소스 영역으로부터 드레인 영역까지의 최단 경로길이에 의해 분할된 드레인 영역)보다 더 작다.

베이스 영역은 제 2 전극의 기하학 구조보다는 제 2 게이트 전극의 전기적 영향에 중점을 두도록 정의된다는 것을 유의해야 한다.

또한, 본 발명에서, 후술될 선택된 및 선택않된 상태에 관하여, 베이스 영역에서만 전기적으로 제어하게 한다. 그러므로, 제 1 게이트 전극은 제 2 게이트 전극이 박막 반도체를 오버랩핑하지 않는 베이스 영역의 외부에 존재하도록 요구되지는 않는다. 따라서, 다음의 조건이 본 발명의 제 3 및 제 4 양상에 부가된다.

베이스 영역은 제 1 게이트 전극과 기하학적으로 유사한 구조를 갖는다.

베이스 영역 및 제 1 게이트 전극이 상기 방법에서 기하학적으로 유사하도록, 제 2 게이트 전극은 제 1 게이트 전극을 마스크로 사용하는 자기 정렬 포토리소그래피 기술에 의해 패턴화된다. 상기 조건은 본 발명의 제 3 양상 내지 제 6 양상에 부가된다.

본 발명의 선택된 상태(온 상태)는 종래의 TFT의 상태와 전혀 다르지 않다. 본 발명은 그 선택않된 상태(오프 상태)에 특징이 있다. 도 1A 내지 도 1D에 도시된 반도체 장치에서, 제 2 게이트 전극은 소스 영역과 동일한 포텐셜인 것으로 한다. 비교적 큰 역바이어스 전압이 제 1 게이트 전극에 인가된다. N채널 반도체 장치에 대해, 선택된 상태에 있을 때(즉, 순바이어스(포지티브) 전압이 제 1 게이트 전극에 인가될 때), 다수 캐리어(즉, 전자)는 도 6B에 도시된 바와같이 제 1 게이트 전극에 마주하는 박막 반도체에 모이게 된다. 상기 캐리어는 소스와 드레인간의 도전 상태를 이룬다(도 6B).

한편, 선택않된 상태(즉, 역바이어스(네가티브) 전압이 제 1 게이트 전극에 인가될 때)에서, 소수 캐리어(즉, 포지티브 호울(hole))는 도 6A에 도시된 바와같이 제 1 게이트 전극에 인접한 박막 반도체에 모이게 된다. 그후, 상기 캐리어들은 도전 상태에 기여한다(도 6A).

도 2A의 x-x'를 따라 박막 반도체의 에너지 밴드가 도 4A 및 도4B에 도시되어 있다. E_F 는 페르미 레벨을 의미한다. 도 4A는 제 1 게이트 전극양단의 전압이 소스 영역양단의 전압($V_{G1} = 0$)과 동일하도록 설정된 상태를 나타낸다. 도 4B는 네가티브 전압(-V)이 제 1 게이트 전극에 인가된 상태를 도시한 것이다($V_{G1} = -V$). V_{G2} 는 제 2 게이트 전극에 인가된 전압의 크기를 나타낸다(도 4A 및 도 4B).

소스 영역과 박막 반도체간에는 갭이 존재한다. 또한, 드레인 영역과 박막 반도체간에도 갭이 존재한다. 소수 캐리어인 포지티브 호울은 상기 갭에 걸쳐 이동할수 없다. 따라서, 이상적으로, 소스와 드레인간에 도전 상태가 발생하지 않

는다.
그러나, 결정 결함등으로 발생된 국부 레벨간에 홉핑(hopping)이 발생하는 비-단결정 반도체가 공지되어 있다. 박막 반도체의 표면상에 유도된 포지티브 호울은 상기 메카니즘에 의해 소스 영역 및 드레인 영역으로부터 이동되는 전자와 재결합한다. 결과적으로, 도전 상태(누설 전류)가 소스와 드레인간에 발생한다. 도 4A 내지 도 4C에서의 점선 화살표는 홉핑(hopping) 도전 상태를 나타낸다. 물론, 메카니즘이 홉핑에 달려 있을지라도, 상당한 크기의 저항이 형성된다. 만일, 제 1 게이트 전극에 인가된 역바이어스 전압이 증가된다면, 더욱 많은 소수 캐리어(포지티브 호울)가 유도된다. 상기는 도전도를 증가시키는데 이는 누설 전류의 증가를 유도한다.
도 2A는 종래의 TFT가 선택않된 상태일 때의 누설 전류 흐름을 설명한 것이다. 박막 반도체의 전체 횡단면 양단을 흐르는 전류가 관찰된다(도 2A).
포지티브 전압(+V)을 제 2 게이트 전극에 인가함으로써 얻어진 상태(V_{G2} = +V)를 설명하고자 한다. 다수 캐리어(전자)는 제 2 게이트 전극에 인접한 박막 반도체의 표면상에 유도된다. 에너지 밴드 다이어그램은 도 4C에 도시된 바와 같은 복합 형태를 얻는다(도 4C).
도 5A 내지 도 5D는 도 4B 및 도 4C의 에너지 밴드 다이어그램에 기초한 박막 반도체의 전기적 회로 표현도이다. 도 5A에서, 소스 영역과 박막 반도체의 정합저항 R_1, 드레인 영역과 박막 반도체의 정합 저항 R_2, 박막 반도체자체의 저항 R_3 이 도시되어 있다. R_3 는 제 1 게이트에 인가된 역바이어스 전압에 의해 결정된다. 역바이어스 전압이 증가될 때, 더 많은 소수 캐리어가 유도되어 R_3 를 감소시킨다. 결국, R_3 는 R_1 및 R_2 에 비해 무시될수 있을 만큼 작다. 실제, 누설 전류는 R_1 및 R_2 에 의해 결정된다(도 5A).
그러나, 순바이어스 전압이 제 2 게이트 전극에 인가될 때, 정합이 증가된다. 이는 일련의 저항을 증가시킨다. 즉, 저항은 제 2 게이트 전극당 두 개의 정합에 의해 형성된다. 도 5B에서, 상기 두 개의 저항은 한 개의 저항으로 표현된다. 저항은 R_4 내지 R_6 로 나타낸다. 특히, 세 개의 게이트 전극이 존재하며, 세 개의 저항이 형성된다. 또, 박막 반도체는 도시되어 있지 않은 내인성 저항을 갖는다(도 5B).
도 2B는 상기 상태에서의 방법을 도시하고 있다. 반전 층(11)은 제 2 게이트 전극이 존재하는 부분에서 생성되며; 나머지 부분은 베이스 영역(12)이 된다. 누설 전류 경로는 라인 x-x'을 따라 확장된다. 또다른 경로가 도면에서 화살표로 표시된 베이스 영역을 따라 이루어진다. 베이스 영역에 따른 전류 저항을 R_7 내지 R_9 라고 하면, 도 5C에 도시된바와 같은 회로가 얻어진다.
실제, R_4 내지 R_6 는 R_7 내지 R_9 보다 더 크며, 따라서, 누설 전류는 R_7 내지 R_9 (즉, 베이스 영역)을 통해 흐르게 된다. 사실상, 회로는 도 5D로 표현된다(도 5D).
R_3 와 (R_7 +R_8 +R_9)의 크기간에 비교의 문제가 있다. 도 2A 와 도 2B간의 비교로 알수 있듯이, R_3 (박막 반도체(4))는 (R_7 +R_8 +R_9)(베이스 영역(12))보다 더 짧고 넓다. 분명히, 전자의 저항은 후자의 저항보다 작다. 이것은 본 발명의 제 3 및 제 4 양상과 동일하다. 즉, 선택않된 상태에서 저항은 증가되고 누설 전류는 제 2 게이 트 전극을 적절히 배열하고 순바이어스 전압을 이에 인가함으로써 감소될 수 있다.
동일한 원리가 도 1D에 도시된 구조를 갖는 박막 반도체 장치에 적용된다. 도면으로부터 알수 있듯이, 베이스 영역의 평균 폭은 박막 반도체의 폭보다 작다.
상기 방식에서, 본 발명에서는, 선택않된 상태에서의 누설 전류는 감소되지만, 선택된 상태의 드레인 전류는 그대로 남는다. 결과적으로, 온/오프 전류비는 증가될수 있다. 상기는 드레인 전류의 전류 경로 및 누설 전류가 선택된 상태와 선택않된 상태간에 다르다는 본 발명의 특징과 동일하다.
선택않된 상태에서의 베이스 영역의 길이를 더 증가시키기 위해, 제 2 게이트 전극의 수는 2 개이상, 양호하게는 3 개이상으로 설정되어야 한다. 유사하게, 베이스 영역의 폭을 최소로 줄이기 위해, 제 2 게이트 전극들간의 간격이 최소화되어야 한다.
또, 만일, 큰 폭(선택된 상태의 채널폭) 및 짧은 길이(소스와 드레인 간의 거리)를 갖는 박막 트랜지스터가 사용된다면, 온/오프 전류비는 더 증가될 것이다. 결과적으로, 선택않된 상태의 유효 채널 길이는 선택된 상태의 채널 길이의 5 내지 50배로 크게 이루어질 수 있다. 선택않된 상태의 유효 채널 폭은 선택된 상태의 채널 폭보다 2 내지 20배만큼 작아질수 있다. 결과적으로, 온/오프 전류비는 종래의 경우에 비해 100배 증가될수 있다.

발명의 구성 및 작용

양호한 실시예의 상세한 설명

제 1 실시예

도 3은 본 실시예의 반도체 장치의 횡단면도이다. 도 7은 상기 장치의 상면도이다. 본 실시예에서, 제 1 게이트 전극(2)은 제 2 게이트 전극을 오버랩하는 박막 트랜지스터의 일부인 베이스 영역과 동일 기하학 구조로 제조된다. 즉, 제 1 게이트 전극과 제 2 게이트 전극간의 오버랩은 최소로 감소된다. 상기 도면에서, 도 1A 내지 도 1D와 동일한 도면부호가 기입된다(도 3).
본 실시예에서, 제 1 게이트 및 제 2 게이트의 기하학 구조간의 오버랩은 감소된다. 본 발명의 내용은 상기 두 종류의 게이트가 기하학적으로 큰 범위로, 전기적으로는 작은 범위로 오버랩하는 경우에 유사하게 적용된다.
제 1 게이트 전극(2)은 도 3에서 개수가 다수인 것으로 보이나, 도 7A에 도시된 바와같이 단일체이다. 도 7B에서, 박막 트랜지스터(4), 소스 영역(5), 드레인 영역(6), 및 제 2 게이트 전극(8a 내지 8c)은 제 1 게이트 전극(2)상에 스택된다(도 7).
상기 구조의 반도체 장치는 선택되지 않은 상태 도 1A 내지 도 1D에 도시된 반도체 장치와 유사하게 동작한다. 특히, 선택되지 않은 상태에 있으므로, 역바이어스 전압이 제 1 게이트 전극(2)에 인가된다. 순바이어스 전압은 제 2 게이트

전극(8a 내지 8c)에 인가된다. 도 2A 및 도 2B에 관련하여 상기 설명된 바와 같이 소수 캐리어는 베이스 영역을 통과한다.
그러나, 만일 동일 전압이 소스 영역에 대한 전압으로서 제 2 게이트 전극(8a 내지 8c)에 인가된다면, 동일 효과가 발생된다. 상기 경우에, 밴드갭에 의 해 형성된 저항(R_4 내지 R_6)(도 5A 내지 5D)은 작다. 그러나, 제 2 게이트 전극(8a 내지 8c)에 의해 캐리어가 거의 유도되지 않는다. 따라서, 상기 부분의 저항은 꽤 높다. 만일, 동일 전압이 소스 영역에 대한 전압으로서 제 2 게이트 전극(8a 내지 8c)에 인가된다면, 거의 모든 누설 전류가 베이스 영역을 통해 흐르게 된다. 즉, 본 실시예의 반도체 장치에서, 선택되지 않은 상태에서는 제 2 게이트 전극(8a 내지 8c)에 인가된 전압은 역바이어스 전압이 아니다. 이 전압은 제 2 게이트 전극(8a 내지 8c)이 소수의 캐리어를 발생하지 않도록 설정된다. 한편, 선택된 상태에서, 도 1A 내지 도 1D에 도시된 반도체 장치의 제 2 게이트 전극(8a 내지 8c)에 순바이어스 전압이 인가되거나 동일 전압이 소스 영역(5)에 대한 전압으로서 제 2 게이트 전극(8a 내지 8c)에 인가된다면, 드레인 전류의 흐름은 크게 변화되지 않는다. 그러나, 본 실시예의 반도체 장치는 순바이어스 전압이 제 2 게이트 전극(8a 내지 8c)에 인가될 것이 요구된다; 한편, 드레인 전류는 상기 선택되지 않은 경우와 같이 베이스 영역을 통해 흐르게 된다. 이것은 본 발명 목적의 실현을 불가능하게 하며, 즉, 온/오프 전류비는 선택된 상태와 선택되지 않은 상태간의 전류 경로를 변경함으로써 개선된다.
이로써, 본 실시예의 반도체 장치를 구동하는 가장 용이한 방법은 선택 상태이든지 선택되지 않은 상태이든지 제 2 게이트 전극(8a 내지 8c)에 연속하여 순바이어스 전압을 인가하는 것이다.
그러나, 제 1 게이트 전극(2)과 계단식의 제 2 게이트 전극(8a 내지 8c)에 인가된 전압을 가변시키는 방법은 유리하다. 예를 들어, 선택된 상태에서, 제 1 게이트 전극(2)에 인가된 전압의 0.5 내지 2배 크기의 전압이 제 2 게이트 전극(8a 내지 8c)에 인가되며, 선택되지 않은 상태에서, 동일 전압이 소스 영역(5)에 대한 전압으로서 인가된다. 이 방법은 성공적인 결과를 얻는다.

제 2 실시예

도 8A 내지 도 8F는 본 실시예의 반도체 장치를 제조하는 공정을 도시한 것이다. 본 실시예의 반도체 장치에서, 제 1 게이트 전극 및 베이스 영역은 제 1 실시예에서와 같은 기하학 구조로 제조된다. 상기 목적을 위해, 본 실시예는 자기 정렬 패턴화 방법을 사용한다. 상기 방법은 하기에 간략히 기술되어 있다. 세부적인 조건, 재료, 크기, 및 다른 요소들은 당업자들에게 잘 인식되어 있으며 완전하게 이용될 수 있다.
우선, 제 1 게이트 전극(102)은 유리로 된 투명 기판(101)상에 탄탈륨, 알루미늄, 몰리브데늄, 텅스텐, 크로뮴 등의 불투명 재료로 부터 형성된다. '투명' 기판은 후술될 자기 정렬 패턴화 단계에서 포토리소그래피에 사용된 광을 통과시킴을 의미한다. 제 1 게이트 전극(102)의 기하학 구조는 도 7A의 기하학 구조와 유사하다.
그후, 제 1 게이트 절연막(103)이 용착된다(도 8A).
연속하여, 박막 트랜지스터(104) 및 제 2 게이트 절연막(107)이 형성된다(도 8B).
그후, 절연막이 형성된다. 양호하게, 상기 절연막은 가능한한 두껍게 제조되 며, 작은 유전 상수를 갖는다. 이러한 구조 때문에, 상기 도전체가 상기 막상에 위치될 때조차도 하부의 박막 반도체에 대한 전기적 영향은 극히 작게 된다. 그러나, 만일, 절연층이 니무 두껍다면, 장치의 울퉁불퉁함이 증가되고 도선의 손상 위험이 증가된다. 또, 유전 상수는 재료에 의해 한정된다. 양호하게, 절연층의 재료는 제 2 게이트 절연체(107)와 다르고 제 2 게이트 절연체(107)의 에칭을 위해 추후 에칭 단계에서는 에칭되지 않는다. 여기서, 상기 재료는 마스크로서 사용될수 있다.
예를 들어, 제 2 게이트 절연체(107)로서 실리콘 질화물을, 절연층으로서 실리콘 산화물을 사용하는 것이 유전 상수 및 에칭 특성에 바람직하다.
그후, 일본의 심사되지 않은 특허 번호 제 275452/1993 호에 개시된 후면 노출 방법을 이용하여 광이 후면으로부터 방사된다. 이때, 조사된 부분이 벗겨진 포토레지스트가 사용된다. 이와같이, 게이트 전극(102)상의 포토레지스트가 광으로부터 차폐된다. 상기 포토레지스트 부분은 남겨지고 나머지 부분이 벗겨진다. 결과적인 포토레지스트 패턴을 사용하여, 절연층이 에칭되며, 이로써 절연 패턴(113)을 얻게 된다. 상기 내용으로부터 알수 있는 바와같이, 절연 패턴(113)은 제 1 게이트 전극(102)에 대해서만 형성되어, 제 1 게이트 전극(102)에 대해 동일한 기하학 구조를 갖는다(도 8C).
그후, 알루미늄, 탄탈륨 등의 적정 재료막은 공지된 금속화 방법에 의해 용착된다. 그후 상기 막은 공지된 포토리소그래피 및 에칭 방법에 의해 패턴화 및 에칭되어, 제 2 게이트 전극(108), 소스 전극/접속부(109), 및 드레인 전극/접속부(110)를 형성한다. 이때, 제 2 게이트 전극(108)은 박막 반도체(104)를 거의 완전히 커버하도록 패턴화된다(도 8D).
그후, 제 2 게이트 절연막(107)이 에칭된다. 제 2 게이트 전극(108), 소스전극/접속부(109), 드레인 전극/접속부(110), 및 절연 패턴(113)이 남도록 조건 설정된다면, 마스킹되지 않은 상기 부분들만 에칭된다. 소스 및 드레인 영역에 대한 윈도우 호울(114, 115)이 생성되는 결과를 발생한다. 만일, 에칭조건이 가용이 아니라면, 후면 노출이 다시 실행된다. 이러한 노출 단계동안, 제 2 게이트 전극(108), 소스 전극/접속부(109), 및 드레인 전극/접속부(110)는 제 1 게이트 전극(102)뿐만아니라 마스크로서 기능한다. 결론적으로, 윈도우 호울(114,115)을 한정하는 패턴이 얻어질 수 있다(도 8E).
계속하여, N 형 및 P 형 도핑된 박막 반도체는 공지된 박막 반도체 제조 기술에 의해 형성된다. 그후, 상기 막은 소스 영역(105) 및 드레인 영역(106)을 형성하도록 에칭되며, 윈도우 호울(114,115)을 통해 각각 박막 반도체(104)에 접속된다. 동시에, 소스 및 드레인 영역은 소스 전극/접속부(109) 및 드레인 전극/접속부(110)에 각각 접속된다(도 8F).
본 실시예에서, 4단계의 마스크 정렬이 실행된다. 즉,
(1)제 1 게이트 전극(102)이 패턴화된다.
(2)박막 반도체(104)가 패턴화된다.

(3)제 2 게이트 전극(108), 소스 전극/접속부(109), 및 드레인 전극/접속부(110)가 패턴화된다.
(4)소스 영역(105) 및 드레인 영역(106)이 패턴화된다.
또다른 포토리소그래피 단계에서, 마스크 정렬이 요구되지 않는다. 모든 패턴은 자기 정렬 기술에 의해 형성될 수 있다.
종래 기술의 바텀-게이트(bottom-gate) TFT 구조에 대해, 4단계의 마스크 정렬은 후면(back-side) 노출 기술이 활용된 경우 실행된다. 즉, 제 2 게이트 전극(108) 설비에도 불구하고, 본 실시예는 종래 기술과 동일한 수의 마스크 정렬 단계를 이용한다. 상기 방식에서, 본 실시예에서, 임의의 지나친 공정 단계는 종래 기술에 비해 추가되지 않는다.
본 실시예에서, 제 2 게이트 전극(108)은 도 7B에 도시된 바와같이 미세 선기하학 패턴을 갖지 않으며, 다음의 이유로 하여 도 7B에 도시된 제 2 게이트 전극과 전기적으로 등가이다. 절연 패턴(113)은 제 2 게이트 전극 부분으로부터 박막 반도체를 전기적으로 차폐시킨다. 절연층(113)은 제 1 게이트 전극(102)에 의한 자기 정렬 기술에 의해 패턴화된다. 따라서, 베이스 영역 및 제 1 게이트 전극(102)은 실제 동일한 기하학 구조를 갖는다. 만일, 상기 층이 자기 정렬이 아닌 것으로 패턴화되면, 마스크 정합 에러(마스크 정렬 에러)가 일부 오버랩을 발생할 것이다.

발명의 효과

박막 반도체 장치가 선택않된 상태일 때 본 발명은 누설 전류를 감소시킬수 있다. 그러나, 선택 상태에서, 드레인 전류는 지금까지 얻어진 전류에 필적한다. 결과적으로, 온/오프 전류 비가 개선될수 있다. 개선된 박막 반도체는 특히 높은 온/오프 전류비 및 동적 동작이 요구될 때 유리하게 사용되며, 즉, 소스와 드레인 영역간의 낮은 누설 전류를 형성하는데 필요한 액정 표시기의 액티브 매트릭스 회 로내의 화소를 제어하는 트랜지스터 등이 있다.
상기 방식에서, 본 발명은 상업상 유리하다.

(57) 청구의 범위

청구항 1.
반도체 장치에 있어서,
절연 표면을 갖는 기판과;
상기 기판상에 제공되는, 소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 제 1 영역을 갖는 반도체막과;
상기 반도체막 아래에 제공된 제 1 게이트 전극으로서, 그사이에 제 1 게이트 절연막이 삽입된 상기 제 1 게이트 전극과;
상기 반도체 막상에 제공된 다수의 제 2 게이트 전극들로서, 그사이에 제 2 게이트 절연막이 삽입된 상기 다수의 제 2 게이트 전극들을 포함하며,
상기 다수의 제 2 게이트 전극들은 상기 제 2 게이트 절연막을 통해 상기 제 1 영역의 부분을 덮어서, 상기 제 1 영역의 부분은 상기 소스 영역 및 상기 드레인 영역과 전기적으로 절연된, 반도체 장치.

청구항 2.
제 1 항에 있어서,
상기 다수의 제 2 게이트 전극들의 수는 3개 이상인, 반도체 장치.

청구항 3.
반도체 장치들의 어레이를 포함하는 액정 디스플레이를 위한 능동 매트릭스 화소 제어기에 있어서,
상기 반도체 장치들의 어레이의 각각의 반도체 장치는,
절연 표면을 갖는 기판과;
상기 기판상에 제공되는, 소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 제 1 영역을 갖는 반도체막과;
상기 반도체막 아래에 제공된 제 1 게이트 전극으로서, 그사이에 제 1 게이트 절연막이 삽입된 상기 제 1 게이트 전극과;
상기 반도체막상에 제공된 다수의 제 2 게이트 전극들로서, 그사이에 제 2 게이트 절연막이 삽입된 상기 다수의 제 2 게이트 전극들을 포함하고,
상기 다수의 제 2 게이트 전극들은 상기 제 2 게이트 절연막을 통해 상기 제 1 영역의 부분을 덮어서, 상기 제 1 영역의 부분은 상기 소스 영역 및 상기 드레인 영역과 전기적으로 절연된, 능동 매트릭스 화소 제어기.

청구항 4.
반도체 장치에 있어서,
소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 제 1 영역을 갖는 반도제막과;
상기 제 1 영역의 제 1 표면에 결합된 제 1 게이트 전극과;
상기 반도체막과 상기 제 1 게이트 전극 사이에 제공된 제 1 게이트 절연막과;
상기 제 1 영역의 제 2 표면에 결합된 다수의 제 2 게이트 전극들과;
상기 반도체막과 상기 다수의 제 2 게이트 전극들 사이에 제공된 제 2 게이트 절연막을 포함하며,
상기 다수의 제 2 게이트 전극들과 상기 제 1 영역은 상기 제 2 게이트 절연막을 통해 상기 제 2 표면의 부분에서 서로 오버랩해서, 상기 제 2 표면의 부분은 상기 소스 영역 및 상기 드레인 영역과 전기적으로 절연된, 반도체 장치.

청구항 5.
제 4 항에 있어서,
상기 다수의 제 2 게이트 전극들의 수는 3개 이상인, 반도체 장치.

청구항 6.
반도체 장치들의 어레이를 포함하는 액정 디스플레이를 위한 능동 매트릭스 화소 제어기에 있어서,
상기 반도체 장치들의 어레이의 각각의 반도체 장치는,
소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 제 1 영역을 갖는 반도체막과;
상기 제 1 영역의 제 1 표면에 결합된 제 1 게이트 전극과;
상기 반도체막과 상기 제 1 게이트 전극 사이에 제공된 제 1 게이트 절연막과;
상기 제 1 영역의 제 2 표면에 결합된 다수의 제 2 게이트 전극들과;
상기 반도체막과 상기 다수의 제 2 게이트 전극들 사이에 제공된 제 2 게이트 절연막을 포함하고,
상기 다수의 제 2 게이트 전극들과 상기 제 1 영역은 상기 제 2 게이트 절연막을 통해 상기 제 2 표면의 부분에서 서로 오버랩해서, 상기 제 2 표면의 부분은 상기 소스 영역 및 상기 드레인 영역과 전기적으로 절연된, 능동 매트릭스 화소 제어기.

청구항 7.
반도체 장치에 있어서,
절연 표면을 갖는 기판과;
상기 기판상에 제공되는, 소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 제 1 영역을 갖는 반도체막과;
상기 반도체막 아래에 제공된 제 1 게이트 전극으로서, 그사이에 제 1 게이트 절연막이 삽입된 상기 제 1 게이트 전극과;
상기 반도체막상에 제공된 다수의 제 2 게이트 전극들로서, 그사이에 제 2 게이트 절연막이 삽입된 상기 다수의 제 2 게이트 전극들을 포함하며,
상기 제 1 게이트 전극과 상기 제 1 영역은 상기 제 1 게이트 절연막을 통해 상기 제 1 영역의 제 1 부분에서 서로 오버랩하고, 상기 다수의 제 2 게이트 전극들은 상기 제 2 게이트 절연막을 통해 상기 제 1 영역의 제 2 부분을 덮어서, 상기 제 1 영역의 제 2 부분은 상기 소스 영역 및 상기 드레인 영역과 전기적으로 절연되는, 반도체 장치.

청구항 8.
제 7 항에 있어서,
상기 다수의 제 2 게이트 전극들의 수는 3개 이상인, 반도체 장치.

청구항 9.
반도체 장치들의 어레이를 포함하는 액정 디스플레이를 위한 능동 매트릭스 화소 제어기에 있어서,
상기 반도체 장치들의 어레이의 각각의 반도체 장치는,
절연 표면을 갖는 기판과;
상기 기판상에 제공되는, 소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 제 1 영역을 갖는 반도체막과;
상기 반도체막 아래에 제공된 제 1 게이트 전극으로서, 그사이에 제 1 게이트 절연막이 삽입된 상기 제 1 게이트 전극과;
상기 반도체막상에 제공된 다수의 제 2 게이트 전극들로서, 그사이에 제 2 게이트 절연막이 삽입된 상기 다수의 제 2 게이트 전극들을 포함하고,
상기 제 1 게이트 전극과 상기 제 1 영역은 상기 제 1 게이트 절연막을 통해 상기 제 1 영역의 제 1 부분에서 서로 오버랩하고, 상기 다수의 제 2 게이트 전극들은 상기 제 2 게이트 절연막을 통해 상기 제 1 영역의 제 2 부분을 덮어서, 상기 제 1 영역의 제 2 부분은 상기 소스 영역 및 상기 드레인 영역과 전기적으로 절연되는, 능동 매트릭스 화소 제어기.

청구항 10.
반도체 장치에 있어서,
소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 제 1 영역 갖는 반도체막과;
상기 제 1 영역의 제 1 표면에 결합된 제 1 게이트 전극과;
상기 반도체막과 상기 제 1 게이트 전극 사이에 제공된 제 1 게이트 절연막과;
상기 제 1 영역의 제 2 표면에 결합된 다수의 제 2 게이트 전극들과;
상기 반도체막과 상기 제 2 게이트 전극 사이에 제공된 제 2 게이트 절연막을 포함하며,
상기 제 1 게이트 전극과 상기 제 1 표면은 상기 제 1 게이트 절연막을 통해 상기 제 1 표면의 부분에서 서로 오버랩하고, 상기 다수의 제 2 게이트 전극들과 상기 제 2 표면은 상기 제 2 게이트 절연막을 통해 상기 제 2 표면의 부분에서 서로 오버랩해서, 상기 제 2 표면의 부분은 상기 소스 영역 및 상기 드레인 영역과 전기적으로 절연된, 반도체 장치.

청구항 11.
제 10 항에 있어서,
상기 다수의 제 2 게이트 전극들의 수는 3개 이상인, 반도체 장치.

청구항 12.

반도체 장치들의 어레이를 포함하는 액정 디스플레이를 위한 능동 매트릭스 화소 제어기에 있어서,
상기 반도체 장치들의 어레이의 각각의 반도체 장치는,
소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 제 1 영역을 갖는 반도체막과;
상기 제 1 영역의 제 1 표면에 결합된 제 1 게이트 전극과;
상기 반도체막과 상기 제 1 게이트 전극 사이에 제공된 제 1 게이트 절연막과;
상기 제 1 영역의 제 2 표면에 결합된 다수의 제 2 게이트 전극들과;
상기 반도체막과 상기 제 2 게이트 전극 사이에 제공된 제 2 게이트 절연막을 포함하고,
상기 제 1 게이트 전극과 상기 제 1 표면은 상기 제 1 게이트 절연막을 통해 상기 제 1 표면의 부분에서 서로 오버랩하고, 상기 다수의 제 2 게이트 전극들과 상기 제 2 표면은 상기 제 2 게이트 절연막을 통해 상기 제 2 표면의 부분에서 서로 오버랩해서, 상기 제 2 표면의 부분은 상기 소스영역 및 상기 드레인 영역과 전기적으로 절연된, 능동 매트릭스 화소 제어기.

청구항 13.

반도체 장치에 있어서,
절연 표면을 갖는 기판과;
상기 기판상에 제공되는, 소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 제 1 영역을 갖는 반도체막과;
상기 반도체막 아래에 제공된 제 1 게이트 전극으로서, 그사이에 제 1 게이트 절연막이 있는 상기 제 1 게이트 전극과;
상기 반도체 막상에 제공된 제 2 게이트 절연막과;
상기 제 2 게이트 절연막상에 제공된 다수의 절연체들과;
상기 제 2 게이트 절연막과 상기 다수의 절연체들상에 제공된 제 2 게이트 전극을 포함하며,
상기 제 1 게이트 전극과 상기 제 1 영역은 상기 제 1 게이트 절연막을 통해 상기 제 1 영역의 부분에서 서로 오버랩하고, 상기 다수의 절연체들은 상기 제 1 및 제 2 게이트 절연막들과 상기 반도체막을 통해 상기 제 1 게이트 전극을 덮으며, 상기 다수의 절연체들은 상기 제 2 게이트 절연막과 다른 재료를 포함하는, 반도체 장치.

청구항 14.

제 13 항에 있어서,
상기 제 2 게이트 절연막은 실리콘 질화물이고 상기 다수의 절연체들은 실리콘 산화물인, 반도체 장치.

청구항 15.

반도체 장치들의 어레이를 포함하는 액정 디스플레이를 위한 능동 매트릭스 화소 제어기에 있어서,
상기 반도체 장치들의 어레이의 각각의 반도체 장치는,
절연 표면을 갖는 기판과;
상기 기판상에 제공되는, 소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 제 1 영역을 갖는 반도체막과;
상기 반도체막 아래에 제공된 제 1 게이트 전극으로서, 그사이에 제 1 게이트 절연막이 있는 상기 제 1 게이트 전극과;
상기 반도체 막상에 제공된 제 2 게이트 절연막과;
상기 제 2 게이트 절연막상에 제공된 다수의 절연체들과;
상기 제 2 게이트 절연막과 상기 다수의 절연체들상에 제공된 제 2 게이트 전극을 포함하고,
상기 제 1 게이트 전극과 상기 제 1 영역은 상기 제 1 게이트 절연막을 통해 상기 제 1 영역의 부분에서 서로 오버랩하고, 상기 다수의 절연체들은 상기 제 1 및 제 2 게이트 절연막들과 상기 반도체막을 통해 상기 제 1 게이트 전극을 덮으며, 상기 다수의 절연체들은 상기 제 2 게이트 절연막과 다른 재료를 포함하는, 능동 매트릭스 화소 제어기.

청구항 16.

반도체 장치에 있어서,
소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 제 1 영역을 갖는 반도체막과;
상기 제 1 영역의 제 1 표면에 결합된 제 1 게이트 전극과;
상기 반도체막과 상기 제 1 게이트 전극 사이에 제공된 제 1 게이트 절연막과;
상기 제 1 영역의 제 2 표면에 결합된 제 2 게이트 전극과;
상기 반도체막과 상기 제 2 게이트 전극사이에 제공된 제 2 게이트 절연막 및 다수의 절연체들을 포함하며,
상기 제 1 게이트 전극과 상기 제 1 영역은 상기 제 1 게이트 절연막을 통해 상기 제 1 표면의 부분에서 서로 오버랩하고, 상기 다수의 절연체들과 상기 제 1 게이트 전극은 상기 제 1 및 제 2 절연막들과 상기 반도체막을 통해 서로 오버랩하고, 상기 다수의 절연체들은 상기 제 2 게이트 절연막과 다른 재료를 포함하는, 반도체 장치.

청구항 17.

제 16 항에 있어서,
상기 제 2 게이트 절연막은 실리콘 질화물이고 상기 다수의 절연체들은 실리콘 산화물인, 반도체 장치.

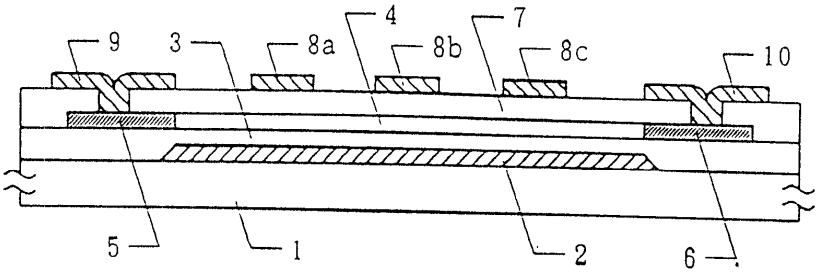
청구항 18.

반도체 장치들의 어레이를 포함하는 액정 디스플레이를 위한 능동 매트릭스 화소 제어기에 있어서,
상기 반도체 장치들의 어레이의 각각의 반도체 장치는,
소스 영역, 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 제 1 영역을 갖는 반도체막과;

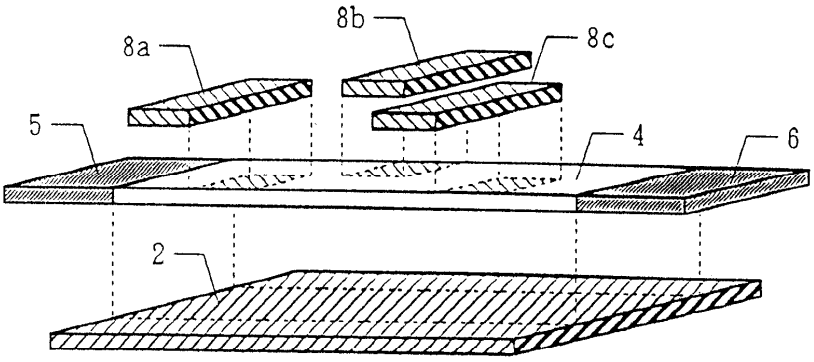
상기 제 1 영역의 제 1 표면에 결합된 제 1 게이트 전극과;
상기 반도체막과 상기 제 1 게이트 전극 사이에 제공된 제 1 게이트 절연막과;
상기 제 1 영역의 제 2 표면에 결합된 제 2 게이트 전극과;
상기 반도체막과 상기 제 2 게이트 전극사이에 제공된 제 2 게이트 절연막 및 다수의 절연체들을 포함하고,
상기 제 1 게이트 전극과 상기 제 1 영역은 상기 제 1 게이트 절연막을 통해 상기 제 1 표면의 부분에서 서로 오버랩하고, 상기 다수의 절연체들과 상기 제 1 게이트 전극은 상기 제 1 및 제 2 절연막들과 상기 반도체막을 통해 서로 오버랩하고, 상기 다수의 절연체들은 상기 제 2 게이트 절연막과 다른 재료를 포함하는, 능동 매트릭스 화소 제어기.

도면

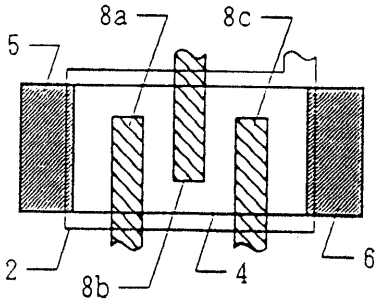
도면1a



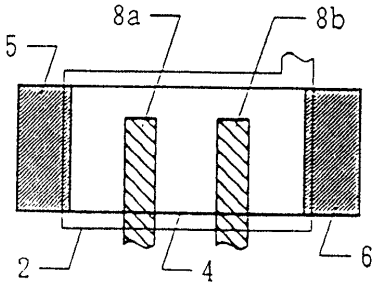
도면1b



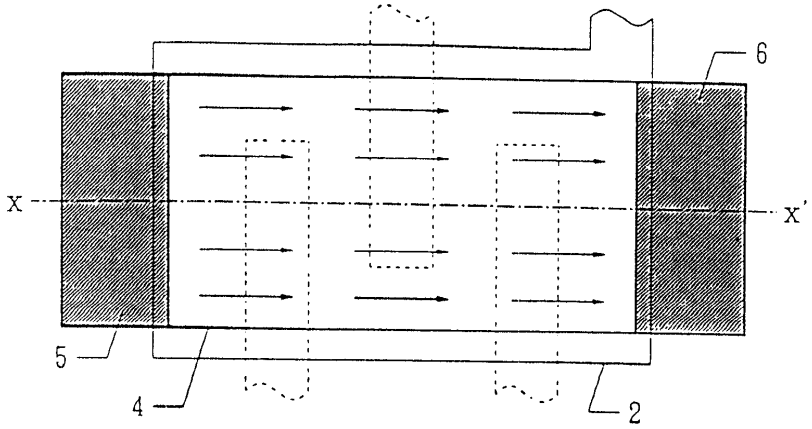
도면1c



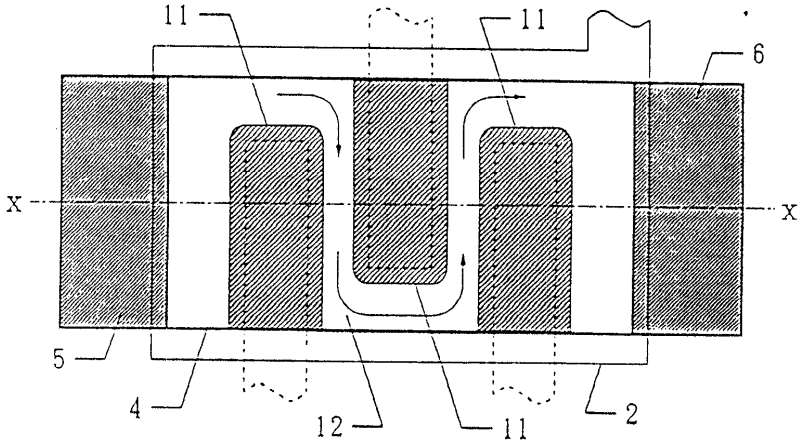
도면1d



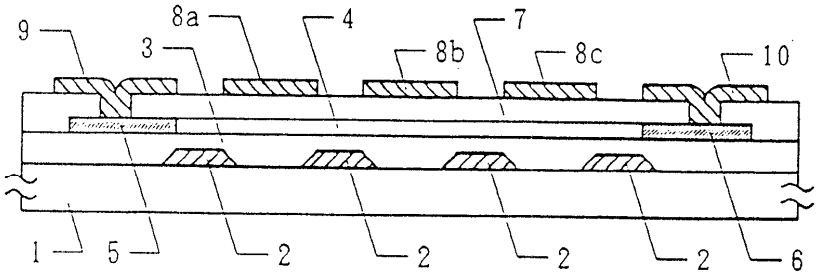
도면2a



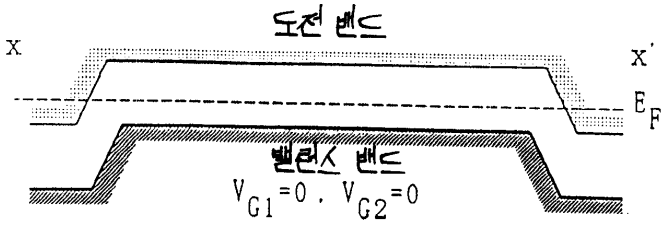
도면2b



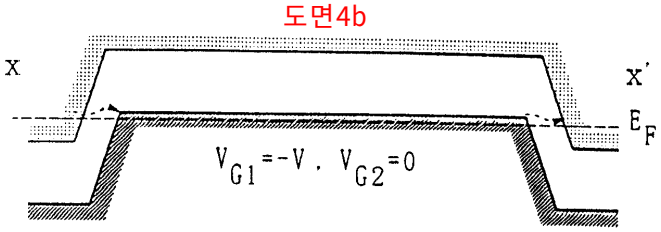
도면3



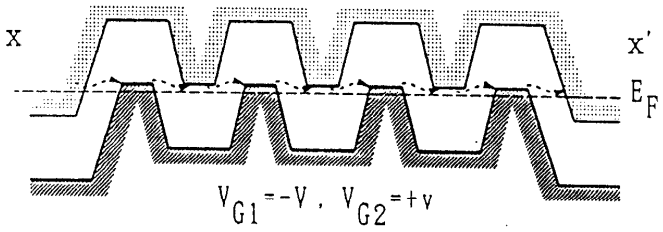
도면4a



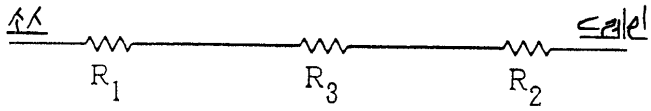
도면4b



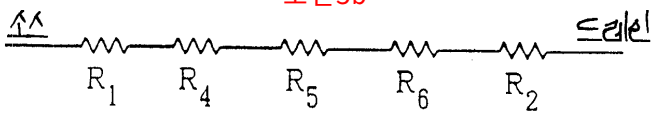
도면4c



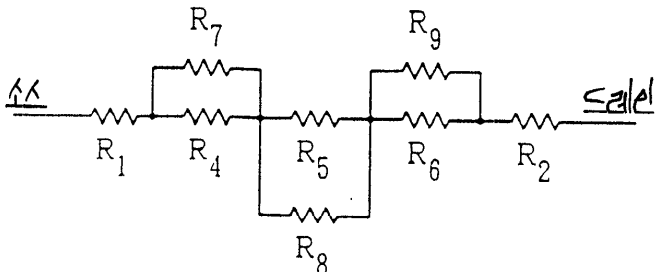
도면5a



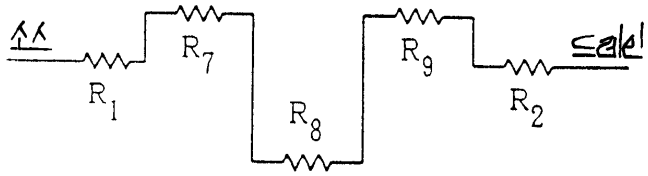
도면5b



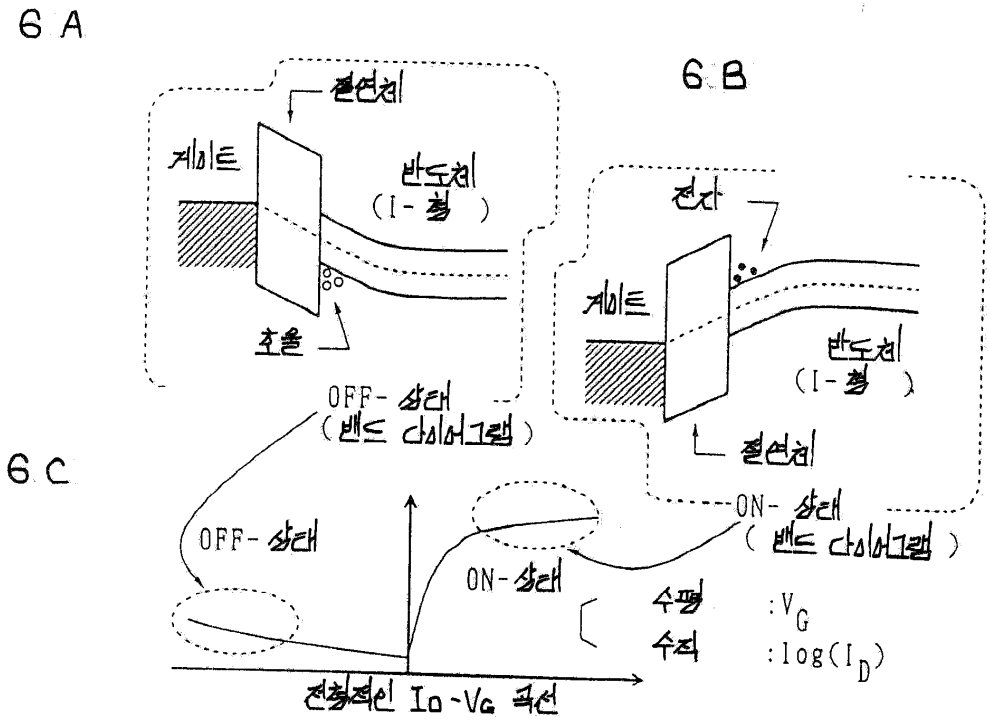
도면5c



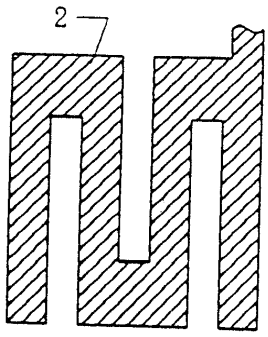
도면5d



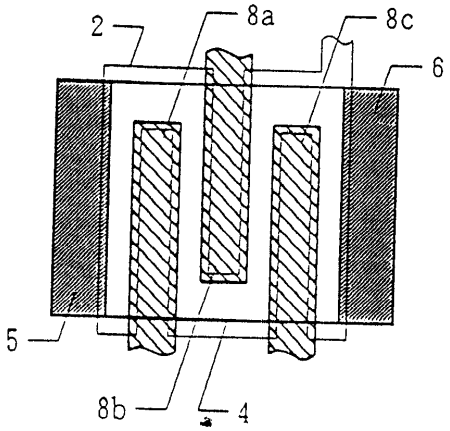
도면6



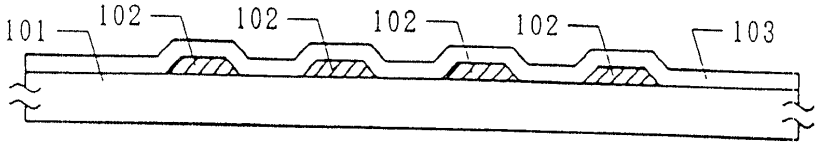
도면7a



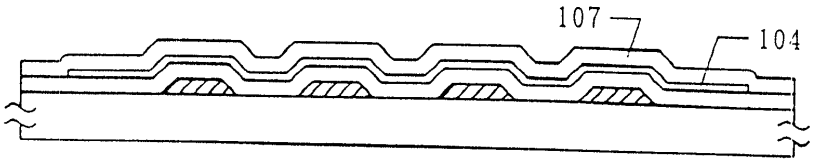
도면7b



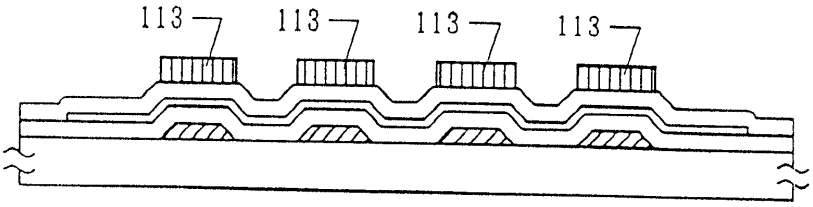
도면8a



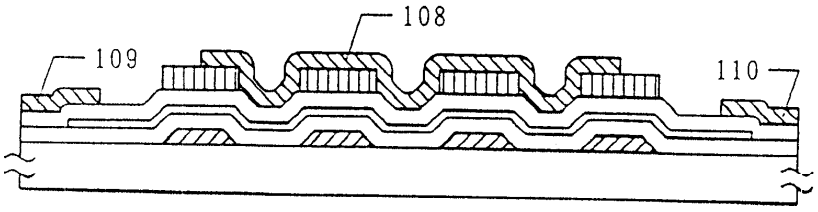
도면8b



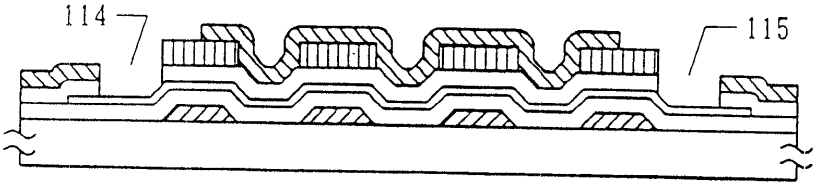
도면8c



도면8d



도면8e



도면8f

