



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년01월11일
(11) 등록번호 10-1221787
(24) 등록일자 2013년01월07일

- (51) 국제특허분류(Int. Cl.)
G11C 7/10 (2006.01) *G11C 8/14* (2006.01)
G11C 7/18 (2006.01)
- (21) 출원번호 10-2006-0075050
(22) 출원일자 2006년08월09일
심사청구일자 2011년06월27일
- (65) 공개번호 10-2007-0024358
(43) 공개일자 2007년03월02일
- (30) 우선권주장
JP-P-2005-00246408 2005년08월26일 일본(JP)
- (56) 선행기술조사문현
JP평성10073641 A
JP평성04205787 A
JP평성06195962 A
JP평성04356793 A
- 전체 청구항 수 : 총 12 항

- (73) 특허권자
르네사스 일렉트로닉스 가부시키가이샤
일본 가나가와쿄 가와사끼시 나카하라구 시모누마
베 1753
- (72) 발명자
미야니시 아쓰시
일본 도쿄도 지요다구 마루노우찌 2조메 4-1 가부
시끼가이샤르네사스 테크놀로지 내
- (74) 대리인
이종희, 장수길

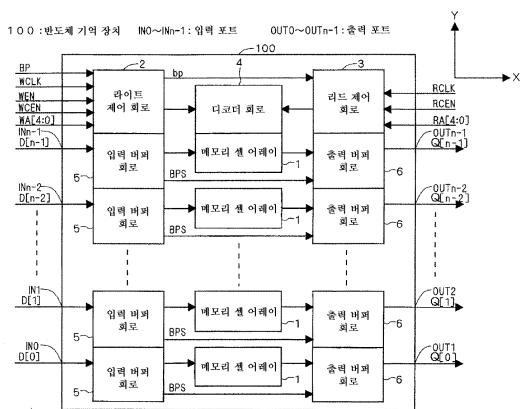
심사관 : 윤난영

(54) 발명의 명칭 반도체 장치

(57) 요약

입력 포트와 출력 포트가 분리되어, 바이패스 기능을 갖는 반도체 기억부를 포함하는 반도체 장치에서, 레이아웃 구조의 간소화가 가능한 기술을 제공한다. 반도체 장치의 반도체 기억부로서 사용되는 반도체 기억 장치(100)에서는, 출력 버퍼 회로(6)는, 바이패스 모드 시에, 입력 버퍼 회로(5)부터 출력 버퍼 회로(6)까지 연장하는 바이패스선에 의해 전달되는 입력 데이터 D[n-1:0]를 출력 포트(OUT0~OUTn-1)에 출력한다. 반도체 기억 장치(100)의 레이아웃 구조에서는, 평면에서 볼 때, 메모리 셀 어레이(1)는 입력 버퍼 회로(5)와 출력 버퍼 회로(6) 사이에 끼워져 배치되어 있고, 바이패스선은 메모리 셀 어레이(1) 사이를 통과하여 배치되어 있다.

대 표 도



특허청구의 범위

청구항 1

기입 모드, 판독 모드 및 바이패스 모드를 갖는 반도체 기억부를 포함하는 반도체 장치로서,

상기 반도체 기억부는,

소정 방향으로 배열된 복수의 메모리 셀을 각각이 갖는 제1 및 제2 메모리 셀 어레이와,

상기 제1 및 제2 메모리 셀 어레이에 각각 대응하여 형성되고, 각각에 데이터가 입력되는 제1 및 제2 입력 포트와,

상기 제1 및 제2 메모리 셀 어레이에 각각 대응하여 형성되고, 각각으로부터 데이터가 출력되는 제1 및 제2 출력 포트와,

상기 제1 및 제2 메모리 셀 어레이의 각각에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 판독 워드선과,

상기 제1 및 제2 메모리 셀 어레이의 각각에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 기입 워드선과,

상기 기입 모드 시에 상기 복수의 기입 워드선 중 어느 하나를 활성화하고, 상기 판독 모드 시에 상기 복수의 판독 워드선 중 어느 하나를 활성화하는 디코더 회로와,

상기 제1 및 제2 입력 포트에 입력된 데이터를 각각 받아서 출력하는 제1 및 제2 입력 버퍼 회로와,

상기 제1 입력 버퍼 회로부터 상기 제1 메모리 셀 어레이까지 연장하여, 상기 제1 입력 버퍼 회로부터 출력되는 데이터를 상기 제1 메모리 셀 어레이까지 전달하는 제1 기입 비트선과,

상기 제2 입력 버퍼 회로부터 상기 제2 메모리 셀 어레이까지 연장하여, 상기 제2 입력 버퍼 회로부터 출력되는 데이터를 상기 제2 메모리 셀 어레이까지 전달하는 제2 기입 비트선과,

받은 데이터를 상기 제1 및 제2 출력 포트에 각각 출력하는 제1 및 제2 출력 버퍼 회로와,

상기 제1 메모리 셀 어레이부터 상기 제1 출력 버퍼 회로까지 연장하여, 상기 제1 메모리 셀 어레이로부터의 데이터를 상기 제1 출력 버퍼 회로까지 전달하는 제1 판독 비트선과,

상기 제2 메모리 셀 어레이부터 상기 제2 출력 버퍼 회로까지 연장하여, 상기 제2 메모리 셀 어레이로부터의 데이터를 상기 제2 출력 버퍼 회로까지 전달하는 제2 판독 비트선과,

상기 제1 입력 버퍼 회로부터 상기 제1 출력 버퍼 회로까지 연장하여, 상기 제1 입력 포트로부터 상기 제1 입력 버퍼 회로에 입력된 데이터를 상기 제1 출력 버퍼 회로까지 전달하는 제1 바이패스선과,

상기 제2 입력 버퍼 회로부터 상기 제2 출력 버퍼 회로까지 연장하여, 상기 제2 입력 포트로부터 상기 제2 입력 버퍼 회로에 입력된 데이터를 상기 제2 출력 버퍼 회로까지 전달하는 제2 바이패스선

을 포함하고,

상기 제1 출력 버퍼 회로는, 상기 판독 모드 시에는 상기 제1 판독 비트선에 의해 전달되는 데이터를 상기 제1 출력 포트에 출력하고, 상기 바이패스 모드 시에는 상기 제1 바이패스선에 의해 전달되는 데이터를 상기 제1 출력 포트에 출력하고,

상기 제2 출력 버퍼 회로는, 상기 판독 모드 시에는 상기 제2 판독 비트선에 의해 전달되는 데이터를 상기 제2 출력 포트에 출력하고, 상기 바이패스 모드 시에는 상기 제2 바이패스선에 의해 전달되는 데이터를 상기 제2 출력 포트에 출력하고,

상기 제1 및 제2 출력 버퍼 회로의 각각은, 센스 앰프 회로와 출력 선택 회로를 갖고,

상기 제1 및 제2 출력 버퍼 회로에서의 상기 센스 앰프 회로는, 상기 제1 및 제2 판독 비트선에 의해 전달되는 데이터를 각각 증폭하여 출력하고,

상기 제1 및 제2 출력 버퍼 회로에서의 상기 출력 선택 회로는, 상기 판독 모드 시에는 상기 제1 및 제2 출력 버퍼 회로에서의 상기 센스 앰프 회로의 출력을 상기 제1 및 제2 출력 포트에 각각 출력하고, 상기 바이패스 모

드 시에는 상기 제1 및 제2 바이패스선에 의해 전달되는 데이터를 상기 제1 및 제2 출력 포트에 각각 출력하고, 평면에서 볼 때의 레이아웃 구조에서,

상기 제1 메모리 셀 어레이에는, 상기 제1 입력 버퍼 회로와 상기 제1 출력 버퍼 회로 사이에 끼워져 배치되어 있고,

상기 제2 메모리 셀 어레이에는, 상기 제2 입력 버퍼 회로와 상기 제2 출력 버퍼 회로 사이에 끼워져 배치되어 있고,

상기 제1 바이패스선은, 상기 제1 및 제2 메모리 셀 어레이 사이를 통과하여 배치되어 있고,

상기 제1 메모리 셀 어레이와, 상기 제1 출력 버퍼 회로의 상기 센스 앤프 회로와, 상기 제1 출력 버퍼 회로의 상기 출력 선택 회로는, 이 순서로 일렬로 배치되어 있고,

상기 제2 메모리 셀 어레이와, 상기 제2 출력 버퍼 회로의 상기 센스 앤프 회로와, 상기 제2 출력 버퍼 회로의 상기 출력 선택 회로는, 이 순서로 일렬로 배치되어 있는, 반도체 장치.

청구항 2

제1항에 있어서,

상기 반도체 장치는 서로 적층된 복수의 배선층을 갖고,

레이아웃 구조에서,

평면에서 볼 때에는, 상기 제1 기입 비트선 및 상기 제1 판독 비트선은, 상기 제1 메모리 셀 어레이에서의 상기 복수의 메모리 셀이 형성되어 있는 영역 상에 배치되어 있고, 상기 제2 기입 비트선 및 상기 제2 판독 비트선은, 상기 제2 메모리 셀 어레이에서의 상기 복수의 메모리 셀이 형성되어 있는 영역 상에 배치되어 있고,

상기 제1 및 제2 바이패스선과, 상기 제1 및 제2 기입 비트선과, 상기 제1 및 제2 판독 비트선은, 동일 배선층에 배치되어 있는, 반도체 장치.

청구항 3

기입 모드, 판독 모드 및 바이패스 모드를 갖는 반도체 기억부를 포함하는 반도체 장치로서,

상기 반도체 기억부는,

소정 방향으로 배열된 복수의 메모리 셀을 갖는 메모리 셀 어레이와,

데이터가 입력되는 입력 포트와,

데이터가 출력되는 출력 포트와,

상기 메모리 셀 어레이에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 판독 워드선과,

상기 메모리 셀 어레이에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 기입 워드선과,

상기 기입 모드 시에 상기 복수의 기입 워드선 중 어느 하나를 활성화하고, 상기 판독 모드 시에 상기 복수의 판독 워드선 중 어느 하나를 활성화하는 디코더 회로와,

상기 입력 포트에 입력된 데이터를 받아서 출력하는 입력 버퍼 회로와,

상기 입력 버퍼 회로부터 상기 메모리 셀 어레이까지 연장하여, 상기 입력 버퍼 회로부터 출력되는 데이터를 상기 메모리 셀 어레이까지 전달하는 기입 비트선과,

받은 데이터를 상기 출력 포트에 출력하는 출력 버퍼 회로와,

상기 메모리 셀 어레이부터 상기 출력 버퍼 회로까지 연장하여, 상기 메모리 셀 어레이로부터의 데이터를 상기 출력 버퍼 회로까지 전달하는 판독 비트선과,

상기 입력 버퍼 회로부터 상기 출력 버퍼 회로까지 연장하여, 상기 입력 포트로부터 상기 입력 버퍼 회로에 입력된 데이터를 상기 출력 버퍼 회로까지 전달하는 바이패스선과,

상기 메모리 셀 어레이에 전원 전위를 공급하는 전원 배선과,

상기 메모리 셀 어레이에 접지 전위를 공급하는 접지 배선
을 포함하고,

상기 출력 버퍼 회로는, 상기 판독 모드 시에는 상기 판독 비트선에 의해 전달되는 데이터를 상기 출력 포트에 출력하고, 상기 바이패스 모드 시에는 상기 바이패스선에 의해 전달되는 데이터를 상기 출력 포트에 출력하고,
상기 출력 버퍼 회로는,

상기 판독 비트선에 의해 전달되는 데이터를 증폭하여 출력하는 센스 앰프 회로와,

상기 판독 모드 시에는 상기 센스 앰프 회로의 출력을 상기 출력 포트에 출력하고, 상기 바이패스 모드 시에는 상기 바이패스선에 의해 전달되는 데이터를 상기 출력 포트에 출력하는 출력 선택 회로

를 갖고,

평면에서 볼 때의 레이아웃 구조에서,

상기 메모리 셀 어레이는, 상기 입력 버퍼 회로와 상기 출력 버퍼 회로 사이에 끼워져 배치되어 있고,

상기 바이패스선, 상기 기입 비트선, 상기 판독 비트선, 상기 전원 배선 및 상기 접지 배선은, 상기 메모리 셀 어레이에서의 상기 복수의 메모리 셀이 형성되어 있는 영역 상에 배치되어 있고,

상기 메모리 셀 어레이와, 상기 센스 앰프 회로와, 상기 출력 선택 회로는, 그 순서로 일렬로 배치되어 있는, 반도체 장치.

청구항 4

제3항에 있어서,

상기 반도체 장치는 서로 적층된 복수의 배선층을 갖고,

레이아웃 구조에서, 상기 바이패스선, 상기 기입 비트선, 상기 판독 비트선, 상기 전원 배선 및 상기 접지 배선은, 동일 배선층에 배치되어 있는, 반도체 장치.

청구항 5

제3항에 있어서,

상기 반도체 장치는 서로 적층된 복수의 배선층을 갖고,

레이아웃 구조에서,

상기 기입 비트선, 상기 판독 비트선, 상기 전원 배선 및 상기 접지 배선은, 동일 배선층에 배치되어 있고,

상기 바이패스선은, 평면에서 볼 때 상기 전원 배선 혹은 상기 접지 배선에 접치도록 이들과는 별도의 배선층에 배치되어 있는, 반도체 장치.

청구항 6

기입 모드, 판독 모드 및 바이패스 모드를 갖는 반도체 기억부를 포함하는 반도체 장치로서,

상기 반도체 기억부는,

소정 방향으로 배열된 복수의 메모리 셀을 갖는 메모리 셀 어레이와,

데이터가 입력되는 입력 포트와,

데이터가 출력되는 출력 포트와,

상기 메모리 셀 어레이에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 판독 워드선과,

상기 메모리 셀 어레이에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 기입 워드선과,

상기 기입 모드 시에 상기 복수의 기입 워드선 중 어느 하나를 활성화하고, 상기 판독 모드 시에 상기 복수의 판독 워드선 중 어느 하나를 활성화하는 디코더 회로와,

상기 입력 포트에 입력된 데이터를 받아서 출력하는 입력 버퍼 회로와,

상기 입력 버퍼 회로부터 상기 메모리 셀 어레이까지 연장하여, 상기 입력 버퍼 회로부터 출력되는 데이터를 상기 메모리 셀 어레이까지 전달하는 기입 비트선과,

받은 데이터를 상기 출력 포트에 출력하는 출력 버퍼 회로와,

상기 메모리 셀 어레이부터 상기 출력 버퍼 회로까지 연장하여, 상기 메모리 셀 어레이로부터의 데이터를 상기 출력 버퍼 회로까지 전달하는 판독 비트선

을 포함하고,

상기 기입 비트선은 상기 메모리 셀 어레이로부터 상기 출력 버퍼 회로에까지 연장되어 있고,

상기 출력 버퍼 회로는, 상기 판독 모드 시에는 상기 판독 비트선에 의해 전달되는 데이터를 상기 출력 포트에 출력하고, 상기 바이패스 모드 시에는 상기 기입 비트선에 의해 전달되는 데이터를 상기 출력 포트에 출력하고,

상기 입력 버퍼 회로는,

상기 기입 모드 시에는 상기 입력 포트에 입력된 데이터를 제어 신호에 기초하여 출력하고, 상기 바이패스 모드 시에는 상기 제어 신호에 상관없이 상기 입력 포트에 입력된 데이터를 출력하는 데이터 절환 회로와,

상기 데이터 절환 회로로부터 출력되는 데이터를 받아서 상기 기입 비트선에 출력하는 비트선 드라이버 회로를 포함하고,

상기 출력 버퍼 회로는,

상기 판독 비트선에 의해 전달되는 데이터를 증폭하여 출력하는 센스 앰프 회로와,

상기 판독 모드 시에는 상기 센스 앰프 회로의 출력을 상기 출력 포트에 출력하고, 상기 바이패스 모드 시에는 상기 기입 비트선에 의해 전달되는 데이터를 상기 출력 포트에 출력하는 출력 선택 회로를 포함하는, 반도체 장치.

청구항 7

제6항에 있어서,

평면에서 볼 때의 레이아웃 구조에서는, 상기 메모리 셀 어레이는 상기 입력 버퍼 회로와 상기 출력 버퍼 회로 사이에 끼워져 배치되어 있는, 반도체 장치.

청구항 8

기입 모드, 판독 모드 및 바이패스 모드를 갖는 반도체 기억부를 포함하는 반도체 장치로서,

상기 반도체 기억부는,

소정 방향으로 배열된 복수의 메모리 셀을 갖는 메모리 셀 어레이와,

데이터가 입력되는 입력 포트와,

데이터가 출력되는 출력 포트와,

상기 메모리 셀 어레이에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 판독 워드선과,

상기 메모리 셀 어레이에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 기입 워드선과,

상기 기입 모드 시에 상기 복수의 기입 워드선 중 어느 하나를 활성화하고, 상기 판독 모드 시에 상기 복수의 판독 워드선 중 어느 하나를 활성화하는 디코더 회로와,

상기 입력 포트에 입력된 데이터를 받아서 출력하는 입력 버퍼 회로와,

상기 입력 버퍼 회로부터 상기 메모리 셀 어레이까지 연장하여, 상기 입력 버퍼 회로부터 출력되는 데이터를 상기 메모리 셀 어레이까지 전달하는 기입 비트선과,

받은 데이터를 상기 출력 포트에 출력하는 출력 버퍼 회로와,

상기 메모리 셀 어레이부터 상기 출력 버퍼 회로까지 연장하여, 상기 메모리 셀 어레이로부터의 데이터를 상기 출력 버퍼 회로까지 전달하는 판독 비트선

을 포함하고,

상기 기입 비트선은 상기 메모리 셀 어레이로부터 상기 출력 버퍼 회로에까지 연장되어 있고,

상기 출력 버퍼 회로는, 상기 판독 모드 시에는 상기 판독 비트선에 의해 전달되는 데이터를 상기 출력 포트에 출력하고, 상기 바이패스 모드 시에는 상기 기입 비트선에 의해 전달되는 데이터를 상기 출력 포트에 출력하고,

상기 메모리 셀 어레이에는, 상기 소정 방향으로 배열된 상기 복수의 메모리 셀로 이루어지는 제1 메모리 셀 열과, 상기 소정 방향으로 배열된 복수의 메모리 셀로 이루어지는 제2 메모리 셀 열을 갖고,

상기 복수의 판독 워드선은, 상기 제1 및 제2 메모리 셀 열의 각각에서의 상기 복수의 메모리 셀에 각각 접속되어 있고,

상기 복수의 기입 워드선은, 상기 제1 및 제2 메모리 셀 열의 각각에서의 상기 복수의 메모리 셀에 각각 접속되어 있고,

상기 기입 비트선은, 상기 입력 버퍼 회로부터 상기 제1 메모리 셀 열까지 연장하여, 상기 입력 버퍼 회로부터 출력되는 데이터를 상기 제1 메모리 셀 열까지 전달하는 제1 기입 비트선과, 상기 입력 버퍼 회로부터 상기 제2 메모리 셀 열까지 연장하여, 상기 입력 버퍼 회로부터 출력되는 데이터를 상기 제2 메모리 셀 열까지 전달하는 제2 기입 비트선을 포함하고,

상기 판독 비트선은, 상기 제1 메모리 셀 열부터 상기 출력 버퍼 회로까지 연장하여, 상기 제1 메모리 셀 열로부터의 데이터를 상기 출력 버퍼 회로까지 전달하는 제1 판독 비트선과, 상기 제2 메모리 셀 열부터 상기 출력 버퍼 회로까지 연장하여, 상기 제2 메모리 셀 열로부터의 데이터를 상기 출력 버퍼 회로까지 전달하는 제2 판독 비트선을 포함하고,

상기 제1 기입 비트선은 상기 제1 메모리 셀 열로부터 상기 출력 버퍼 회로에까지 연장되어 있고,

상기 입력 버퍼 회로는, 상기 입력 포트에 입력된 데이터를, 상기 기입 모드 시에는 제1 선택 신호에 기초하여 상기 제1 및 제2 기입 비트선 중 어느 한 쪽에 출력하고, 상기 바이패스 모드 시에는 상기 제2 기입 비트선에는 출력하지 않고 상기 제1 기입 비트선에 출력하고,

상기 출력 버퍼 회로는, 상기 판독 모드 시에는 제2 선택 신호에 기초하여 상기 제1 및 제2 판독 비트선에 의해 전달되는 데이터 중 어느 한 쪽을 상기 출력 포트에 출력하고, 상기 바이패스 모드 시에는 상기 제1 기입 비트선에 의해 전달되는 데이터를 상기 출력 포트에 출력하는, 반도체 장치.

청구항 9

기입 모드, 판독 모드 및 바이패스 모드를 갖는 반도체 기억부를 포함하는 반도체 장치로서,

상기 반도체 기억부는,

소정 방향으로 배열된 복수의 메모리 셀을 갖는 메모리 셀 어레이와,

데이터가 입력되는 입력 포트와,

데이터가 출력되는 출력 포트와,

상기 메모리 셀 어레이에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 판독 워드선과,

상기 메모리 셀 어레이에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 기입 워드선과,

상기 기입 모드 시에 상기 복수의 기입 워드선 중 어느 하나를 활성화하고, 상기 판독 모드 시에 상기 복수의 판독 워드선 중 어느 하나를 활성화하는 디코더 회로와,

상기 입력 포트에 입력된 데이터를 받아서 출력하는 입력 버퍼 회로와,

상기 입력 버퍼 회로부터 상기 메모리 셀 어레이까지 연장하여, 상기 입력 버퍼 회로부터 출력되는 데이터를 상기 메모리 셀 어레이까지 전달하는 기입 비트선과,

받은 데이터를 상기 출력 포트에 출력하는 출력 버퍼 회로와,

상기 입력 버퍼 회로부터 상기 메모리 셀 어레이를 통해 상기 출력 버퍼 회로까지 연장하고, 상기 판독 모드 시에는 상기 메모리 셀 어레이로부터의 데이터를 상기 출력 버퍼 회로까지 전달하고, 상기 바이패스 모드시에는 상기 입력 버퍼로부터의 데이터를 상기 출력 버퍼 회로까지 전달하는 판독 비트선

을 포함하고,

상기 입력 버퍼 회로는, 상기 기입 모드 시에는 상기 입력 포트에 입력된 데이터를 상기 판독 비트선에는 출력하지 않도록 상기 기입 비트선에 출력하고, 상기 바이패스 모드 시에는 상기 입력 포트에 입력된 데이터를 상기 판독 비트선에 출력하는, 반도체 장치.

청구항 10

제9항에 있어서,

상기 입력 버퍼 회로는,

상기 입력 포트에 입력된 데이터를, 상기 판독 모드 시 및 상기 기입 모드 시에는 상기 판독 비트선에는 출력하지 않고, 상기 바이패스 모드 시에는 상기 판독 비트선에 출력하는 비트선 절환 회로와,

상기 기입 모드 시에는 상기 입력 포트에 입력된 데이터를 제어 신호에 기초하여 상기 기입 비트선에 출력하는 비트선 드라이버 회로를 포함하는, 반도체 장치.

청구항 11

기입 모드, 판독 모드 및 바이패스 모드를 갖는 반도체 장치로서,

소정 방향으로 배열된 복수의 메모리 셀을 갖는 메모리 셀 어레이와,

외부로부터 입력된 데이터를 받는 입력 버퍼 회로와,

상기 메모리 셀로부터 판독된 데이터를 외부에 출력하는 출력 버퍼 회로

를 포함하고,

상기 메모리 셀 어레이는, 상기 소정 방향으로 배열된 상기 복수의 메모리 셀로 이루어지는 제1 메모리 셀 열과, 상기 소정 방향으로 배열된 복수의 메모리 셀로 이루어지는 제2 메모리 셀 열을 갖고,

상기 입력 버퍼 회로부터 상기 제1 메모리 셀 열까지 연장하여, 상기 입력 버퍼 회로부터 출력되는 데이터를 상기 제1 메모리 셀 열까지 전달하는 제1 기입 비트선과,

상기 입력 버퍼 회로부터 상기 제2 메모리 셀 열까지 연장하여, 상기 입력 버퍼 회로부터 출력되는 데이터를 상기 제2 메모리 셀 열까지 전달하는 제2 기입 비트선과,

상기 제1 메모리 셀 열부터 상기 출력 버퍼 회로까지 연장하여, 상기 제1 메모리 셀 열로부터의 데이터를 상기 출력 버퍼 회로까지 전달하는 제1 판독 비트선과,

상기 제2 메모리 셀 열부터 상기 출력 버퍼 회로까지 연장하여, 상기 제2 메모리 셀 열로부터의 데이터를 상기 출력 버퍼 회로까지 전달하는 제2 판독 비트선

을 포함하고,

상기 제1 기입 비트선과, 상기 입력 버퍼 회로, 상기 제1 메모리 셀 열 및 상기 출력 버퍼 회로에 접속되고,

외부로부터 상기 입력 버퍼 회로에 제1 선택 신호, 상기 출력 버퍼 회로에 제2 선택 신호가 입력되고,

상기 입력 버퍼 회로는, 입력 포트에 입력되는 데이터를, 상기 기입 모드 시에는 상기 제1 선택 신호에 기초하여 상기 제1 및 제2 기입 비트선 중 어느 하나에 출력하고, 상기 바이패스 모드 시에는 상기 제1 기입 비트선에 출력하고,

상기 출력 버퍼 회로는, 상기 판독 모드 시에는 제2 선택 신호에 기초하여 상기 제1 및 제2 판독 비트선에 의해 전달되는 데이터 중 어느 하나를 출력하고, 상기 바이패스 모드 시에는 상기 제1 기입 비트선에 의해 전달되는 데이터를 출력하는, 반도체 장치.

청구항 12

제11항에 있어서,

상기 메모리 셀 어레이에는, 상기 입력 버퍼 회로와 상기 출력 버퍼 회로의 사이에 배치되는, 반도체 장치.

청구항 13

삭제

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

- [0036] [특허 문헌 1] 일본 특개평9-54142호 공보
- [0037] [특허 문헌 2] 일본 특개2001-23400호 공보
- [0038] [특허 문헌 3] 일본 특개평5-74198호 공보

발명이 속하는 기술 및 그 분야의 종래기술

[0039] 본 발명은, 입력 포트와 출력 포트가 분리된 반도체 기억부를 포함하는 반도체 장치에 관한 것이다.

[0040] 입력 포트와 출력 포트가 분리된 다 포트 메모리에 관하여 종래부터 다양한 기술이 제안되고 있다. 예를 들면, 특허 문헌 1에는, 입력 포트에 입력된 데이터를 직접 출력 포트에 출력하는 바이패스 수단을 형성하고, 해당 바이패스 수단을 이용하여 반도체 기억 장치의 테스트를 행하는 기술이 개시되어 있다.

[0041] 또한, 반도체 기억 장치에 관한 그 외의 기술이 특허 문헌 2, 3에 기재되어 있다.

발명이 이루고자 하는 기술적 과제

[0042] 특허 문헌 1에 기재되어 있는 기술과 같이, 반도체 기억 장치에서 입력 포트에 입력된 데이터를 직접 출력 포트에 출력하는 바이패스 기능을 실현할 때에는, 장치의 소형화 혹은 제조 공정의 간략화 때문에, 가능한 한 레이아웃 구조가 복잡하게 되지 않도록 할 필요가 있다.

[0043] 특허 문헌 1에서는, 입력 포트와 출력 포트를 레이아웃상 근접하여 배치하는 기술은 개시되어 있지만, 바이패스 수단을 어떠한 레이아웃으로 배치할지에 대하여는 구체적으로 기재되어 있지 있다. 따라서, 특허 문헌 1의 기술로부터는 최적의 레이아웃 구조를 얻을 수는 없다.

[0044] 따라서, 본 발명은 전술한 점을 감안하여 이루어진 것으로, 입력 포트와 출력 포트가 분리되어, 바이패스 기능을 포함하는 반도체 기억부를 갖는 반도체 장치에서, 레이아웃 구조의 간소화가 가능한 기술을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

[0045] 본 발명의 제1 반도체 장치는, 기입 모드, 판독 모드 및 바이패스 모드를 갖는 반도체 기억부를 포함하는 반도체 장치로서, 상기 반도체 기억부는, 소정 방향으로 배열된 복수의 메모리 셀을 각각이 갖는 제1 및 제2 메모리 셀 어레이와, 상기 제1 및 제2 메모리 셀 어레이에 각각 대응하여 형성되고, 각각에 데이터가 입력되는 제1 및 제2 입력 포트와, 상기 제1 및 제2 메모리 셀 어레이에 각각 대응하여 형성되고, 각각으로부터 데이터가 출력되는 제1 및 제2 출력 포트와, 상기 제1 및 제2 메모리 셀 어레이의 각각에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 판독 워드선과, 상기 제1 및 제2 메모리 셀 어레이의 각각에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 기입 워드선과, 상기 기입 모드 시에 상기 복수의 기입 워드선 중 어느 하나를 활성화하고, 상기 판독 모드 시에 상기 복수의 판독 워드선 중 어느 하나를 활성화하는 디코더 회로와, 상기 제1 및 제2 입력 포트에 입력된 데이터를 각각 받아서 출력하는 제1 및 제2 입력 버퍼 회로와, 상기 제1 입력 버퍼 회로부터 상기 제1 메모리 셀 어레이까지 연장하여, 상기 제1 입력 버퍼 회로로부터 출력되는 데이터를 상기 제1 메모리 셀 어레이

이까지 전달하는 제1 기입 비트선과, 상기 제2 입력 버퍼 회로부터 상기 제2 메모리 셀 어레이까지 연장하여, 상기 제2 입력 버퍼 회로부터 출력되는 데이터를 상기 제2 메모리 셀 어레이까지 전달하는 제2 기입 비트선과, 받은 데이터를 상기 제1 및 제2 출력 포트에 각각 출력하는 제1 및 제2 출력 버퍼 회로와, 상기 제1 메모리 셀 어레이로부터 상기 제1 출력 버퍼 회로까지 연장하여, 상기 제1 메모리 셀 어레이로부터의 데이터를 상기 제1 출력 버퍼 회로까지 전달하는 제1 판독 비트선과, 상기 제2 메모리 셀 어레이로부터 상기 제2 출력 버퍼 회로까지 연장하여, 상기 제2 메모리 셀 어레이로부터의 데이터를 상기 제2 출력 버퍼 회로까지 전달하는 제2 판독 비트선과, 상기 제1 입력 버퍼 회로부터 상기 제1 출력 버퍼 회로까지 연장하여, 상기 제1 입력 포트부터 상기 제1 입력 버퍼 회로에 입력된 데이터를 상기 제1 출력 버퍼 회로까지 전달하는 제1 바이패스선과, 상기 제2 입력 버퍼 회로부터 상기 제2 출력 버퍼 회로까지 연장하여, 상기 제2 입력 포트부터 상기 제2 출력 버퍼 회로에 입력된 데이터를 상기 제2 출력 버퍼 회로까지 전달하는 제2 바이패스선을 포함하고, 상기 제1 출력 버퍼 회로는, 상기 판독 모드 시에는 상기 제1 판독 비트선에 의해 전달되는 데이터를 상기 제1 출력 포트에 출력하고, 상기 바이패스 모드 시에는 상기 제1 바이패스선에 의해 전달되는 데이터를 상기 제1 출력 포트에 출력하고, 상기 제2 출력 버퍼 회로는, 상기 판독 모드 시에는 상기 제2 판독 비트선에 의해 전달되는 데이터를 상기 제2 출력 포트에 출력하고, 상기 바이패스 모드 시에는 상기 제2 바이패스선에 의해 전달되는 데이터를 상기 제2 출력 포트에 출력하고, 평면에서 볼 때의 레이아웃 구조에서, 상기 제1 메모리 셀 어레이는, 상기 제1 입력 버퍼 회로와 상기 제1 출력 버퍼 회로 사이에 끼워져 배치되어 있고, 상기 제2 메모리 셀 어레이는, 상기 제2 입력 버퍼 회로와 상기 제2 출력 버퍼 회로 사이에 끼워져 배치되어 있고, 상기 제1 바이패스선은, 상기 제1 및 제2 메모리 셀 어레이 사이를 통과하여 배치되어 있다.

[0046] 또한, 본 발명의 제2 반도체 장치는, 기입 모드, 판독 모드 및 바이패스 모드를 갖는 반도체 기억부를 포함하는 반도체 장치로서, 상기 반도체 기억부는, 소정 방향으로 배열된 복수의 메모리 셀을 갖는 메모리 셀 어레이와, 데이터가 입력되는 입력 포트와, 데이터가 출력되는 출력 포트와, 상기 메모리 셀 어레이에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 판독 워드선과, 상기 메모리 셀 어레이에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 기입 워드선과, 상기 기입 모드 시에 상기 복수의 기입 워드선 중 어느 하나를 활성화하고, 상기 판독 모드 시에 상기 복수의 판독 워드선 중 어느 하나를 활성화하는 디코더 회로와, 상기 입력 포트에 입력된 데이터를 받아서 출력하는 입력 버퍼 회로와, 상기 입력 버퍼 회로부터 상기 메모리 셀 어레이까지 연장하여, 상기 입력 버퍼 회로로부터 출력되는 데이터를 상기 메모리 셀 어레이까지 전달하는 기입 비트선과, 받은 데이터를 상기 출력 포트에 출력하는 출력 버퍼 회로와, 상기 메모리 셀 어레이로부터 상기 출력 버퍼 회로까지 연장하여, 상기 메모리 셀 어레이로부터의 데이터를 상기 출력 버퍼 회로까지 전달하는 판독 비트선과, 상기 입력 버퍼 회로부터 상기 출력 버퍼 회로까지 연장하여, 상기 입력 포트부터 상기 입력 버퍼 회로에 입력된 데이터를 상기 출력 버퍼 회로까지 전달하는 바이패스선과, 상기 메모리 셀 어레이에 전원 전위를 공급하는 전원 배선과, 상기 메모리 셀 어레이에 접지 전위를 공급하는 접지 배선을 포함하고, 상기 출력 버퍼 회로는, 상기 판독 모드 시에는 상기 판독 비트선에 의해 전달되는 데이터를 상기 출력 포트에 출력하고, 평면에서 볼 때의 레이아웃 구조에서, 상기 바이패스선, 상기 기입 비트선, 상기 판독 비트선, 상기 전원 배선 및 상기 접지 배선은, 상기 메모리 셀 어레이에서의 상기 복수의 메모리 셀이 형성되어 있는 영역 상에 배치되어 있다.

[0047] 또한, 본 발명의 제3 반도체 장치는, 기입 모드, 판독 모드 및 바이패스 모드를 갖는 반도체 기억부를 포함하는 반도체 장치로서, 상기 반도체 기억부는, 소정 방향으로 배열된 복수의 메모리 셀을 갖는 메모리 셀 어레이와, 데이터가 입력되는 입력 포트와, 데이터가 출력되는 출력 포트와, 상기 메모리 셀 어레이에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 판독 워드선과, 상기 메모리 셀 어레이에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 기입 워드선과, 상기 기입 모드 시에 상기 복수의 기입 워드선 중 어느 하나를 활성화하고, 상기 판독 모드 시에 상기 복수의 판독 워드선 중 어느 하나를 활성화하는 디코더 회로와, 상기 입력 포트에 입력된 데이터를 받아서 출력하는 입력 버퍼 회로와, 상기 입력 버퍼 회로부터 상기 메모리 셀 어레이까지 연장하여, 상기 입력 버퍼 회로부터 출력되는 데이터를 상기 메모리 셀 어레이까지 전달하는 기입 비트선과, 받은 데이터를 상기 출력 포트에 출력하는 출력 버퍼 회로와, 상기 메모리 셀 어레이로부터 상기 출력 버퍼 회로까지 연장하여, 상기 메모리 셀 어레이로부터의 데이터를 상기 출력 버퍼 회로까지 전달하는 판독 비트선을 포함하고, 상기 기입 비트선은 상기 메모리 셀 어레이로부터 상기 출력 버퍼 회로에까지 연장되어 있어, 상기 출력 버퍼 회로는, 상기 판독 모드 시에는 상기 판독 비트선에 의해 전달되는 데이터를 상기 출력 포트에 출력하고, 상기 바이패스 모드 시에는 상기 기입 비트선에 의해 전달되는 데이터를 상기 출력 포트에 출력한다.

[0048] 또한, 본 발명의 제4 반도체 장치는, 기입 모드, 판독 모드 및 바이패스 모드를 갖는 반도체 기억부를 포함하는 반도체 장치로서, 상기 반도체 기억부는, 소정 방향으로 배열된 복수의 메모리 셀을 갖는 메모리 셀 어레이와,

데이터가 입력되는 입력 포트와, 데이터가 출력되는 출력 포트와, 상기 메모리 셀 어레이에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 판독 워드선과, 상기 메모리 셀 어레이에서의 상기 복수의 메모리 셀에 각각 접속된 복수의 기입 워드선과, 상기 기입 모드 시에 상기 복수의 기입 워드선 중 어느 하나를 활성화하고, 상기 판독 모드 시에 상기 복수의 판독 워드선 중 어느 하나를 활성화하는 디코더 회로와, 상기 입력 포트에 입력된 데이터를 받아서 출력하는 입력 버퍼 회로와, 상기 입력 버퍼 회로부터 상기 메모리 셀 어레이까지 연장하여, 상기 입력 버퍼 회로부터 출력되는 데이터를 상기 메모리 셀 어레이까지 전달하는 기입 비트선과, 받은 데이터를 상기 출력 포트에 출력하는 출력 버퍼 회로와, 상기 메모리 셀 어레이로부터 상기 출력 버퍼 회로까지 연장하여, 상기 메모리 셀 어레이로부터의 데이터를 상기 출력 버퍼 회로까지 전달하는 판독 비트선을 포함하고, 상기 판독 비트선은 상기 메모리 셀 어레이로부터 상기 입력 버퍼 회로에까지 연장되어 있어, 상기 입력 버퍼 회로는, 상기 기입 모드 시에는 상기 입력 포트에 입력된 데이터를 상기 판독 비트선에는 출력하지 않고 상기 기입 비트선에 출력하고, 상기 바이패스 모드 시에는 상기 입력 포트에 입력된 데이터를 상기 판독 비트선에 출력한다.

[0049] (제1 실시예)

도 1은 본 발명의 제1 실시예에 따른 반도체 기억 장치(100)의 레이아웃 구조를 도식적으로 도시하는 평면도이다. 도 1에 도시된 바와 같이, 본 제1 실시예에 따른 반도체 기억 장치(100)는, n(≥ 1)개의 입력 포트(IN0~INn-1)와, n개의 출력 포트(OUT0~OUTn-1)와, 라이트 제어 회로(2)와, 리드 제어 회로(3)와, 디코더 회로(4)를 포함하고 있다. 또한, 본 제1 실시예에 따른 반도체 기억 장치에서는, 1개의 메모리 셀 어레이(1)와, 1개의 입력 버퍼 회로(5)와, 1개의 출력 버퍼 회로(6)로 구성되는 조가 n조 형성되어 있다.

[0050] 본 반도체 기억 장치(100)에는 n 비트의 입력 데이터 D[n-1:0]가 입력되고, 본 반도체 기억 장치(100)로부터는 n 비트의 출력 데이터 Q[n-1:0]가 출력된다. 입력 포트(IN0~INn-1)에는 입력 데이터 D[0]~D[n-1]가 각각 입력되고, 출력 포트(OUT0~OUTn-1)로부터는 출력 데이터 Q[0]~Q[n-1]이 각각 출력된다.

[0051] [0052] n 비트의 입력 데이터 D[n-1:0] 중 임의의 입력 데이터 D[i]는, 입력 포트(INi)를 통하여 1개의 입력 버퍼 회로(5)에 입력되는, 입력 데이터 D[i]가 입력되는 입력 버퍼 회로(5)와 동일한 조에 속하는 출력 버퍼 회로(6)로부터는 출력 데이터 Q[i]가 출력되고, 해당 출력 데이터 Q[i]는 출력 포트(OUTi)를 통하여 본 반도체 기억 장치(100)의 외부에 출력된다. 또한, i는 $0 \leq i \leq n$ 을 만족하는 임의의 정수이다.

[0053] 본 제1 실시예에 따른 반도체 기억 장치(100)의 레이아웃 구조에서는, 1개의 조를 구성하는 입력 버퍼 회로(5), 메모리 셀 어레이(1) 및 출력 버퍼 회로(6)는, 도 1에 도시된 바와 같이, 평면에서 볼 때, 이 순서로 X축 방향을 따라서 배치되어 있다. 따라서, 평면에서 볼 때의 레이아웃 구조에서는, 메모리 셀 어레이(1)는, 그것과 동일한 조에 속하는 입력 버퍼 회로(5)와 출력 버퍼 회로(6) 사이에 삽입되도록 배치되어 있다.

[0054] 또한, 본 반도체 기억 장치(100)의 레이아웃 구조에서는, 평면에서 볼 때, 라이트 제어 회로(2)와 n개의 입력 버퍼 회로(5)는 X축 방향으로 수직인 Y축 방향을 따라서 일렬로 배치되어 있고, 디코더 회로(4)와 n개의 메모리 셀 어레이(1)는 Y축 방향을 따라서 일렬로 배치되어 있고, 리드 제어 회로(3)와 n개의 출력 버퍼 회로(6)는 Y축 방향을 따라서 일렬로 배치되어 있다. 그리고, 라이트 제어 회로(2)와 디코더 회로(4)와 리드 제어 회로(3)는 이 순서로 X축 방향을 따라서 배치되어 있다.

[0055] 도 2는 라이트 제어 회로(2)의 회로 구성을 도시하는 도면이다. 라이트 제어 회로(2)는, 본 반도체 기억 장치(100)의 외부로부터 공급되는 기입 클록 신호 WCLK에 동기하여 동작하고, 입력 버퍼 회로(5) 및 메모리 셀 어레이(1)의 동작을 제어하여, 본 반도체 기억 장치(100)에서의 입력 데이터 D[n-1:0]의 메모리 셀 어레이(1)에의 기입을 제어한다.

[0056] 도 2에 도시된 바와 같이, 라이트 제어 회로(2)는, 인버터 회로(2a, 2b)와, 버퍼 회로(2c)와, AND 회로(2d, 2e)와, 지연 회로(2f)와, 플립플롭 회로(도면에서는 「FF」라고 표기)(2g~2i)와, 내부 어드레스 생성 회로(20)를 포함하고 있다. 또 본 명세서에서는, 「플립플롭 회로」라고 하면, 딜레이 플립플롭 회로(D-FF)를 의미하는 것으로 한다.

[0057] 인버터 회로(2a)는 기입 클록 신호 WCLK를 반전하여 출력하고, 인버터 회로(2b)는 인버터 회로(2a)의 출력을 반전하여 출력한다. 인버터 회로(2b)의 출력은, 라이트 제어 회로(2)가 포함하는 모든 플립플롭 회로의 CLK 입력 단자에 입력된다. 지연 회로(2f)는 기입 클록 신호 WCLK를 소정 시간 지연하여 출력한다. 플립플롭 회로(2g, 2h)의 D 입력 단자에는, 기입 제어 신호 WEN 및 기입 셀 선택 제어 신호 WCEN이 각각 입력된다. AND 회로(2e)는, 플립플롭 회로(2g)의 Q바 출력과, 플립플롭 회로(2h)의 Q바 출력의 논리곱을 연산하여 출력한다. AND 회로

(2d)는, 지연 회로(2f)의 출력과, 기입 클록 신호 WCLK와, AND 회로(2e)의 출력의 논리곱을 구하여 출력한다. 베피 회로(2c)는 AND 회로(2d)의 출력을 그대로의 논리 레벨에서 반전 기입 제어 신호/wen으로서 출력한다. 플립플롭 회로(2i)의 D 입력 단자에는 바이패스 제어 신호 BP가 입력되고, 그 Q 출력은 내부 바이패스 제어 신호 bp로서 리드 제어 회로(3)에 입력된다.

[0058] 내부 어드레스 생성 회로(20)는, AND 회로(20a~20l)와, 플립플롭 회로(20m~20q)를 포함하고 있다. 플립플롭 회로(20q, 20p, 20o, 20n, 20m)의 D 입력 단자에는 기입 어드레스 신호 WA[0]~WA[4]가 각각 입력된다. AND 회로(20a)는, AND 회로(2d)의 출력 및 플립플롭 회로(20m, 20n)의 Q 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAA[3]로서 출력한다. AND 회로(20b)는, AND 회로(2d)의 출력, 플립플롭 회로(20m)의 Q 출력 및 플립플롭 회로(20n)의 Q바 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAA[2]로서 출력한다. AND 회로(20c)는, AND 회로(2d)의 출력, 플립플롭 회로(20m)의 Q바 출력 및 플립플롭 회로(20n)의 Q 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAA[1]로서 출력한다. AND 회로(20d)는, AND 회로(2d)의 출력 및 플립플롭 회로(20m, 20n)의 Q바 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAA[0]로서 출력한다.

[0059] AND 회로(20e)는, 플립플롭 회로(20o~20q)의 Q 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAB[7]로서 출력한다. AND 회로(20f)는, 플립플롭 회로(20o, 20p)의 Q 출력 및 플립플롭 회로(20q)의 Q바 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAB[6]로서 출력한다. AND 회로(20g)는, 플립플롭 회로(20o, 20q)의 Q 출력 및 플립플롭 회로(20p)의 Q바 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAB[5]로서 출력한다. AND 회로(20h)는, 플립플롭 회로(20o)의 Q 출력 및 플립플롭 회로(20p, 20q)의 Q바 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAB[4]로서 출력한다. AND 회로(20i)는, 플립플롭 회로(20o)의 Q바 출력 및 플립플롭 회로(20p, 20q)의 Q 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAB[3]로서 출력한다. AND 회로(20j)는, 플립플롭 회로(20o, 20q)의 Q바 출력 및 플립플롭 회로(20p)의 Q 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAB[2]로서 출력한다. AND 회로(20k)는, 플립플롭 회로(20o, 20p)의 Q바 출력 및 플립플롭 회로(20q)의 Q 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAB[1]로서 출력한다. AND 회로(20l)는, 플립플롭 회로(20o~20q)의 Q바 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAB[0]로서 출력한다.

[0060] 또한, 라이트 제어 회로(2)에 입력되는 기입 제어 신호 WEN, 기입 셀 선택 제어 신호 WCEN, 바이패스 제어 신호 BP 및 기입 어드레스 신호 WA[4:0]는, 기입 클록 신호 WCLK와 마찬가지로, 본 반도체 기억 장치(100)의 외부로부터 입력된다.

[0061] 도 3은 리드 제어 회로(3)의 회로 구성을 도시하는 도면이다. 리드 제어 회로(3)는, 본 반도체 기억 장치(100)의 외부로부터 공급되는 판독 클록 신호 RCLK에 동기하여 동작하고, 출력 베피 회로(6) 및 메모리 셀 어레이(1)의 동작을 제어하고, 본 반도체 기억 장치(100)에서의 메모리 셀 어레이(1)로부터의 데이터의 판독을 제어한다.

[0062] 도 3에 도시된 바와 같이, 리드 제어 회로(3)는, 인버터 회로(3a~3c)와, 베피 회로(3d)와, AND 회로(3e)와, 플립플롭 회로(3f)와, 전술한 내부 어드레스 생성 회로(20)를 포함하고 있다. 인버터 회로(3a)는 라이트 제어 회로(2)로부터 출력되는 내부 바이패스 제어 신호 bp를 반전하여 반전 바이패스 제어 신호/bp로서 출력한다. 인버터 회로(3b)는 판독 클록 신호 RCLK를 반전하여 출력하고, 인버터 회로(3c)는 인버터 회로(3b)의 출력을 반전하여 출력한다. 인버터 회로(3c)의 출력은, 리드 제어 회로(3)가 포함하는 모든 플립플롭 회로의 CLK 입력 단자에 입력된다.

[0063] 플립플롭 회로(3f)의 D 입력 단자에는 판독 셀 선택 제어 신호 RCEN이 입력된다. AND 회로(3e)는, 판독 클록 신호 RCLK와, 플립플롭 회로(3f)의 Q바 출력과, 내부 바이패스 제어 신호 bp의 반전 신호의 논리곱을 연산하여 출력한다. 베피 회로(3d)는 AND 회로(3e)의 출력을 그대로의 논리 레벨에서 내부 판독 제어 신호 rpc로서 출력한다.

[0064] 리드 제어 회로(3)의 내부 어드레스 생성 회로(20)에서는, 플립플롭 회로(20q, 20p, 20o, 20n, 20m)의 D 입력 단자에는 판독 어드레스 신호 RA[0]~RA[4]가 각각 입력된다. 또한, AND 회로(20a~20l)의 각각에는, AND 회로(2d)의 출력 대신에 AND 회로(3e)의 출력이 입력된다. 그리고 AND 회로(20a~20d)의 출력은, 각각 내부 판독 어드레스 신호 RAA[3], RAA[2], RAA[1], RAA[0]으로서 출력되고, AND 회로(20e~20l)의 출력은, 각각 내부 판독 어드레스 신호 RAB[7], RAB[6], RAB[5], RAB[4], RAB[3], RAB[2], RAB[1], RAB[0]로서 출력된다. 리드 제어 회로(3)에서의 내부 어드레스 생성 회로(20)의 그 외의 구성은 라이트 제어 회로(2)의 내부 어드레스 생성 회로(20)와 동일하다.

- [0065] 또한, 리드 제어 회로(3)에 입력되는 판독 셀 선택 제어 신호 RCEN 및 판독 어드레스 신호 RA[4:0]은, 판독 클록 신호 RCLK와 마찬가지로, 본 반도체 기억 장치(100)의 외부로부터 입력된다.
- [0066] 도 4는 디코더 회로(4)의 구성을 도시하는 블록도이다. 도 4에 도시된 바와 같이, 디코더 회로(4)는, 32개의 AND 회로(4aa)를 갖는 기입 워드선 디코더 회로(4a)와, 32개의 AND 회로(4bb)를 갖는 판독 워드선 디코더 회로(4b)를 포함하고 있다. 기입 워드선 디코더 회로(4a)는, 내부 기입 어드레스 신호 WAA[0]과, 내부 기입 어드레스 신호 WAB[0]~WAB[7]의 논리곱을 연산하여, 각각 기입 워드선 선택 신호 WWS[0]~WWS[7]로서 출력하고, 내부 기입 어드레스 신호 WAA[1]과, 내부 기입 어드레스 신호 WAB[0]~WAB[7]의 논리곱을 연산하여, 각각 기입 워드선 선택 신호 WWS[8]~WWS[15]로서 출력한다. 또한 기입 워드선 디코더 회로(4a)는, 내부 기입 어드레스 신호 WAA[2]와, 내부 기입 어드레스 신호 WAB[0]~WAB[7]의 논리곱을 연산하여, 각각 기입 워드선 선택 신호 WWS[16]~WWS[23]로서 출력하고, 내부 기입 어드레스 신호 WAA[3]과, 내부 기입 어드레스 신호 WAB[0]~WAB[7]의 논리곱을 연산하여, 각각 기입 워드선 선택 신호 WWS[24]~WWS[31]로서 출력한다. 또한, 32 비트의 기입 워드선 선택 신호 WWS[310]은, 기입 워드선 디코더 회로(4a) 내의 32개의 AND 회로(4aa)로부터 각각 출력된다.
- [0067] 마찬가지로 하여, 판독 워드선 디코더 회로(4b)는, 내부 판독 어드레스 신호 RAA[0]과, 내부 판독 어드레스 신호 RAB[0]~RAB[7]의 논리곱을 연산하여, 각각 판독 워드선 선택 신호 RWS[0]~RWS[7]로서 출력하고, 내부 판독 어드레스 신호 RAA[1]과, 내부 판독 어드레스 신호 RAB[0]~RAB[7]의 논리곱을 연산하여, 각각 판독 워드선 선택 신호 RWS[8]~RWS[15]로서 출력한다. 또한 판독 워드선 디코더 회로(4b)는, 내부 판독 어드레스 신호 RAA[2]와, 내부 판독 어드레스 신호 RAB[0]~RAB[7]의 논리곱을 연산하여, 각각 판독 워드선 선택 신호 RWS[16]~RWS[23]으로서 출력하고, 내부 판독 어드레스 신호 RAA[3]과, 내부 판독 어드레스 신호 RAB[0]~RAB[7]의 논리곱을 연산하여, 각각 판독 워드선 선택 신호 RWS[24]~RWS[31]로서 출력한다. 또한, 32 비트의 판독 워드선 선택 신호 RWS[31:0]은, 판독 워드선 디코더 회로(4b) 내의 32개의 AND 회로(4bb)로부터 각각 출력된다.
- [0068] 도 5는, 임의의 하나의 조에서의 메모리 셀 어레이(1), 입력 버퍼 회로(5) 및 출력 버퍼 회로(6)의 회로 구성과 평면에서 볼 때의 레이아웃 구조를 도시하는 도면이다. 또한, 도 5에 도시된 회로 구성 및 레이아웃 구조는, 메모리 셀 어레이(1), 입력 버퍼 회로(5) 및 출력 버퍼 회로(6)로 이루어지는 조의 전부에 대하여 마찬가지이다.
- [0069] 입력 버퍼 회로(5)는, 입력 포트(INi)에 입력되는 입력 데이터 D[i]를 받아, 라이트 제어 회로(2)로부터 출력되는 반전 기입 제어 신호/wen에 기초하여 해당 입력 데이터 D[i]를 메모리 셀 어레이(1)에 출력한다. 도 5에 도시된 바와 같이, 입력 버퍼 회로(5)는, 플립플롭 회로(5a)와, 인버터 회로(5b, 5c)와, 버퍼 회로(5d)와, NAND 회로(5e, 5f)와, PMOS 트랜ジ스터(5g, 5i)와, NMOS 트랜지스터(5h, 5j)를 포함하고 있다.
- [0070] 플립플롭 회로(5a)의 D 입력 단자에는 입력 데이터 D[i]가 입력되고, 그 Q 출력은 데이터 d[i]로서 인버터 회로(5b)의 입력 단자에 입력된다. 또한 플립플롭 회로(5a)의 Q 출력 단자는, 입력 버퍼 회로(5)부터 출력 버퍼 회로(6)까지 연장하는 바이패스선(BPL)의 일단에 접속되어 있어, 데이터 d[i]는 바이패스 신호 BPS로서 바이패스 선(BPL)에 의해 출력 버퍼 회로(6)에 전달된다. 또한, 플립플롭 회로(5a)의 CLK 입력 단자에는 라이트 제어 회로(2)의 인버터 회로(2b)의 출력이 입력된다.
- [0071] 인버터 회로(5b)는 데이터 d[i]를 반전하여 출력하고, 인버터 회로(5c)는 인버터 회로(5b)의 출력을 반전하여 출력한다. 버퍼 회로(5d)는, 라이트 제어 회로(2)로부터 출력되는 반전 기입 제어 신호/wen을 그대로의 논리 레벨에서 출력한다. NAND 회로(5e)는, 인버터 회로(5c)의 출력과 버퍼 회로(5d)의 출력의 부정 논리곱을 연산하여 출력한다. NAND 회로(5f)는, 인버터 회로(5b)의 출력과 버퍼 회로(5d)의 출력의 부정 논리곱을 연산하여 출력한다.
- [0072] PMOS 트랜ジ스터(5g, 5i)의 소스 단자의 각각에는 전원 전위가 인가되고, NMOS 트랜지스터(5h, 5j)의 소스 단자의 각각에는 접지 전위가 인가된다. PMOS 트랜ジ스터(5g)의 드레인 단자와 NMOS 트랜지스터(5h)의 드레인 단자는 서로 접속되어 있고, 양쪽 드레인 단자에는, 입력 버퍼 회로(5)로부터 메모리 셀 어레이(1)에까지 연장하는 기입 비트선(WBA)의 일단이 접속되어 있다. 한편, PMOS 트랜지스터(5i)의 드레인 단자와 NMOS 트랜지스터(5j)의 드레인 단자는 서로 접속되어 있고, 양쪽 드레인 단자에는, 입력 버퍼 회로(5)로부터 메모리 셀 어레이(1)까지 연장하는 기입 비트선(WBB)의 일단이 접속되어 있다. PMOS 트랜지스터(5g)와 NMOS 트랜지스터(5h)의 게이트 단자에는 NAND 회로(5e)의 출력이 입력되고, PMOS 트랜지스터(5i)와 NMOS 트랜지스터(5j)의 게이트 단자에는 NAND 회로(5f)의 출력이 입력된다.
- [0073] 이 예에서는, 1개의 메모리 셀 어레이(1)는 32개의 메모리 셀(MC)을 포함하고 있다. 이를 32개의 메모리 셀

(MC)은, 평면에서 볼 때의 레이아웃 구조에서, n개의 메모리 셀 어레이(1)의 배열 방향으로 수직한 방향, 즉 도 1의 X축 방향을 따라서 일렬로 배열되어 있다. 그리고, n개의 메모리 셀 어레이(1) 전체에서는, (32×n)개의 메모리 셀(MC)은, 레이아웃 상, X축 방향으로 32개, Y축 방향으로 n개 배열하는 행렬 형상으로 배치되어 있다.

[0074] 각 메모리 셀(MC)은, NMOS 트랜지스터(10a~10f)와, 인버터 회로(10g, 10h)를 포함하고 있다. NMOS 트랜지스터(10a)의 드레인 단자는 기입 비트선(WBB)에 접속되어 있고, 그 소스 단자는 인버터 회로(10g)의 입력 단자와, 인버터 회로(10h)의 출력 단자와, NMOS 트랜지스터(10d)의 게이트 단자에 접속되어 있다. NMOS 트랜지스터(10b)의 드레인 단자는 기입 비트선(WBA)에 접속되어 있고, 그 소스 단자는 인버터 회로(10g)의 출력 단자와, 인버터 회로(10h)의 입력 단자와, NMOS 트랜지스터(10e)의 게이트 단자에 접속되어 있다. NMOS 트랜지스터(10c)의 드레인 단자는, 메모리 셀 어레이(1)부터 출력 버퍼 회로(6)까지 연장하는 판독 비트선(RBA)에 접속되어 있고, 그 소스 단자는 NMOS 트랜지스터(10d)의 드레인 단자에 접속되어 있다. NMOS 트랜지스터(10f)의 드레인 단자는, 메모리 셀 어레이(1)부터 출력 버퍼 회로(6)까지 연장하고 있는 판독 비트선(RBB)에 접속되어 있고, 그 소스 단자는 NMOS 트랜지스터(10e)의 드레인 단자에 접속되어 있다. NMOS 트랜지스터(10d, 10e)의 소스 단자에는 접지 전위가 인가된다.

[0075] 메모리 셀 어레이(1)의 32개의 메모리 셀(MC)에서의 NMOS 트랜지스터(10a, 10b)의 게이트 단자에는 32개의 기입 워드선(WWL[31:0])이 각각 접속되어 있다. 기입 워드선(WWL[0]~WWL[31])에는 디코더 회로(4)로부터 출력되는 기입 워드선 선택 신호 WWS[0]~WWS[31]이 각각 공급되고, 메모리 셀 어레이(1)에 임의의 데이터가 기입될 때는 이를 중 어느 하나가 활성화된다.

[0076] 또한, 메모리 셀 어레이(1)의 32개의 메모리 셀(MC)에서의 NMOS 트랜지스터(10c, 10f)의 게이트 단자에는 32개의 판독 워드선(RWL[31:0])이 각각 접속되어 있다. 판독 워드선(RWL[0]~RWL[31])에는 디코더 회로(4)로부터 출력되는 판독 워드선 선택 신호 RWS[0]~RWS[31]이 각각 공급되고, 메모리 셀 어레이(1)로부터 임의의 데이터가 판독될 때는 이를 중 어느 하나가 활성화된다. j를 $0 \leq j \leq n$ 을 만족하는 임의의 정수라고 하면, 기입 워드선 (WWL[j])과 판독 워드선(RWL[j])는 쌍을 이루고 있고, 동일한 메모리 셀(MC)에 접속되어 있다.

[0077] 출력 버퍼 회로(6)는, 받은 데이터를, 리드 제어 회로(3)로부터 출력되는 내부 판독 제어 신호 rpc 및 반전 바이패스 제어 신호/bp에 기초하여 출력 데이터 Q[i]로서 출력 포트(OUTi)에 출력한다. 도 5에 도시된 바와 같이, 출력 버퍼 회로(6)는, 판독 비트선(RBA, RBB)에 의해 전달되는 데이터를 증폭하여 출력하는 센스 앤프 회로(60)와, 센스 앤프 회로(60)로부터 출력되는 데이터 및 바이패스 신호 BPS 중 어느 한 쪽을 출력 포트(OUTi)에 출력하는 출력 선택 회로(61)를 포함하고 있다.

[0078] 센스 앤프 회로(60)는, 5개의 PMOS 트랜지스터(60a~60e)를 포함하고 있다. PMOS 트랜지스터(60a, 60c, 60d, 60e)의 소스 단자에는 전원 전위가 인가된다. PMOS 트랜지스터(60a~60c)의 각각의 게이트 단자에는 내부 판독 제어 신호 rpc가 입력된다. PMOS 트랜지스터(60a, 60b, 60e)의 드레인 단자와 PMOS 트랜지스터(60d)의 게이트 단자는 판독 비트선(RBA)에 접속되어 있고, 해당 접속점의 신호는 출력 신호 AA로서 센스 앤프 회로(60)로부터 출력된다. PMOS 트랜지스터(60c, 60d)의 드레인 단자와 PMOS 트랜지스터(60b)의 소스 단자와 PMOS 트랜지스터(60e)의 게이트 단자는 판독 비트선(RBB)에 접속되어 있고, 그 접속점의 신호는 출력 신호 AB로서 센스 앤프 회로(60)로부터 출력된다.

[0079] 출력 선택 회로(61)는, 인버터 회로(6a, 6b)와, AND 회로(6c~6f)와, OR 회로(6g)와, NOR 회로(6h)를 포함하고 있다. 인버터 회로(6a)의 입력 단자는 바이패스선(BPL)과 접속되어 있고, 해당 바이패스선(BPL)에 의해 전달되는 바이패스 신호 BPS를 반전하여 출력한다. AND 회로(6c)는, 인버터 회로(6a)의 출력의 반전 신호와 반전 바이패스 제어 신호/bp의 반전 신호의 논리곱을 연산하여 신호 BA로서 출력한다. AND 회로(6f)는 AND 회로(6e)의 출력과, 센스 앤프 회로(60)로부터의 출력 신호 AA의 논리곱을 연산하여 출력한다. NOR 회로(6h)는, 신호 BA와 AND 회로(6f)의 출력의 부정 논리합을 연산하여 출력한다. 인버터 회로(6b)는 NOR 회로(6h)의 출력을 반전하여 출력 데이터 Q[i]로서 출력 포트(OUT[i])에 출력한다. AND 회로(6d)는, 그 한 쪽의 입력 단자에 바이패스선 (BPL)이 접속되어 있고, 바이패스 신호 BPS의 반전 신호와 반전 바이패스 제어 신호/bp의 반전 신호의 논리곱을 연산하여 신호 BB로서 출력한다. OR 회로(6g)는, NOR 회로(6h)의 출력의 반전 신호와, 센스 앤프 회로(60)로부터의 출력 신호 AB의 반전 신호의 논리합을 연산하여 출력한다. AND 회로(6e)는, 신호 BB의 반전 신호와 OR 회로(6g)의 출력의 논리곱을 연산하여 출력한다.

[0080] 본 제1 실시예에서는, 도 5에 도시된 바와 같이, 평면에서 볼 때의 레이아웃 구조에서, 메모리 셀 어레이(1)와, 센스 앤프 회로(60)와, 출력 선택 회로(61)가, 이 순서로 X축 방향을 따라서 일렬로 배치되어 있다. 데이터의 흐름을 고려하면 쓸데없는 배선이 불필요해지기 때문에 이와 같은 순서로 배치하는 것이 바람직하지만, 레이아웃

웃의 제한 등의 이유로부터, 메모리 셀 어레이(1), 출력 선택 회로(61), 센스 앤프 회로(60)의 순서로 일렬로 배치해도 된다.

[0081] 도 5에 도시된 레이아웃 예에서는, 메모리 셀 어레이(1)의 우측에 디코더 회로(4)를 형성하지만, 우측과 좌측으로 나누어, 한 쪽에 기입 워드선 디코더 회로(4a)를, 다른 쪽에 판독 워드선 디코더 회로(4b)를 형성해도 된다.

[0082] 이상과 같은 구성을 포함하는 본 반도체 기억 장치(100)는, 예를 들면, 동작 주파수가 서로 다른 2개의 연산 회로 사이의 동작 타이밍을 조정하기 위해 사용된다. 이하에 이 사용예에 대해 설명한다.

[0083] 도 6은, 본 반도체 기억 장치(100)를 반도체 기억부로서 복수 포함하는 반도체 장치(600)의 구성을 도시하는 블록도이다. 도 6에 도시된 바와 같이, 반도체 장치(600)는, 3개의 연산 회로(601~603)와, 2개의 반도체 기억 장치(100)를 포함하고 있다. 연산 회로(601~603)는 동작 주파수가 서로 다르다. 2개의 반도체 기억 장치(100)는, 연산 회로(601, 602) 사이와, 연산 회로(602, 603) 사이에 각각 배치되어 있다. 연산 회로(601)는, 본 반도체 장치(600)의 외부로부터 입력된 데이터에 대하여 소정의 연산 처리를 행하여 한 쪽의 반도체 기억 장치(100)에 기입한다. 연산 회로(602)는, 해당 한 쪽의 반도체 기억 장치(100)에 기입되어 있는, 연산 회로(601)에서 연산 처리 완료된 데이터를 판독하여, 해당 데이터에 대하여 소정의 연산 처리를 행하여 다른 쪽의 반도체 기억 장치(100)에 기입한다. 연산 회로(603)는, 해당 다른 쪽의 반도체 기억 장치(100)에 기입되어 있는, 연산 회로(602)에서 연산 처리 완료된 데이터를 판독하여, 해당 데이터에 대하여 소정의 연산 처리를 행하여, 본 반도체 장치(600)의 외부에 출력한다.

[0084] 이와 같이, 동작 타이밍이 서로 다른 2개의 연산 회로 사이에 본 반도체 기억 장치(100)를 배치하고, 한 쪽의 연산 회로로부터의 출력 데이터를 한번 본 반도체 기억 장치(100)에 기입함으로써, 다른 쪽의 연산 회로는, 한 쪽의 연산 회로로부터의 출력 데이터를 자신의 동작 타이밍에서 반도체 기억 장치(100) 내로부터 판독할 수 있다. 따라서, 다른 쪽의 연산 회로는, 한 쪽의 연산 회로의 동작 타이밍에 의존하지 않고 해당 한 쪽의 연산 회로로부터의 출력 데이터를 받을 수 있다.

[0085] 다음으로, 본 제1 실시예에 따른 반도체 기억 장치(100)의 동작에 대해 설명한다. 본 반도체 기억 장치(100)는 통상 동작 모드와 바이패스 모드의 크게 2 종류의 동작 모드를 포함하고 있다. 통상 동작 모드는 기입 모드와 판독 모드로 이루어지고, 기입 모드에서는 본 반도체 기억 장치(100)는 데이터의 기입이 가능한 메모리 회로로서 기능하고, 입력 포트(IN0~INn-1)에 입력된 입력 데이터 D[n-1:0]이 n개의 메모리 셀 어레이(1)에 기입된다. 판독 모드에서는, 본 반도체 기억 장치(100)는 데이터의 판독이 가능한 메모리 회로로서 기능하고, n개의 메모리 셀 어레이(1)로부터 판독된 데이터가 출력 데이터 Q[n-1:0]으로서 출력 포트(OUT0~OUTn-1)로부터 출력된다. 한편, 바이패스 모드에서는, 입력 데이터 D[n-1:0]이 그대로 출력 데이터 Q[n-1:0]로서 출력되고, 메모리 셀 어레이(1)로부터 데이터가 판독되지 않는다.

[0086] 먼저 통상 동작 모드에 대해 설명한다. 바이패스 제어 신호 BP=0일 때, 본 반도체 기억 장치(100)는 통상 동작 모드에서 동작한다. 메모리 셀 어레이(1)에 입력 데이터 D[i]가 기입되는 기입 모드에서는, 기입 제어 신호 WEN 및 기입 셀 선택 제어 신호 WCEN은 모두 "0"으로 된다. 그렇게 하면, 라이트 제어 회로(2)로부터는 반전 기입 제어 신호/wen으로서 정극성의 펄스 신호가 출력됨과 함께, 라이트 제어 회로(2) 및 디코더 회로(4)의 기능에 의해, 기입 어드레스 신호 WA[4:0]의 값에 따라 기입 워드선 선택 신호 WWS[31:0] 중 어느 하나가 "1"로 되어 기입 워드선(WWL[31:0]) 중 어느 하나가 활성화된다. 반전 기입 제어 신호/wen이 "1"로 되면, 입력 데이터 D[i]가 기입 비트선(WBA, WBB)에 의해 메모리 셀 어레이(1)에 전달되어, 활성화된 기입 워드선(WWL[j])에 접속된 메모리 셀(MC)에 입력 데이터 D[i]가 기입된다.

[0087] 메모리 셀 어레이(1)로부터 데이터가 판독되는 판독 모드에서는, 판독 셀 선택 제어 신호 RCEN이 "0"으로 된다. 그렇게 하면, 리드 제어 회로(3)로부터는 내부 판독 제어 신호 rpc로서 정극성의 펄스 신호가 출력됨과 함께, 리드 제어 회로(3) 및 디코더 회로(4)의 기능에 의해, 판독 어드레스 신호 RA[4:0]의 값에 따라 판독 워드선 선택 신호 RWS[31:0] 중 어느 하나가 "1"로 되어 판독 워드선(WS[31:0]) 중 어느 하나가 활성화된다. 판독 워드선(RWL[j])이 활성화되면 그것에 접속된 메모리 셀(MC)로부터 데이터가 판독되어, 판독 비트선(RBA, RBB)에 의해 출력 버퍼 회로(6)의 센스 앤프 회로(60)에 전달된다.

[0088] 내부 판독 제어 신호 rpc가 "1"로 되면, 메모리 셀(MC)로부터 판독된 데이터는 센스 앤프 회로(60)에서 증폭된다. 바이패스 제어 신호 bp=0일 때에는, 라이트 제어 회로(2)로부터 출력되는 내부 바이패스 제어 신호 bp=0으로 되고, 리드 제어 회로(3)로부터 출력되는 반전 바이패스 제어 신호/bp=1로 된다. 그 결과, 신호 BA, BB는 모두 "0"으로 된다. 따라서, 바이패스선(BPL)에 의해 전달되는 바이패스 신호 BPS는 출력 선택 회로(61)에서는

접수할 수 없게 되고, 출력 선택 회로(61)로부터는 센스 앤프 회로(60)에서 증폭된 메모리 셀(MC)로부터의 데이터가 출력 데이터 Q[i]로서 출력되고, 해당 출력 데이터 Q[i]는 출력 포트(OUTi)로부터 출력된다.

[0089] 다음으로 바이패스 모드에 대해 설명한다. 바이패스 제어 신호 BP=1일 때, 본 반도체 기억 장치(100)는 바이패스 모드에서 동작한다. 입력 데이터 D[i]가 입력 버퍼 회로(5)에 입력되면, 바이패스선(BPL)은, 입력된 입력 데이터 D[i]를 바이패스 신호 BPS로서 출력 버퍼 회로(6)에 전달한다. 바이패스 제어 신호 BP=1일 때에는, 라이트 제어 회로(2)로부터 출력되는 내부 바이패스 제어 신호 bp=1로 되고, 리드 제어 회로(3)로부터 출력되는 반전 바이패스 제어 신호/bp=0으로 된다. 그 결과, 신호 BA는 바이패스 신호 BPS와 동일한 논리 레벨을 나타내고, 신호 BB는 바이패스 신호 BPS와는 반대의 논리 레벨을 나타내게 된다. 그렇게 하면, 출력 선택 회로(61)로부터는 입력 데이터 D[i]가 출력 데이터 Q[i]로서 출력되고, 해당 출력 데이터 Q[i]는 출력 포트(OUTi)로부터 출력된다.

[0090] 이와 같이, 바이패스 모드에서는, 입력 데이터 D[i]가 바이패스선(BPL)에 의해 출력 버퍼 회로(6)에 전달되어, 해당 출력 버퍼 회로(6)로부터는 입력 데이터 D[i]가 출력 데이터 Q[i]로서 출력된다. 따라서, 전술한 도 6에 도시된 연산 회로(602, 603)와 같이, 본 반도체 기억 장치(100)의 출력 포트(OUT0~OUTn-1)에 접속된 연산 회로를 테스트할 때에, 테스트 데이터를 한번 메모리 셀 어레이(1)에 기입하고 그 후에 메모리 셀 어레이(1)로부터 테스트 데이터를 판독할 필요는 없어, 입력 포트(IN0~INn-1)에 입력되는 테스트 데이터를 직접 테스트 대상의 연산 회로에 공급할 수 있다. 그 결과, 테스트 대상 회로의 테스트를 간단하게 행할 수 있다.

[0091] 전술된 바와 같이, 본 제1 실시예에 따른 반도체 기억 장치(100)에서는, 전용의 바이패스선(BPL)을 형성함으로써 입력 데이터 D[i]를 출력 버퍼 회로(6)에 전달하고 있다. 따라서, 이 바이패스선(BPL)을 레이아웃 상 어떻게 배치할지가 문제로 된다. 본 제1 실시예에서는, 메모리 셀 어레이(1) 사이를 통과하도록 바이패스선(BPL)을 배치하고 있다.

[0092] 도 7은, 인접하는 2개 메모리 셀 어레이(1)에서의 레이아웃 구조를 도시하는 평면도이다. 도 7에서는 도면의 번잡함을 피하기 위해 본 발명에 관계되는 레이아웃 패턴을 주로 도시하고 있다. 또한 도 7에서의 영역(MCA)은, 하나의 메모리 셀(MC)이 형성되어 있는 영역을 나타내고 있고, 메모리 셀(MC)을 구성하는 트랜지스터의 활성 영역이나 게이트 전극이 배치된 영역이다. 이후, 영역(MCA)을 「메모리 셀 형성 영역(MCA)」이라고 한다. 또한, 메모리 셀 어레이(1)가 형성되어 있는 영역 내의 레이아웃 패턴에 대해서는, 모든 메모리 셀 어레이(1)에서 공통되어 있기 때문에, 도 7에서는, 좌측의 메모리 셀 어레이(1)가 형성되어 있는 영역 내의 레이아웃 패턴에 대해서는 판독 워드선(RWL[j], RWL[j+1]) 및 기입 워드선(WWL[j-1], WWL[j])만을 도시하고, 그 외에는 생략하고 있다.

[0093] 본 반도체 기억 장치(100)는, 서로 격충된 복수의 배선층을 갖고 있다. 그리고, 도 7에 도시된 바와 같이, 기입 비트선(WBA, WBB)과, 판독 비트선(RBA, RBB)과, 바이패스선(BPL)과, 전원 배선(VDDL)과, 접지 배선(VSSL)은, 그들의 배선층 중 동일한 배선층에 배치되어 있고, 각각 X축 방향을 따라서 연장하고 있다. 또한, 각 메모리 셀 어레이(1)에서는, 기입 비트선(WBA, WBB)과, 판독 비트선(RBA, RBB)과, 전원 배선(VDDL)과, 접지 배선(VSSL)은, 각 메모리 셀 형성 영역(MCA) 상에 배치되어 있다. 또한, 전원 배선(VDDL) 및 접지 배선(VSSL)은 메모리 셀 어레이(1) 내의 트랜지스터에 전원 전위 및 접지 전위를 각각 공급하는 배선이다.

[0094] 한편, 기입 워드선(WWL[31:0]) 및 판독 워드선(RWL[31:0])은 Y축 방향을 따라서 연장하고 있고, 기입 비트선(WBA, WBB) 등이 배치되어 있는 배선층보다 상층의 동일 배선층에 배치되어 있다. 이후, 기입 비트선(WBA, WBB) 등이 배치되어 있는 배선층을 「하층의 배선층」이라고 하고, 기입 워드선(WWL[31:0]) 등이 배치되어 있는 배선층을 「상층의 배선층」이라고 부른다.

[0095] 하층의 배선층에서는, 각 메모리 셀(MC)에 대응하여, 메모리 셀(MC)과 판독 워드선(RWL[j])을 전기적으로 접속하기 위한 배선(L1)과, 메모리 셀(MC)과 기입 워드선(WWL[j])을 전기적으로 접속하기 위한 배선(L2)이 더 형성되어 있다. 그리고, 배선(L1)과 판독 워드선(RWL[j])은 컨택트(C1)로 접속되어 있고, 배선(L2)과 기입 워드선(WWL[j])은 컨택트(C2)로 접속되어 있다.

[0096] 또한 하층의 배선층에서는, 메모리 셀 어레이(1)마다 2개의 접지 배선(VSSL)이 배치되어 있고, 각 메모리 셀 어레이(1)에서는, 배선(L2), 기입 비트선(WBA), 한 쪽의 접지 배선(VSSL), 기입 비트선(WBB), 전원 배선(VDDL), 판독 비트선(RBA), 다른 쪽의 접지 배선(VSSL), 판독 비트선(RBB) 및 배선(L1)이 이 순서로 Y축 방향을 따라서 배열되어 있다. 그리고, 도 7에 도시된 바와 같이, 임의의 조에서의 입력 버퍼 회로(5)부터 출력 버퍼 회로(6)까지 연장하는 바이패스선(BPL)은, 평면에서 볼 때의 레이아웃 구조에서, 해당 조에 속하는 메모리 셀 어레이

이(1)와, 거기에 인접하는 메모리 셀 어레이(1) 사이를 통과하여 배치되어 있다. 본 제1 실시예에서는, 바이패스선(BPL), 배선(L2), 기입 비트선(WBA)의 순서로 이들은 Y축 방향을 따라서 배치되어 있다. 또한, 전술한 바와 같이, n개의 메모리 셀 어레이(1)는 Y축 방향을 따라서 일렬로 배열되어 있기 때문에, 도 1에서 가장 아래에 위치하는 메모리 셀 어레이(1)에 대응하는 바이패스선(BPL)에 대해서는, 메모리 셀 어레이(1) 사이를 통과하지 않는다.

[0097] 이와 같이, 평면에서 볼 때의 레이아웃 구조에서, 인접하는 2개 메모리 셀 어레이(1) 사이를 통과하여 바이패스선(BPL)을 배치함으로써, 메모리 셀 어레이(1)가 형성되어 있는 영역 내의 레이아웃 구조에 영향받지 않고 해당 바이패스선(BPL)을 배선할 수 있다. 그 결과, 레이아웃 구조의 간소화가 가능해져, 장치의 소형화 및 제조 공정의 간략화가 가능해진다. 또한, 바이패스선(BPL)에 의해 출력 버퍼 회로(6)에까지 전달되는 바이패스 신호 BPS가, 메모리 셀 어레이(1)가 형성되어 있는 영역 내의 판독 비트선(RBA, RBB) 등의 배선의 전위로부터 받는 영향을 저감할 수 있다.

[0098] 또한, 입력 버퍼 회로(5)로부터 메모리 셀 어레이(1)까지 연장하는 기입 비트선(WBA, WBB)과, 메모리 셀 어레이(1)부터 출력 버퍼 회로(6)까지 연장하는 판독 비트선(RBA, RBB)과, 입력 버퍼 회로(5)부터 출력 버퍼 회로(6)까지 연장하는 바이패스선(BPL)을, 메모리 셀 어레이(1)가 입력 버퍼 회로(5)와 출력 버퍼 회로(6) 사이에 끼워진 레이아웃 구조에서 배치하는 경우에, 이들의 배선을 동일 배선층에 배치함으로써, 도 7에 도시된 바와 같이, 이를 배선 모두를 동일 방향(도 6에서는 X축 방향)을 따라서 연장시킬 수 있고, 이를 배선의 레이아웃 패턴의 형상을 간단하게 할 수 있다. 따라서, 레이아웃 구조가 간소화되어, 장치의 소형화나 제조 공정의 간략화가 가능해진다.

[0099] 또한 본 제1 실시예에서는, 바이패스선(BPL), 배선(L2), 기입 비트선(WBA)의 순으로 이들을 배치하였지만, 판독 비트선(RBB), 배선(L1), 바이패스선(BPL)의 순으로 이들을 Y축 방향을 따라서 배치하고, 해당 바이패스선(BPL)을 메모리 셀 어레이(1) 사이에 배치해도 된다.

[0100] 또한 도 8에 도시된 바와 같이, 도 7에 도시된 레이아웃 구조에서, 예를 들면, 도 7에 비하여 전원 배선(VDDL)의 패턴 폭을 좁게 하여, 해당 전원 배선(VDDL)과 판독 비트선(RBA) 사이에 바이패스선(BPL)을 배치하고, 평면에서 볼 때의 레이아웃 구조에서, 바이패스선(BPL)을 각 메모리 셀 형성 영역(MCA) 상을 통하여 배치해도 된다. 이와 같이, 메모리 셀 어레이(1)가 입력 버퍼 회로(5)와 출력 버퍼 회로(6) 사이에 끼워진 레이아웃 구조에서, 바이패스선(BPL), 기입 비트선(WBA, WBB), 판독 비트선(RBA, RBB), 전원 배선(VDDL) 및 접지 배선(VSSL)을, 각 메모리 셀 형성 영역(MCA) 상에 배치함으로써, 레이아웃 구조를 간소화할 수 있어, 장치의 소형화 및 제조 공정의 간략화가 가능해진다.

[0101] 또 도 9에 도시된 바와 같이, 도 7에 도시된 레이아웃 구조에서, 기입 워드선(WWL[31:0]) 등이 배치되어 있는 배선층보다 상층의 배선층에 바이패스선(BPL)을 배치함과 함께, 평면에서 볼 때의 레이아웃 구조에서 바이패스선(BPL)을 각 메모리 셀 형성 영역(MCA) 상에 배치해도 된다. 이와 같이, 바이패스선(BPL)을, 기입 워드선(WWL[31:0]) 등이 배치되어 있는 배선층과는 서로 다른 배선층에 배치함과 함께, 평면에서 볼 때의 레이아웃 구조에서 각 메모리 셀 형성 영역(MCA) 상에 배치함으로써, 도 7에 도시된 레이아웃 구조와 비교하여 레이아웃 면적을 축소할 수 있다. 또한 도 8에 도시된 레이아웃 구조와는 달리, 전원 배선(VDDL)의 패턴 폭을 작게 하지 않고 바이패스선(BPL)을 배치할 수 있기 때문에, 바이패스선(BPL)을 유연하게 배치할 수 있다.

[0102] 또한 도 9에 도시된 바와 같이, 바이패스선(BPL)은, 평면에서 볼 때의 레이아웃 구조에서, 전원 배선(VDDL)과 겹치도록 배치하는 쪽이 바람직하다. 이에 의해, 바이패스선(BPL)의 전위는 외부로부터의 노이즈의 영향을 받기 어려워져, 바이패스선(BPL)의 신호 레벨이 변동하는 것을 억제할 수 있다. 또한 바이패스선(BPL)의 동작에 의한 노이즈가, 하층의 기입 비트선(WBA, WBB) 및 판독 비트선(RBA, RBB)에 대하여 영향을 주기 어려워진다.

[0103] 도 9의 레이아웃 예에서는, 메모리 셀 형성 영역(MCA)에서 2개의 접지 배선(VSSL)과 1개의 전원 배선(VDDL)을 배치하고 있기 때문에, 전원 배선(VDDL)의 배선 폭을 접지 배선(VSSL)보다 굵게 하고 있지만, 메모리 셀 형성 영역(MCA)에서 1개의 접지 배선(VSSL)과 2개의 전원 배선(VDDL)을 배치해도 되고, 이 경우에는, 접지 배선(VSSL)의 배선 폭을 전원 배선(VDDL)보다 굵게 한다. 이와 같은 경우에는, 바이패스선(BPL)을 평면에서 볼 때의 레이아웃 구조에서 접지 배선(VSSL)과 겹치도록 배치하는 것이 좋다. 이 경우에도 마찬가지의 효과를 발생시킨다. 또한, 바이패스선(BPL)을 전원 배선(VDDL)이나 접지 배선(VSSL)의 하층의 배선층에 배치해도 된다.

[0104] (제2 실시예)

[0105] 도 10은 본 발명의 제2 실시예에 따른 반도체 기억 장치(110)의 레이아웃 구조를 모식적으로 도시하는 평면도이

다. 본 제2 실시예에 따른 반도체 기억 장치(110)는, 전술한 제1 실시예에 따른 반도체 기억 장치(100)에서, 라이트 제어 회로(2) 대신에 라이트 제어 회로(12)를, n개의 입력 버퍼 회로(5) 대신에 n개의 입력 버퍼 회로(15)를, n개의 출력 버퍼 회로(6) 대신에 n개의 출력 버퍼 회로(16)를 형성하고, 전용의 바이패스선(BPL)을 형성하지 않고 바이패스 기능을 실현한 것이다. 제1 실시예와 마찬가지로, 1개의 입력 버퍼 회로(15)와, 1개의 출력 버퍼 회로(16) 와, 1개의 메모리 셀 어레이(1)는 1개의 조를 이루고 있다. 라이트 제어 회로(12), 입력 버퍼 회로(15) 및 출력 버퍼 회로(16)의 레이아웃에 대해서는, 제1 실시예에 따른 라이트 제어 회로(2), 입력 버퍼 회로(5) 및 출력 버퍼 회로(6)와 마찬가지이다.

[0106] 도 11은 라이트 제어 회로(12)의 회로 구성을 도시하는 도면이다. 도 11에 도시된 바와 같이, 라이트 제어 회로(12)는, 전술한 라이트 제어 회로(2)에서, 인버터 회로(12a)를 더 형성하고, 버퍼 회로(2c) 대신에 OR 회로(12b) 및 AND 회로(12c, 12d)를 형성한 것이다. 인버터 회로(12a)는, 플립플롭 회로(2i)로부터 출력되는 내부 바이패스 제어 신호 bp를 반전하여 반전 바이패스 제어 신호/wbp로서 출력한다. AND 회로(12c)는, 플립플롭 회로(2g, 2h)의 Q 출력의 반전 신호의 논리곱을 연산하여 출력한다. OR 회로(12b)는, 플립플롭 회로(2i)의 Q바 출력의 반전 신호와 AND 회로(12c)의 출력의 논리합을 연산하여 출력한다. AND 회로(12d)는, OR 회로(12b)의 출력과, 지연 회로(2f)의 출력과, 기입 클록 신호 WCLK의 논리곱을 연산하여 반전 기입 제어 신호/wen으로서 출력한다. 제1 실시예에서는 버퍼 회로(2c)의 출력을 반전 기입 제어 신호/wen으로 하였지만, 본 제2 실시예에서는 AND 회로(12d)의 출력을 반전 기입 제어 신호/wen으로 하고 있다. 라이트 제어 회로(12)의 그 외의 구성에 대하여 라이트 제어 회로(2)와 마찬가지이기 때문에, 그 설명은 생략한다.

[0107] 도 12는, 임의의 하나의 조에서의 메모리 셀 어레이(1), 입력 버퍼 회로(15) 및 출력 버퍼 회로(16)의 회로 구성을 및 평면에서 볼 때의 레이아웃 구조를 도시하는 도면이다. 입력 버퍼 회로(15)는, 전술한 입력 버퍼 회로(5)에서, 인버터 회로(15a)와, OR 회로(15b, 15c)를 포함하는 데이터 절환 회로(150)를 더 형성한 것이다.

[0108] 데이터 절환 회로(150)는, 기입 모드 시에는 입력 데이터 D[i]를 반전 기입 제어 신호/wen에 기초하여 출력하고, 바이패스 모드 시에는 반전 기입 제어 신호/wen에 상관없이 입력 데이터 D[1]를 출력한다. 데이터 절환 회로(150)의 인버터 회로(15a)는, 라이트 제어 회로(12)로부터 출력되는 반전 바이패스 제어 신호/wbp를 반전하여 출력한다. OR 회로(15b, 15c)의 각각은, 인버터 회로(15a)의 출력과 버퍼 회로(5d)의 출력의 논리합을 연산하여 출력한다.

[0109] 본 제2 실시예에 따른 NAND 회로(5f)는, 제1 실시예와는 달리, OR 회로(15b)의 출력과 인버터 회로(5b)의 출력의 부정 논리곱을 연산하여 출력하고, NAND 회로(5e)는 OR 회로(15c)의 출력과 인버터 회로(5c)의 출력의 부정 논리곱을 연산하여 출력한다. 그리고, NAND 회로(5e, 5f)와, PMOS 트랜지스터(5g, 5i)와, NMOS 트랜지스터(5h, 5j)는, 데이터 절환 회로(150)로부터 출력되는 데이터를 받아서 기입 비트선(WBA, WBB)에 출력하는 비트선 드라이버 회로(151)를 구성하고 있다. 입력 버퍼 회로(15)의 그 외의 구성에 대하여 입력 버퍼 회로(5)와 마찬가지이기 때문에, 그 설명은 생략한다.

[0110] 본 제2 실시예에 따른 기입 비트선(WBA, WBB)은, 제1 실시예와는 달리, 메모리 셀 어레이(1)부터 출력 버퍼 회로(16)에까지 연장되어 있고, 출력 버퍼 회로(16) 내의 후술하는 AND 회로(16b) 및 NOR 회로(16a)에 각각 접속되어 있다.

[0111] 출력 버퍼 회로(16)는, 전술한 출력 버퍼 회로(6)에서, 인버터 회로(6a) 및 AND 회로(6c) 대신에 AND 회로(16b)를 형성하고, AND 회로(6d) 대신에 NOR 회로(16a)를 형성한 것이다. AND 회로(16b)는, 기입 비트선(WBA)에 의해 전달되는 신호와, 리드 제어 회로(3)로부터 출력되는 반전 바이패스 제어 신호/bp의 반전 신호의 논리곱을 연산하여 신호 BA로서 출력한다. NOR 회로(16a)는, 기입 비트선(WBB)에 의해 전달되는 신호의 반전 신호와, 리드 제어 회로(3)로부터 출력되는 반전 바이패스 제어 신호/bp의 부정 논리합을 연산하여 신호 BB로서 출력한다.

[0112] 본 제2 실시예에 따른 출력 버퍼 회로(16)에서는, 인버터 회로(6b)와, AND 회로(6e, 6f, 16b)와, OR 회로(6g) 와, NOR 회로(6h, 16a)로, 출력 선택 회로(160)를 구성하고 있다. 출력 선택 회로(160)는, 팬독 모드 시에는 센스 앤프 회로(60)로부터 출력되는 데이터를 출력 포트(OUTi)에 출력하고, 바이패스 모드 시에는 기입 비트선(WBA, WBB)에 의해 전달되는 데이터를 출력 포트(OUTi)에 출력한다. 출력 버퍼 회로(16)의 그 외의 구성에 대하여 출력 버퍼 회로(6)와 마찬가지이기 때문에, 그 설명은 생략한다.

[0113] 본 제2 실시예에서는, 도 12에 도시된 바와 같이, 평면에서 볼 때의 레이아웃 구조에서, 데이터 절환 회로(150)와, 비트선 드라이버 회로(151)와, 메모리 셀 어레이(1)와, 센스 앤프 회로(60)와, 출력 선택 회로(160)가, 이 순으로 X축 방향을 따라서 일렬로 배치되어 있다. 데이터의 흐름을 고려하면 쓸데없는 배선이 불필요해지기

때문에 이러한 순서로 배치하는 것이 바람직하지만, 레이아웃의 제한 등의 이유로부터 이 순서로 배치할 수 없는 경우에는, 다른 순서로 배치해도 된다.

[0114] 다음으로, 본 제2 실시예에 따른 반도체 기억 장치(110)의 동작에 대하여 설명한다. 제1 실시예와 마찬가지로, 바이패스 제어 신호 BP=0일 때 본 반도체 기억 장치(110)는 통상 동작 모드에서 동작한다. 바이패스 제어 신호 BP=0일 때, 라이트 제어 회로(12)로부터 출력되는 반전 바이패스 제어 신호/wbp는 "1"로 된다. 그렇게 하면, 입력 버퍼 회로(15)의 데이터 절환 회로(150)에서는, 인버터 회로(15a)의 출력이 "0"으로 된다.

[0115] 한편, 메모리 셀 어레이(1)에 입력 데이터 D[i]가 기입되는 기입 모드에서는, 기입 제어 신호 WEN 및 기입 셀 선택 제어 신호 WCEN은 모두 "0"으로 된다. 그렇게 하면, 라이트 제어 회로(12)로부터는 반전 기입 제어 신호 /wen으로서 정극성의 펄스 신호가 출력됨과 함께, 라이트 제어 회로(12) 및 디코더 회로(4)의 기능에 의해, 기입 어ドレス 신호 WA[4:0]의 값에 따라 기입 워드선 선택 신호 WWS[31:0] 중 어느 하나가 "1"로 되어 기입 워드선(WWL[31:0]) 중 어느 하나가 활성화된다. 인버터 회로(15a)의 출력이 "0"의 상태에서 반전 기입 제어 신호 /wen이 "1"로 되면, 데이터 절환 회로(150)로부터 입력 데이터 D[i]이 출력되어, 활성화된 기입 워드선(WWL[j])에 접속된 메모리 셀(MC)에 입력 데이터 D[i]가 기입된다.

[0116] 메모리 셀 어레이(1)로부터 데이터가 판독되는 판독 모드에서는, 제1 실시예와 마찬가지로, 판독 셀 선택 제어 신호 RCEN이 "0"으로 되고, 리드 제어 회로(3)로부터는 내부 판독 제어 신호 rpc로서 정극성의 펄스 신호가 출력됨과 함께, 판독 워드선(RWL[31:0]) 중 어느 하나가 활성화된다. 판독 워드선(RWL[j])이 활성화하면 그것에 접속된 메모리 셀(MC)로부터 데이터가 판독되어, 판독 비트선(RBA, RBB)에 의해 출력 버퍼 회로(16)의 센스 앰프 회로(60)에 전달된다.

[0117] 내부 판독 제어 신호 rpc=1로 하면, 메모리 셀(MC)로부터 판독된 데이터는 센스 앰프 회로(60)에서 증폭된다. 바이패스 제어 신호 BP=0일 때에는, 제1 실시예와 마찬가지로 리드 제어 회로(3)로부터 출력되는 반전 바이패스 제어 신호/bp=1로 되고, 신호 BA, BB는 모두 "0"으로 된다. 따라서, 센스 앰프 회로(60)에서 증폭된 메모리 셀(MC)로부터의 데이터가 출력 선택 회로(160)로부터 출력 데이터 Q[i]로서 출력되어, 해당 출력 데이터 Q[i]는 출력 포트(OUTi)로부터 출력된다.

[0118] 다음으로 바이패스 모드에 대하여 설명한다. 제1 실시예와 마찬가지로, 바이패스 제어 신호 BP=1일 때, 본 반도체 기억 장치(110)는 바이패스 모드에서 동작한다. 바이패스 제어 신호 BP=1일 때, 라이트 제어 회로(12)로부터 출력되는 반전 바이패스 제어 신호/wbp는 "0"으로 된다. 그렇게 하면, 입력 버퍼 회로(15)의 데이터 절환 회로(150)에서는, 인버터 회로(15a)의 출력이 "1"로 되고, OR 회로(15b, 15c)의 출력은 반전 기입 제어 신호 /wen의 값에 상관없이 항상 "1"로 된다. 따라서, 바이패스 모드 시에는, 비트선 드라이버 회로(151)에 의해, 기입 비트선(WBA)에는 입력 데이터 D[i]와 동일한 논리 레벨의 신호가 항상 공급되고, 기입 비트선(WBB)에는 입력 데이터 D[i]와는 반대의 논리 레벨을 나타내는 신호가 항상 공급된다.

[0119] 바이패스 제어 신호 BP=1일 때에는, 리드 제어 회로(3)로부터 출력되는 반전 바이패스 제어 신호/bp=0으로 된다. 그 결과, 신호 BA는 기입 비트선(WBA)에 의해 전달되는 신호와 동일한 논리 레벨을 나타내고, 신호 BB는 기입 비트선(WBB)에 의해 전달되는 신호와 동일한 논리 레벨을 나타나게 된다. 한편, 바이패스 제어 신호 BP=1일 때에는, 내부 판독 제어 신호 rpc는 "0"으로 된다. 그렇게 하면, 센스 앰프 회로(60)로부터의 출력은 항상 "1"로 된다. 따라서, 출력 선택 회로(160)로부터는 입력 데이터 D[i]가 출력되고, 출력 포트(OUTi)로부터 입력 데이터 D[i]가 출력된다.

[0120] 이와 같이, 본 제2 실시예에 따른 반도체 기억 장치(110)에서는, 본래의 기능을 완수하기 위해 원래 입력 버퍼 회로(15)로부터 메모리 셀 어레이(1)에까지 연장하고 있었던 기입 비트선(WBA, WBB)을 출력 버퍼 회로(16)에까지 연장함으로써, 입력 데이터 D[i]를 출력 버퍼 회로(16)에까지 전달하여, 입력 데이터 D[i]를 그대로 출력 포트(OUTi)에 출력하는 것을 가능하게 하고 있다. 이렇게, 기입 비트선(WBA, WBB)을 이용하여 바이패스 기능을 실현함으로써, 기입 비트선(WBA, WBB)과는 별도로 형성된 바이패스선(BPL)을 이용하여 바이패스 기능을 실현하고 있는 제1 실시예에 따른 반도체 기억 장치(100)보다, 레이아웃 구조를 간소화할 수 있다. 따라서, 장치의 소형화나 제조 공정의 간략화가 가능해진다.

[0121] 또한, 메모리 셀 어레이(1)가 입력 버퍼 회로(15)와 출력 버퍼 회로(16)에 삽입된 레이아웃 구조가 아니어도 본 실시예는 적용할 수 있다.

[0122] (제3 실시예)

[0123] 도 13 내지 도 16은 본 발명의 제3 실시예에 따른 반도체 기억 장치의 회로 구성을 도시하는 도면이다. 본 제3

실시예에 따른 반도체 기억 장치는, 전술한 제2 실시예에 따른 반도체 기억 장치(110)에서, n개의 메모리 셀 어레이(1) 대신에 n개의 메모리 셀 어레이(21)를, 라이트 제어 회로(12) 대신에 라이트 제어 회로(22)를, 리드 제어 회로(3) 대신에 리드 제어 회로(23)를, 디코더 회로(4) 대신에 디코더 회로(24)를, n개의 입력 버퍼 회로(15) 대신에 n개의 입력 버퍼 회로(25)를, n개의 출력 버퍼 회로(16) 대신에 n개의 출력 버퍼 회로(26)를 각각 형성한 것이다. 제2 실시예와 마찬가지로, 하나의 입력 버퍼 회로(25)와, 1개의 출력 버퍼 회로(26)와, 하나의 메모리 셀 어레이(21)는 하나의 조를 이루고 있다. 또한, 메모리 셀 어레이(21), 라이트 제어 회로(22), 리드 제어 회로(23), 디코더 회로(24), 입력 버퍼 회로(25) 및 출력 버퍼 회로(26)의 레이아웃에 대해서는, 제2 실시예에 따른 메모리 셀 어레이(1), 라이트 제어 회로(12), 리드 제어 회로(3), 디코더 회로(4), 입력 버퍼 회로(15) 및 출력 버퍼 회로(16)와 마찬가지이다.

[0124] 도 13은 라이트 제어 회로(22)의 회로 구성을 도시하는 도면이다. 라이트 제어 회로(22)는, 전술한 라이트 제어 회로(2, 12)와 마찬가지로, 본 반도체 기억 장치의 외부로부터 공급되는 기입 클록 신호 WCLK에 동기하여 동작하고, 입력 버퍼 회로(25) 및 메모리 셀 어레이(21)의 동작을 제어하여, 본 반도체 기억 장치에서의 입력 데이터 D[n-1:0]의 메모리 셀 어레이(21)에의 기입을 제어한다. 도 13에 도시된 바와 같이, 라이트 제어 회로(22)는, 인버터 회로(22a~22i)와, OR 회로(22j)와, 플립플롭 회로(22k~22n)와, 타이밍 조정 회로(220)와, 내부 어드레스 생성 회로(221)를 포함하고 있다.

[0125] 인버터 회로(22a)는 기입 클록 신호 WCLK를 반전하여 출력하고, 인버터 회로(22b)는 인버터 회로(22a)의 출력을 반전하여 출력한다. 인버터 회로(22b)의 출력은, 라이트 제어 회로(22)가 포함하는 모든 플립플롭 회로의 CLK 입력 단자에 입력된다. 플립플롭 회로(22k~22n)의 D 입력 단자에는, 각각 바이패스 제어 신호 BPE, 기입 어드레스 신호 WA[0], 기입 제어 신호 WEN 및 기입 셀 선택 제어 신호 WCEN이 입력된다. 인버터 회로(22c)는 플립플롭 회로(22k)의 Q 출력을 반전하여 반전 바이패스 제어 신호/bpe로서 출력하고, 인버터 회로(22d)는 반전 바이패스 제어 신호/bpe를 반전하여 내부 바이패스 제어 신호 bpe로서 출력한다. 인버터 회로(22e)는 플립플롭 회로(221)의 Q 출력을 반전하여 출력하고, 인버터 회로(22f)는 인버터 회로(22e)의 출력을 반전하여 기입 셀 1 선택 신호 wy1로서 출력한다. 인버터 회로(22g)는 인버터 회로(22e)의 출력을 반전하여 출력하고, 인버터 회로(22h)는 인버터 회로(22g)의 출력을 반전하여 기입 셀 0 선택 신호 wy0으로서 출력한다.

[0126] 타이밍 조정 회로(220)는, 인버터 회로(220a~220c)와, NAND 회로(220d~220g)와, 지연 회로(220h)를 포함하고 있다. 인버터 회로(220a)는 기입 클록 신호 WCLK를 반전하여 출력하고, 인버터 회로(220b)는 인버터 회로(220a)의 출력을 반전하여 출력하고, 인버터 회로(220c)는 인버터 회로(220b)의 출력을 반전하여 신호 Z로서 출력한다. NAND 회로(220d)는 기입 클록 신호 WCLK와, 신호 Z와, 플립플롭 회로(22n)의 Q바 출력의 부정 논리곱을 연산하여 신호 A로서 출력한다. NAND 회로(220e)는, 신호 A와 NAND 회로(220f)로부터 출력되는 신호 C와의 부정 논리곱을 연산하여 신호 B로서 출력한다. 지연 회로(220h)는 신호 B을 소정 시간 지연시켜 신호 BD로서 출력한다. NAND 회로(220g)는 신호 B와 신호 BD의 부정 논리곱을 연산하여 신호 D로서 출력한다. NAND 회로(220f)는 신호 D와 신호 B의 부정 논리곱을 연산하여 신호 C로서 출력한다.

[0127] 인버터 회로(22i)는 타이밍 조정 회로(220)로부터 출력되는 신호 B를 반전하여 출력한다. OR 회로(22j)는 플립플롭 회로(22m)의 Q 출력과 인버터 회로(22i)의 출력의 논리합을 연산하여 내부 기입 제어 신호 wen으로서 출력한다.

[0128] 내부 어드레스 생성 회로(221)는, AND 회로(221a~221h)와, 플립플롭 회로(221i~221l)를 포함하고 있다. 플립플롭 회로(221i~221l)의 D 입력 단자에는, 각각 기입 어드레스 신호 WA[3], WA[4], WA[1], WA[2]가 입력된다. AND 회로(221a)는, 타이밍 조정 회로(220)로부터 출력되는 신호 B 및 플립플롭 회로(221i, 221j)의 Q바 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAA[2]로서 출력한다. AND 회로(221b)는, 신호 B와, 플립플롭 회로(221i)의 Q 출력과, 플립플롭 회로(221j)의 Q바 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAA[1]로서 출력한다. AND 회로(221c)는, 신호 B와, 플립플롭 회로(221i)의 Q바 출력과, 플립플롭 회로(221j)의 Q 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAA[2]로서 출력한다. AND 회로(221d)는, 신호 B 및 플립플롭 회로(221i, 221j)의 Q 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAA[3]로서 출력한다.

[0129] AND 회로(221e)는, 반전 바이패스 제어 신호/bpe 및 플립플롭 회로(221k, 221l)의 Q바 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAB[0]으로서 출력한다. AND 회로(221f)는, 반전 바이패스 제어 신호/bpe와, 플립플롭 회로(221k)의 Q 출력과, 플립플롭 회로(221l)의 Q바 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAB[1]로서 출력한다. AND 회로(221g)는, 반전 바이패스 제어 신호/bpe와, 플립플롭 회로(221k)의 Q바 출력과, 플립플롭 회로(221l)의 Q 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAB[2]로서 출력한다. AND 회로

(221h)는, 반전 바이패스 제어 신호/bpe 및 플립플롭 회로(221k, 221l)의 Q 출력의 논리곱을 연산하여 내부 기입 어드레스 신호 WAB[3]로서 출력한다.

[0130] 도 14는 리드 제어 회로(23)의 구성을 도시하는 회로도이다. 리드 제어 회로(23)는, 전술한 리드 제어 회로(3)와 마찬가지로, 본 반도체 기억 장치의 외부로부터 공급되는 판독 클록 신호 RCLK에 동기하여 동작하고, 출력 버퍼 회로(26) 및 메모리 셀 어레이(21)의 동작을 제어하여, 본 반도체 기억 장치에서의 메모리 셀 어레이(21)로부터의 데이터의 판독을 제어한다. 도 14에 도시된 바와 같이, 리드 제어 회로(23)는, 인버터 회로(23a~23e)와, AND 회로(23f, 23g)와, 버퍼 회로(23h)와, 플립플롭 회로(23i, 23j)와, 전술한 타이밍 조정 회로(220) 및 내부 어드레스 생성 회로(221)를 포함하고 있다.

[0131] 인버터 회로(23a)는 판독 클록 신호 RCLK를 반전하여 출력하고, 인버터 회로(23b)는 인버터 회로(23a)의 출력을 반전하여 출력한다. 인버터 회로(23b)의 출력은, 리드 제어 회로(23)가 포함하는 모든 플립플롭 회로의 CLK 입력 단자에 입력된다. 플립플롭 회로(23i, 23j)의 D 입력 단자에는, 각각 판독 어드레스 신호 RA[0] 및 판독 셀 선택 제어 신호 RCEN이 입력된다.

[0132] 리드 제어 회로(23)에서의 타이밍 조정 회로(220)에서는, 인버터 회로(220a)에는 판독 클록 신호 RCLK가 입력되고, NAND 회로(220d)에는 판독 클록 신호 RCLK, 플립플롭 회로(23j)의 Q바 출력 및 인버터 회로(220c)의 출력이 입력된다. 리드 제어 회로(23)에서의 타이밍 조정 회로(220)의 그 외의 구성은 라이트 제어 회로(22)의 타이밍 조정 회로(220)와 마찬가지이다. 버퍼 회로(23h)는, 리드 제어 회로(23)의 타이밍 조정 회로(220)로부터 출력되는 신호 B를 그대로의 논리 레벨에서 내부 판독 제어 신호 rpc로서 출력한다.

[0133] 리드 제어 회로(23)에서의 내부 어드레스 생성 회로(221)에서는, 플립플롭 회로(221i~221l)의 D 입력 단자에는 판독 어드레스 신호 RA[3], RA[4], RA[1], RA[2]가 각각 입력된다. 또한, AND 회로(221a~221d)의 각각에는, 리드 제어 회로(23)의 타이밍 조정 회로(220)로부터 출력되는 신호 B가 입력된다. 그리고, AND 회로(221e~221h)의 각각에는 반전 바이패스 제어 신호/bpe는 입력되어 있지 않고, AND 회로(221e)는 플립플롭 회로(221k, 221l)의 Q바 출력의 논리곱을 연산하여 내부 판독 어드레스 신호 RAB[0]으로서 출력하고, AND 회로(221f)는 플립플롭 회로(221k)의 Q 출력과 플립플롭 회로(221l)의 Q바 출력의 논리곱을 연산하여 내부 판독 어드레스 신호 RAB[1]로서 출력하고, AND 회로(221g)는 플립플롭 회로(221k)의 Q바 출력과 플립플롭 회로(221l)의 Q 출력의 논리곱을 연산하여 내부 판독 어드레스 신호 RAB[2]로서 출력하고, AND 회로(221h)는 플립플롭 회로(221k, 221l)의 Q 출력의 논리곱을 연산하여 내부 판독 어드레스 신호 RAB[3]으로서 출력한다. 리드 제어 회로(23)에서의 내부 어드레스 생성 회로(221)의 그 외의 구성은 라이트 제어 회로(22)의 내부 어드레스 생성 회로(221)와 마찬가지이다.

[0134] 인버터 회로(23c)는, 리드 제어 회로(23)의 타이밍 조정 회로(220)로부터 출력되는 신호 D를 반전하여 출력한다. 인버터 회로(23e)는, 라이트 제어 회로(22)로부터 출력되는 반전 바이패스 제어 신호/bpe를 반전하여 내부 바이패스 제어 신호 rbpe로서 출력한다. 인버터 회로(23d)는 플립플롭 회로(23i)의 Q 출력을 반전하여 출력한다. AND 회로(23f)는, 반전 바이패스 제어 신호/bpe 및 인버터 회로(23c, 23d)의 출력의 논리곱을 연산하여 판독 셀 0 선택 신호 ry0으로서 출력한다. AND 회로(23g)는, 반전 바이패스 제어 신호/bpe와, 인버터 회로(23c)의 출력과, 플립플롭 회로(23i)의 Q 출력의 논리곱을 연산하여 판독 셀 1 선택 신호 ry1로서 출력한다.

[0135] 도 15는 디코더 회로(24)의 구성을 도시하는 블록도이다. 도 15에 도시된 바와 같이, 디코더 회로(24)는, 16개의 AND 회로(24aa)를 포함하는 기입 워드선 디코더 회로(24a)와, 16개의 AND 회로(24bb)를 포함하는 판독 워드선 디코더 회로(24b)를 포함하고 있다. 기입 워드선 디코더 회로(24a)는, 내부 기입 어드레스 신호 WAA[0]과, 내부 기입 어드레스 신호 WAB[0]~WAB[3]의 논리곱을 연산하여, 각각 기입 워드선 선택 신호 WWS[0]~WWS[3]로서 출력하고, 내부 기입 어드레스 신호 WAA[1]과, 내부 기입 어드레스 신호 WAB[0]~WAB[3]의 논리곱을 연산하여, 각각 기입 워드선 선택 신호 WWS[4]~WWS[7]로서 출력한다. 또한 기입 워드선 디코더 회로(24a)는, 내부 기입 어드레스 신호 WAA[2]와, 내부 기입 어드레스 신호 WAB[0]~WAB[3]의 논리곱을 연산하여, 각각 기입 워드선 선택 신호 WWS[8]~WWS[11]로서 출력하고, 내부 기입 어드레스 신호 WAA[3]과, 내부 기입 어드레스 신호 WAB[0]~WAB[3]의 논리곱을 연산하여, 각각 기입 워드선 선택 신호 WWS[12]~WWS[15]로서 출력한다. 또한, 16비트의 기입 워드선 선택 신호 WWS[15:0]은, 기입 워드선 디코더 회로(24a) 내의 16개의 AND 회로(24aa)로부터 각각 출력된다.

[0136] 마찬가지로 하여, 판독 워드선 디코더 회로(24b)는, 내부 판독 어드레스 신호 RAA[0]과, 내부 판독 어드레스 신호 RAB[0]~RAB[3]의 논리곱을 연산하여, 각각 판독 워드선 선택 신호 RWS[0]~RWS[3]로서 출력하고, 내부 판독 어드레스 신호 RAA[1]과, 내부 판독 어드레스 신호 RAB[0]~RAB[3]의 논리곱을 연산하여, 각각 판독 워드선 선택

신호 RWS[4]~RWS[7]로서 출력한다. 또한 판독 워드선 디코더 회로(24b)는, 내부 판독 어드레스 신호 RAA[2]와, 내부 판독 어드레스 신호 RAB[0]~RAB[3]의 논리곱을 연산하여, 각각 판독 워드선 선택 신호 RWS[8]~RWS[11]로서 출력하고, 내부 판독 어드레스 신호 RAA[3]과, 내부 판독 어드레스 신호 RAB[0]~RAB[3]의 논리곱을 연산하여, 각각 판독 워드선 선택 신호 RWS[12]~RWS[15]로서 출력한다. 또한, 16 비트의 판독 워드선 선택 신호 RWS[15:0]은, 판독 워드선 디코더 회로(24b) 내의 16개의 AND 회로(24bb)로부터 각각 출력된다.

[0137] 도 16은, 임의의 하나의 조에서의 메모리 셀 어레이(21), 입력 버퍼 회로(25) 및 출력 버퍼 회로(26)의 회로 구성 및 평면에서 볼 때의 레이아웃 구조를 도시하는 도면이다. 입력 버퍼 회로(25)는, 입력 포트(INi)에 입력되는 입력 데이터 D[i]를 받아, 라이트 제어 회로(22)로부터 출력되는 반전 기입 제어 신호/wen, 내부 바이패스 제어 신호 bpe, 기입 셀 0 선택 신호 wy0 및 기입 셀 1 선택 신호 wy1에 기초하여 해당 입력 데이터 D[i]를 메모리 셀 어레이(21)에 출력한다. 도 16에 도시된 바와 같이, 입력 버퍼 회로(25)는, 플립플롭 회로(25a)와, NOR 회로(25b)와, AND 회로(25c, 25d)와, 인버터 회로(25e)와, 2개 데이터 출력 제어 회로(250)를 포함하고 있다. 플립플롭 회로(25a)의 D 입력 단자에는 입력 데이터 D[i]가 입력되고, 그 Q 출력은 데이터 d[i]로서 출력된다. 또한, 플립플롭 회로(25a)의 CLK 입력 단자에는 라이트 제어 회로(22)의 인버터 회로(22b)의 출력이 입력된다. NOR 회로(25b)는, 내부 바이패스 제어 신호 bpe와, 기입 셀 1 선택 신호 wy1의 부정 논리합을 연산하여 출력한다. AND 회로(25c)는, NOR 회로(25b)의 출력의 반전 신호와, 내부 기입 제어 신호 wen의 반전 신호의 논리곱을 연산하여 출력한다. AND 회로(25d)는, 내부 바이패스 제어 신호 bpe의 반전 신호와, 기입 셀 0 선택 신호 wy0과, 내부 기입 제어 신호 wen의 반전 신호의 논리곱을 연산하여 출력한다.

[0138] 데이터 출력 제어 회로(250)의 각각은, 인버터 회로(250a~250c)와, 트랜스미션(transmission) 게이트(250d, 250e)와 PMOS 트랜지스터(250f~250h)를 포함하고 있다. 각 데이터 출력 제어 회로(250)에서는, 인버터 회로(250a)는 데이터 d[i]를 반전하여 출력하고, 인버터 회로(250b)는 인버터 회로(250a)의 출력을 반전하여 트랜스미션 게이트(250d)의 입력 단자에 입력한다. 또한 각 데이터 출력 제어 회로(250)에서는, 인버터 회로(250a)의 출력은 트랜스미션 게이트(250e)의 입력 단자에 입력되고, 인버터 회로(250c)의 출력은 각 트랜스미션 게이트(250d, 250e)의 부논리의 제어 단자에 입력된다.

[0139] 한 쪽의 데이터 출력 제어 회로(250)에서는, 인버터 회로(250c)의 입력 단자와, 트랜스미션 게이트(250d, 250e)의 정논리 제어 단자 AND 회로(25c)의 출력이 입력되고, 트랜스미션 게이트(250d, 250e)의 출력 단자는, 각각 기입 비트선(WBA1, WBB1)에 접속되어 있다.

[0140] 다른 쪽의 데이터 출력 제어 회로(250)에서는, 인버터 회로(250c)의 입력 단자와, 트랜스미션 게이트(250d, 250e)의 정논리의 제어 단자에 AND 회로(25d)의 출력이 입력되고, 트랜스미션 게이트(250d, 250e)의 출력 단자는, 각각 기입 비트선(WBA0, WBB0)에 접속되어 있다.

[0141] 각 데이터 출력 제어 회로(250)에서는, PMOS 트랜지스터(250f~250h)의 소스 단자에는 전원 진위가 인가되고, 각 PMOS 트랜지스터(250f~250h)의 게이트 단자에는 인버터 회로(25e)의 출력이 입력된다.

[0142] 한 쪽의 데이터 출력 제어 회로(250)에서는, PMOS 트랜지스터(250f)의 드레인 단자와 PMOS 트랜지스터(250g)의 소스 단자가 기입 비트선(WBA1)에 접속되어 있고, PMOS 트랜지스터(250g, 250h)의 드레인 단자가 기입 비트선(WBB1)에 접속되어 있다. 다른 쪽의 데이터 출력 제어 회로(250)에서는, PMOS 트랜지스터(250f)의 드레인 단자와 PMOS 트랜지스터(250g)의 소스 단자가 기입 비트선(WBA0)에 접속되어 있고, PMOS 트랜지스터(250g, 250h)의 드레인 단자가 기입 비트선(WBB0)에 접속되어 있다.

[0143] 이 예에서는, 1개의 메모리 셀 어레이(21)는, 16개의 메모리 셀(MC)로 이루어지는 메모리 셀 열(MCG0)과, 동일하게 16개의 메모리 셀(MC)로부터 이루어지는 메모리 셀(MCG1)을 포함하고 있다. 각 메모리 셀 열(MCG0, MCG1)에서는, 16개의 메모리 셀(MC)이, 평면에서 볼 때의 레이아웃 구조에서 X축 방향을 따라서 일렬로 배열되어 있다. 그리고, 메모리 셀 열(MCG0)과 메모리 셀 열(MCG1)은 평면에서 볼 때의 레이아웃 구조에서 Y축 방향을 따라서 배열되고, 1개의 메모리 셀 어레이(21) 전체에서는, 32개의 메모리 셀(MC)이, X축 방향으로 16개, Y축 방향으로 2개 배열되는 행렬 형상으로 배열되어 있다. 따라서, n개의 메모리 셀 어레이(21) 전체에서는, 메모리 셀(MC)은, X축 방향으로 16개, Y축 방향으로 (2×n)개 배열되는 행렬 형상으로 배열되어 있다.

[0144] 메모리 셀 어레이(21) 중 각 메모리 셀(MC)은, NMOS 트랜지스터(210a~210d)와, 인버터 회로(210e, 210f)를 포함하고 있다. 메모리 셀(MC)의 각각에서는, NMOS 트랜지스터(210a, 210c)의 소스 단자, 인버터 회로(210e)의 입력 단자 및 인버터 회로(210f)의 출력 단자가 서로 접속되어 있고, NMOS 트랜지스터(210b, 210d)의 소스 단자, 인버터 회로(210e)의 출력 단자 및 인버터 회로(210f)의 입력 단자가 서로 접속되어 있다.

- [0145] 메모리 셀 열(MCG0)의 각 메모리 셀(MC)에서는, NMOS 트랜지스터(210a)의 드레인 단자는 판독 비트선(RBA0)에 접속되어 있고, NMOS 트랜지스터(210b)의 드레인 단자는 판독 비트선(RBB0)에 접속되어 있다. 한편, 메모리 셀 열(MCG1)의 각 메모리 셀(MC)에서는, NMOS 트랜지스터(210a)의 드레인 단자는 판독 비트선(RBA1)에 접속되어 있고, NMOS 트랜지스터(210b)의 드레인 단자는 판독 비트선(RBB1)에 접속되어 있다.
- [0146] 또한 메모리 셀 열(MCG0)의 각 메모리 셀(MC)에서는, NMOS 트랜지스터(210c)의 드레인 단자는 기입 비트선(WBA0)에 접속되어 있고, NMOS 트랜지스터(210d)의 드레인 단자는 기입 비트선(WBB0)에 접속되어 있다. 한편, 메모리 셀 열(MCG1)의 각 메모리 셀(MC)에서는, NMOS 트랜지스터(210c)의 드레인 단자는 기입 비트선(WBA1)에 접속되어 있고, NMOS 트랜지스터(210d)의 드레인 단자는 기입 비트선(WBB1)에 접속되어 있다.
- [0147] 메모리 셀 열(MCG0, MCG1)의 각각에서는, 16개의 메모리 셀(MC)에서의 NMOS 트랜지스터(210c, 210d)의 게이트 단자에 16개의 기입 워드선(WWL[15:0])이 각각 접속되어 있고, 이들 기입 워드선(WWL[0]~WWL[15])에는 디코더 회로(24)로부터 출력되는 기입 워드선 선택 신호 WWS[0]~WWS[15]가 각각 공급된다. 또한, 메모리 셀 열(MCG0, MCG1)의 각각에서는, 16개의 메모리 셀(MC)에서의 NMOS 트랜지스터(210a, 210b)의 게이트 단자에 16개의 판독 워드선(RWL[15:0])이 각각 접속되어 있고, 이들 판독 워드선(RWL[0]~RWL[15])에는 디코더 회로(24)로부터 출력되는 판독 워드선 선택 신호 RWS[0]~RWS[15]가 각각 공급된다. 그리고, 제2 실시예와 마찬가지로, 기입 워드선(WWL[j])과 판독 워드선(RWL[j])은 쌍을 이루고 있고, 동일한 메모리 셀(MC)에 접속되어 있다.
- [0148] 본 제3 실시예에 따른 반도체 기억 장치에서는, 제2 실시예와 마찬가지로, 입력 버퍼 회로(25)로부터 메모리 셀 어레이(21)의 메모리 셀 열(MCG1)까지 연장하는 기입 비트선(WBA1, WBB1)이, 메모리 셀 열(MCG1)부터 출력 버퍼 회로(26)에까지 연장되어 있고, 해당 출력 버퍼 회로(26)에 접속되어 있다. 또한, 입력 버퍼 회로(25)로부터 메모리 셀 열(MCG0)까지 연장하는 기입 비트선(WBA0, WBB0)은 출력 버퍼 회로(26)에까지 연장되어 있지 않고, 출력 버퍼 회로(26)에는 접속되어 있지 않다.
- [0149] 출력 버퍼 회로(26)는, 받은 데이터를, 리드 제어 회로(23)로부터 출력되는 내부 판독 제어 신호 rpc, 내부 바이패스 제어 신호 rbpe, 판독 셀 0 선택 신호 ry0 및 판독 셀 1 선택 신호 ry1에 기초하여 출력 데이터 Q[i]로서 출력 포트(OUTi)에 출력한다. 도 16에 도시된 바와 같이, 출력 버퍼 회로(26)는, 2개의 래치 회로(260)와, 트라이스테йт(tri-state) 인버터 회로(26a~26c)와, 인버터 회로(26d~26f)와, OR 회로(26g)와, NAND 회로(26h)를 포함하고 있다. 각 래치 회로(260)는, 3개의 PMOS 트랜지스터(260a~260c)와, NAND 회로(260d)와, OR 회로(260e)를 포함하고 있다. 각 래치 회로(260)에서는, PMOS 트랜지스터(260a, 260c)의 소스 단자에는 전원 전위가 인가되고, PMOS 트랜지스터(260a~260c)의 게이트 단자의 각각에는 리드 제어 회로(23)로부터 출력되는 내부 판독 제어 신호 rpc가 입력된다.
- [0150] 한 쪽의 래치 회로(260)에서는, NAND 회로(260d)의 한 쪽의 입력 단자에 메모리 셀 열(MCG0)로부터 연장되기 때문에 연장되는 판독 비트선(RBA0)이 접속되어 있고, 해당 NAND 회로(260d)는 판독 비트선(RBA0)이 전달하는 신호와, OR 회로(260e)의 출력의 부정 논리곱을 연산하여 신호 QC로서 출력한다. 또한 해당 한 쪽의 래치 회로(260)에서는, OR 회로(260e)의 한 쪽의 입력 단자에 메모리 셀 열(MCG0)로부터 연장되는 판독 비트선(RBB0)이 접속되어 있고, 해당 OR 회로(260e)는 판독 비트선(RBB0)이 전달하는 신호의 반전 신호와, AND 회로(260d)의 출력의 반전 신호의 논리합을 연산하여 출력한다.
- [0151] 다른 쪽의 래치 회로(260)에서는, NAND 회로(260d)의 한 쪽의 입력 단자에 메모리 셀 열(MCG1)로부터 연장되는 판독 비트선(RBA1)이 접속되어 있고, 해당 NAND 회로(260d)는 판독 비트선(RBA1)이 전달하는 신호와, OR 회로(260e)의 출력의 부정 논리곱을 연산하여 신호 QA로서 출력한다. 또한 해당 다른 쪽의 래치 회로(260)에서는, OR 회로(260e)의 한 쪽의 입력 단자에 메모리 셀(MCG1)로부터 연장되는 판독 비트선(RBB1)이 접속되어 있고, 해당 OR 회로(260e)는 판독 비트선(RBB1)이 전달하는 신호의 반전 신호와, AND 회로(260d)의 출력의 반전 신호의 논리합을 연산하여 출력한다.
- [0152] OR 회로(26g)의 한 쪽의 입력 단자에는, 메모리 셀 열(MCG1)로부터 연장되는 기입 비트선(WBB1)이 접속되어 있고, 해당 OR 회로(26g)는 기입 비트선(WBB1)이 전달하는 신호의 반전 신호와 NAND 회로(26h)의 출력의 반전 신호의 논리합을 연산하여 출력한다. NAND 회로(26h)의 한 쪽의 입력 단자에는, 메모리 셀 열(MCG1)로부터 연장되는 기입 비트선(WBA1)이 접속되어 있고, 해당 NAND 회로(26h)는 기입 비트선(WBA1)이 전달하는 신호와 OR 회로(26g)의 출력의 부정 논리곱을 연산하여 신호 QB로서 출력한다.
- [0153] 트라이스테йт 인버터 회로(26a~26c)는, 리드 제어 회로(23)로부터 출력되는 판독 셀 1 선택 신호 ry1, 판독 셀 0 선택 신호 ry0 및 내부 바이패스 제어 신호 rbpe에 의해 각각 활성화·불활성화가 제어된다. 트라이스테

이트 인버터 회로(26a~26c)의 입력 단자에는 각각 신호 QA~QC가 입력되고, 그들 출력 단자는 인버터 회로(26e)의 입력 단자와 인버터 회로(26d)의 출력 단자에 접속되어 있다. 인버터 회로(26e)의 출력 단자와 인버터 회로(26d)의 입력 단자는 서로 접속되어 있고, 인버터 회로(26f)는 인버터 회로(26e)의 출력을 반전하여 출력 데이터 Q[i]로서 출력 포트(OUTi)에 출력한다.

[0154] 다음으로, 본 제3 실시예에 따른 반도체 기억 장치의 동작에 대하여 설명한다. 도 17은 라이트 제어 회로(22) 및 리드 제어 회로(23)의 동작을 도시하는 타이밍차트이다. 도 17에서는, 기입 클록 신호 WCLK 및 판독 클록 신호 RCLK를 총칭하여 「클록 신호 CLK」라고 나타내고, 기입 워드선 선택 신호 WWS[i] 및 판독 워드선 선택 신호 RWS[i]를 총칭하여 「워드선 선택 신호 WS」라고 나타내고 있다.

[0155] 기입 제어 신호 WEN 및 기입 셀 선택 제어 신호 WCEN이 모두 "0"으로 되면, 도 17에 도시된 바와 같이, 라이트 제어 회로(22)로부터는 내부 기입 제어 신호 wen으로서 부극성의 펄스 신호가 출력된다. 또한, 판독 셀 선택 제어 신호 RCEN이 "0"으로 되면, 도 17에 도시된 바와 같이, 리드 제어 회로(23)로부터는 내부 판독 제어 신호 rpc로서 정극성의 펄스 신호가 출력된다.

[0156] 본 제3 실시예에 따른 반도체 기억 장치는, 바이패스 제어 신호 BPE=0일 때 통상 동작 모드에서 동작한다. 바이패스 제어 신호 BPE=0일 때, 라이트 제어 회로(22)로부터 출력되는 내부 바이패스 제어 신호 bpe는 "0"으로 되고, 리드 제어 회로(23)로부터 출력되는 내부 바이패스 제어 신호 rbpe도 "0"으로 된다. 메모리 셀 어레이(21)에 입력 데이터 D[i]가 기입되는 기입 모드에서는, 기입 제어 신호 WEN 및 기입 셀 선택 제어 신호 WCEN은 모두 "0"으로 되고, 라이트 제어 회로(22)로부터 내부 기입 제어 신호 wen으로서 도 17에 도시된 바와 같이 부극성의 펄스 신호가 출력됨과 함께, 라이트 제어 회로(22) 및 디코더 회로(24)의 기능에 의해, 기입 어드레스 신호 WA[4:1]의 값에 따라 기입 워드선 선택 신호 WWS[15:0] 중 어느 하나가 "1"로 되어 기입 워드선(WWL[15:0]) 중 어느 하나가 활성화된다. 또한, 기입 어드레스 신호 WA[0]의 값에 따라, 기입 셀 0 선택 신호 wy0 및 기입 셀 1 선택 신호 wy1 중 어느 한 쪽이 "1"로 된다.

[0157] 내부 바이패스 제어 신호 bpe=0일 때, 입력 버퍼 회로(25)는, 기입 셀 0 선택 신호 wy0 및 기입 셀 1 선택 신호 wy1에 기초하여, 기입 비트선(WBA0, WBB0)로 이루어지는 비트선 쌍이나, 기입 비트선(WBA1, WBB1)으로 이루어지는 비트선 쌍 중 어느 한 쪽에 입력 데이터 D[i]를 출력한다.

[0158] 내부 바이패스 제어 신호 bpe=0, 기입 셀 0 선택 신호 wy0=1, 기입 셀 1 선택 신호 wy1=0일 때, 입력 버퍼 회로(25)에서는, 기입 비트선(WBA1, WBB1)에 접속된 트랜스미션 게이트(250d, 250e)의 출력은 하이 임피던스로 되고, 기입 비트선(WBA0, WBB0)에 접속된 트랜스미션 게이트(250d, 250e)는 내부 기입 제어 신호 wen이 "0"으로 되면 입력 신호를 그대로 출력한다. 이에 의해, 메모리 셀 열(MCG0)에서의 복수의 메모리 셀(MC) 중, 활성화된 기입 워드선(WWL[j])에 접속된 메모리 셀(MC)에 입력 데이터 D[i]가 기입된다.

[0159] 한편, 내부 바이패스 제어 신호 bpe=0, 기입 셀 0 선택 신호 wy0=0, 기입 셀 1 선택 신호 wy1=1일 때, 입력 버퍼 회로(25)에서는, 기입 비트선(WBA0, WBB0)에 접속된 트랜스미션 게이트(250d, 250e)의 출력은 항상 하이 임피던스로 되고, 기입 비트선(WBA1, WBB1)에 접속된 트랜스미션 게이트(250d, 250e)는 내부 기입 제어 신호 wen이 "0"으로 되면 입력 신호를 그대로 출력한다. 이에 의해, 메모리 셀 열(MCG1)에서의 복수의 메모리 셀(MC) 중, 활성화된 기입 워드선(WWL[j])에 접속된 메모리 셀(MC)에 입력 데이터 D[i]가 기입된다.

[0160] 메모리 셀 어레이(21)로부터 데이터가 판독되는 판독 모드에서는, 제2 실시예와 마찬가지로, 판독 셀 선택 제어 신호 RCEN이 "0"으로 된다. 그렇게 하면, 리드 제어 회로(23)로부터는 내부 판독 제어 신호 rpc로서 도 17에 도시된 바와 같이 정극성의 펄스 신호가 출력됨과 함께, 판독 어드레스 신호 RA[4:1]의 값에 따라 판독 워드선(RWL[15:0]) 중 어느 하나가 활성화된다. 또한 판독 어드레스 신호 RA[0]의 값에 따라, 판독 셀 0 선택 신호 ry0 및 판독 셀 1 선택 신호 ry1 중 어느 한 쪽이 "1"로 된다.

[0161] 판독 워드선(RWL[j])이 활성화되면, 해당 판독 워드선(RWL[j])에 접속된, 메모리 셀 열(MGCO, MGC1) 내의 메모리 셀(MC)로부터 데이터가 판독되어, 해당 데이터는 판독 비트선(RBA0, RBB0) 및 판독 비트선(RBA1, RBB1)에 의해 출력 버퍼 회로(26)의 래치 회로(260)에 전달된다. 내부 판독 제어 신호 rpc=1로 되면, 메모리 셀(MC)로부터 판독된 데이터는 래치 회로(260)에서 유지되어 트라이스테йт 인버터 회로(26a, 26c)의 입력 단자에 입력된다.

[0162] 내부 바이패스 제어 신호 rbpe=0일 때, 출력 버퍼 회로(26)는, 판독 셀 0 선택 신호 ry0 및 판독 셀 1 선택 신호 ry1에 기초하여, 판독 비트선(RBA0, RBB0)으로 이루어지는 비트선 쌍이나, 판독 비트선(RBA1, RBB1)으로 이루어지는 비트선 쌍 중 어느 한 쪽으로부터 전달되는 데이터를 출력 데이터 Q[i]로서 출력한다.

- [0163] 내부 바이패스 제어 신호 rbpe=0, 판독 셀 0 선택 신호 ry0=1, 판독 셀 1 선택 신호 ry1=0일 때, 출력 버퍼 회로(26)에서는, 트라이스테йт 인버터 회로(26c)가 활성화하고, 트라이스테йт 인버터 회로(26a, 26b)는 불활성으로 된다. 이에 의해, 인버터 회로(26f)로부터는, 메모리 셀 열(MCG0) 내의 메모리 셀(MC)로부터 판독된 데이터가 출력 데이터 Q[i]로서 출력된다.
- [0164] 한편, 내부 바이패스 제어 신호 rbpe=0, 판독 셀 0 선택 신호 ry0=0, 판독 셀 1 선택 신호 ry1=1일 때, 출력 버퍼 회로(26)에서는, 트라이스테йт 인버터 회로(26a)가 활성화되고, 트라이스테йт 인버터 회로(26b, 26c)는 불활성으로 된다. 이에 의해, 인버터 회로(26f)로부터는, 메모리 셀 열(MCG1) 내의 메모리 셀(MC)로부터 판독된 데이터가 출력 데이터 Q[i]로서 출력된다.
- [0165] 다음으로 바이패스 모드에 대하여 설명한다. 바이패스 제어 신호 BPE=1일 때, 본 제3 실시예에 따른 반도체 기억 장치는 바이패스 모드에서 동작한다. 바이패스 제어 신호 BPE=1일 때, 라이트 제어 회로(22)로부터 출력되는 내부 바이패스 제어 신호 bpe는 "1"로 된다. 그렇게 하면, AND 회로(25d)의 출력은 "0"으로 되어, 기입 비트선(WBA0, WBB0)에 접속되어 있는 트랜스미션 게이트(250d, 250e)의 출력은 하이 임피던스로 되고, 기입 비트선(WBA1, WBB1)에 접속된 트랜스미션 게이트(250d, 250e)는 내부 기입 제어 신호 wen이 "0"으로 되면 입력 신호를 그대로 출력한다. 바이패스 모드에서는 내부 기입 제어 신호 wen이 "0"으로 되기 때문에, 기입 비트선(WBA1)에는 입력 데이터 D[i]와 동일한 논리 레벨의 신호가 공급되고, 기입 비트선(WBB1)에는 입력 데이터 D[i]와는 반대의 논리 레벨의 신호가 공급된다.
- [0166] 바이패스 제어 신호 BPE=1일 때에는, 리드 제어 회로(23)로부터 출력되는 판독 셀 0 선택 신호 ry0 및 판독 셀 1 선택 신호 ry1은 "0"으로 되고, 내부 바이패스 제어 신호 rbpe는 "1"로 된다. 이에 의해, 트라이스테йт 인버터 회로(26a, 26c)는 불활성으로 되고, 트라이스테йт 인버터 회로(26b)가 활성화되고, 인버터 회로(26f)로부터는, 입력 데이터 D[i]가 출력 데이터 Q[i]로서 출력된다.
- [0167] 이와 같이, 본 제3 실시예에 따른 반도체 기억 장치에서는, 제2 실시예에 따른 반도체 기억 장치(110)와 마찬가지로, 본래의 기능을 완수하기 위하여 원래 입력 버퍼 회로(25)로부터 메모리 셀 어레이(21)에까지 연장하고 있던 기입 비트선(WBA1, WBB1)을 출력 버퍼 회로(26)에까지 연장함으로써, 입력 데이터 D[i]를 출력 버퍼 회로(26)에까지 전달하여, 입력 데이터 D[i]를 그대로 출력 포트(OUTi)에 출력하는 것을 가능하게 하고 있다. 이와 같이, 기입 비트선(WBA1, WBB1)을 이용하여 바이패스 기능을 실현함으로써, 제2 실시예와 마찬가지로, 제1 실시예에 따른 반도체 기억 장치(100)보다 레이아웃 구조를 간소화할 수 있다. 따라서, 장치의 소형화나 제조 공정의 간략화가 가능해진다.
- [0168] 또한, 메모리 셀 어레이(21)가 입력 버퍼 회로(25)와 출력 버퍼 회로(26) 사이에 끼워진 레이아웃 구조가 아니어도 본 실시예는 적용 가능하다.
- [0169] (제4 실시예)
- [0170] 도 18 및 도 19는 본 발명의 제4 실시예에 따른 반도체 기억 장치의 회로 구성을 도시하는 도면이다. 본 제4 실시예에 따른 반도체 기억 장치는, 제2 실시예에 따른 반도체 기억 장치(110)에서, 리드 제어 회로(3) 대신에 리드 제어 회로(33)를, n개의 입력 버퍼 회로(15) 대신에 n개의 입력 버퍼 회로(35)를, n개의 출력 버퍼 회로(16) 대신에 n개의 출력 버퍼 회로(36)를 각각 형성한 것이다. 제2 실시예와 마찬가지로, 1개의 입력 버퍼 회로(35)와, 1개의 출력 버퍼 회로(36)와, 1개의 메모리 셀 어레이(1)는 하나의 조를 이루고 있다. 또한, 리드 제어 회로(33), 입력 버퍼 회로(35) 및 출력 버퍼 회로(36)의 레이아웃에 대해서는, 제2 실시예에 따른 리드 제어 회로(3), 입력 버퍼 회로(15) 및 출력 버퍼 회로(16)와 마찬가지이다.
- [0171] 도 18은 리드 제어 회로(33)의 회로 구성을 도시하는 도면이다. 도 18에 도시된 바와 같이, 리드 제어 회로(33)는, 전술한 제2 실시예에 따른 리드 제어 회로(3)에서, 버퍼 회로(3d) 대신에 OR 회로(33a), AND 회로(33b) 및 버퍼 회로(33c)를 포함하는 것이다. OR 회로(33a)는, AND 회로(3e)의 출력과, 내부 바이패스 제어 신호 bp의 논리합을 연산하여 출력한다. 버퍼 회로(33c)는, OR 회로(33a)의 출력을 그대로의 논리 레벨에서 내부 판독 제어 신호 rpc로서 출력한다. AND 회로(33b)는 인버터 회로(3a)의 출력과 AND 회로(3e)의 출력의 논리곱을 연산하여 출력한다.
- [0172] 본 제4 실시예에 따른 리드 제어 회로(33)의 내부 어드레스 생성 회로(20)에서는, AND 회로(20a~20l)의 각각에는, AND 회로(3e)의 출력 대신에 AND 회로(33b)의 출력이 입력되어 있다. 그 외의 구성에 대해서는 제2 실시예에 따른 리드 제어 회로(3)와 마찬가지이기 때문에, 그 설명은 생략한다.

- [0173] 도 19는, 임의의 하나의 조에서의 메모리 셀 어레이(1), 입력 버퍼 회로(35) 및 출력 버퍼 회로(36)의 회로 구성 및 평면에서 볼 때의 레이아웃 구조를 도시하는 도면이다. 입력 버퍼 회로(35)는, 입력 포트 INi에 입력되는 입력 데이터 D[i]를 받아, 라이트 제어 회로(12)로부터 출력되는 반전 기입 제어 신호/wen 및 반전 바이패스 제어 신호/wbp에 기초하여 해당 입력 데이터 D[i]를 메모리 셀 어레이(1)에 출력한다. 도 18에 도시된 바와 같이, 입력 버퍼 회로(35)는, 플립플롭 회로(35a)와, 인버터 회로(35b)와, 비트선 드라이버 회로(350)와, 비트선 절환 회로(351)를 포함하고 있다.
- [0174] 플립플롭 회로(35a)의 D 입력 단자에는 입력 데이터 D[i]가 입력되고, 그 Q 출력은 데이터 d[i]로서 출력된다. 플립플롭 회로(35a)의 CLK 입력 단자에는 라이트 제어 회로(12)에서의 인버터 회로(2b)의 출력이 입력된다. 인버터 회로(35b)는 데이터 d[i]를 반전하여 출력한다.
- [0175] 비트선 드라이버 회로(350)는, 인버터 회로(35c)와, 버퍼 회로(35h)와, AND 회로(35i, 35j)를 포함하고 있다. 인버터 회로(35c)는 인버터 회로(35b)의 출력을 반전하여 출력한다. 버퍼 회로(35h)는 라이트 제어 회로(12)로부터 출력되는 반전 기입 제어 신호/wen을 그대로의 논리 레벨에서 출력한다. AND 회로(35j, 35i)의 출력 단자에는 각각 기입 비트선(WBA, WBB)이 접속되어 있다. AND 회로(35j)는 인버터 회로(35c)의 출력과 버퍼 회로(35h)의 출력의 논리곱을 연산하여 기입 비트선(WBA)에 출력하고, AND 회로(35i)는 인버터 회로(35b)의 출력과 버퍼 회로(35h)의 출력의 논리곱을 연산하여 기입 비트선(WBB)에 출력한다.
- [0176] 비트선 절환 회로(351)는, 인버터 회로(35d, 35e, 35g)와, 버퍼 회로(35f)와, 트랜스미션 게이트(35k, 35l)를 포함하고 있다. 인버터 회로(35d)는 라이트 제어 회로(12)로부터 출력되는 반전 바이패스 제어 신호/wbp를 반전하여 출력하고, 인버터 회로(35e)는 인버터 회로(35d)의 출력을 반전하여 트랜스미션 게이트(35k, 35l)의 부논리의 제어 단자에 입력한다. 인버터 회로(35g)는 인버터 회로(35b)의 출력을 반전하여 트랜스미션 게이트(35k)의 입력 단자에 출력하고, 버퍼 회로(35f)는 인버터 회로(35b)의 출력을 그대로의 논리 레벨에서 트랜스미션 게이트(35k)의 입력 단자에 출력한다. 그리고, 트랜스미션 게이트(35k, 35l)의 정논리의 제어 단자의 각각에는 인버터 회로(35d)의 출력이 입력된다.
- [0177] 제2 실시예에서는, 기입 비트선(WBA, WBB)이 메모리 셀 어레이(1)부터 출력 버퍼 회로(16)에까지 연장되어 있었지만, 본 제4 실시예에서는, 그 대신, 판독 비트선(RBA, RBB)이 메모리 셀 어레이(1)로부터 입력 버퍼 회로(35)에까지 연장되어 있다. 그리고, 연장된 판독 비트선(RBA, RBB)은, 트랜스미션 게이트(351, 35k)의 출력 단자에 각각 접속되어 있다.
- [0178] 출력 버퍼 회로(36)는, 받은 데이터를, 리드 제어 회로(33)로부터 출력되는 내부 판독 제어 신호 rpc에 기초하여 출력 데이터 Q[i]로서 출력 포트(OUTi)에 출력한다. 도 19에 도시된 바와 같이, 출력 버퍼 회로(36)는, 전술한 센스 앤프 회로(60)와, NAND 회로(36a)와, OR 회로(36b)와, 인버터 회로(36c)를 포함하고 있다. 센스 앤프 회로(60)에서의 PMOS 트랜지스터(60d)의 드레인 단자는 OR 회로(36b)의 한 쪽의 입력 단자에 접속되어 있고, OR 회로(36b)는 센스 앤프 회로(60)의 출력 신호 AB의 반전 신호와 NAND 회로(36b)의 출력의 반전 신호의 논리 합을 연산하여 출력한다. 센스 앤프 회로(60)에서의 PMOS 트랜지스터(60e)의 드레인 단자는 NAND 회로(34a)의 한 쪽의 입력 단자에 접속되어 있고, NAND 회로(34a)는 센스 앤프 회로(60)의 출력 신호 AA와 OR 회로(36b)의 출력의 부정 논리곱을 연산하여 출력한다. 인버터 회로(36c)는 NAND 회로(36a)의 출력을 반전하여 출력 데이터 Q[i]로서 출력 포트(OUTi)에 출력한다.
- [0179] 다음으로, 본 제4 실시예에 따른 반도체 기억 장치의 동작에 대하여 설명한다. 제2 실시예와 마찬가지로, 바이패스 제어 신호 BP=0일 때 본 제4 실시예에 따른 반도체 기억 장치는 통상 동작 모드에서 동작한다. 바이패스 제어 신호 BP=0일 때, 라이트 제어 회로(12)로부터 출력되는 내부 바이패스 제어 신호 bp 및 반전 바이패스 제어 신호/wbp는 모두 "1"로 된다. 그렇게 하면, 트랜스미션 게이트(35k, 35l)의 출력은 모두 하이 임피던스로 된다. 따라서, 비트선 절환 회로(351)로부터는 입력 데이터 D[i]가 판독 비트선(RBA, RBB)에 출력되지 않는다.
- [0180] 메모리 셀 어레이(1)에 입력 데이터 D[i]가 기입되는 기입 모드에서는, 비트선 드라이버 회로(350)는, 반전 기입 제어 신호/wen에 기초하여 입력 데이터 D[i]를 기입 비트선(WBA, WBB)에 출력한다. 제2 실시예와 마찬가지로, 기입 모드에서는, 기입 제어 신호 WEN 및 기입 셀 선택 제어 신호 WCEN은 모두 "0"으로 된다. 그렇게 하면, 라이트 제어 회로(12)로부터는 반전 기입 제어 신호/wen으로서 정극성의 펄스 신호가 출력됨과 함께, 라이트 제어 회로(12) 및 디코더 회로(4)의 기능에 의해, 기입 어드레스 신호 WA[4:0]의 값에 따라 기입 워드선 선택 신호 WWS[31:0] 중 어느 하나가 "1"로 되어 기입 워드선 WWL[31:0] 중 어느 하나가 활성화된다. 그리고, 반전 기입 제어 신호/wen이 "1"로 되면, 비트선 드라이버 회로(350)로부터 입력 데이터 D[i]가 출력되어, 활성

화된 기입 워드선(WWL[j])에 접속된 메모리 셀(MC)에 해당 입력 데이터 D[i]가 기입된다.

[0181] 메모리 셀 어레이(1)로부터 데이터가 판독된 판독 모드에서는, 제2 실시예와 마찬가지로, 판독 셀 선택 제어 신호 RCEN이 "0"으로 되고, 리드 제어 회로(33)로부터는 내부 판독 제어 신호 rpc로서 정극성의 펄스 신호가 출력됨과 함께, 판독 워드선(RWL[31:0]) 중 어느 하나가 활성화된다. 판독 워드선(RWL[j])이 활성화되면 그것에 접속된 메모리 셀(MC)로부터 데이터가 판독되어, 판독 비트선(RBA, RBB)에 의해 출력 버퍼 회로(36)의 센스 앤프 회로(60)에 전달된다.

[0182] 내부 판독 제어 신호 rpc=1로 되면, 메모리 셀(MC)로부터 판독된 데이터는 센스 앤프 회로(60)에서 증폭되어서 출력된다. 이에 의해, 메모리 셀(MC)로부터 판독된 데이터가 출력 데이터 Q[i]로서 인버터 회로(36c)로부터 출력된다.

[0183] 다음으로 바이패스 모드에 대하여 설명한다. 제2 실시예와 마찬가지로, 바이패스 제어 신호 BP=1일 때, 본 제4 실시예에 따른 반도체 기억 장치는 바이패스 모드에서 동작한다. 바이패스 제어 신호 BP=1일 때, 라이트 제어 회로(12)로부터 출력되는 반전 바이패스 제어 신호/wbp는 "0"으로 된다. 그렇게 하면, 트랜스미션 게이트(35k, 351)는 입력 신호를 그대로 출력 단자에 출력한다. 따라서, 트랜스미션 게이트(35k)로부터는 입력 데이터 D[i]와 동일한 논리 레벨의 신호가 출력되어, 해당 신호는 판독 비트선(RBA)에 의해 출력 버퍼 회로(36)에까지 전달된다. 또한, 트랜스미션 게이트(351)로부터는 입력 데이터 D[i]와는 반대의 논리 레벨의 신호가 출력되어, 해당 신호는 판독 비트선(RBB)에 의해 출력 버퍼 회로(36)에까지 전달된다. 그리고, 판독 비트선(RBA, RBB)이 전달하는 신호는 출력 버퍼 회로(36)의 NAND 회로(36a) 및 OR 회로(36b)에 각각 입력된다. 이에 의해, 인버터 회로(36c)로부터는 입력 데이터 D[i]가 출력 데이터 Q[i]로서 출력된다.

[0184] 이와 같이, 본 제4 실시예에 따른 반도체 기억 장치에서는, 본래의 기능을 완수하기 위해 원래 출력 버퍼 회로(36)로부터 메모리 셀 어레이(1)에까지 연장되어 있던 판독 비트선(RBA, RBB)을 입력 버퍼 회로(35)에까지 연장함으로써, 입력 데이터 D[i]를 출력 버퍼 회로(36)에까지 전달하고, 입력 데이터 D[i]를 그대로 출력 포트(OUTi)에 전달하는 것을 가능하게 하고 있다. 이와 같이, 판독 비트선(RBA, RBB)을 이용하여 바이패스 기능을 실현함으로써, 판독 비트선(RBA, RBB)과는 별도로 형성된 바이패스선(BPL)을 사용하여 입력 데이터 D[i]를 출력 버퍼 회로(6)에까지 전달하고 있는 제1 실시예에 따른 반도체 기억 장치(100)보다, 레이아웃 구조를 간소화할 수 있다. 따라서, 장치의 소형화나 제조 공정의 간략화가 가능해진다.

[0185] 또한, 메모리 셀 어레이(1)가 입력 버퍼 회로(35)와 출력 버퍼 회로(36) 사이에 끼워진 레이아웃 구조가 아니어도 본 실시예는 적용할 수 있다.

[0186] 또한, 전술한 도 6에 도시된 반도체 장치(600)에서, 제1 실시예에 따른 반도체 기억 장치(100) 대신에, 반도체 기억부로서, 제2 실시예~제4 실시예에 따른 반도체 기억 장치를 사용해도 된다.

발명의 효과

[0187] 본 발명의 제1 반도체 장치에 따르면, 평면에서 볼 때의 레이아웃 구조에서, 제1 바이패스선이 제1 및 제2 메모리 셀 어레이 사이를 통과하여 배치되어 있기 때문에, 메모리 셀 어레이가 형성되어 있는 영역 내의 레이아웃 구조에 영향을 받지 않고 제1 바이패스선을 배선할 수 있다. 그 결과, 레이아웃 구조의 간소화가 가능해져, 장치의 소형화 및 제조 공정의 간략화가 가능해진다. 또한, 제1 바이패스선에 의해 전달되는 데이터가, 메모리 셀 어레이가 형성되어 있는 영역 내의 배선 전위로부터 받는 영향을 저감할 수 있다.

[0188] 또한, 본 발명의 제2 반도체 장치에 따르면, 메모리 셀 어레이가 입력 버퍼 회로와 출력 버퍼 회로에 삽입된 레이아웃 구조에서, 바이패스선, 기입 비트선, 판독 비트선, 전원 배선 및 접지 배선이, 메모리 셀 어레이에서의 복수의 메모리 셀이 형성되어 있는 영역 상에 배치되어 있기 때문에, 레이아웃 구조를 간소화할 수 있다. 그 결과, 장치의 소형화 및 제조 공정의 간략화가 가능해진다.

[0189] 또한, 본 발명의 제3 반도체 장치에 따르면, 기입 비트선을 메모리 셀 어레이로부터 출력 버퍼 회로에까지 연장시켜, 입력 포트에 입력된 데이터를 그대로 출력 포트에 출력하는 것을 가능하게 하고 있다. 이와 같이, 기입 비트선을 이용하여 바이패스 기능을 실현함으로써 레이아웃 구조가 간소화된다. 그 결과, 장치의 소형화 및 제조 공정의 간략화가 가능해진다.

[0190] 또한, 본 발명의 제4 반도체 장치에 따르면, 판독 비트선을 메모리 셀 어레이로부터 입력 버퍼 회로에까지 연장시켜, 입력 포트에 입력된 데이터를 그대로 출력 포트에 출력하는 것을 가능하게 하고 있다. 이와 같이, 판독 비트선을 이용하여 바이패스 기능을 실현함으로써 레이아웃 구조가 간소화된다. 그 결과, 장치의 소형화 및 제

조 공정의 간략화가 가능해진다.

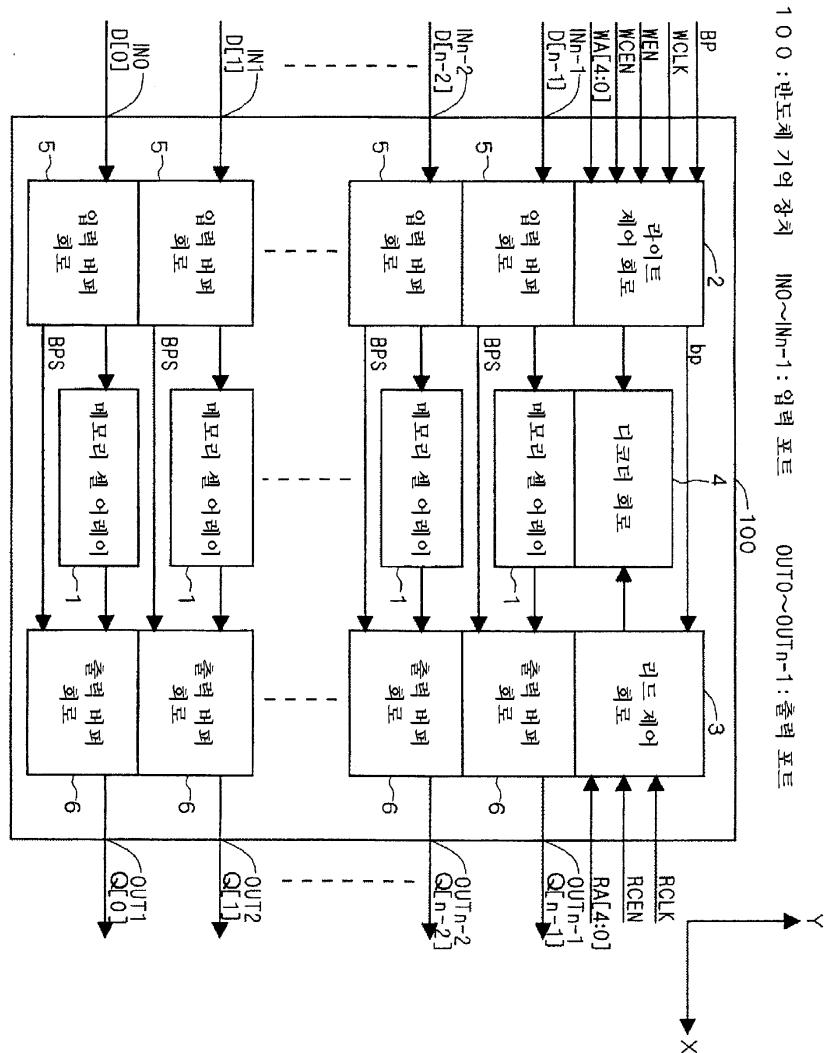
도면의 간단한 설명

- [0001] 도 1은 본 발명의 제1 실시예에 따른 반도체 기억 장치의 레이아웃 구조를 도시하는 평면도.
- [0002] 도 2는 본 발명의 제1 실시예에 따른 라이트 제어 회로의 회로 구성을 도시하는 도면.
- [0003] 도 3은 본 발명의 제1 실시예에 따른 리드 제어 회로의 회로 구성을 도시하는 도면.
- [0004] 도 4는 본 발명의 제1 실시예에 따른 디코더 회로의 구성을 도시하는 블록도.
- [0005] 도 5는 본 발명의 제1 실시예에 따른 메모리 셀 어레이, 입력 버퍼 회로 및 출력 버퍼 회로의 회로 구성 및 평면에서 볼 때의 레이아웃 구조를 도시하는 도면.
- [0006] 도 6은 본 발명의 제1 실시예에 따른 반도체 장치의 구성을 도시하는 블록도.
- [0007] 도 7은 본 발명의 제1 실시예에 따른 반도체 기억 장치의 레이아웃 구조를 도시하는 평면도.
- [0008] 도 8은 본 발명의 제1 실시예에 따른 반도체 기억 장치의 레이아웃 구조의 변형예를 도시하는 평면도.
- [0009] 도 9는 본 발명의 제1 실시예에 따른 반도체 기억 장치의 레이아웃 구조의 변형예를 도시하는 평면도.
- [0010] 도 10은 본 발명의 제2 실시예에 따른 반도체 기억 장치의 레이아웃 구조를 도시하는 평면도.
- [0011] 도 11은 본 발명의 제2 실시예에 따른 라이트 제어 회로의 회로 구성을 도시하는 도면.
- [0012] 도 12는 본 발명의 제2 실시예에 따른 메모리 셀 어레이, 입력 버퍼 회로 및 출력 버퍼 회로의 회로 구성 및 평면에서 볼 때의 레이아웃 구조를 도시하는 도면.
- [0013] 도 13은 본 발명의 제3 실시예에 따른 라이트 제어 회로의 회로 구성을 도시하는 도면.
- [0014] 도 14는 본 발명의 제3 실시예에 따른 리드 제어 회로의 회로 구성을 도시하는 도면.
- [0015] 도 15는 본 발명의 제3 실시예에 따른 디코더 회로의 구성을 도시하는 블록도.
- [0016] 도 16은 본 발명의 제3 실시예에 따른 메모리 셀 어레이, 입력 버퍼 회로 및 출력 버퍼 회로의 회로 구성 및 평면에서 볼 때의 레이아웃 구조를 도시하는 도면.
- [0017] 도 17은 본 발명의 제3 실시예에 따른 라이트 제어 회로 및 리드 제어 회로의 동작을 도시하는 타이밍차트.
- [0018] 도 18은 본 발명의 제4 실시예에 따른 리드 제어 회로의 회로 구성을 도시하는 도면.
- [0019] 도 19는 본 발명의 제4 실시예에 따른 메모리 셀 어레이, 입력 버퍼 회로 및 출력 버퍼 회로의 회로 구성 및 평면에서 볼 때의 레이아웃 구조를 도시하는 도면.
- [0020] <도면의 주요부분에 대한 부호의 설명>
- [0021] 5, 15, 25, 35: 입력 버퍼 회로
- [0022] 6, 16, 26, 36: 출력 버퍼 회로
- [0023] 60: 센스 앰프 회로
- [0024] 61, 160: 출력 선택 회로
- [0025] 100, 110: 반도체 기억 장치
- [0026] 150: 데이터 절환 회로
- [0027] 151, 350: 비트선 드라이버 회로
- [0028] 351: 비트선 절환 회로
- [0029] 600: 반도체 장치
- [0030] BPL: 바이패스선
- [0031] IN0~INn-1: 입력 포트

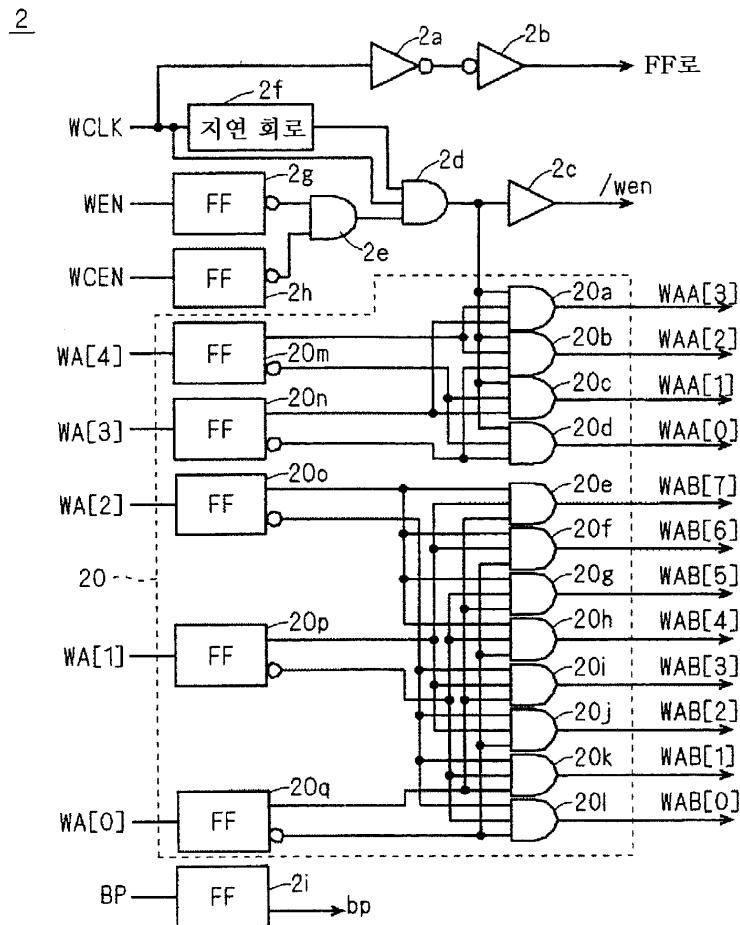
- [0032] MC: 메모리 셀
- [0033] OUT0~OUTn-1: 출력 포트
- [0034] RBA, RBA0, RBA1, RBB, RBB0, RBB1: 판독 비트선
- [0035] WBA, WBA0, WBA1, WBB, WBB0, WBB1: 기입 비트선

도면

도면1

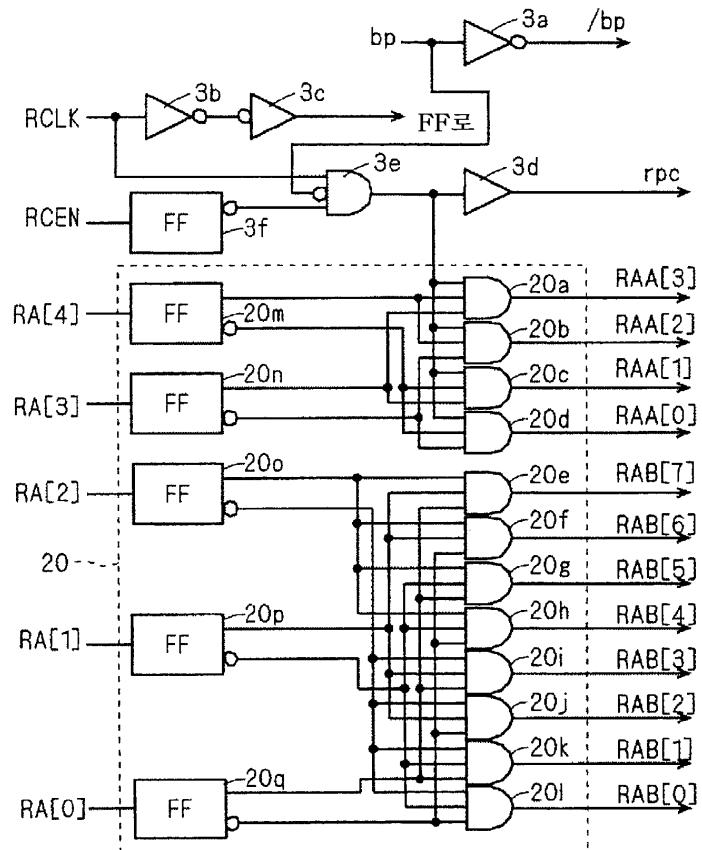


도면2

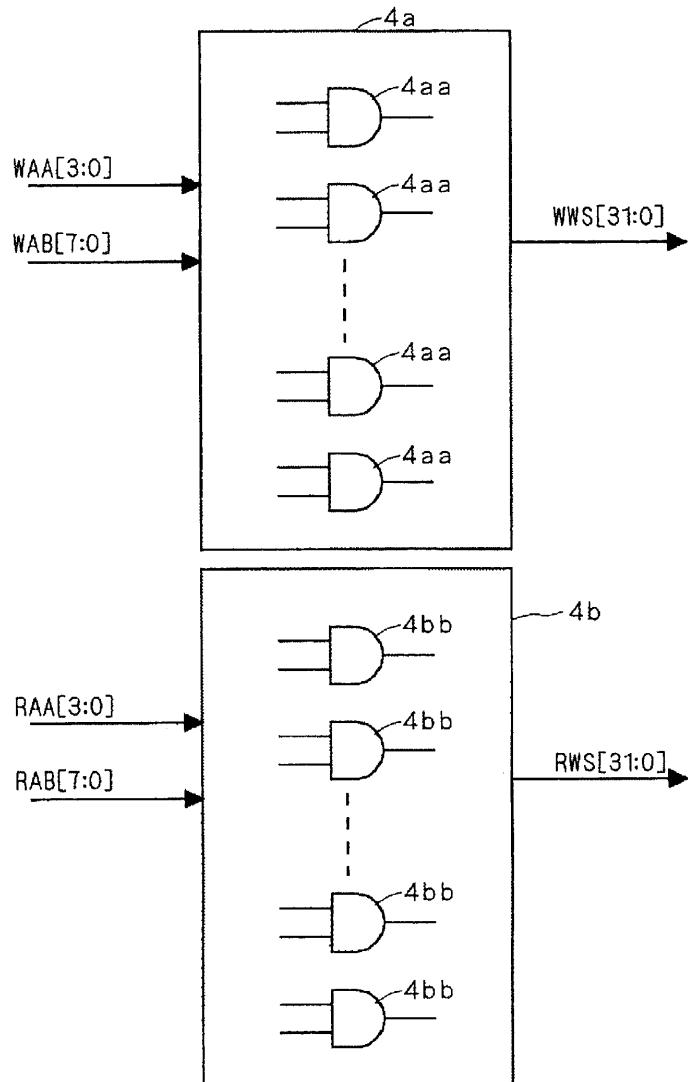


도면3

3

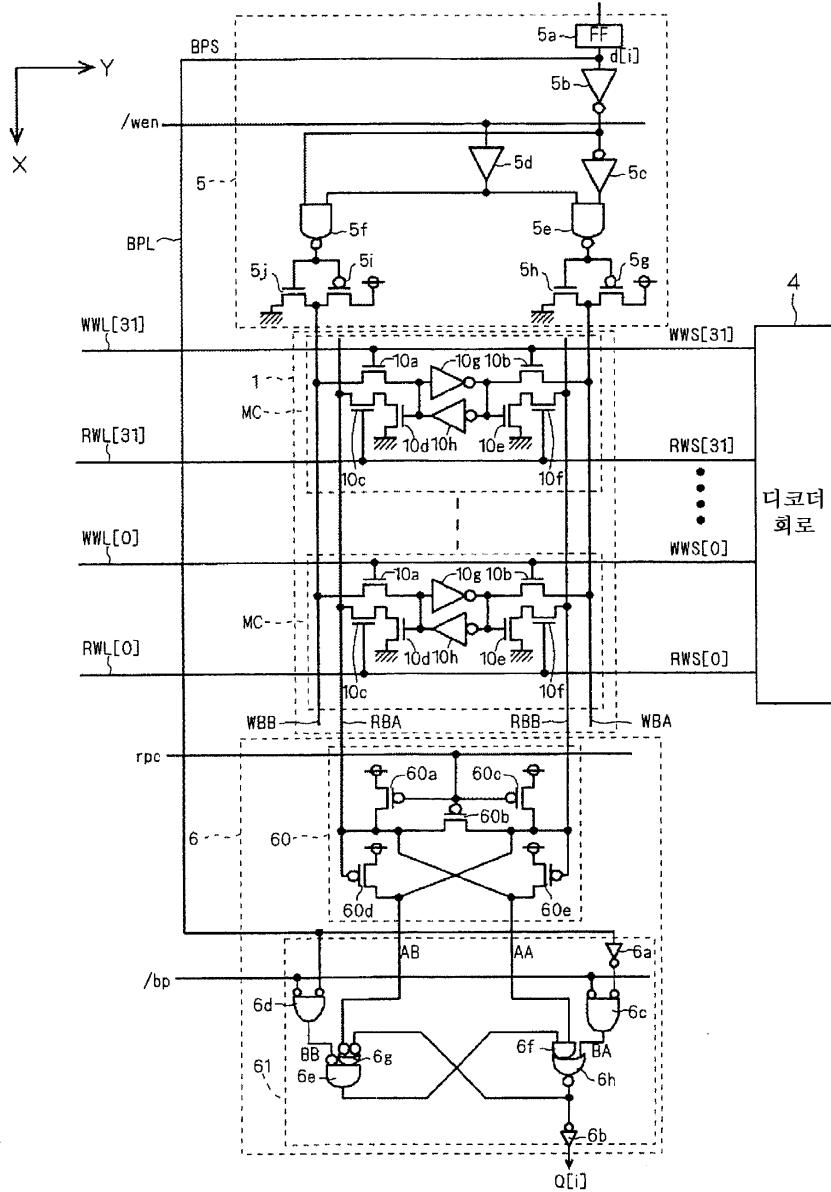


도면4

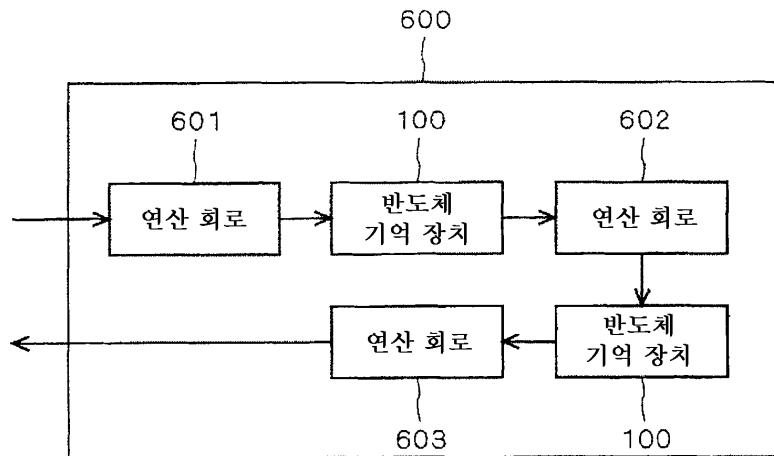
4

도면5

BPL : 바이패스선 RBA, RBB : 판독 비트선
MC : 메모리 셀 WBA, WBB : 기입 비트선 6 0 : 센스 앤프 회로
6 1 : 출력 선택 회로
D[i]

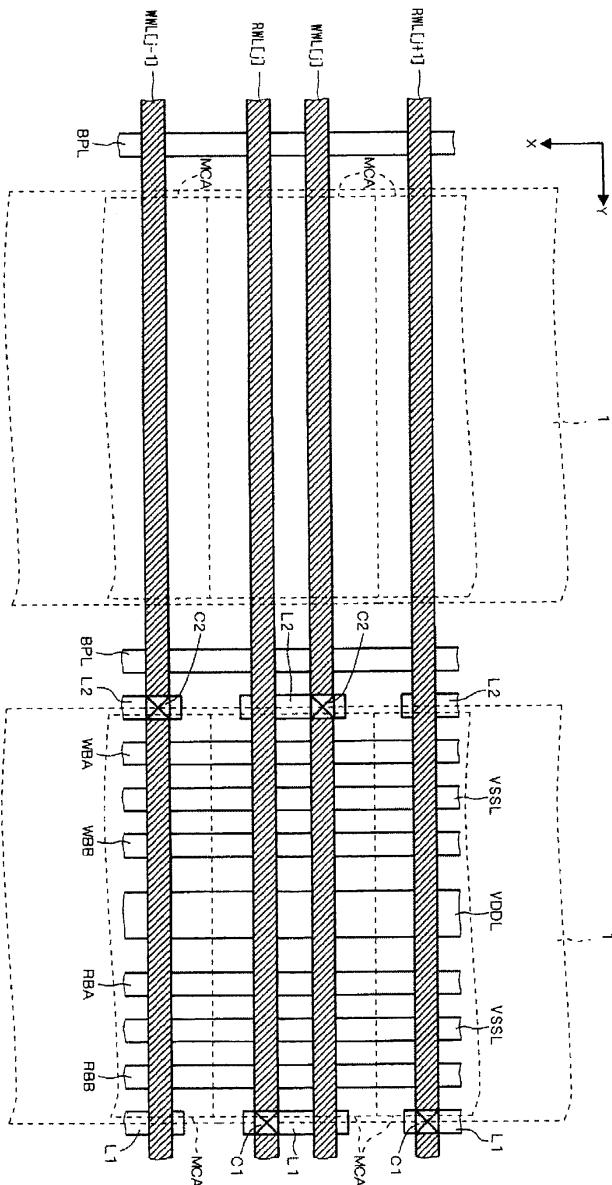


도면6

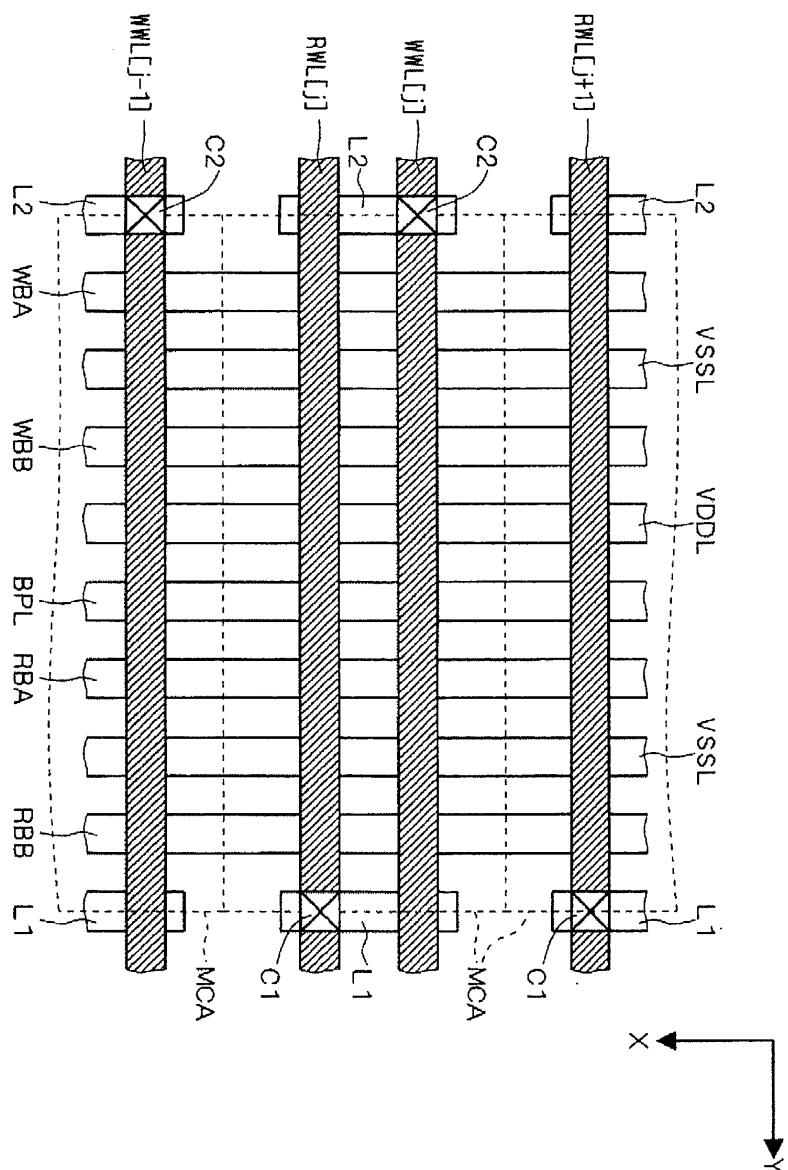


600 : 반도체 장치

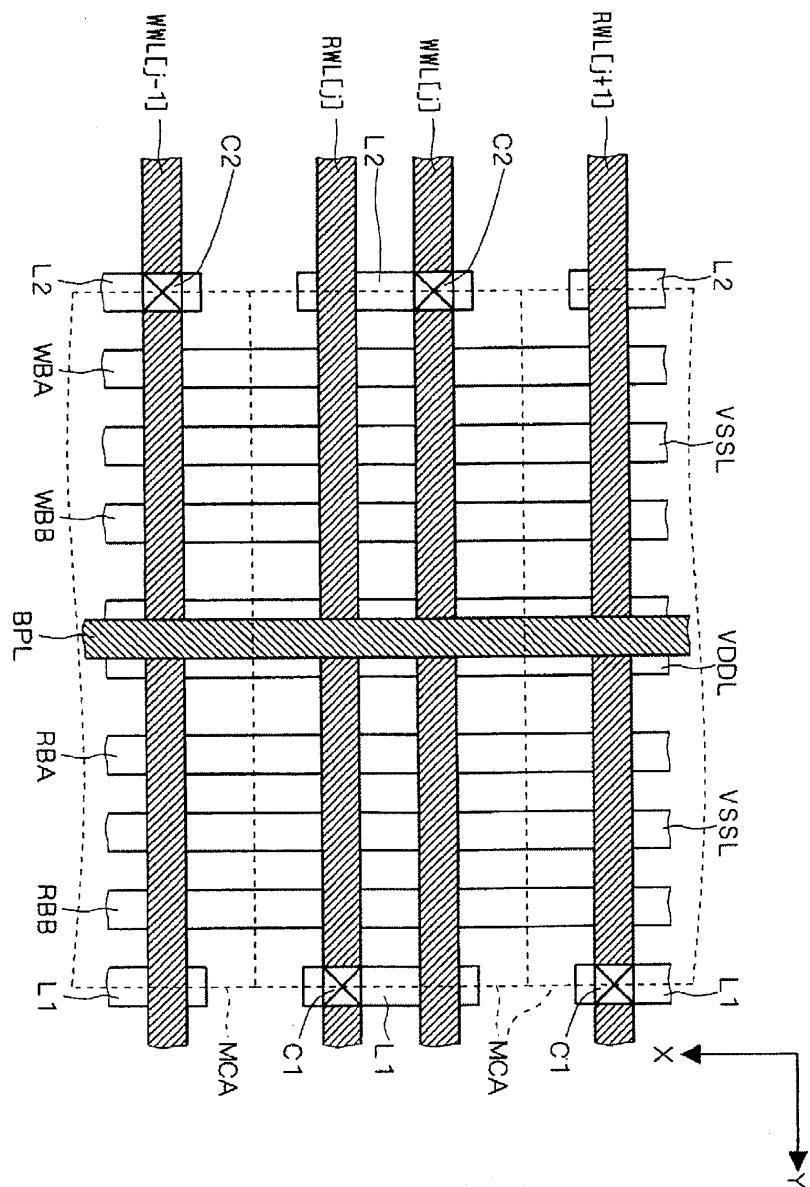
도면7



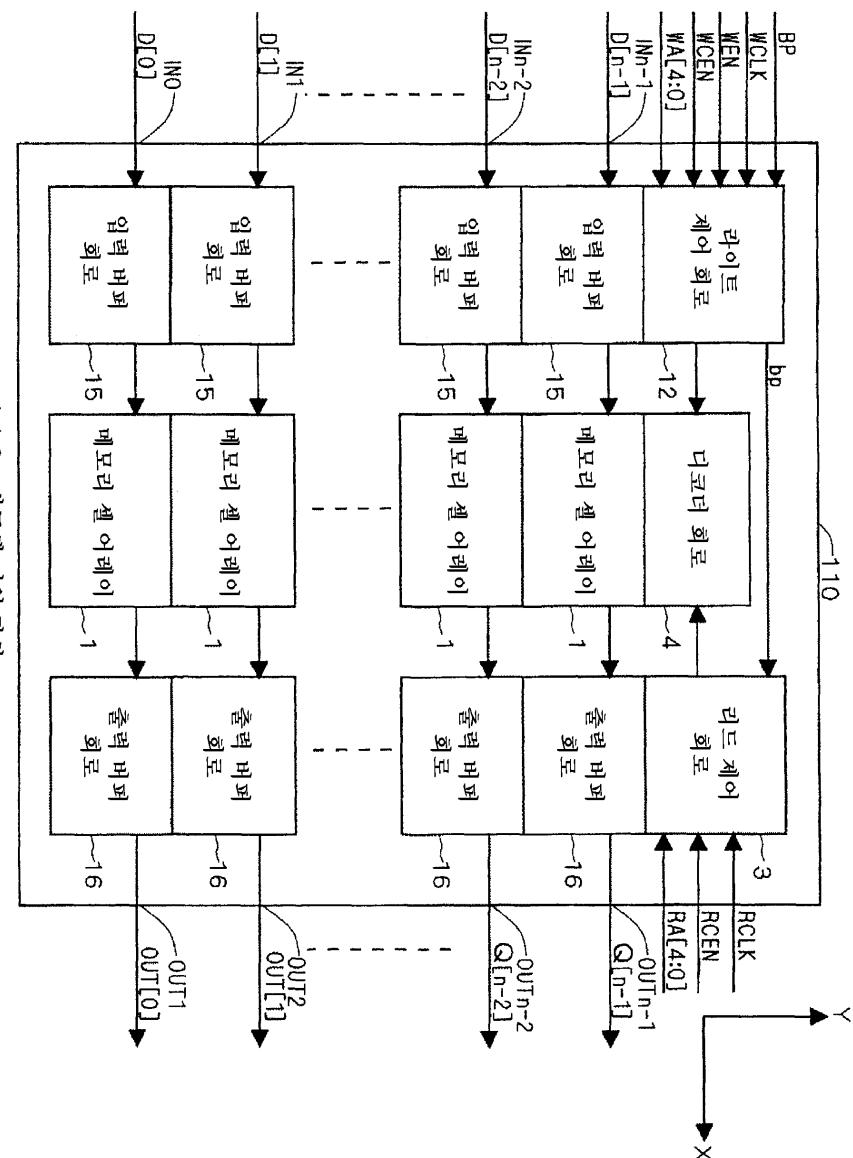
도면8



도면9



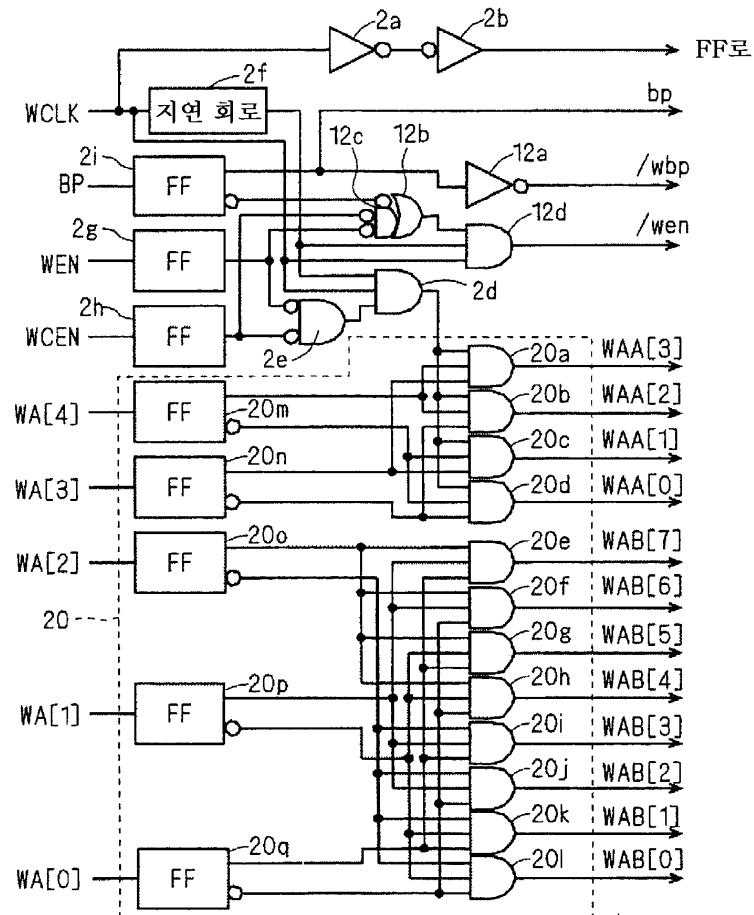
도면10



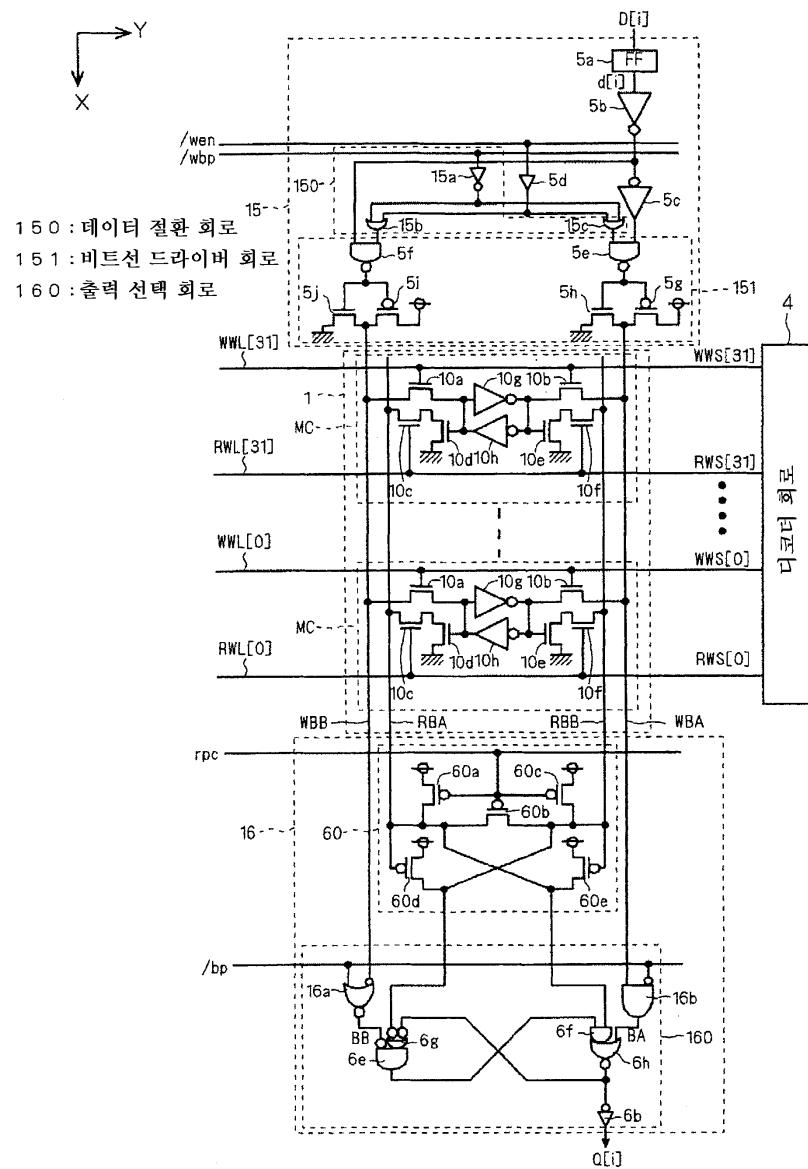
110 : 반도체 기억 장치

도면11

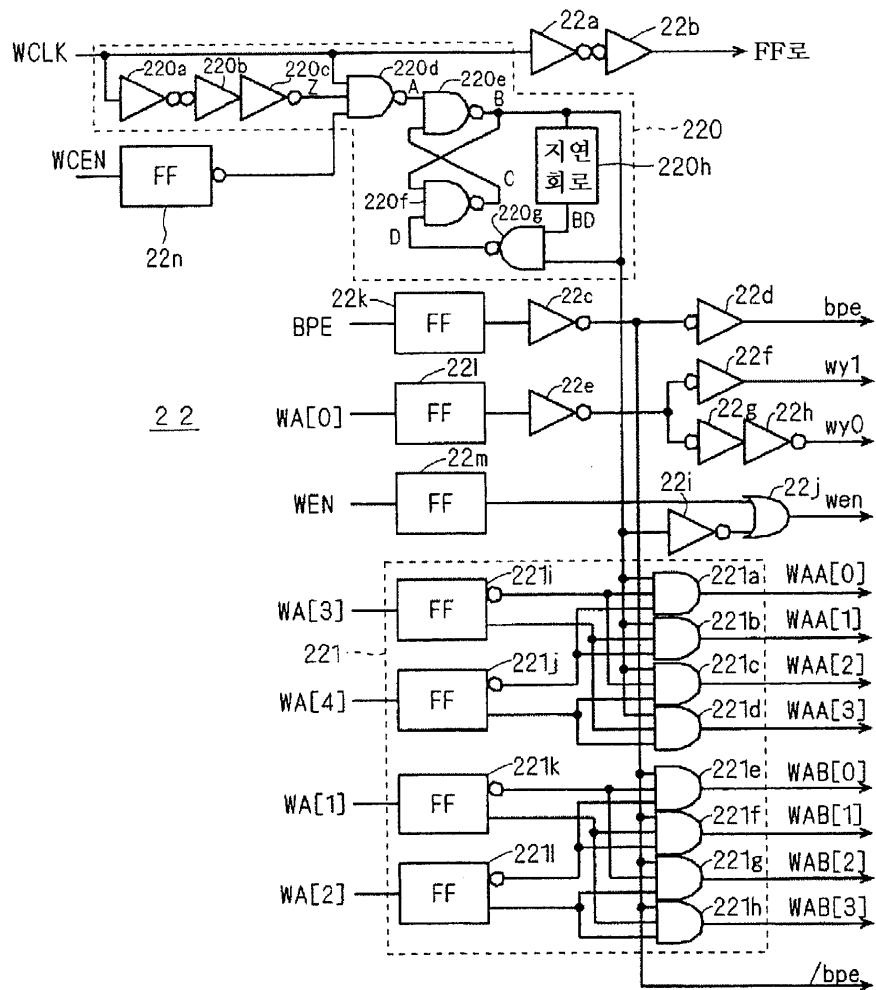
12



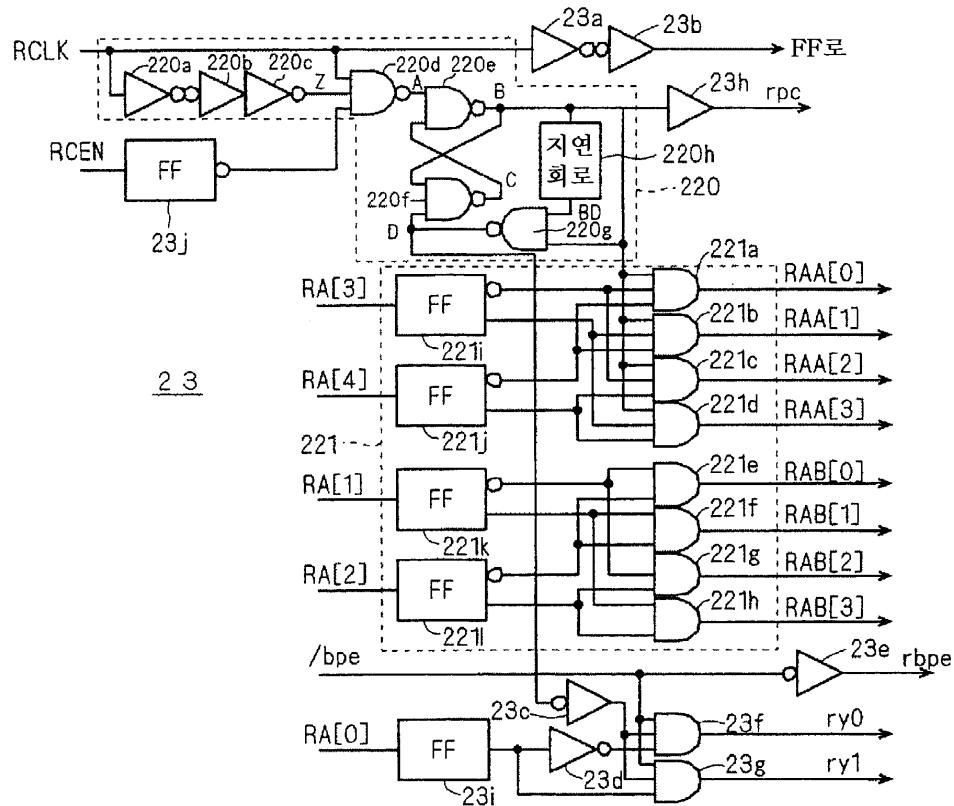
도면12



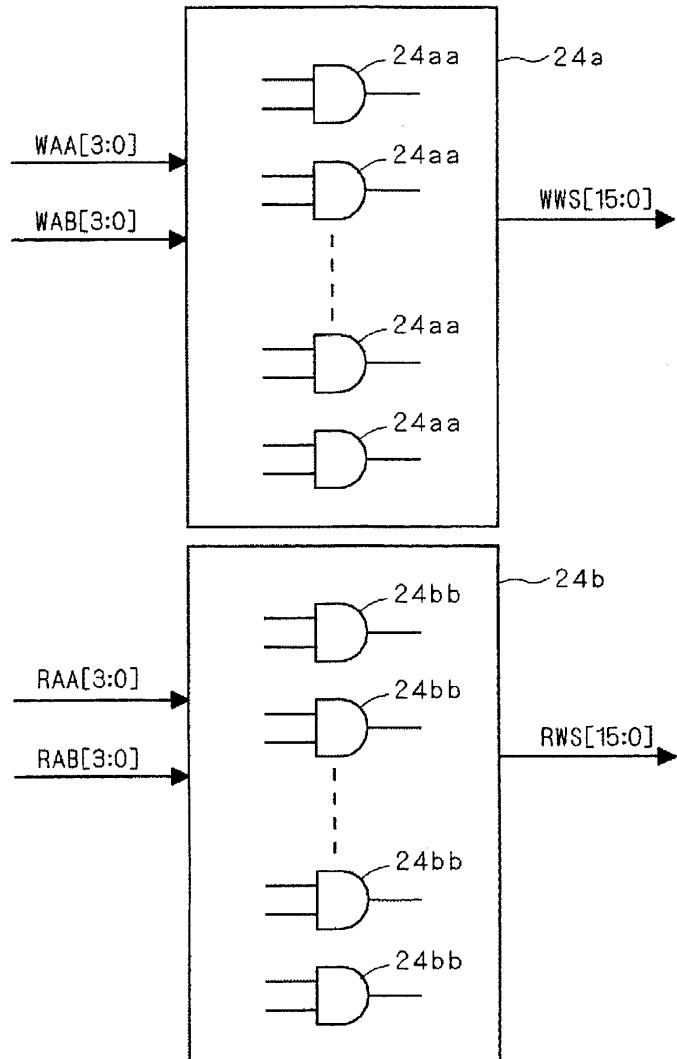
도면13



도면14

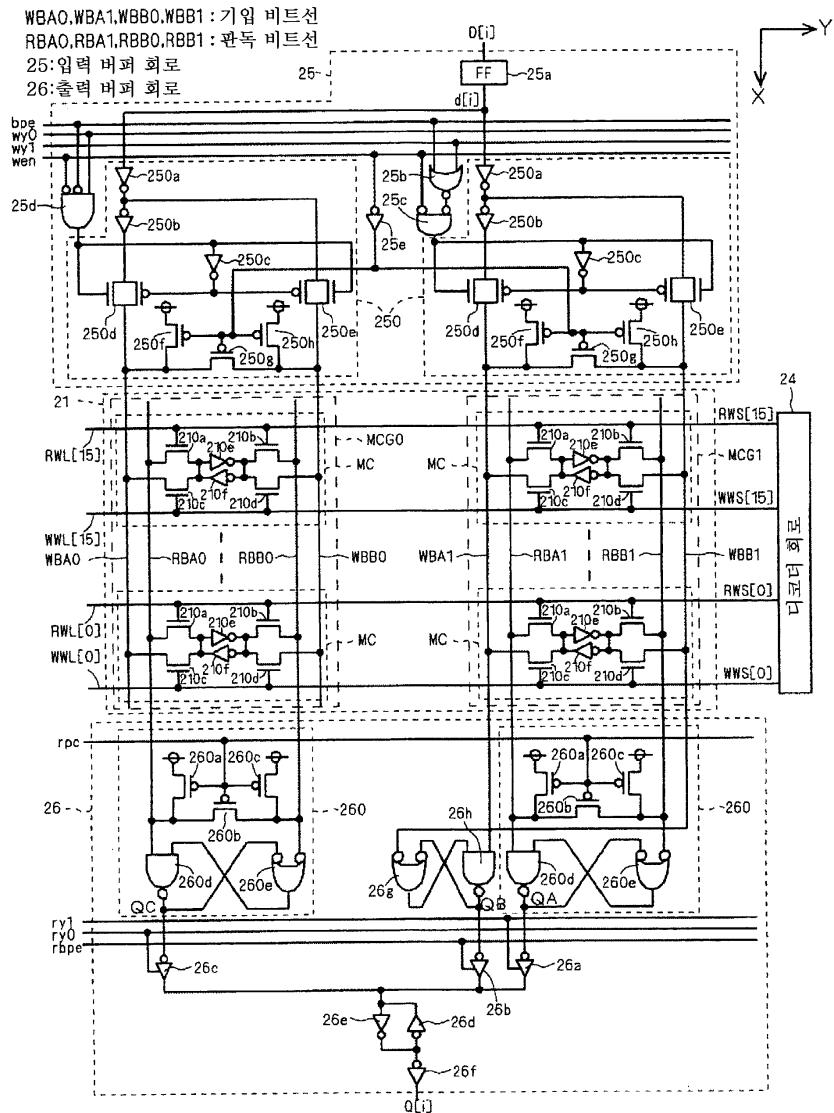


도면15

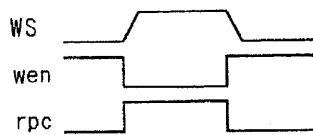
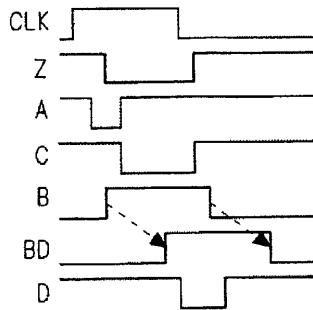
24

도면16

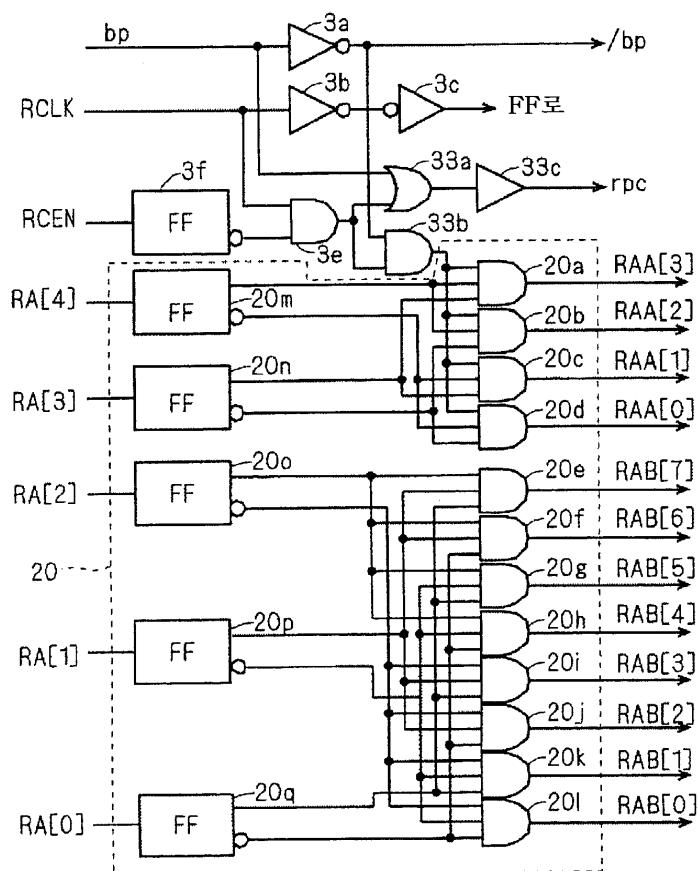
WBA0,WBA1,WBB0,WBB1 : 기입 비트선
RBA0,RBA1,RBB0,RBB1 : 관독 비트선



도면17



도면18

33

도면19

