(19) Deutsches Patent- und Markenamt

(10) **DE 11 2015 001 895 B4** 2022.03.10

(12) # Patentschrift

(21) Deutsches Aktenzeichen: **11 2015 001 895.6**
(86) PCT-Aktenzeichen: **PCT/US2015/030556**
(87) PCT-Veröffentlichungs-Nr.: **WO 2015/195227**
(86) PCT-Anmeldetag: **13.05.2015**
(87) PCT-Veröffentlichungstag: **23.12.2015**
(43) Veröffentlichungstag der PCT Anmeldung in deutscher Übersetzung: **02.02.2017**
(45) Veröffentlichungstag der Patenterteilung: **10.03.2022**

(51) Int Cl.: ***H01L 27/11578*** (2017.01)
H01L 27/11582 (2017.01)
H01L 27/11575 (2017.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
14/310,391 **20.06.2014** **US**

(73) Patentinhaber:
Intel Corporation, Santa Clara, Calif., US

(74) Vertreter:
Maucher Jenkins Patentanwälte & Rechtsanwälte, 80538 München, DE

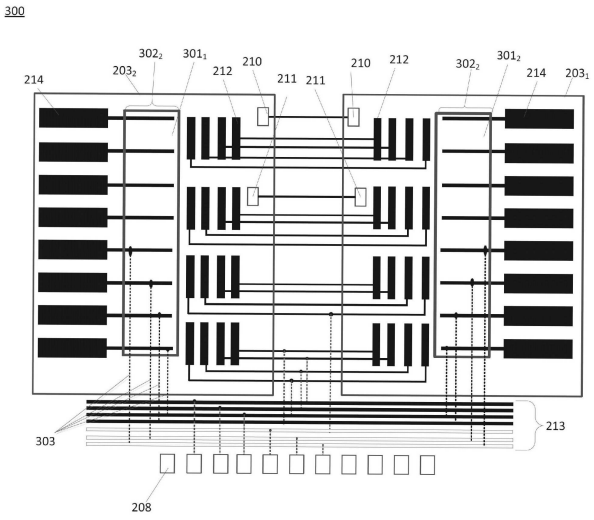
(72) Erfinder:
Thimmegowda, Deepak, Boise, Id., US; Lindsay, Roger, Boise, Id., US; Lee, Minsoo, Boise, Id., US

(56) Ermittelter Stand der Technik:

US	**2008 / 0 186 771**	**A1**
US	**2009 / 0 057 743**	**A1**
US	**2011 / 0 215 394**	**A1**
US	**2011 / 0 292 731**	**A1**
US	**2012 / 0 170 369**	**A1**
US	**2013 / 0 234 332**	**A1**
US	**2014 / 0 070 297**	**A1**

(54) Bezeichnung: **Nichtflüchtiger Speicher mit Durch-Array-Leitungsführung und Verfahren zu dessen Herstellung**

(57) Hauptanspruch: Nichtflüchtiger Speicher, der Folgendes umfasst:
ein Speicherarray (500) das einen Stapel sich abwechselnder dielektrischer und leitfähiger Schichten (504, 505) umfasst, die auf einer Isolationsschicht (508) gebildet sind, wobei Speicherarray (500) das ferner ein Arraygebiet (501) und ein Peripheriegebiet (502) umfasst;
eine leitfähige Struktur (509), die unter dem Arraygebiet (501) und/oder Peripheriegebiet (502) gebildet ist und die elektrisch mit einer anderen Komponente des nichtflüchtigen Speichers gekoppelt ist, und
eine Durch-Array-Durchkontaktierung (510), die im Arraygebiet (501) und/oder im Peripheriegebiet (502) gebildet ist wobei die Durch-Array-Durchkontaktierung (510) eine sich verjüngende Struktur aufweist, sodass die Breite der Durch-Array-Durchkontaktierung (510) nahe einer Unterseite der Durch-Array-Durchkontaktierung (510) geringer ist als die Breite der Durch-Array-Durchkontaktierung (510) nahe einer Oberseite der Durch-Array-Durchkontaktierung (510), wobei wenigstens eine Zugangsleitung des Speicherarrays durch die Durch-Array-Durchkontaktierung (510) hindurch geführt ist.



Beschreibung

TECHNISCHES GEBIET

[0001] Die vorliegende Offenbarung betrifft allgemein Technologien zur Leitungsführung eines/einer oder mehrerer in nichtflüchtigem Speicher verwendeter Kanäle/Leitungen. Insbesondere betrifft die vorliegende Offenbarung allgemein Technologien, in denen ein oder mehrere in nichtflüchtigem Speicher verwendete Kanäle durch eine in einem Speicherarray hergestellte Durchkontaktierung, die Zugang zur darunterliegenden Schaltungsanordnung ermöglicht, hindurch geführt werden. Speicher, der solche Technologien beinhaltet, und Verfahren zur Herstellung solcher Durchkontaktierungen werden auch beschrieben.

HINTERGRUND

[0002] Viele Arten von Halbleiterspeicher sind in der Technik bekannt. Manche Speicherarten sind flüchtig und verlieren ihren Inhalt, falls ihre Stromversorgung abgeschaltet wird. Andere Speicherarten sind nichtflüchtig und bewahren darin gespeicherte Informationen, selbst wenn die Stromversorgung zum Speicher abgeschaltet wird. Flash-Speicher ist eine Art von nichtflüchtigem Speicher. Allgemein speichert Flash-Speicher Ladung in einem Ladungsspeichergebiet einer Speicherzelle. In einer Floating-Gate-Flash-Zelle kann ein leitfähiges Floating-Gate, das zwischen einem Steuer-Gate und einem Kanal eines Metall-Oxid-Halbleiter-Feldeffekttransistors (MOSFET) positioniert ist, zum Speichern einer Ladung verwendet werden. In einer CTF-Zelle (CTF- Charge Trap Flash) kann eine Schicht eines nichtleitfähigen Materials, wie etwa eines Nitridfilms, verwendet werden, um Ladung zwischen dem Steuer-Gate und dem Kanal des MOSFET zu speichern. Die Spannungsschwelle der MOSFET-basierten Flash-Zelle kann geändert werden, indem die im Ladungsspeichergebiet der Zelle gespeicherte Ladungsmenge verändert wird, und die Spannungsschwelle kann verwendet werden, um einen in der Zelle gespeicherten Wert anzuzeigen.

[0003] Eine allgemein in Flash-Speicher verwendete Architektur ist die NICHT-UND(NAND)-Architektur. In einer typischen NAND-Architektur sind zwei oder mehr Flash-Zellen so mit Source an Drain zusammengekoppelt, dass sie eine Kette von Speicherzellen bilden. Die Steuer-Gates der einzelnen Zellen sind mit Zugangsleitungen (z.B. globale Steuerleitungen) gekoppelt, wie etwa Wortleitungen. Select-Gates (z.B. Select-Gate-Source (SGS), Select-Gate-Drain (SGD) usw.) können MOSFETs sein, die an beide Enden einer NAND-Kette gekoppelt sind, und können die NAND-Kette an einem Ende der Kette mit einer Source-Leitung und am anderen Ende mit einer Datenleitung (z.B. Bitleitung) koppeln.

[0004] Manche NAND-Flash-Vorrichtungen beinhalten Stapel von Flash-Speicherzellen, die vertikal (z.B. in einem vertikalen NAND) und optional dreidimensional (z.B. in einem 3D-NAND) gestapelt sein können. In beiden Fällen können solche Vorrichtungen einen Stapel von Flash-Speicherzellen beinhalten, die eine Source, einen Drain und einen Kanal beinhalten, die so vertikal angeordnet sind, dass die Zellen übereinander positioniert sind, um eine vertikale NAND-Kette zu bilden. Die vertikale NAND--Kette kann auf einem Select-Gate (z.B. einem Select-Gate-Drain (SGD), einer Select-Gate-Source (SGS) usw.) positioniert sein und ein anderes Select-Gate (z.B. SGD, SGS) kann auf der vertikalen NAND-Kette positioniert sein. Um Bedarf für höhere Kapazität zu decken, streben Speichergestalter kontinuierlich danach, die Speicherdichte zu erhöhen, d.h., die Anzahl an Speicherzellen, die in einem gegebenen Bereich eines Dies einer integrierten Schaltung vorliegen, zu erhöhen. Eine Möglichkeit die Speicherdichte zu erhöhen, ist die Verringerung der Strukturgröße einzelner Speicherzellen und somit der Gesamtgröße der Zellen selbst. Obwohl dies die Anzahl an Speicherzellen, die in einem bestimmten Bereich enthalten sein können, erhöhen kann, kann das Reduzieren der Strukturgröße einer Speicherzelle das Risiko von Vorrichtungsversagen und Ladungsverlust erhöhen. Ein anderer Mechanismus zum Erhöhen der Speicherdichte ist das Bilden vertikaler NAND-Ketten, wie oben erwähnt wurde. In solchen Fällen kann eine Speicherdichte praktisch durch Blockgrößenüberlegungen beschränkt sein, die durch eine Gestaltung, einen Standard oder eine Kombination von diesen auferlegt werden können. Wie für herkömmliche (z.B. ebene) NAND-Vorrichtungen kann die vertikale NAND-Dichte erhöht werden, indem die Strukturgröße der Speicherzellen innerhalb jeder vertikalen NAND-Kette reduziert wird.

[0005] In jedem Fall kann Erhöhen der Dichte von Speicherzellen innerhalb eines NANDSpeicherarrays es anspruchsvoll machen, die verschiedenen Zugangsleitungen (z.B. Wortleitungen), Daten-(z.B. Bit-) und andere (z.B. Source-, Drain- usw.) Leitungen/Kanäle, die in der Vorrichtung verwendet werden können, zu führen. Dies ist insbesondere wahr, wenn Gestaltungsüberlegungen und/oder ein Standard die Blockhöhe der Vorrichtung beschränken. Wie unten beschrieben wird, ist es ein Ziel der Technologien der vorliegenden Offenbarung, verschiedene Aspekte solcher Herausforderungen zu behandeln, z.B. durch Ermöglichen alternativer Leitungsführungskonfigurationen für nichtflüchtige Speichervorrichtungen, wie etwa vertikaler und/oder 3D-NAND-Vorrichtungen. Die Druckschriften US 2009/0057743 A1, US2011/0292731 A1,

US2008/0186771 A1, US2014/0070297 A1, US2012/0170369 A1 beziehen sich auf dieses technische Gebiet.

[0006] US2011/0215394 A1 eine Halbleiterspeichervorrichtung mit einer Basis, einem angegebenen Körper, einem Speicherfilm, einem Kanalkörper, einem Kontaktstecker, einer globalen Bitleitung und einer Vielzahl von lokalen Bitleitungen. Die Basis hat ein Substrat und eine periphere Schaltung, die auf dem Substrat ausgebildet ist. Der gestapelte Körper hat eine Vielzahl von leitenden Schichten und isolierenden Schichten, die abwechselnd über der Basis gestapelt sind. Der Speicherfilm enthält einen Ladungsspeicherfilm, der an einer Innenwand eines Speicherlochs vorgesehen ist, das in einer Stapelrichtung des gestapelten Körpers ausgebildet ist. Der Kanalkörper ist innerhalb der Speicherfolie in der Speicheröffnung vorgesehen. Der Kontaktstecker wird durch Durchstechen des gestapelten Körpers bereitgestellt. Die globale Bitleitung ist zwischen der peripheren Schaltung und dem gestapelten Körper vorgesehen und mit einem unteren Endabschnitt des Kontaktsteckers verbunden. US2009/0057743 A1 beschreibt ein Verfahren zur Bildung einer integrierten Schaltung, bei dem in einem ersten Teil der integrierten Schaltung erste Strukturen gebildet werden und in einem zweiten Teil zweite Strukturen gebildet werden, die dichter angeordnet sind als die ersten Strukturen. Die ersten und zweiten Strukturen werden durch lithographische Prozesse unter Verwendung von Fotomasken definiert. Mindestens eine der Fotomasken enthält sowohl Öffnungen in einem ersten Bereich zur Unterstützung der Definition der ersten Strukturen als auch Öffnungen in einem zweiten Bereich zur Unterstützung der Definition der zweiten Strukturen.

[0007] US2013/0234332 A1 beschreibt ein Halbleiterbauelement mit einem gestapelten Körper, in dem eine Vielzahl von leitenden Schichten und eine Vielzahl von isolierenden Schichten abwechselnd gestapelt sind. Das Halbleiterbauelement umfasst eine Vielzahl von Kontaktelektroden, eine Vielzahl von ersten isolierenden Teilen und eine Vielzahl von zweiten isolierenden Teilen. Die mehreren Kontaktelektroden erstrecken sich in einer Stapelrichtung des gestapelten Körpers. Jede der Kontaktelektroden erreicht eine entsprechende der leitenden Schichten. Die mehreren ersten Isolierabschnitte sind jeweils zwischen den mehreren Kontaktelektroden und dem Stapelkörper vorgesehen. Die mehreren zweiten Isolierabschnitte befinden sich jeweils zwischen der Polarität des ersten Isolierabschnitts und dem gestapelten Körper.

Figurenliste

[0008] Merkmale und Vorteile von Ausführungsformen des beanspruchten Gegenstands werden mit Fortschreiten der folgenden ausführlichen Beschreibung ersichtlich, und bei Bezugnahme auf die Zeichnungen, in denen gleiche Ziffern gleiche Teile darstellen, und in denen:

Fig. 1 eine Querschnittsansicht von Speicherzellen eines Beispielspeicherarrays in Übereinstimmung mit der vorliegenden Offenbarung veranschaulicht;

Fig. 2A eine Ansicht eines Beispielleitungsführungsdiagramms für ein Speicherarray eines nichtflüchtigen Speichers ist;

Fig. 2B eine andere Ansicht eines Beispielleitungsführungsdiagramms für ein Speicherarray eines nichtflüchtigen Speichers ist;

Fig. 3 ein Beispielleitungsführungsdiagramm für ein Speicherarray eines nichtflüchtigen Speichers in Übereinstimmung mit der vorliegenden Offenbarung ist;

Fig. 4 ein Flussdiagram eines Beispielverfahrens des Bildens eines Durch-Array-Kanals in Übereinstimmung mit der vorliegenden Offenbarung ist;

Fig. 5A-5F schrittweise ein Beispielverfahren des Bildens eines Durch-Array-Kanals in Übereinstimmung mit der vorliegenden Offenbarung veranschaulichen;

Fig. 6 ein vereinfachtes Blockschaltbild eines Beispiels einer als Teil eines elektronischen Systems mit einem Gehäuse gekoppelten Speichervorrichtung in Übereinstimmung mit der vorliegenden Offenbarung ist.

AUSFÜHRLICHE BESCHREIBUNG

[0009] In der folgenden Beschreibung wird Bezug auf die beiliegenden Zeichnungen genommen, die einen Teil der vorliegenden Beschreibung bilden und die verschiedene Beispielausführungsformen veranschaulichen. Es wird betont, dass die veranschaulichten Ausführungsformen nur als Beispiel dienen und dass andere als die dargestellten Ausführungsformen von der vorliegenden Offenbarung beabsichtigt und in dieser beinhaltet sind. Solche anderen Ausführungsformen können strukturelle, logische und elektrische Änderungen relativ zu den veranschaulichten Ausführungsformen beinhalten, die vorgenommen werden können, ohne vom Schutzumfang der vorliegenden Offenbarung abzuweichen.

[0010] Im Zusammenhang mit der vorliegenden Offenbarung sollte der Begriff „Halbleiter“ als Bezugnahme auf eine beliebige Halbleiterstruktur verstanden werden, die unter anderem jene in Form einer Schicht eines Materials, eines Wafers oder eines Substrats beinhaltet. Ohne Beschränkung kann der Begriff „Halbleiter“ so verstanden werden, dass er

Silizium-auf-Saphir(SOS)-Technologie, Silizium-auf-Isolator(SOI)-Technologie, Dünnschichttransistor (TFT)-Technologie, dotierte und nichtdotierte Halbleiter, epitaktische Siliziumschichten, die von einer Basishalbleiterstruktur gestützt werden, andere, einem Fachmann bekannte Halbleiterstrukturen, Kombinationen von diesen und dergleichen einschließt. Es versteht sich auch, dass, wenn hier der Begriff „Halbleiter“ verwendet wird, verschiedene Verarbeitungsschritte durchgeführt wurden, um Gebiete, Verbindungen usw. innerhalb der Struktur des Halbleiters zu bilden.

[0011] Wie hier verwendet, sollten Richtungsadjektive als relativ zur Oberfläche eines Substrats, auf dem ein Merkmal (z.B. eine Speicherzelle) gebildet ist, verstanden werden. Zum Beispiel sollte eine vertikale Struktur als sich von der Oberfläche eines Substrats, auf dem die Struktur gebildet ist, weg erstreckend verstanden werden, wobei das untere Ende der Struktur nahe der Oberfläche des Substrats ist. Es versteht sich auch, dass eine vertikale Struktur nicht senkrecht zur Oberfläche des Substrats, auf dem sie gebildet ist, sein muss und dass vertikale Strukturen Strukturen beinhalten, die so gebildet werden können, dass sie sich relativ zum Substrat in einem Winkel erstrecken.

[0012] Der Drang, die Dichte von nichtflüchtigem Speicher zu erhöhen, führte dazu, dass Speichergestalter die Anzahl an Speicherzellen in einem gegebenen Bereich einer Speichervorrichtung erhöhten. Mit der Zunahme der Speicherdichte wurde es zunehmend schwieriger, die verschiedenen Zugangs-, Daten- und andere Leitungen, die zum Betreiben der Vorrichtung benötigt werden können, zu führen, ohne die Vorrichtungsleistungsfähigkeit unerwünscht zu beeinflussen. Obwohl es möglich ist, zusätzliche Leitungsführungskanäle für solche Leitungen zu einem nichtflüchtigen Speicher hinzuzufügen, z.B. oberhalb oder unterhalb eines Speicherarrays, kann es notwendig sein, die Blockhöhe der Vorrichtung zu erhöhen, um solche Kanäle unterzubringen. In Fällen, in denen die Blockhöhe beschränkt ist, z.B. durch Gestaltungsüberlegungen, einen Standard usw., ist es möglicherweise nicht zulässig oder anderweitig nicht wünschenswert, die Blockhöhe zu erhöhen.

[0013] Das Ziel der vorliegenden Offenbarung ist es, dieses Problem durch Bereitstellen von Technologien in Angriff zu nehmen, die alternative Mechanismen zur Leitungsführung einer oder mehrerer Zugangs-, Daten- und/oder anderer Leitungen, die in nichtflüchtigem Speicher verwendet werden können, ermöglichen. Allgemein ermöglichen die hier beschriebenen Technologien alternative Mechanismen zur Leitungsführung einer oder mehrerer Leitungen von Kontakten/Leiterbahnen, die sich oberhalb eines Speicherarrays befinden, zu einem oder mehreren Kontakten unterhalb eines Speicherarrays, wie etwa Kontakten einer Kettentreiberschaltungsanordnung oder einer anderen Unterstützungsschaltungsanordnung (z.B. CMOS-Schaltkreise (CMOS: Complementary metal oxide semiconductor - sich ergänzender Metall-Oxid-Halbleiter)), die durch CMOS-unter-Array(CUA)-Technologie bereitgestellt werden kann. Insbesondere machen sich die hier beschriebenen Technologien die Verwendung einer oder mehrerer Durchkontaktierungen zunutze, die so durch einen Teil eines Speicherarrays hindurch gebildet sein können, z.B. in einem Arraygebiet und/oder einem Peripheriegebiet von diesem, dass Zugang zu Gebieten/einer Schaltungsanordnung ermöglicht wird, die unter dem Array gebildet sein können. Ein oder mehrere Kanäle können in solchen Durchkontaktierungen gebildet und mit leitfähigem Material gefüllt sein, um elektrisches Koppeln verschiedener Leitungen mit einer unter einem Speicherarray gebildeten Schaltungsanordnung zu ermöglichen.

[0014] Es wird nun Bezug auf **Fig. 1** genommen, die eine Querschnittsansicht von Speicherzellen eines Beispielspeicherarrays in Übereinstimmung mit der vorliegenden Offenbarung veranschaulicht. Wie gezeigt, beinhaltet Speicherarray 100 (nachfolgend „Array 100“) mehrere Speicherzellen, die in mehreren Speicherketten $112_{1...4}$ gebildet sind, die in einer NAND-Konfiguration angeordnet sind. **Fig. 1** kann daher als Darstellung von Speicherzellen einer Beispiel-NAND-Speichervorrichtung in Übereinstimmung mit der vorliegenden Offenbarung verstanden werden. Wie veranschaulicht, beinhaltet der Speicher 100 Select-Gate-Source(„SGS“)-Gates 110 und Select-Gate-Drain(„SGD“)-Gates 104, von denen jedes mit einer oder mehreren Speicherketten $112_{1...4}$ gekoppelt ist. SGS 110 kann durch eine SGS-Steuerleitung und SGD 104 durch eine SGD-Steuerleitung (beide nicht gezeigt) gesteuert werden. Allgemein können SGD 104 und SGS 110 während der Durchführung einer oder mehrerer Operationen mit Speicher 100 (z.B. Leseoperationen, Schreiboperationen, Löschoperationen usw.) vorgespannt sein, so dass Speicherzellen oder Ketten von diesen während solcher Operationen entweder alleine oder in Kombination mit gesteuertem Vorspannen von Ketten-Select-Gate 132, das nachfolgend beschrieben wird, aktiviert oder deaktiviert werden.

[0015] Ketten $112_{1...4}$ sind bei dieser Ausführungsform so in einer gefalteten Anordnung gebildet, dass ein Teil jeder Kette mit einem ersten Teil entlang einer ersten Spalte 138_1 und einem zweiten Teil derselben Kette entlang einer angrenzenden (z.B. zweiten) Spalte 138_2 gebildet ist. Diesbezüglich können „Spalten“ 138_1, 138_2 als Ketten von Speicherzellen, die in einer NAND-Kette angeordnet sind, einschließend verstanden werden.

[0016] Ketten $112_{1...4}$ sind in einer gefalteten (z.B. U-förmigen) Anordnung angeordnet und können mehrere (z.B. 8, 16, 32 usw.) Speicherzellen beinhalten. Beispielsweise können Ketten $112_{1...4}$ jeweils acht (8) Speicherzellen beinhalten, wobei vier Speicherzellen entlang einer vertikalen Spalte (z.B. Spalte 112_1) und vier Speicherzellen entlang einer angrenzenden Speicherspalte (z.B. Spalte 112_2) gebildet sind und dementsprechend eine U-förmige Anordnung bilden. Die NAND-Speichervorrichtungen der vorliegenden Offenbarung können zwei oder mehr solcher U-förmiger Ketten beinhalten, die aneinander angrenzend gebildet sind. Speicher 100 kann auch ein Ketten-Select-Gate (SSG) 132 beinhalten, das zwischen jedem Ende von Ketten $112_{1...4}$ gebildet sein kann.

[0017] Wie weiter in **Fig. 1** gezeigt, können Ketten $112_{1...4}$ bei verschiedenen Ausführungsformen zwischen einer Datenleitung 116 (z.B. Bitleitung) und zwei Source-Leitungen $114_{1, 2}$, z.B. an Bitleitungskontaktpunkten 144 und Source-Leitungskontaktpunkten 142, gekoppelt sein. Koppeln einer Kette mit einer Bitleitung kann durch SSG 132 gesteuert werden, das ein Leiter, wie etwa polykristallines Silizium (Polysilizium), sein kann. Allgemein kann SSG 132 vorgespannt (aktiviert) sein, um ein erstes Ende einer ausgewählten Kette $112_{1...4}$ mit/von Datenleitung 116 (Bitleitung) und ein anderes Ende der ausgewählten Kette mit/von einer Source-Leitung $114_{1, 2}$ zu koppeln und/oder zu entkoppeln.

[0018] Es versteht sich, dass nur ein Teil von Speicher 100 und Ketten $112_{1...4}$ in **Fig. 1** gezeigt ist und dass die nichtflüchtigen Speicher der vorliegenden Offenbarung nicht auf die gezeigte Konfiguration beschränkt sind. In der Tat kann Speicher 100 ein Speicherzellenarray beinhalten, das mehr oder weniger NAND-Ketten als jene, in **Fig. 1** als Ketten $112_{1...4}$ identifizierte, beinhaltet. Zudem kann jede Kette mehr oder weniger als acht Speicherzellen beinhalten, von denen beliebige oder alle durch Wortleitungen $102_{0...7}$ oder durch andere (nicht gezeigte) Wortleitungen gekoppelt sein können. Zum Beispiel könnten sich zusätzliche (nicht gezeigte) Speicherzellenstrukturen innerhalb jeder der Ketten $112_{1...4}$ und/oder einer oder mehrerer zusätzlicher Ketten befinden. Solche zusätzlichen Speicherzellen können aktive oder inaktive (Dummy-) Speicherzellen beinhalten, wie etwa jene, in der vorveröffentlichten US 2009 / 0 168 519 A1 beschriebenen. In der Tat können die hier beschriebenen Speicher bei manchen Ausführungsformen ein NAND-Speicher sein, der ein Speicherarray mit 2^n Speicherzellen beinhaltet, wobei n eine ganze Zahl ist.

[0019] Wie ferner in **Fig. 1** dargestellt, kann Speicher 100 ferner eine Ladungsspeicherstruktur 124 und eine Kanalstruktur 126 beinhalten. Ladungsspeicherstruktur 124 kann in Form einer oder mehrerer kontinuierlicher Schichten vorliegen, die wie gezeigt durch Speicherketten $112_{1...4}$ hindurch gebildet sind. Bei manchen Ausführungsformen kann die Ladungsspeicherstruktur 124 eine erste Oxidschicht, eine auf der ersten Oxidschicht gebildete Nitridschicht und eine zweite, auf der Nitridschicht gebildete Oxidschicht beinhalten (alle nicht gezeigt).

[0020] Speicher 100 kann auch ein Ebenen-Gate beinhalten, das in **Fig. 1als** mehrere Steuer-Gates $140_{1...4}$ beinhaltend veranschaulicht ist, von denen jedes unter einer Kette von Speicherzellen $112_{1...4}$ gebildet sein kann. Steuergates $140_{1...4}$ können ohne Beschränkung einen Teil einer Schaltungsanordnung unter Speicherarray $112_{1...4}$ bilden, die zum Treiben von Speicherketten $112_{1...4}$ verwendet werden kann. Entsprechend können Steuer-Gates $140_{1...4}$ einen Teil einer Wortleitungstreiberschaltungsanordnung bilden, die unter Speicherketten $112_{1...4}$ gebildet sein kann und die durch eine beliebige geeignete Technologie, wie eine CMOS-unter--Array(CUA)-Technologie, hergestellt sein kann.

[0021] Obwohl dies nicht dargestellt ist, können die Speicherzellen von Speicher 200 so in drei Dimensionen (3D) angeordnet sein, dass sie ein 3D-Array von Speicherzellen bilden. Zum Beispiel können die Speicherzellen SGS 110_{1-2}, SGD 104_{1-2} und Ketten--Select-Gates („SSG“) $132_{1...5}$ sowohl hinter (z.B. unterhalb) als auch vor (z.B. oberhalb) der in **Fig. 1** gezeigten Ebene wiederholt sein. Die Steuerleitungen für solche Gates können sich auch vor und unterhalb der Ebene aus **Fig. 1** erstrecken. Insbesondere können Wortleitungen $102_{0...7}$ (die die Zugangsleitung und lokal die Steuer-Gate-Struktur jeder Speicherzelle beinhalten können) bei solchen Ausführungsformen derart verstanden werden, dass sie in die Ebene des Speicherzellenarrays von Speicher 100 hineinlaufen und aus dieser herauslaufen. Gleichermaßen können SGD 104_{1-2}, SGS 110_{1-2} und SSG $132_{1...5}$ (die jeweils lokal in jeder der Ketten $112_{1...4}$ als eine Steuerstruktur fungieren) auch eine Steuersignalleitung beinhalten, die durch die Ebene aus **Fig. 1** hindurchläuft. Das Ebenen-Gate (z.B. Steuer-Gates $140_{1...4}$) kann auch innerhalb des 3D-Arrays wiederholt sein.

[0022] Es wird angemerkt, dass **Fig. 1** bereitgestellt wurde, um eine Konfiguration eines NANDSpeicherarrays zu veranschaulichen, die in Übereinstimmung mit der vorliegenden Offenbarung verwendet werden kann. Es versteht sich, dass die vorliegende Offenbarung die Verwendung verschiedener Arten nichtflüchtigen Speichers beabsichtigt, einschließlich eines NAND-Speichers, der auf eine andere Weise als Speicher 100 aus **Fig. 1** konfiguriert ist, sowie eines Speichers mit einer NICHT-ODER(NOR)-Architektur. In jedem Fall können weitere Informationen hinsichtlich Speicher 100 und Verfahren zum Bilden

eines solchen Speichers in der US 8 681 555 B2 gefunden werden, deren gesamter Inhalt hier durch Bezugnahme aufgenommen ist.

[0023] Es wird nun Bezug auf **Fig. 2A** und **Fig. 2B** genommen, die unterschiedliche Ansichten eines Zugangsleitungsführungsschemas für ein Speicherarray eines nichtflüchtigen Speichers in Übereinstimmung mit der vorliegenden Offenbarung bereitstellen. Wie hier verwendet, werden die Begriffe „Zugangsleitung“, „Steuerleitung“ und Führungsleitung austauschbar verwendet, um auf Leitungen zu verweisen, die zum Übertragen von Signalen zu und/oder von einer oder mehreren Komponenten eines nichtflüchtigen Speichers verwendet werden. Zugangs-/Steuerleitungen können daher Leitungen/-Kanäle beinhalten, die zum Übertragen von Signalen zu und von einem oder mehreren Gates (z.B. Select-Gate-Source, Select-Gate-Drain usw.), einer oder mehreren Wortleitungen, einer oder mehreren Speicherzellen, einer Treiberschaltungsanordnung, Kombinationen von diesen und dergleichen, die in einem nichtflüchtigen Speicher verwendet werden können, verwendet werden. Wie es sich versteht, können Zugangsleitungen durch einen oder mehrere in einem nichtflüchtigen Speicher gebildete Kanäle hindurch geführt werden.

[0024] Es wird ferner angemerkt, dass die Leitungsführungsdiagramme aus **Fig. 2A** und **Fig. 2B** zu Veranschaulichungszwecken ein Beispiel veranschaulichen, in dem ein nichtflüchtiger Speicher mehrere Speicherarrays (Kacheln) beinhaltet, die Speicherketten beinhalten, die durch eine darunterliegende Treiberschaltungsanordnung, die von jedem Speicherarray geteilt wird, getrieben werden. Von daher können **Fig. 2A** und **Fig. 2B** als Darstellung unterschiedlicher Ansichten eines Leitungsführungsdiagramms für einen nichtflüchtigen Speicher (z.B. einen vertikalen NAND-Speicher) verstanden werden, der eine gemeinsame Wortleitungstreiberarchitektur einsetzt, die zum Beispiel durch eine CUA--Technologie unter den jeweiligen Speicherarrays bereitgestellt sein kann. Eine Aufgabe von **Fig. 2A** und **Fig. 2B** ist es, verschiedene Herausforderungen zu veranschaulichen, auf die man bei der Leitungsführung verschiedener Zugangs-, Datenleitungen usw., die in einer solchen Vorrichtung verwendet werden können, treffen kann. Es wird betont, dass diese Veranschaulichung nur beispielhaft ist und dass die hier beschriebenen Technologien mit einem beliebigen geeigneten nichtflüchtigen Speicher eingesetzt werden können.

[0025] Wie in **Fig. 2A** und **Fig. 2B** gezeigt, kann Speicher 200 mehrere Speicherarrays (Kacheln) beinhalten. Dieses Konzept ist in **Fig. 2** veranschaulicht, die Speicher 200 als ein erstes Speicherarray (Kachel) 203_1 und eine zweite Speicherarraykachel 203_2 beinhaltend veranschaulicht. Jedes der Speicherarrays (Kacheln) 203_1, 203_2 kann in Form eines vertikalen Speicherzellenarrays vorliegen, wie es etwa in einer vertikalen oder 3D-NAND-Architektur verwendet werden kann. Von daher können Speicherarrays 203_1, 203_2 jeweils mehrere entsprechende Kanäle 204 beinhalten und/oder mit diesen gekoppelt sein, von denen jeder mit einer oder mehreren Zugangsleitungsplatten (Wortleitungsplatten) 205 angesteuert/oder gesteuert werden kann. Wortleitungsplatten 205 können mit leitfähigen (z.B. Metall-, Polysilizium- usw.) Kanälen (Führungsleitungen) 202 gekoppelt sein, die ihrerseits mit leitfähigen Zwischenverbindungen 201, die in einem Gebiet oberhalb von Speicherarrays $203_{1,2}$ angeordnet sind, gekoppelt sind. Um Verbindung und Leitungsführung leitfähiger Kanäle (Leitungen) 202 zu erleichtern, können Wortleitungsplatten 205 in einer wie in **Fig. 2A** gezeigten abgestuften Struktur gebildet sein. Leitfähige Kanäle 202 können auch Wortleitungsplatten 205 mit einer oder mehreren Zugangssteuerleitungen (Wortsteuerleitungen) koppeln, z.B. mittels Wortleitungskontakten 212. Das vorangehende Konzept ist in **Fig. 2A** veranschaulicht, die leitfähige Leitungen 202 als Kopplung zu ersten Wortsteuerleitungen 206 und/oder zweiten Wortsteuerleitungen 207 zeigt, die sich in diesem Fall in einem Gebiet unterhalb von Speicherarrays $203_{1,\ 2}$ befinden. Speicher 200 kann ferner Zwischenverbindungen 209 beinhalten, die leitfähiges Material beinhalten können und die zum elektrischen Koppeln von zwei oder mehr leitfähigen Leitungen 203 und/oder anderer Komponenten des Speichers 200 miteinander wirken können.

[0026] Erste und/oder zweite Wortsteuerleitungen 206, 207 können mit der Treiberschaltungsanordnung 208 wie in **Fig. 2A** und **Fig. 2B** gezeigt gekoppelt sein. Wie oben angemerkt, kann die Treiberschaltungsanordnung 208 zwischen den Speicherarrays $203_{1,\ 2}$ geteilt werden und kann zum Treiben von Speicherketten von diesen wirken. Treiberschaltungsanordnung 208 kann daher bei manchen Ausführungsformen in Form einer gemeinsamen Wortleitungstreiberarchitektur konfiguriert sein, die z.B. unter den Speicherarrays $203_{1,2}$ mittels CUA-Technologie oder eines anderen Verfahrens bereitgestellt sein kann. Wie in **Fig. 2B** gezeigt, können erste und/oder zweite Wortsteuerleitungen 206, 207 Schaltungsanordnungsleitungsführungskanäle 213 beinhalten, in Form dieser vorliegen und/oder mit diesen koppeln, welche leitfähige Leitungen (z.B. aus Metall, Polysilizium oder dergleichen oder diese beinhaltend) beinhalten können, die elektrischen Kontakt mit der Treiberschaltungsanordnung 208 ermöglichen.

[0027] Wie ebenfalls in **Fig. 2B** gezeigt, kann Speicher 200 Source-Kanäle 210, SGS-Leitungen 211 und SGD-Leitungen 214 beinhalten. Source-Kanäle 210 können aus einer oder mehreren Leitungen, die

leitfähiges Material (z.B. Metall, Polysilizium usw.) beinhalten, gebildet sein oder diese beinhalten und können zum Koppeln eines oder mehrerer Merkmale von Speicher 200 mit einer Source wirken. Gleichermaßen können SGS-Leitungen 211 und SGD-Leitungen 214 aus leitfähigem Material (wiederum Metall, Polysilizium usw.) gebildet sein oder dieses beinhalten und können jeweils zum Koppeln entsprechender SGS- und SGD-Gates mit der Treiberschaltungsanordnung 208 oder anderen geeigneten Komponenten wirken.

[0028] Wie aus **Fig. 2A** und **Fig. 2B** gesehen werden kann, können die verschiedenen in Speicher 200 verwendeten Leitungen und Kanäle innerhalb einer Blockhöhe H geführt werden. Bei den veranschaulichten Ausführungsformen zum Beispiel können Wortleitungen 206, 207, Source-Leitungen 210, SGS-Leitungen 211 und SGD-Leitungen 214 mit leitfähigen Leitungen 202 und/oder Zwischenverbindungen 209 gekoppelt sein, von denen manche oder alle zur Treiberschaltungsanordnung 208 geführt sein können. Insbesondere können eine oder mehrere solcher Zugangsleitungen oberhalb oder unterhalb von Speicherarrays $203_{1,\ 2}$ geführt werden, d.h. innerhalb der Blockhöhe H von Speicher 200. Obwohl eine Leitungsführung auf diese Weise effektiv sein kann, da die Speicherdichte zunimmt, können zusätzliche Zugangsleitungen benötigt werden. Eine Leitungsführung dieser zusätzlichen Zugangsleitungen kann gehindert oder verhindert sein, wenn die Blockhöhe H beschränkt ist, z.B. durch Gestaltungsüberlegungen und/oder einen Standard, der eine maximale Blockhöhe definiert. Dieses Konzept ist in **Fig. 2B** veranschaulicht, die SGD-Leitungen 214 als eine Verbindung zur Treiberschaltungsanordnung 213 benötigend darstellt, z.B. in Gebiet 215. Wie oben angemerkt, können SGD-Leitungen 214 oberhalb oder unterhalb von Speicherarrays 203_1 oder 203_2 geführt werden, aber dies kann eine Zunahme der Blockhöhe H bedingen, was unerwünscht sein kann.

[0029] Es wird nun Bezug auf **Fig. 3** genommen, die ein alternatives Leitungsführungsdiagramm für einen nichtflüchtigen Speicher in Übereinstimmung mit der vorliegenden Offenbarung darstellt. Wie gezeigt, beinhaltet Speicher 300 viele der gleichen Komponenten wie Speicher 200 aus **Fig. 2A** und **Fig. 2B**. Da das Wesen und die Funktion solcher Elemente in **Fig. 3** die gleichen sind wie in **Fig. 2A** und **Fig. 2B**, werden solche Elemente aus Gründen der Kürze nicht nochmals beschrieben. In diesem Sinne unterscheidet sich Speicher 300 von Speicher 200 dadurch, dass er Durch-Array-Durchkontaktierungsgebiete 301_1, 301_2 beinhaltet, die in entsprechenden Teilen 302_1, 302_2 von Speicher 300 gebildet sein können. Bei manchen Ausführungsformen können ein oder beide Teile 302_1, 302_2 einem Arraygebiet von Speicher 300 entsprechen, d.h. einem Gebiet von Speicher 300, das wenigstens teilweise von einem Speicherarray, z.B. Speicherarray 203_1, 203_2 aus **Fig. 2A** (in **Fig. 3** nicht gezeigt), belegt ist. Alternativ können ein oder beide Teile 302_1, 302_2 einem Peripheriegebiet von Speicher 300 entsprechen, d.h. einem Gebiet von Speicher 300, das außerhalb von einem Speicherarraygebiet und/oder um dieses herum gebildet sein kann. Bei manchen Ausführungsformen kann ein nichtflüchtiger Speicher eine Gesamtspeicherfläche A aufweisen und der Begriff „Arraygebiet“ kann auf ein Gebiet innerhalb von Fläche A verweisen, das von einem Speicherarray belegt ist. In solchen Fällen kann der Begriff „Peripheriegebiet“ auf ein Gebiet von Fläche A verweisen, das außerhalb des Arraygebiets liegt und das sich von einer Kante des Arraygebiets bis zu einem Abstand erstreckt, der etwa 30% (z.B. etwa 25%, etwa 20%, etwa 15%) von Fläche A ist. Bei manchen Ausführungsformen erstreckt sich das Peripheriegebiet eines nichtflüchtigen Speichers von mehr als 0 bis etwa 25% der Gesamtspeicherfläche A.

[0030] Ohne Beschränkung entsprechen bei manchen Ausführungsformen ein oder beide Teile 302_1, 302_2 einem Peripheriegebiet von Speicher 300. In jedem Fall können ein oder mehrere Durchkontaktierungskanäle 303 in Durchkontaktierungsgebieten 301_1, 302_2 gebildet werden, so dass ein oder mehrere Kanäle und entsprechende Zugangsleitungen von Speicher 300 mit der Treiberschaltungsanordnung 208 koppeln. Zum Beispiel können SGD-Leitungen 214 bei der veranschaulichten Ausführungsform durch Durchkontaktierungskanäle 303 mit der Treiberschaltungsanordnung 208 oder anderen Komponenten von Speicher 300 gekoppelt sein.

[0031] Es wird angemerkt, dass **Fig. 3** zu Veranschaulichungszwecken und zum besseren Verständnis ein Leitungsführungsdiagramm veranschaulicht, in dem SGD-Leitungen 214 durch Durchkontaktierungskanäle 303 mit Treiberschaltungsanordnung 208 oder anderen Komponenten von Speicher 300 gekoppelt sein können. Es wird betont, dass das veranschaulichte Beispiel rein veranschaulichend ist und dass eine, alle oder eine Kombination der Zugangsleitungen für Speicher 300 (oder 200) durch einen oder mehrere Durchkontaktierungskanäle 303, die in den Durchkontaktierungsgebieten 302_1, 302_2 gebildet sind, mit geeigneten Komponenten gekoppelt sein können. In der Tat können bei manchen Ausführungsformen ein oder mehrere Durchkontaktierungskanäle 303 verwendet werden, um SGD-Leitungen 214, Schaltungsanordnungsleitungsführungskanäle 213, SGS-Leitungen 211, Source-Kanäle 210, Wortsteuerleitungen 206, 207, Kombinationen von diesen und dergleichen zu geeigneten Komponenten von Speicher 300 zu führen.

[0032] Wie es sich versteht, kann die Leitungsführung verschiedener Zugangsleitungen von nichtflüchtigem Speicher mit Durchkontaktierungskanälen 303 einen Stapel von Wortleitungsplatten umgehen, die in Speicher 300 verwendet werden können, wie etwa unter anderem den abgestuften Stapel oder die Wortleitungsplatten 205 in Speicher 200 aus **Fig. 2B**. Dies kann Zugang zur Treiberschaltungsanordnung 208 und/oder die Leitungsführung zusätzlicher Zugangsleitungen ohne die Notwendigkeit, die Blockhöhe H zu erhöhen, und möglicherweise ohne die Notwendigkeit, zusätzliche Zwischenverbindungen zur Leitungsführung um andere Komponenten einer Speichervorrichtung herum zu bilden und zu verwenden, ermöglichen. Allgemeiner eröffnet die Verwendung von Durch-Array-Durchkontaktierungen 303 Zugänge zu einer Vielzahl alternativer Leitungsführungsschemata, die einen oder mehrere Vorteile in Bezug auf andere Leitungsführungsschemata, die auf Leitungsführung verschiedener Kanäle oberhalb und/oder unterhalb eines Speicherarrays angewiesen sind, aufzeigen können.

[0033] Es wird wiederum angemerkt, dass **Fig. 2A**, **Fig. 2B** und **Fig. 3** Leitungsführungsschemata veranschaulichen, wie sie zur Verwendung in nichtflüchtigem Speicher, der eine spezielle Speicherarraykonfiguration, ein spezielles Layout und eine spezielle darunterliegende Treiberschaltungsanordnung aufweist, konfiguriert sein können. Es wird wiederum betont, dass solche Veranschaulichungen nur als Beispiel dienen und dass die hier beschriebenen Technologien verwendet werden können, um alternative Leitungsführungsverfahrensweisen für ein weites Spektrum unterschiedlicher nichtflüchtiger Speicherkonfigurationen, einschließlich unter anderem vertikaler und 3D-NAND-Konfigurationen, zu ermöglichen. In der Tat sollte die vorliegende Offenbarung so ausgelegt werden, dass sie weitestgehend die Verwendung von Durch-Array-Kanälen/--Leitungen und zugehöriger Durchkontaktierungen zum Durchführen von Leitungsführungsfunktionen in einer beliebigen geeigneten Art von nichtflüchtigem Speicher betrifft.

[0034] Daher betrifft die vorliegende Offenbarung bei manchen Ausführungsformen einen NAND-Speicher einschließlich eines Arraygebiets und eines Peripheriegebiets, wobei wenigstens ein Array von vertikalen Speicherketten (z.B. vertikalen und/oder 3D-NAND-Speicherketten) im Arraygebiet und oberhalb einer Treiberschaltungsanordnung (z.B. einer Kettentreiberschaltungsanordnung) für das wenigstens eine Array gebildet ist, wobei der nichtflüchtige Speicher ferner wenigstens ein Durch-Array-Durchkontaktierungsgebiet beinhaltet, der wenigstens einen Durch-Array-Kanal beinhaltet, der zum elektrischen Koppeln wenigstens einer Zugangsleitung mit der Treiberschaltungsanordnung oder einer anderen geeigneten Komponente des Speichers konfiguriert ist. In diesem Zusammenhang bedeutet eine „Zugangs"-Leitung eine oder mehrere aus den Steuerleitungen (SGS, SGD), der Source-Leitung, der Drain-Leitung, der Wortleitung usw., die in nichtflüchtigem Speicher verwendet werden können.

[0035] In Anbetracht des Vorausgehenden betrifft ein anderer Aspekt der vorliegenden Offenbarung Durch-Array-Kanäle für nichtflüchtigen Speicher und Verfahren zum Herstellen von diesen. In dieser Hinsicht wird nun Bezug auf **Fig. 4** genommen, die ein Flussdiagramm von Abläufen, die in Übereinstimmung mit einem Beispielverfahren zur Herstellung eines Durch-Array-Kanals übereinstimmend mit der vorliegenden Offenbarung durchgeführt werden können. Zu Klarheits- und Veranschaulichungszwecken werden die Abläufe aus **Fig. 4** in Zusammenhang mit **Fig. 5A-5F** beschrieben, die das Bilden eines beispielhaften Durch-Array-Kanals in Übereinstimmung mit der vorliegenden Offenbarung in einem Arraygebiet und einem Peripheriegebiet eines NAND schrittweise veranschaulichen. Während die vorliegende Erfindung sich nur auf das Bilden einer Durch-Array--Durchkontaktierung konzentriert, versteht es sich, dass die Durch-Array-Durchkontaktierungen in Übereinstimmung mit der vorliegenden Offenbarung vor, nach oder während der Bildung von anderen Komponenten eines nichtflüchtigen Speichers, einschließlich eines oder mehrerer Speicherarrays, Steuer-Gates, Sources, Drains, Zugangsleitungen usw. davon, gebildet werden können. Ohne Beschränkung werden die hier beschriebenen Durch-Array-Kanäle vorzugsweise im Verlauf anderer Prozessabläufe gebildet, die verwendet werden können, um eine oder mehrere andere Komponenten eines nichtflüchtigen Speichers bereitzustellen, um z.B. die Notwendigkeit zusätzlicher oder unterschiedlicher Maskierung, Abscheidung, Reinigung oder anderer Verarbeitungsschritte zu vermeiden oder zu beschränken.

[0036] Wie in **Fig. 4** gezeigt beginnt Verfahren 400 bei Block 401. Das Verfahren kann dann zu Block 402 fortfahren, wobei ein Speicherarray eines nichtflüchtigen Speichers z.B. auf einem Wafer oder anderweitig bereitgestellt werden kann. Das Speicherarray kann ein Arraygebiet und ein Peripheriegebiet wie oben beschrieben beinhalten. Dieses Konzept ist in **Fig. 5A** veranschaulicht, die das Arraygebiet 501 und Peripheriegebiet 502 eines Teils des Speicherarrays 500 darstellt. Wie gezeigt, können das Arraygebiet 501 und das Peripheriegebiet 502 sich abwechselnde dielektrische Schichten 504 und leitfähige Schichten 505 beinhalten. Dielektrische Schichten 504 können aus einem beliebigen geeigneten dielektrischen Material, das unter anderem dielektrische Nitride und dielektrische Oxide beinhaltet, wie etwa Siliziumoxid (SiO_x) und Aluminiumoxid, gebildet werden oder dieses beinhalten. Gleichermaßen können die leitfähigen Schichten 505 aus einem beliebigen geeigneten leitfähigen Material, wie etwa

unter anderem polykristallinem Silizium (Polysilizium), einem oder mehreren Metallen und/oder Metallnitriden, wie etwa Titannitrid, Kombinationen von diesen und dergleichen, gebildet werden oder dieses beinhalten.

[0037] Sich abwechselnde dielektrische und leitfähige Schichten 504, 505 können auf Isolationsschicht 508, die selbst auf oder oberhalb von Struktur 509 aufgewachsen oder abgeschieden sein kann, aufgewachsen oder abgeschieden werden. Isolationsschicht 508 kann aus einem dielektrischen und/oder isolierenden Oxidmaterial, wie etwa unter anderem Siliziumoxid, gebildet werden oder dieses beinhalten. Wie in **Fig. 5A** gezeigt, können eine oder mehrere Führungsleitungen, wie etwa erste und zweite Führungsleitung 506, 507, in der Isolationsschicht 508 gebildet werden. Die erste und zweite Führungsleitung können beliebige geeignete Führungsleitungen sein, die in einem nichtflüchtigen Speicher eingesetzt werden können, wie etwa ein(e) oder mehrere Source-Kanäle, Wortleitungskanäle, SGS-Leitungen, SGD-Leitungen usw. Selbstverständlich mit der vorausgehenden Beschreibung übereinstimmend, können Führungsleitungen 506, 507 weggelassen werden, z.B. in Fällen, in denen solche Leitungen durch andere Teile von Speicherarray 500 geführt werden, z.B. unter Verwendung eines Durchkontaktierungskanals in Übereinstimmung mit der vorliegenden Offenbarung. Jedoch sind Führungsleitungen 506, 507 innerhalb von Isolationsschicht 508 als Beispiel dargestellt, um zu veranschaulichen, wie die hier beschriebenen Durch-Array-Kanäle gebildet werden können, um Beeinträchtigen von Führungsleitungen und anderer Komponenten innerhalb von Isolationsschicht 508 oder eines beliebigen anderen Teils von Speicherarray 500 zu vermeiden. Wie später besprochen wird, werden die hier besprochenen Durch-Array-Kanäle vorzugsweise so gebildet, dass sie von Führungsleitungen und/oder anderen Komponenten, die innerhalb von Speicherarray 500 liegen können, wie etwa unter anderem Führungsleitungen 506, 507, die innerhalb von Schicht 508 liegen können, isoliert sind oder diese anderweitig vermeiden.

[0038] Struktur 509 kann ein leitfähiges Substrat oder eine andere leitfähige Struktur (z.B. ein Bondpad, Leiterleitung usw.) sein, die zum elektrischen Koppeln eines Durch-Array-Kanals in Übereinstimmung mit der vorliegenden Offenbarung mit einer anderen Komponente eines nichtflüchtigen Speichers, wie etwa einer Treiberschaltungsanordnung, die unter Speicherarray 500 gebildet sein kann, z.B. durch eine wie oben beschriebene CUA-Technologie, wirken kann. In dieser Hinsicht kann ein beliebiges geeignetes leitfähiges Material zum Bilden von Struktur 509 verwendet werden, einschließlich unter anderem von Metallen, wie etwa Wolfram, Kupfer und Aluminium, ebenso wie anderer leitfähiger Materialien, wie etwa Polysilizium. Ohne Beschränkung liegt Struktur 509 vorzugsweise in Form eines Bondpads oder einer leitfähigen Leitung vor, das oder die aus einem Metall, wie etwa Wolfram, gebildet ist.

[0039] Wieder mit Bezug auf **Fig. 4** kann das Verfahren zu Block 403 fortfahren, in dem ein oder mehrere Gräben im Speicherarray gebildet werden können. Dieses Konzept ist in **Fig. 5B** veranschaulicht, die jeweils die Bildung von Gräben 510, 510' in Arraygebiet 501 und Peripheriegebiet 502 von Speicherarray 500 darstellt. Gräben 510, 510' können mittels eines beliebigen geeigneten, in der Technik bekannten Grabenbildungsprozesses gebildet werden, wie etwa unter anderem chemischen Nassätzens, Trockenätzens, Fotolithografie, Kombinationen von diesen und dergleichen. Ohne Beschränkung können ein oder mehrere Gräben 510, 510' vorzugsweise unter Verwendung eines Trockenätzprozesses gebildet werden, wie etwa eines Trockenätzprozesses für einen Graben mit hohem Aspektverhältnis (HART - High Aspect Ratio Trench). HART-Trockenätzprozesse sind in der Technik gut verstanden und daher ist hier keine ausführliche Beschreibung von diesen bereitgestellt. Bei manchen Ausführungsformen kann der HART-Trockenätzprozess ein Trockenätzmittel einsetzen, das die Materialien für dielektrische Schichten 504 (z.B. SiO_x), leitfähige Schichten 505 (z.B. Polysilizium), Schicht 508 (z.B. SiO_x) und (optional) Führungsleitungen 506, 507 aggressiv ätzen kann, das aber das Material von Struktur 509 (z.B. Metalle, wie etwa Wolfram) nicht ätzen oder nicht aggressiv ätzen kann. Demzufolge kann der Trockenätzprozess einen Graben erzeugen, der sich von einer oberen Oberfläche von Arraygebiet 501 und Peripheriegebiet 502 zu Struktur 509 erstreckt. Gräben 510, 510' können daher Zugang hindurch zu Struktur 509 bereitstellen.

[0040] Es wird angemerkt, dass **Fig. 5B-5F** zu Veranschaulichungszwecken eine Ausführungsform schrittweise darstellen, in der ein einziger Graben sowohl im Arraygebiet als auch im Peripheriegebiet eines nichtflüchtigen Speichers gebildet wird und in der ein einziger Kanal im Graben gebildet wird. Es versteht sich, dass eine solche Ausführungsform nur ein nicht beschränkendes Beispiel der vorliegenden Offenbarung ist und dass die hier beschriebenen Technologien verwendet werden können, um einen oder mehrere Gräben in nur einem Arraygebiet eines Speicherarrays, nur einem Peripheriegebiet eines Speicherarrays, in sowohl dem Array- als auch dem Peripheriegebiet eines solchen Arrays und/oder in einem oder mehreren von dem Peripherie- und Arraygebiet sowie einem anderen Gebiet des Speicherarrays oder einer nichtflüchtigen Speichervorrichtung einschließlich des Speicherarrays zu bilden. Daher können die hier beschriebenen nichtflüchtigen Speicher bei manchen Ausführungsformen ein Speicherarray mit einem Peripheriegebiet

und einem Arraygebiet beinhalten, wobei ein oder mehrere (z.B. 2, 3, 4, 5, 6 usw.) Gräben in dem Peripherie- und/oder Arraygebiet und optional in einem anderen Gebiet des Arrays oder der Vorrichtung einschließlich des Arrays gebildet werden können. Zudem kann jeder Graben nachfolgend verarbeitet werden, um einen oder mehrere Durch-Array-Kanäle zu beinhalten.

[0041] In **Fig. 5B-5F** sind Gräben 510, 510' als eine sich verjüngende Struktur aufweisend veranschaulicht, so dass eine Abmessung (z.B. Breite) nahe der Unterseite des Grabens geringer ist als die entsprechende Abmessung nahe der Oberseite des Grabens. Von daher können Gräben 510, 510' als eine Seitenwand aufweisend verstanden werden, die eine Neigung aufzeigt. Die Größe der Neigung der Seitenwände von Gräben 510, 510' kann weitgehend variieren und kann durch Gestaltungs- und/oder Verarbeitungseinschränkungen vorgeschrieben sein. Ohne Beschränkung kann sich die Neigung von einer oder beiden Seitenwänden von Gräben 510, 510' von etwa 85 bis etwa 90 Grad relativ zur Ebene der oberen Oberfläche von Struktur 509 bewegen, wie etwa von etwa 87 bis 89 Grad oder sogar von etwa 88 bis etwa 89 Grad. Wie es sich versteht, kann die Neigung der Seitenwände von Gräben 510, 510' so gewählt werden, dass ein gewünschtes elektrisches Isolationsniveau zwischen leitfähigen Materialien bereitgestellt wird, die zu Graben 510, 510' hinzugefügt werden können (z.B. unten beschriebene Barriereschicht 513, 513' und leitfähige Materialien 514, 514'). Jedoch macht eine übermäßig hohe Neigung es schwierig, Gräben 510, 510' ohne Lücken oder andere Defekte zu füllen.

[0042] Bei manchen Ausführungsformen können Gräben 510, 510' so positioniert sein, dass sie die Funktion anderer Komponenten eines Speicherarrays, wie etwa Führungsleitungen 506, 507, die in Schicht 508 vorliegen können, vermeiden oder anderweitig nicht beeinflussen. Dieses Konzept ist im Peripherieaspekt von **Fig. 5B** gezeigt, die Graben 510' als so gebildet darstellt, z.B. als zwischen Führungsleitungen gebildet, dass er nicht auf solche Führungsleitungen 506, 507 einwirkt.

[0043] Wieder mit Bezug auf **Fig. 4** kann das Verfahren dann zu Block 404 fortfahren, wobei der/die Graben/Gräben, der/die gemäß Block 403 gebildet wird/werden, mit einem Isolationsmaterial gefüllt werden kann/können. Dieses Konzept ist in **Fig. 5C** veranschaulicht, die Gräben 510, 510' als mit einem Isolationsmaterial 511, 511' gefüllt veranschaulicht.

[0044] Isolationsmaterial 511, 511' kann durch Abscheiden und/oder Wachsen eines Isolationsmaterials oder einer Kombination von Isolationsmaterialien innerhalb von Gräben 510, 510' gebildet werden. Nichtbeschränkende Beispiele geeigneter Isolationsmaterialien, die als oder in Isolationsmaterial 511, 511' verwendet werden können, beinhalten Borphosphorsilikatglas (BPSG), ein isolierendes Oxid, wie etwa SiO_x (z.B. SiO_2), Siliziumdioxid und/oder von einer Silikatvorstufe abgeleitete Silikate, wie etwa Tetraethylorthosilikat (TEOS), ein dielektrisches Aufschleuderpolymermaterial, ein siliziumbasiertes polymeres dielektrisches Aufschleudermaterial, eine Kombination von diesen und dergleichen. In jedem Fall können Gräben 510, 510' mit Isolationsmaterial 511, 511' unter Verwendung eines beliebigen geeigneten Prozesses gefüllt werden.

[0045] Bei manchen Ausführungsformen können Gräben 510, 510' durch einen Mehrschrittprozess gefüllt werden, in dem der Großteil von Gräben 510, 510' anfänglich mit BPSG gefüllt wird, z.B. unter Verwendung von chemischer Gasphasenabscheidung (CVD - Chemical Vapor Deposition) oder eines anderen geeigneten Prozesses. Die Tiefe der anfänglichen BPSG-Füllung kann beträchtlich variieren und kann sich in Abhängigkeit von der Tiefe von Gräben 510, 510' von etwa 100 bis etwa 5000 nm oder mehr bewegen. Ohne Beschränkung kann sich die Tiefe der anfänglichen BPSG-Füllung von etwa 1000 bis etwa 3000 nm bewegen, wie etwa 1800 bis etwa 2500 nm. Obwohl Abscheiden von BPSG mit hoher Qualität möglich ist (z.B. mit einem CVD- oder einem anderen Prozess), können in vielen Fällen Risse oder andere Defekte in der BPSG-Füllung vorliegen. Alleine gelassen können solche Defekte die Leistungsfähigkeit der hier beschriebenen Durchkontaktierungskanäle negativ beeinflussen. Daher können Risse und/oder andere Defekte in der BPSG-Füllung (gegebenenfalls) bei manchen Ausführungsformen durch Abscheiden eines oder mehrerer zusätzlicher Materialien in die Gräben 510, 510' gefüllt werden,

[0046] Beispielsweise können Defekte in einer BPSG-Füllung bei manchen Ausführungsformen wenigstens teilweise durch Abscheiden von Tetraethylorthosilikat (TEOS) auf der BPSG-Füllung, z.B. durch chemische Gasphasenabscheidung, gefüllt werden. Das abgeschiedene TEOS kann dann durch die Anwendung von Wärme entweder allein oder in Kombination mit anderen in der Technik bekannten Verarbeitungsschritten zu Siliziumdioxid umgewandelt werden.

[0047] Bei manchen Ausführungsformen kann die obengenannte BPSG-Abscheidung zur Bildung eines BPSG-Films innerhalb von Gräben 510, 510' führen, der eine Zugspannung aufzeigt. Wenn das Füllen von Gräben 510, 510' mit BPSG fortschreitet, kann der Aufbau von Zugspannung erheblich werden. Um dieses Problem in Angriff zu nehmen, kann die TEOS-Abscheidung bei manchen Ausführungsformen so konfiguriert sein, dass ein Teil von der oder die gesamte, durch die BPSG-Abscheidung eingeführte Zugspannung abgebaut wird. Dies kann

zum Beispiel erreicht werden, indem das TEOS auf solche Weise abgeschieden wird, dass das entstehende Siliziumoxid einen Film bildet, der eine Zugspannung aufzeigt, die der von der BPSG-Füllung aufgezeigten Spannung entgegengesetzt ist. Dies kann Biegen des Wafers beschränken und/oder verhindern.

[0048] Während der BPSG- und TEOS-Abscheidung kann Material oberhalb von und/oder auf der oberen Oberfläche von sich abwechselnden dielektrischen und leitfähigen Schichten 504, 505 abgeschieden werden. Daher kann bei manchen Ausführungsformen ein optionaler erster Polierprozess, wie etwa chemisch-mechanisches Polieren, ausgeführt werden, um unerwünschtes BPSG und SiO_2 zu entfernen und um in manchen Fällen die Oberfläche der sich abwechselnden leitfähigen und dielektrischen Schichten 504, 505 zu planarisieren. Anschließend an den optionalen ersten Polierprozess (oder falls der erste Polierprozess weggelassen wird) können Risse oder andere Defekte in der Füllung aus Isolationsmaterial 511, 511' bestehen bleiben (oder anderweitig eingeführt werden). In solchen Fällen kann TEOS nochmals abgeschieden werden, um solche Defekte zu füllen. Alternativ oder zusätzlich kann ein anderes Isolationsmaterial, wie etwa ein Aufschleuderdielektrikum, abgeschieden werden, um solche Defekte zu füllen. Anschließend an die zusätzliche Abscheidung von TEOS und/oder anderem Isolationsmaterial kann ein optionaler zweiter Polierprozess durchgeführt werden, um unerwünschtes Material zu entfernen und/oder um die Oberfläche der sich abwechselnden leitfähigen und dielektrischen Schichten 504, 505 zu planarisieren.

[0049] Anschließend an den Abscheidungsprozess kann Isolationsmaterial 511, 511' die gesamten oder im Wesentlichen die gesamten Gräben 510, 510' füllen, so dass eine obere Oberfläche von Isolationsmaterial 511, 511' mit einer Oberfläche einer obersten Schicht von leitfähigen und dielektrischen Schichten 504, 505 im Wesentlichen koplanar ist. Bei der in **Fig. 5C** gezeigten Ausführungsform ist die obere Oberfläche von Isolationsmaterial 511, 511' koplanar mit einer Oberfläche einer obersten Schicht von dielektrischen oder leitfähigen Schichten 504, 505.

[0050] Wieder mit Bezug auf **Fig. 4** kann das Verfahren zu Block 405 fortfahren, in dem ein oder mehrere Kanäle im Isolationsmaterial, das gemäß Block 404 gebildet ist, gebildet werden können. Wie zuvor angemerkt, konzentriert sich die vorliegende Offenbarung auf Ausführungsformen, in denen ein einziger Kanal 512, 512' in Isolationsmaterial 511, 511'gebildet wird, aber es versteht sich, dass mehrere Kanäle (z.B. 2, 3, 4, 5, 6, usw.) in Abhängigkeit von den Abmessungen von Graben 510, 510' und den Eigenschaften von Isolationsmaterial 511, 511' im Isolationsmaterial 511, 511' jedes Grabens 510, 510' gebildet werden können. In jedem Fall ist das Konzept des Bildens eines Kanals in einem Isolationsmaterial in **Fig. 5D** dargestellt, die die Bildung eines einzigen Kanals 512, 512' innerhalb von Isolationsmaterial 511, 511' veranschaulicht.

[0051] Kanal 512, 512' kann unter Verwendung eines beliebigen geeigneten, in der Technik bekannten Prozesses gebildet werden, wie etwa eines Ätz- oder Ablationsprozesses. Ohne Beschränkung wird Kanal 512, 512' bei manchen Ausführungsformen vorzugsweise unter Verwendung eines Trockenätzprozesses gebildet, wie etwa unter anderem eines Kontaktätzprozesses und eines Prozesses für einen Graben mit hohem Aspektverhältnis (HART). Ähnlich dem HART-Prozess, der zum Bilden von Graben 510, 510' verwendet werden kann, kann der Trockenätzprozess, der zum Bilden von Kanal 512, 512' verwendet wird, dazu konfiguriert sein, das/die für Isolationsmaterial 511, 511' verwendete(n) Material(ien) (z.B. BPSG, SiO_2, ein Aufschleuderdielektrikum usw.) aggressiv zu ätzen, aber kann das Material von Struktur 509 (z.B. einen Leiter, wie etwa Wolfram) nicht oder im Wesentlichen nicht ätzen. Weil die obere Abmessung von Kanal 512, 512' jedoch viel kleiner als Graben 510, 510' ist, kann der zum Bilden von Kanal 512, 512' verwendete Trockenätzprozess so konfiguriert sein, dass ein Ätzen mit bedeutend höherem Aspektverhältnis als für den HART-Prozess, der zum Bilden von Graben 510, 510' verwendet werden kann, ermöglicht wird. In jedem Fall kann Kanal 512, 512' Zugang zu Struktur 509 bereitstellen. Wie später beschrieben wird, können Kanäle 512, 512' verwendet werden, um eine oder mehrere Zugangsleitungen von einem Gebiet oberhalb des Stapels von dielektrischen und leitfähigen Schichten 504, 505 zu einem Gebiet unterhalb des Stapels zu führen, z.B. zu Struktur 509 (z.B. einer CUA-Schaltungsanordnung).

[0052] Obwohl die vorliegende Offenbarung Ausführungsformen vorsieht, in denen Kanal/Kanäle 512, 512' mit beliebigen geeigneten Abmessungen gebildet werden kann/können, kann es bei manchen Ausführungsformen wünschenswert sein, die Abmessungen von Kanal/Kanälen 512, 512' und im Gegenzug die Dicke von Isolationsschicht 511, 511', die zwischen dem Stapel von sich abwechselnden dielektrischen und leitfähigen Schichten 504, 505 und Kanal/Kanälen 512, 512' bestehen bleibt, zu steuern. Dies ist insbesondere in Fällen wahr, in denen Kanal/Kanäle 512, 512' gefüllt werden oder anderweitig leitfähiges Material enthalten. In solchen Fällen kann es wünschenswert sein, sicherzustellen, dass die Dicke von Isolationsschicht 511, die nach der Bildung von Kanal/Kanälen 512, 512' bestehen bleibt, ausreicht, um die leitfähige Füllung, die zu Kanal/Kanälen 512, 512' hinzugefügt werden wird, elektrisch vom Stapel sich abwechselnder dielektri-

scher und leitfähiger Schichten 504, 505 zu isolieren, z.B. um einen elektrischen Kurzschluss zu vermeiden. In dieser Hinsicht kann die Dicke von Isolationsmaterial 511, 511', das nach der Bildung von Kanal/-Kanälen 512, 512' bestehen bleibt, weitgehend variieren, Bei manchen Ausführungsformen kann sich die Dicke von Isolationsmaterial 511, 511', das nach der Bildung von Kanal/Kanälen 512, 512' bestehen bleibt, von etwa 90 bis etwa 250 Nanometer (nm) bewegen, wie etwa etwa 100 nm. Ohne Beschränkung ist die Dicke von Isolationsmaterial 511, 511', das nach der Bildung von Kanal/Kanälen 512, 512' bestehen bleibt, größer als oder gleich etwa 100 nm. In **Fig. 5D-5F** sind Kanal/Kanäle 512, 512' als eine verjüngende Struktur aufweisend veranschaulicht, so dass eine Abmessung (z.B. Breite) nahe der Unterseite des Kanals kleiner ist als die entsprechende Abmessung nahe der Oberseite jedes Kanals. Von daher kann/können Kanal/Kanäle 512, 512' als eine Seitenwand aufweisend verstanden werden, die eine Neigung aufzeigt. Die Größe der Neigung der Seitenwand von Kanal/Kanälen 512, 512' kann weitgehend variieren und kann durch Gestaltungs- und/oder Verarbeitungseinschränkungen vorgeschrieben sein. Ohne Beschränkung kann sich die Neigung von einer oder beiden Seitenwänden von Kanal/Kanälen 512, 512' von etwa 88 bis etwa 89 Grad relativ zur oberen Oberfläche von Struktur 509 bewegen. Bei manchen Ausführungsformen kann die Neigung von Kanal/Kanälen 512, 512' die gleiche oder im Wesentlichen die gleiche wie die Neigung von Gräben 510, 510' sein.

[0053] Wieder mit Bezug auf **Fig. 4** kann das Verfahren zu Block 406 fortfahren, wobei der/die gemäß Block 405 gebildete(n) Kanal/Kanäle metallisiert werden kann/können, so dass eine leitfähige Leitung hindurch gebildet wird. In dieser Hinsicht sieht die vorliegende Offenbarung verschiedene Ausführungsformen vor, wobei Kanal/Kanäle 512, 512' mit einem oder mehreren Materialien gefüllt werden kann/können, die wenigstens ein leitfähiges Material, wie etwa ein leitfähiges Metall, beinhalten. Bei manchen Ausführungsformen wird eine Metallisierung unter Verwendung eines Mehrschrittprozesses durchgeführt, in dem eine Barriereschicht auf die Wände und/oder Unterseite von Kanal/Kanälen 512, 512' abgeschieden wird, wonach eine oder mehrere Schichten von leitfähigem Material (z.B. Metall) auf die Barriereschicht abgeschieden werden. Bei manchen Ausführungsformen wird das Abscheiden der Barriereschicht vom Abscheiden einer einzigen Metallschicht gefolgt. Bei anderen Ausführungsformen wird das Abscheiden der Barriereschicht vom Abscheiden einer ersten Metallschicht und einer zweiten Metallschicht/Füllung gefolgt.

[0054] Die obigen Konzepte werden in **Fig. 5E** und **Fig. 5F** veranschaulicht. Insbesondere veranschaulicht **Fig. 5E** eine Ausführungsform, bei der Barriereschichten 513, 513' auf den Seitenwänden und der Unterseite von Kanälen 512, 512' gebildet werden. Barriereschichten 513, 513' können unter Verwendung eines beliebigen geeigneten Prozesses gebildet werden, wie etwa unter anderem chemischer Gasphasenabscheidung, physikalischer Gasphasenabscheidung, Elektronenstrahlabscheidung, Atomlagenabscheidung, Abscheidung mit gepulstem Laser, Kombinationen von diesen und dergleichen. Ohne Beschränkung werden Barriereschichten 513, 513' vorzugsweise mittels chemischer Gasphasenabscheidung gebildet.

[0055] Barriereschichten 513, 513' können aus einem beliebigen geeigneten Barrierematerial oder einer Kombination von Barrierematerialien gebildet werden. Nichtbeschränkende Beispiele geeigneter Materialien, die als Barriereschichten 513, 513' verwendet werden können, beinhalten Barrieremetalle und Metallnitride, wie etwa Titannitrid, Tantalnitrid, Wolframnitrid und Wolfram. Ohne Beschränkung werden Barriereschichten 513, 513' vorzugsweise aus Titannitrid gebildet, das durch chemische Gasphasenabscheidung abgeschieden wird. Selbstverständlich können andere Barrierematerialien verwendet werden und sind von der vorliegenden Offenbarung vorgesehen.

[0056] Die Dicke von Barriereschichten 513, 513' kann weitgehend variieren. Bei manchen Ausführungsformen bewegt sich die Dicke von Barriereschichten 513, 513' von etwa 0,1 bis etwa 500 nm, wie etwa von etwa 0,1 bis etwa 50 nm oder sogar von etwa 0,1 bis etwa 10 nm. Ohne Beschränkung weisen Barriereschichten 513, 513' vorzugsweise eine Dicke im Bereich von etwa 2,5 bis etwa 7,5 nm auf und bei manchen Ausführungsformen ist deren Dicke etwa 6,0 nm. Der Abscheidung von Barriereschichten 513, 513' nachfolgend kann chemisch-mechanisches Polieren optional ausgeführt werden, um sicherzustellen, dass Barriereschichten 513, 513' nur innerhalb von Kanälen 512, 512' vorliegen. In jedem Fall kann ein Teil von Kanal/Kanälen 512, 512' nach dem Abscheiden von Barriereschichten 513, 513' bestehen bleiben, wie in **Fig. 5E** gezeigt, Mit anderen Worten füllen Barriereschichten 513, 513' vorzugsweise nur einen Teil von Kanal/Kanälen 512, 512'.

[0057] Wie in **Fig. 5F** gezeigt, kann die Metallisierung von Kanal/Kanälen 512, 512' mit dem Abscheiden von leitfähigem Material 514, 514' innerhalb des verbleibenden Teils von Kanal/Kanälen 512, 512' fortfahren. Wie zuvor angemerkt, kann leitfähiges Material 514, 514' eine oder mehrere Arten von leitfähigen Materialien beinhalten, die in Schichtform oder miteinander vermischt vorliegen können. In dieser Hinsicht kann eine Vielzahl von leitfähigen Materialien verwendet werden, um leitfähiges Material 514, 514' zu bilden, einschließlich Metallen, wie etwa Aluminium, Kupfer, Titan, Wolfram, leitfähigen

Nitriden und Oxiden von diesen, anderer leitfähiger Materialien, wie etwa leitfähiger Polymere, polykristallinen Siliziums usw., Kombinationen von diesen und dergleichen.

[0058] Bei manchen Ausführungsformen liegt leitfähiges Material 514, 514' in Form einer einzigen Füllung einschließlich eines oder einer Kombination der obigen Materialien vor. Bei anderen Ausführungsformen liegt leitfähiges Material 514, 514' in Form einer Mehrschichtstruktur vor, wobei eine oder mehrere Schichten der obigen leitfähigen Materialien anfänglich gebildet werden, gefolgt von oder verschachtelt mit der Bildung einer oder mehrerer zusätzlicher Schichten der obigen leitfähigen Materialien. Bei manchen Ausführungsformen wird leitfähiges Material 514, 514' durch Abscheiden einer ersten Metallschicht (z.B. aus Titan oder einem anderen leitfähigen Material), gefolgt von Bildung einer zweiten Metallschicht (z.B. aus Wolfram oder einem anderen leitfähigen Material) auf der ersten Metallschicht gebildet.

[0059] Leitfähiges Material 514, 514' kann innerhalb des verbleibenden Teils von Kanal/Kanälen 512, 512' auf eine beliebige geeignete Weise gebildet und/oder abgeschieden werden, wie etwa unter anderem chemische Gasphasenabscheidung, physikalische Gasphasenabscheidung, Elektronenstrahlabscheidung, Atomlagenabscheidung, Abscheidung mit gepulstem Laser, Kombinationen von diesen und dergleichen. Ohne Beschränkung wird leitfähiges Material vorzugsweise durch chemische Gasphasenabscheidung einer ersten Metallschicht (z.B. aus Titan oder einem anderen leitfähigen Material), gefolgt von chemischer Gasphasenabscheidung einer zweiten Metallschicht (z.B. aus Wolfram oder einem anderen leitfähigen Material) auf der ersten Metallschicht gebildet.

[0060] Anschließend an das Abscheiden von leitfähigem Material 514, 514' kann chemisch-mechanisches Polieren (CMP) optional durchgeführt werden, um leitfähiges Material von einer oberen Oberfläche der obersten Schicht des Stapels von dielektrischen und leitfähigen Schichten 504, 505 zu entfernen, so dass leitfähiges Material 514, 514' auf innerhalb von Gräben 510, 510' oder insbesondere innerhalb von darin gebildeten Kanälen 512, 512' abgegrenzt ist. Bei manchen Ausführungsformen ist die Oberfläche von leitfähigem Material 514, 514' koplanar mit der oberen Oberfläche der obersten Schicht des Stapels von dielektrischen und leitfähigem Schichten 504, 505, wie in **Fig. 5F** gezeigt.

[0061] Bei diesem Punkt kann die Bildung von nichtflüchtigem Speicher fortfahren, z.B. durch Koppeln einer oder mehrerer Zugangsleitungen mit leitfähigem Material 514, 514', so dass solche Leitungen zu Struktur 509, z.B. einer Treiberschaltungsanordnung, die möglicherweise zuvor unterhalb eines Speicherarrays und/oder eines Peripheriegebiets von diesem gebildet wurde, geführt werden. Auf diese Weise können die Zugangsleitungen durch den/die Kanal/Kanäle 512, 512' hindurch geführt werden. Wie zuvor angemerkt wurde, kann dies eine weite Vielfalt alternativer Leitungsführungskonfigurationen eröffnen, in denen Zugangsleitungen mittels einer oder mehrerer Durchkontaktierungen zu einer darunterliegenden Schaltungsanordnung geführt werden können. Bei manchen Ausführungsformen kann dies eine große Anzahl an Zugangsleitungen, die zu führen sind, und/oder zusätzlicher Zugangsleitungen, die hinzuzufügen sind, ermöglichen, ohne oder im Wesentlichen ohne die Blockhöhe und die Leistungsfähigkeit des nichtflüchtigen Speichers zu beeinflussen. Von daher wird erwartet, dass die hier beschriebenen Technologien in sehr dichten Speicherarrays besonders nützlich sind, in denen große Anzahlen von Zugangsleitungen, die zu führen sind, benötigt werden und in denen die Blockhöhe des Arrays durch Gestaltungsüberlegungen und/oder einen Standard beschränkt ist.

[0062] Fig. 6 ist ein funktionales Blockschaltbild eines elektronischen Systems mit wenigstens einer Speichervorrichtung gemäß einer oder mehreren Ausführungsformen der vorliegenden Offenbarung. Die in **Fig. 6** veranschaulichte Speichervorrichtung 600 ist mit einem Host, wie etwa einem Prozessor 610, gekoppelt. Der Prozessor 610 kann ein Mikroprozessor oder eine andere Art von Steuerschaltungsanordnung sein. Die Speichervorrichtung 600 und der Prozessor 610 bilden einen Teil eines elektronischen Systems 620. Die Speichervorrichtung 600 wurde vereinfacht, um sich auf Merkmale der Speichervorrichtung zu konzentrieren, die für das Verständnis verschiedener Ausführungsformen der vorliegenden Offenbarung hilfreich sind.

[0063] Speichervorrichtung 600 beinhaltet ein oder mehrere Speicherarrays 690 von Speicherzellen, die logisch in Banken aus Zeilen und Spalten angeordnet sein können. Gemäß einer oder mehreren Ausführungsformen kann Speicherarray 690 wie oben in Bezug auf die Speicherarrays aus **Fig. 1-3** und **Fig. 5A-F** beschrieben konfiguriert sein. Entsprechend kann Speicherarray 690 in Form von Flash-Speicher vorliegen, der mehrere Banken und Blöcke von Speicherzellen, die auf einem einzigen oder mehreren Dies als Teil der Speichervorrichtung 600 liegen, beinhaltet.

[0064] Adressenpufferschaltkreis 640 kann bereitgestellt sein, um Adressensignale, die bei Adresseneingangsverbindungen A0-Ax 642 bereitgestellt werden, zwischenzuspeichern. Adressensignale werden von Zeilendecoder 644 und Spaltendecoder 648 empfangen und decodiert, um auf das Speicherarray 690 zuzugreifen. Zeilendecoder 644 kann Trei-

berschaltkreise umfassen, die dazu konfiguriert sind, zum Beispiel die Wortleitungen, Ketten-Select-Gates und ein oder mehrere Ebenen-Gates gemäß verschiedenen Ausführungsformen der vorliegenden Offenbarung zu treiben. Es versteht sich für einen Fachmann mit dem Nutzen der vorliegenden Beschreibung, dass die Anzahl von Adresseneingangsverbindungen 642 von der Dichte und Architektur des Speicherarrays 690 abhängen kann. Das heißt, die Anzahl an Adressenziffern nimmt zum Beispiel sowohl mit zunehmender Speicherzellenzahl als auch mit zunehmender Bank- und Blockzahl zu.

[0065] Speichervorrichtung 600 kann Daten in einem Speicherarray 690 durch Erfassen von Spannungs- oder Stromänderungen in den Speicherarrayspalten unter Verwendung von Erfassungsvorrichtungen lesen, wie etwa einer Erfassungs-/Datencache-Schaltungsanordnung 650. Bei manchen Ausführungsformen ist die Erfassungs-/Datencache--Schaltungsanordnung 650 gekoppelt, um eine Zeile von Daten aus Speicherarray 690 zu lesen und zwischenzuspeichern. Eine Daten-E/A-Pufferschaltungsanordnung 660 (E/A: Eingabe und Ausgabe) kann für bidirektionale Datenkommunikation über mehrere Datenverbindungen 662 mit Prozessor 610 beinhaltet sein. Eine Schreib/Lösch-Schaltungsanordnung 656 kann zum Schreiben von Daten in den oder zum Löschen von Daten aus dem Speicherarray 690 bereitgestellt sein.

[0066] Eine Steuerschaltungsanordnung 670 kann dazu konfiguriert sein, verschiedene Ausführungsformen der vorliegenden Offenbarung wenigstens teilweise zu implementieren, wie etwa Erleichtern des Steuerns verschiedener Gates, wie oben besprochen. Bei wenigstens einer Ausführungsform kann die Steuerschaltungsanordnung 670 eine Zustandsmaschine beinhalten. Steuersignale und -befehle können von Prozessor 610 über einen Befehlsbus 672 zu Speichervorrichtung 600 gesendet werden. Befehlsbus 672 kann diskrete oder mehrfache Befehlssignale übertragen. Über den Befehlsbus 672 übertragene Befehlssignale können verwendet werden, um die Operationen auf das Speicherarray 690, einschließlich Datenlese-, Datenprogrammier- (z.B. Schreib-) und Löschoperationen, zu steuern. Befehlsbus 672, Adressenbus 642 und Datenbus 662 können alle kombiniert sein oder können teilweise kombiniert sein, um eine Anzahl an Standardschnittstellen 678 zu bilden. Zum Beispiel kann Schnittstelle 678 zwischen Speichervorrichtung 600 und dem Prozessor 610 eine USB-Schnittstelle (USB: Universal Serial Bus) sein. Schnittstelle 678 kann auch eine bei vielen Festplatten und Hauptplatinen verwendete Standardschnittstelle sein, wie etwa unter anderem eine PCI-Schnittstelle (PCI: Peripheral Component Interface), eine PCI-Express-Schnittstelle, eine SATA- (SATA: Serial Advanced Technology Attachment) oder PATA--Schnittstelle (PATA: Parallel Advanced Technology Attachment), Kombinationen von diesen und dergleichen, wie sie einem Fachmann bekannt sind.

BEISPIELE

[0067] Die folgenden Beispiele betreffen weitere Ausführungsformen. Die folgenden Beispiele der vorliegenden Offenbarung können Gegenstandsmaterial, wie etwa einen nichtflüchtigen Speicher und Verfahren zur Herstellung desselben, umfassen, wie unten bereitgestellt.

[0068] Beispiel 1: Ein Beispiel der Technologie der vorliegenden Offenbarung ist ein nichtflüchtiger Speicher, der Folgendes beinhaltet: ein Speicherarray einschließlich eines Stapels von sich abwechselnden dielektrischen und leitfähigen Schichten, die auf einer Isolationsschicht gebildet sind, wobei das Speicherarray ferner ein Arraygebiet und ein Peripheriegebiet beinhaltet; eine Struktur, die unter dem Arraygebiet und/oder dem Peripheriegebiet gebildet ist und die elektrisch mit einer anderen Komponente des nichtflüchtigen Speichers gekoppelt ist; und eine Durch-Array-Durchkontaktierung, die im Arraygebiet und/oder im Peripheriegebiet gebildet ist; wobei wenigstens eine Zugangsleitung des Speicherarrays durch die Durch-Array-Durchkontaktierung hindurch geführt ist.

[0069] Beispiel 2: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 1, wobei die Durch-Array-Durchkontaktierung wenigstens im Peripheriegebiet gebildet ist.

[0070] Beispiel 3: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 1, wobei das Speicherarray einen vertikalen Stapel von Speicherzellen beinhaltet.

[0071] Beispiel 4: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 1, wobei die andere Komponente eine Treiberschaltungsanordnung zum Treiben wenigstens einer Speicherkette des Speicherarrays beinhaltet.

[0072] Beispiel 5: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 4, wobei:

> das Speicherarray wenigstens ein erstes und zweites Speicherarray beinhaltet, von denen jedes mehrere Speicherzellen umfasst; und
>
> die Treiberschaltungsanordnung zwischen dem ersten und zweiten Speicherarray geteilt wird und zum Treiben der Speicherzellen von diesen konfiguriert ist.

[0073] Beispiel 6: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 1, wobei der Stapel von sich abwechselnden dielektrischen

und leitfähigen Schichten eine obere Oberfläche aufweist und sich das Durch-Array von der oberen Oberfläche zur Struktur erstreckt.

[0074] Beispiel 7: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 1, wobei die Durch-Array-Durchkontaktierung wenigstens einen Graben mit hohem Aspektverhältnis beinhaltet.

[0075] Beispiel 8: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 7, wobei wenigstens ein Isolationsmaterial den Graben wenigstens teilweise füllt.

[0076] Beispiel 9: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 8, wobei das wenigstens eine Isolationsmaterial aus der aus Folgendem bestehenden Gruppe ausgewählt ist: Borphosphorsilikatglas, einem nichtleitfähigen Siliziumoxid, einem dielektrischen Aufschleudermaterial und Kombinationen von diesen.

[0077] Beispiel 10: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 9, wobei das wenigstens eine Isolationsmaterial eine Kombination aus Borphosphorsilikatglas, SiO_2 und einem aufgeschleuderten dielektrischen Material ist.

[0078] Beispiel 11: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 8, wobei wenigstens ein Kanal im Isolationsmaterial gebildet ist.

[0079] Beispiel 12: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 11, wobei wenigstens ein leitfähiges Material im wenigstens einen Kanal gebildet ist.

[0080] Beispiel 13: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 12, wobei das wenigstens eine leitfähige Material aus der aus Folgendem bestehenden Gruppe ausgewählt ist: Aluminium, Kupfer, Titan, Wolfram, einem leitfähigen Metallnitrid, einem leitfähigen Metalloxid, einem leitfähigen Polymer, polykristallinem Silizium und Kombinationen von diesen.

[0081] Beispiel 14: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 12, wobei das wenigstens eine leitfähige Material in Form wenigstens einer ersten leitfähigen Schicht und wenigstens einer zweiten leitfähigen Schicht, die auf der wenigstens einen ersten leitfähigen Schicht abgeschieden ist, vorliegt.

[0082] Beispiel 15: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 14, wobei die erste leitfähige Schicht Titan und die zweite leitfähige Schicht Wolfram ist.

[0083] Beispiel 16: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus einem der Beispiele 12 bis 15, wobei eine Dicke zwischen dem Isolationsmaterial und dem Kanal ausreicht, um das leitfähige Material elektrisch vom Stapel von sich abwechselnden dielektrischen und leitfähigen Schichten zu isolieren.

[0084] Beispiel 17: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus einem der Beispiele 12 und 13, wobei es ferner wenigstens eine Barriereschicht beinhaltet, die zwischen dem wenigstens einen leitfähigen Material und dem Stapel von sich abwechselnden dielektrischen und leitfähigen Schichten gebildet ist.

[0085] Beispiel 18: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 17, wobei die wenigstens eine Barriereschicht aus einem Barrierematerial gebildet ist, das aus der aus Folgendem bestehenden Gruppe ausgewählt ist: Titannitrid, Tantalnitrid, Wolframnitrid, Wolfram und Kombinationen von diesen.

[0086] Beispiel 19: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus einem der Beispiele 14 und 15, wobei es ferner wenigstens eine Barriereschicht beinhaltet, die zwischen der ersten leitfähigen Schicht und dem Stapel von sich abwechselnden dielektrischen und leitfähigen Schichten gebildet ist.

[0087] Beispiel 20: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus
Beispiel 19, wobei die wenigstens eine Barriereschicht aus einem Barrierematerial gebildet ist, das aus der aus Folgendem bestehenden Gruppe ausgewählt ist: Titannitrid, Tantalnitrid, Wolframnitrid, Wolfram und Kombinationen von diesen.

[0088] Beispiel 21: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus
Beispiel 1, wobei die wenigstens eine Zugangsleitung eine Source-Leitung und/oder eine Wortleitung und/oder eine Select-Gate-Source-Leitung und/oder eine Select-Gate-Drain-Leitung beinhaltet.

[0089] Beispiel 22: Gemäß diesem Beispiel wird ein Verfahren zum Bilden eines nichtflüchtigen Speichers bereitgestellt, das Folgendes beinhaltet: Bereitstellen eines Speicherarrays einschließlich eines Stapels von sich abwechselnden dielektrischen und leitfähigen Schichten, die auf einer Isolationsschicht gebildet sind, wobei das Speicherarray ferner ein Arraygebiet und ein Peripheriegebiet beinhaltet; Bilden wenigstens einer Durch-Array-Durchkontaktierung im Arraygebiet und/oder im Peripheriegebiet, wobei sich die Durch-Array-Durchkontaktierung von einer oberen Oberfläche des Stapels von sich abwechselnden dielektrischen und leitfähigen

Schichten zu einer Struktur unter dem Arraygebiet und/oder dem Peripheriegebiet erstreckt, wobei die Struktur elektrisch mit einer anderen Komponente des nichtflüchtigen Speichers gekoppelt ist; wobei die Durch-Array-Durchkontaktierung dazu konfiguriert ist, eine elektrische Kopplung wenigstens einer Zugangsleitung des Speicherarrays mit der Struktur zu ermöglichen.

[0090] Beispiel 23: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 22, wobei das Speicherarray einen vertikalen Stapel von Speicherzellen beinhaltet.

[0091] Beispiel 24: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 22, wobei die andere Komponente eine Treiberschaltungsanordnung zum Treiben wenigstens einer Speicherkette des Speicherarrays beinhaltet.

[0092] Beispiel 25: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 24, wobei: das Speicherarray wenigstens ein erstes und zweites Speicherarray beinhaltet, von denen jedes mehrere Speicherzellen umfasst; und die Treiberschaltungsanordnung zwischen dem ersten und zweiten Speicherarray geteilt wird und zum Treiben der Speicherzellen von diesen konfiguriert ist.

[0093] Beispiel 26: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 23, wobei der Stapel von sich abwechselnden dielektrischen und leitfähigen Schichten eine obere Oberfläche aufweist und sich das Durch-Array von der oberen Oberfläche zur Struktur erstreckt.

[0094] Beispiel 27: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 22, wobei Bilden der wenigstens einen Durch-Array-Durchkontaktierung Bilden wenigstens eines Grabens mit hohem Aspektverhältnis beinhaltet, der sich von einer oberen Oberfläche der sich abwechselnden dielektrischen und leitfähigen Schichten zur Struktur erstreckt.

[0095] Beispiel 28: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 27, wobei Bilden des wenigstens einen Grabens mit hohem Aspektverhältnis Ätzen der sich abwechselnden dielektrischen und leitfähigen Schichten mit einem Trockenätzprozess beinhaltet.

[0096] Beispiel 29: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 27, wobei Bilden der wenigstens einen Durch-Array-Durchkontaktierung ferner Füllen des wenigstens einen Grabens mit hohem Aspektverhältnis mit wenigstens einem Isolationsmaterial beinhaltet.

[0097] Beispiel 30: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 25, wobei das wenigstens eine Isolationsmaterial aus der aus Folgendem bestehenden Gruppe ausgewählt wird: Borphosphorsilikatglas, einem nichtleitfähigen Siliziumoxid, einem dielektrischen Aufschleudermaterial und Kombinationen von diesen.

[0098] Beispiel 31: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 30, wobei das wenigstens eine Isolationsmaterial eine Kombination aus Borphosphorsilikatglas, SiO_2 und einem aufgeschleuderten dielektrischen Material ist.

[0099] Beispiel 32: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 31, wobei Füllen des wenigstens einen Grabens mit hohem Aspektverhältnis Folgendes beinhaltet: Abscheiden von Borphosphorsilikatglas im wenigstens einen Graben mit hohem Aspektverhältnis; Abscheiden von Tetraorthosilikat auf das Borphosphorsilikatglas mittels chemischer Gasphasenabscheidung; Umwandeln des Tetraorthosilikats zu Siliziumdioxid; und Abscheiden eines dielektrischen Aufschleudermaterials auf das Siliziumdioxid und/oder das Borphosphorsilikatglas.

[0100] Beispiel 33: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 29, wobei Bilden der wenigstens einen Durch-Array-Durchkontaktierung ferner Bilden wenigstens eines Kanals im wenigstens einen Isolationsmaterial beinhaltet.

[0101] Beispiel 34: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 33, wobei Bilden des wenigstens einen Kanals Ätzen des wenigstens einen Isolationsmaterials beinhaltet, so dass sich der Kanal von einer oberen Oberfläche des wenigstens einen Isolationsmaterials zur Komponente erstreckt.

[0102] Beispiel 35: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 34, wobei Ätzen des wenigstens einen Isolationsmaterials mit einem Trockenätzprozess durchgeführt wird.

[0103] Beispiel 36: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 33, wobei Bilden der wenigstens einen Durch-Array-Durchkontaktierung ferner Füllen des wenigstens einen Kanals mit wenigstens einem leitfähigen Material beinhaltet.

[0104] Beispiel 37: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 36, wobei das wenigstens eine leitfähige Material aus der aus Folgendem bestehenden Gruppe ausgewählt wird: Aluminium, Kupfer, Titan, Wolfram, einem leitfähigen Metallnitrid, einem leitfähigen Metalloxid, einem leitfähigen Polymer, polykristallinem Silizium und Kombinationen von diesen.

[0105] Beispiel 38: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 36, wobei das wenigstens eine leitfähige Material in Form wenigstens einer ersten leitfähigen Schicht und wenigstens einer zweiten leitfähigen Schicht, die auf der wenigstens einen ersten leitfähigen Schicht abgeschieden ist, vorliegt.

[0106] Beispiel 39: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 38, wobei die erste leitfähige Schicht Titan und die zweite leitfähige Schicht Wolfram ist.

[0107] Beispiel 40: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus einem der Beispiele 36 bis 39, wobei eine Dicke zwischen dem Isolationsmaterial und dem Kanal ausreicht, um das leitfähige Material elektrisch vom Stapel von sich abwechselnden dielektrischen und leitfähigen Schichten zu isolieren.

[0108] Beispiel 41: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus einem der Beispiele 36 und 37, wobei es ferner Bilden wenigstens einer Barriereschicht zwischen dem wenigstens einen leitfähigen Material und dem Stapel von sich abwechselnden dielektrischen und leitfähigen Schichten beinhaltet.

[0109] Beispiel 42: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel
41, wobei die wenigstens eine Barriereschicht aus einem Barrierematerial gebildet wird, das aus der aus Folgendem bestehenden Gruppe ausgewählt wird: Titannitrid, Tantalnitrid, Wolframnitrid, Wolfram und Kombinationen von diesen.

[0110] Beispiel 43: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 41, wobei Bilden der wenigstens einen Barriereschicht unter Verwendung von chemischer Gasphasenabscheidung und/oder physikalischer Gasphasenabscheidung und/oder Elektronenstrahlabscheidung und/oder Atomlagenabscheidung und/oder Abscheidung mit gepulstem Laser durchgeführt wird.

[0111] Beispiel 44: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus einem der Beispiele 38 und 39, wobei es ferner Bilden wenigstens einer Barriereschicht zwischen der ersten leitfähigen Schicht und dem Stapel von sich abwechselnden dielektrischen und leitfähigen Schichten beinhaltet.

[0112] Beispiel 45: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 44, wobei die wenigstens eine Barriereschicht aus einem Barrierematerial gebildet wird, das aus der aus Folgendem bestehenden Gruppe ausgewählt wird: Titannitrid, Tantalnitrid, Wolframnitrid, Wolfram und Kombinationen von diesen.

[0113] Beispiel 46: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 44, wobei Bilden der wenigstens einen Barriereschicht unter Verwendung von chemischer Gasphasenabscheidung und/oder physikalischer Gasphasenabscheidung und/oder Elektronenstrahlabscheidung und/oder Atomlagenabscheidung und/oder Abscheidung mit gepulstem Laser durchgeführt wird.

[0114] Beispiel 47: Dieses Beispiel beinhaltet beliebige oder alle der Merkmale aus Beispiel 22, wobei die wenigstens eine Zugangsleitung eine Source--Leitung und/oder eine Wortleitung und/oder eine Select-Gate-Source-Leitung und/oder eine Select--Gate-Drain-Leitung beinhaltet.

Patentansprüche

1. Nichtflüchtiger Speicher, der Folgendes umfasst:
ein Speicherarray (500) das einen Stapel sich abwechselnder dielektrischer und leitfähiger Schichten (504, 505) umfasst, die auf einer Isolationsschicht (508) gebildet sind, wobei Speicherarray (500) das ferner ein Arraygebiet (501) und ein Peripheriegebiet (502) umfasst;
eine leitfähige Struktur (509), die unter dem Arraygebiet (501) und/oder Peripheriegebiet (502) gebildet ist und die elektrisch mit einer anderen Komponente des nichtflüchtigen Speichers gekoppelt ist, und
eine Durch-Array-Durchkontaktierung (510), die im Arraygebiet (501) und/oder im Peripheriegebiet (502) gebildet ist wobei die Durch-Array-Durchkontaktierung (510) eine sich verjüngende Struktur aufweist, sodass die Breite der Durch-Array-Durchkontaktierung (510) nahe einer Unterseite der Durch--Array-Durchkontaktierung (510) geringer ist als die Breite der Durch-Array-Durchkontaktierung (510) nahe einer Oberseite der Durch-Array-Durchkontaktierung (510), wobei wenigstens eine Zugangsleitung des Speicherarrays durch die Durch-Array--Durchkontaktierung (510) hindurch geführt ist.

2. Nichtflüchtiger Speicher nach Anspruch 1, wobei die andere Komponente eine Treiberschaltungsanordnung (208) zum Treiben wenigstens einer Speicherkette (112) des Speicherarrays (100) umfasst.

3. Nichtflüchtiger Speicher nach Anspruch 2, wobei:
das Speicherarray (300) wenigstens ein erstes und zweites Speicherarray (203-1; 203-2) umfasst, von denen jedes mehrere Speicherzellen umfasst; und
die Treiberschaltungsanordnung (208) zwischen dem ersten und zweiten Speicherarray (203-1; 203-2) geteilt wird und zum Treiben der Speicherzellen von diesen konfiguriert ist.

4. Nichtflüchtiger Speicher nach Anspruch 1, wobei das Speicherarray (100) einen vertikalen Stapel von Speicherzellen umfasst.

5. Nichtflüchtiger Speicher nach Anspruch 1, wobei:
der Stapel von sich abwechselnden dielektrischen und leitfähigen Schichten (504, 505) eine obere Oberfläche aufweist;
die Durch-Array-Durchkontaktierung (510) wenigstens einen Graben mit hohem Aspektverhältnis umfasst, der sich von der oberen Oberfläche (504) zur leitfähigen Struktur (509) erstreckt; und
wenigstens ein Isolationsmaterial (511) den Graben wenigstens teilweise füllt.

6. Nichtflüchtiger Speicher nach Anspruch 5, wobei das wenigstens eine Isolationsmaterial (511) eine Kombination aus Borphosphorsilikatglas, SiO_2 und einem aufgeschleuderten dielektrischen Material ist.

7. Nichtflüchtiger Speicher nach Anspruch 5, wobei:
wenigstens ein Kanal (512) im Isolationsmaterial (511) gebildet ist, und
wenigstens ein leitfähiges Material (513) im wenigstens einen Kanal (512) gebildet ist.

8. Nichtflüchtiger Speicher nach Anspruch 7, wobei das wenigstens eine leitfähige Material (514) in Form wenigstens einer ersten leitfähigen Schicht und wenigstens einer zweiten leitfähigen Schicht, die auf der wenigstens einen ersten leitfähigen Schicht abgeschieden ist, vorliegt.

9. Nichtflüchtiger Speicher nach Anspruch 7, der ferner wenigstens eine umfasst, die zwischen dem wenigstens einen Barriereschicht (513) und dem Stapel von sich abwechselnden dielektrischen und leitfähigen Schichten (504, 505) gebildet ist.

10. Nichtflüchtiger Speicher nach Anspruch 9, wobei die wenigstens eine Barriereschicht (513) aus einem Barrierematerial gebildet ist, das aus der aus Folgendem bestehenden Gruppe ausgewählt ist: Titannitrid, Tantalnitrid, Wolframnitrid, Wolfram und Kombinationen von diesen.

11. Nichtflüchtiger Speicher nach Anspruch 8, der ferner wenigstens eine Barriereschicht (513) umfasst, die zwischen der ersten leitfähigen Schicht (504) und dem Stapel von sich abwechselnden dielektrischen und leitfähigen Schichten (504, 505) gebildet ist, wobei die wenigstens eine Barriereschicht (513) aus einem Barrierematerial gebildet ist, das aus der aus Folgendem bestehenden Gruppe ausgewählt ist: Titannitrid, Tantalnitrid, Wolframnitrid, Wolfram und Kombinationen von diesen.

12. Nichtflüchtiger Speicher nach Anspruch 1, wobei die wenigstens eine Zugangsleitung eine Source-Leitung und/oder eine Wortleitung und/oder eine Select-Gate-Source-Leitung und/oder eine Select-Gate-Drain-Leitung umfasst.

13. Verfahren (400) zum Bilden eines nichtflüchtigen Speichers, das Folgendes umfasst:
Bereitstellen eines Speicherarrays (402), das einen Stapel sich abwechselnder dielektrischer und leitfähiger Schichten (504, 505) umfasst, die auf einer Isolationsschicht gebildet sind, wobei das Speicherarray ferner ein Arraygebiet und ein Peripheriegebiet umfasst;
Bilden wenigstens einer Durch-Array-Durchkontaktierung (403; 510) im Arraygebiet und/oder im Peripheriegebiet, wobei sich die Durch-Array-Durchkontaktierung (510) von einer oberen Oberfläche des Stapels von sich abwechselnden dielektrischen und leitfähigen Schichten (504, 505) zu einer leitfähigen Struktur unter dem Arraygebiet und/oder Peripheriegebiet erstreckt, wobei die Durch-Array--Durchkontaktierung (510) eine sich verjüngende Struktur aufweist, sodass die Breite der Durch-Array-Durchkontaktierung (510) nahe einer Unterseite der Durch-Array-Durchkontaktierung (510) geringer ist als die Breite der Durch-Array-Durchkontaktierung (510) nahe einer Oberseite der Durch-Array--Durchkontaktierung (510), wobei die leitfähige Struktur (509) mit einer anderen Komponente des nichtflüchtigen Speichers gekoppelt ist, wobei die Durch-Array-Durchkontaktierung (510) dazu konfiguriert ist eine elektrische Kopplung wenigstens einer Zugangsleitung des Speicherarrays mit der leitfähigen Struktur (509) zu ermöglichen.

14. Verfahren (400) nach Anspruch 13, wobei das Speicherarray (100) einen vertikalen Stapel von Speicherzellen umfasst.

15. Verfahren (400) nach Anspruch 13, wobei:
die andere Komponente eine Treiberschaltungsanordnung (208) zum Treiben wenigstens einer Speicherkette des Speicherarrays umfasst;
das Speicherarray (300) wenigstens ein erstes und zweites Speicherarray (203-1; 203-2) umfasst, von denen jedes mehrere Speicherzellen umfasst; und
die Treiberschaltungsanordnung (208) zwischen dem ersten und zweiten Speicherarray (203-1; 203-2) geteilt wird und zum Treiben der Speicherzellen von diesen konfiguriert ist.

16. Verfahren (400) nach Anspruch 14, wobei:
der Stapel von sich abwechselnden dielektrischen und leitfähigen Schichten (504, 505) eine obere Oberfläche aufweist und die Durch-Array-Durchkontaktierung (510) sich von der oberen Oberfläche zur leitfähigen Struktur (509) erstreckt; und
wobei ein Bilden der wenigstens einen Durch-Array-Durchkontaktierung (510) Bilden wenigstens

eines Grabens mit hohem Aspektverhältnis umfasst, der sich von einer oberen Oberfläche der sich abwechselnden dielektrischen und leitfähigen Schichten (504, 505) zur leitfähigen Struktur (509) erstreckt.

17. Verfahren (400) nach Anspruch 16, wobei das Bilden des wenigstens einen Grabens mit hohem Aspektverhältnis Ätzen der sich abwechselnden dielektrischen und leitfähigen Schichten (504, 505) mit einem Trockenätzprozess umfasst.

18. Verfahren (400) nach Anspruch 17, wobei Bilden der wenigstens einen Durch-Array-Durchkontaktierung (510) ferner Füllen des wenigstens einen Grabens mit hohem Aspektverhältnis mit wenigstens einem Isolationsmaterial umfasst.

19. Verfahren (400) nach Anspruch 18, wobei Füllen des wenigstens einen Grabens (510) mit hohem Aspektverhältnis Folgendes umfasst:
Abscheiden von Borphosphorsilikatglas im wenigstens einen Graben mit hohem Aspektverhältnis;
Abscheiden von Tetraorthosilikat auf dem Borphosphorsilikatglas mittels chemischer Gasphasenabscheidung;
Umwandeln des Tetraorthosilikats zu Siliziumdioxid; und
Abscheiden eines dielektrischen Aufschleudermaterials auf das Siliziumdioxid und/oder das Borphosphorsilikatglas.

20. Verfahren (400) nach Anspruch 18, wobei Bilden der wenigstens einen Durch-Array-Durchkontaktierung (510) ferner Bilden wenigstens eines Kanals im wenigstens einen Isolationsmaterial umfasst, der sich von einer oberen Oberfläche des wenigstens einen Isolationsmaterials zur Komponente erstreckt.

21. Verfahren (400) nach Anspruch 20, wobei Bilden der wenigstens einen Durch-Array-Durchkontaktierung (510) ferner Füllen des wenigstens einen Kanals mit wenigstens einem leitfähigen Material umfasst.

22. Verfahren (400) nach Anspruch 21, wobei das wenigstens eine leitfähige Material in Form wenigstens einer ersten leitfähigen Schicht und wenigstens einer zweiten leitfähigen Schicht, die auf der wenigstens einen ersten leitfähigen Schicht abgeschieden wird, vorliegt.

23. Verfahren (400) nach Anspruch 22, wobei die erste leitfähige Schicht Titan und die zweite leitfähige Schicht Wolfram ist.

24. Verfahren (400) nach einem der Ansprüche 21 und 23, das ferner Bilden wenigstens einer Barriereschicht zwischen dem wenigstens einen leitfähigen Material und dem Stapel von sich abwechselnden dielektrischen und leitfähigen Schichten (504, 505) umfasst.

Es folgen 8 Seiten Zeichnungen

Anhängende Zeichnungen

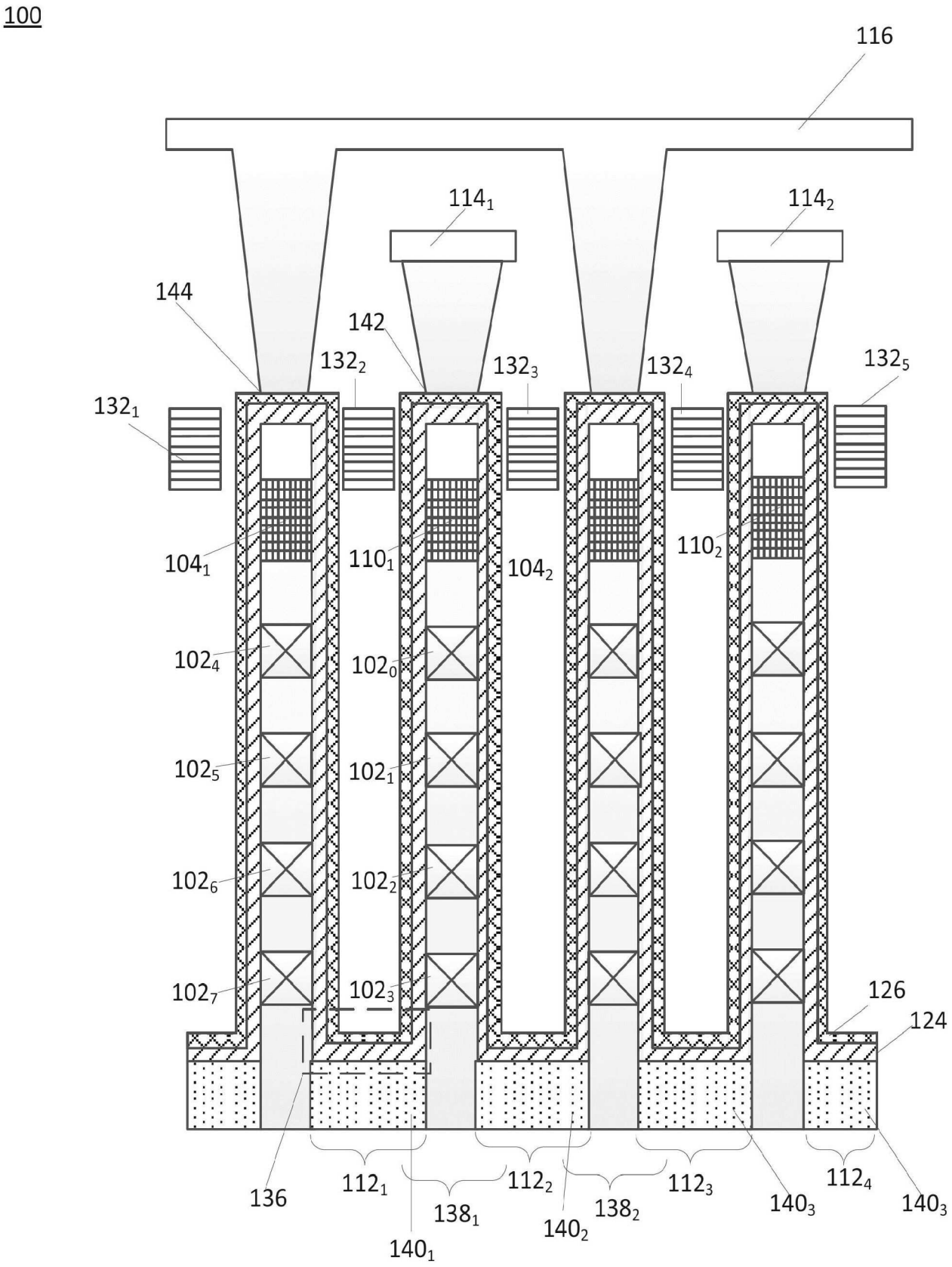


FIG. 1

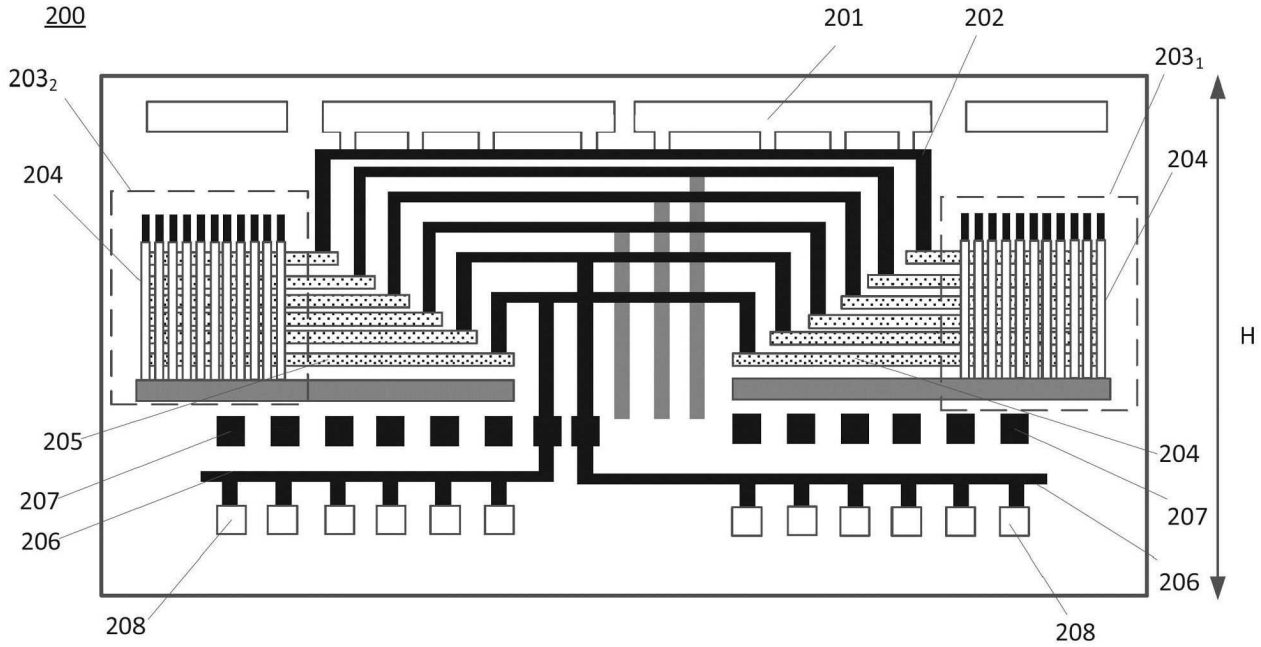

200
201
202
203_1
203_2
204
204
H
205
204
207
207
206
206
208
208

FIG. 2A

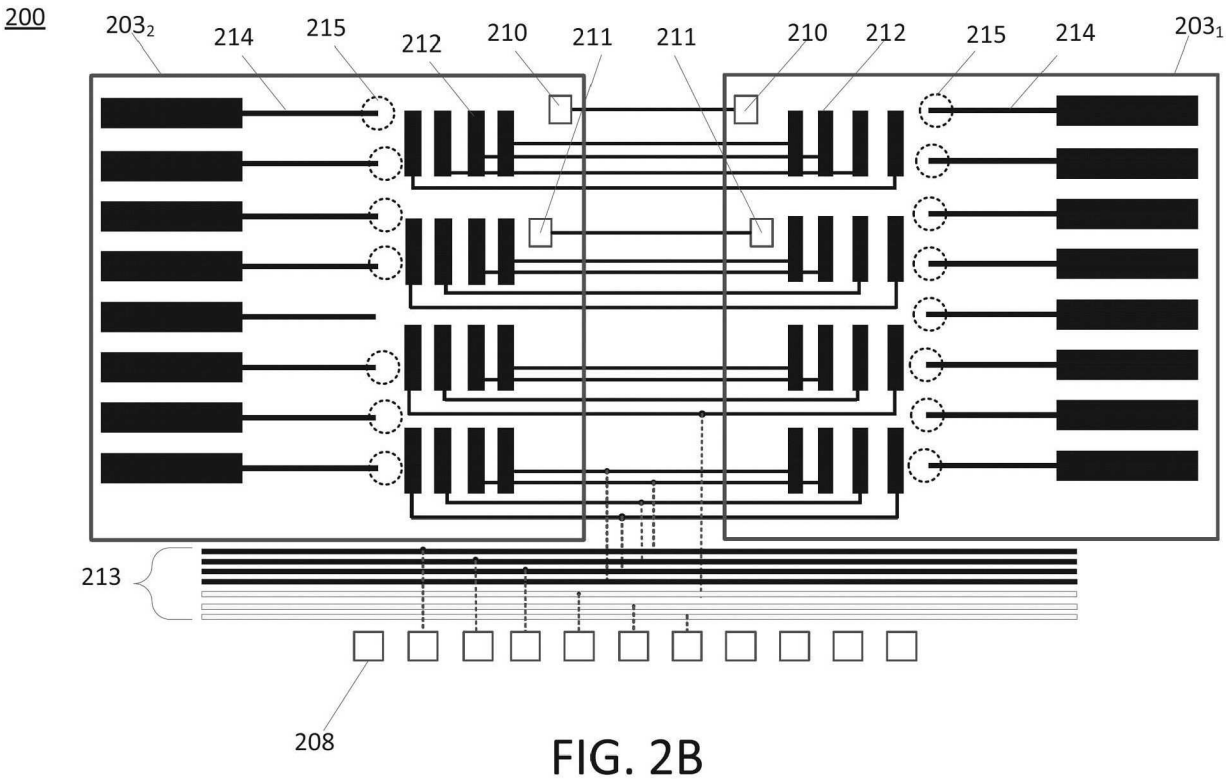

200
203_2
214
215
212
210
211
211
210
212
215
214
203_1
213
208

FIG. 2B

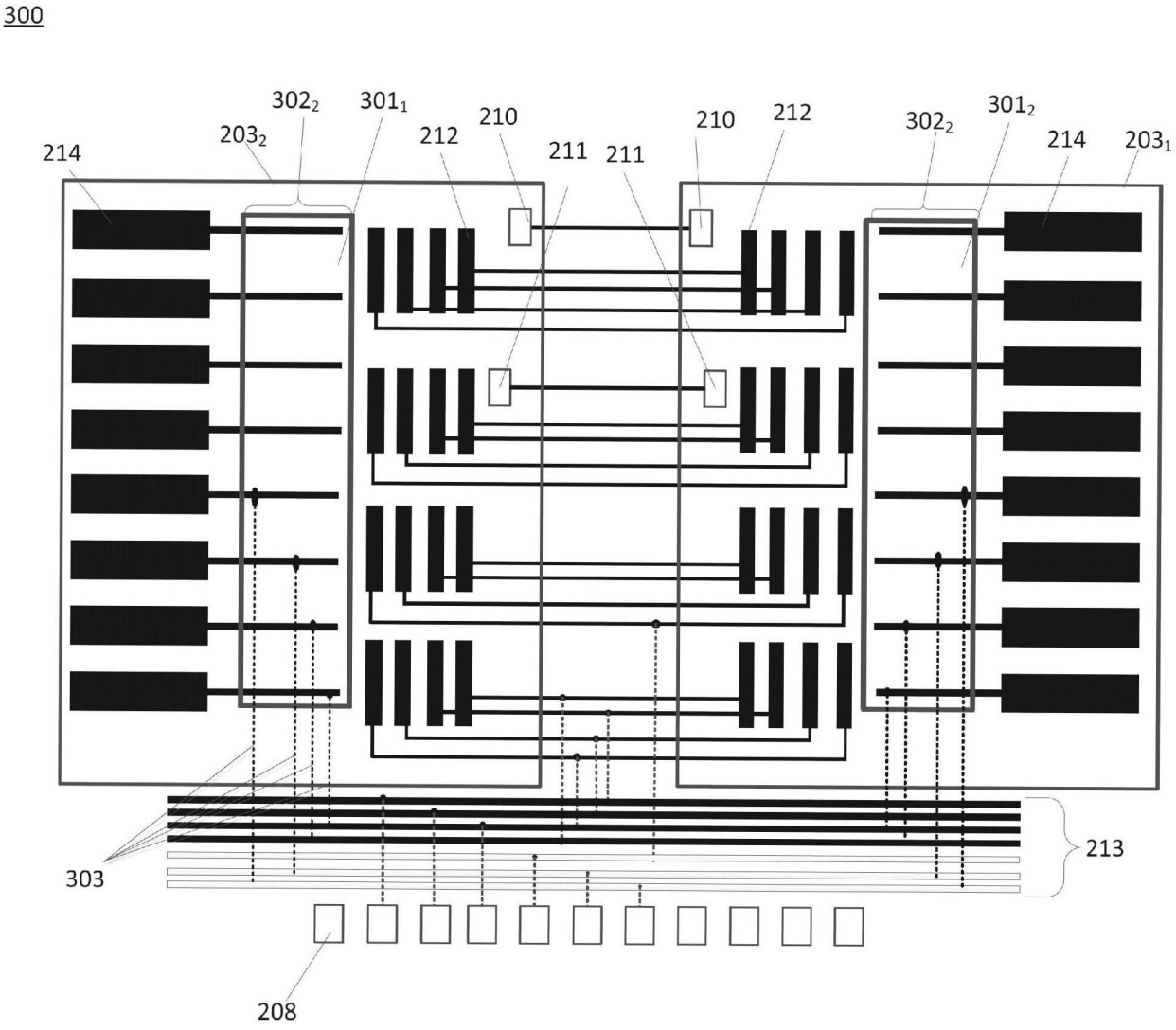

300
214
302_2
203_2
301_1
212
210
211
211
210
212
302_2
301_2
214
203_1
213
303
208

FIG. 3

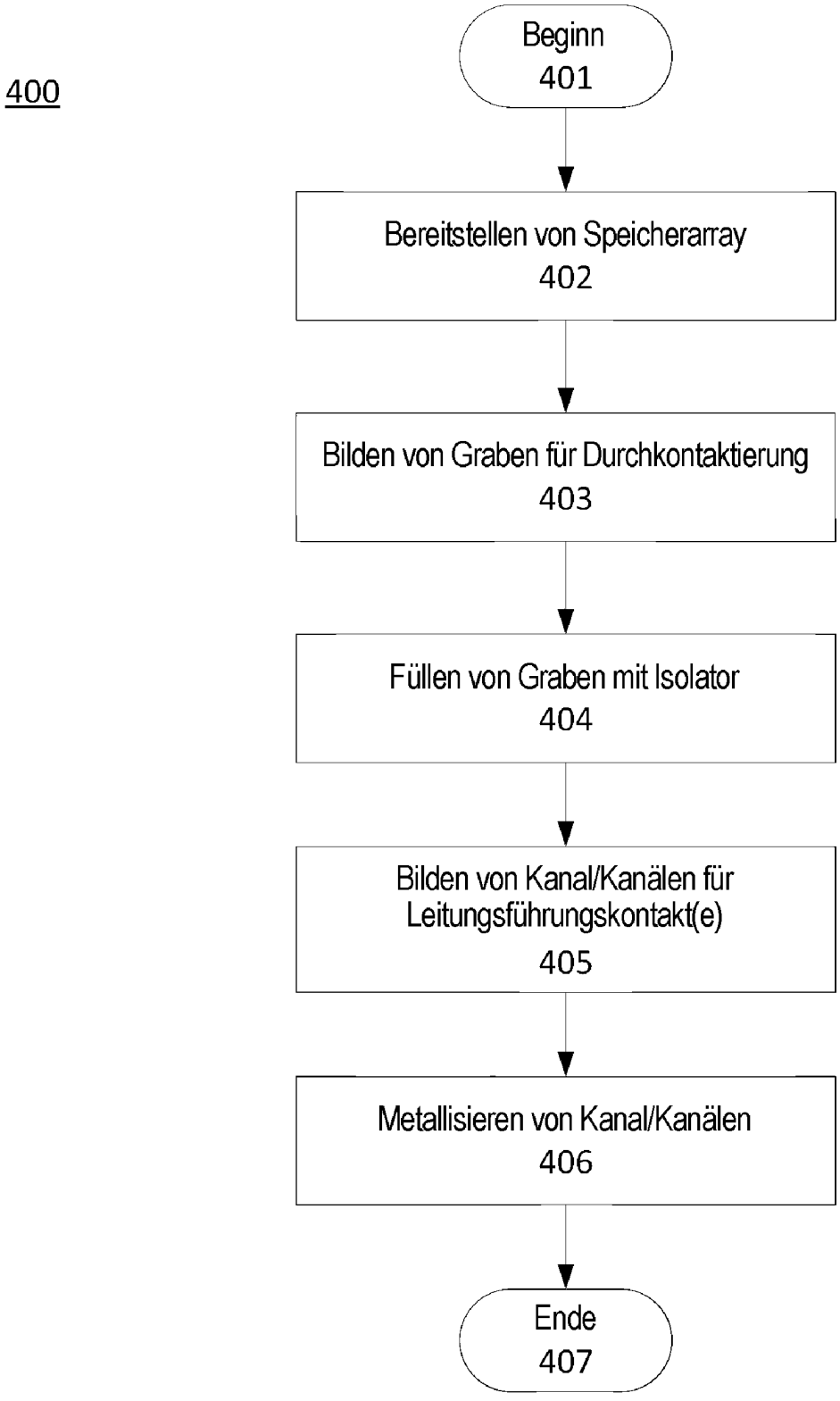

400
Beginn
401
Bereitstellen von Speicherarray
402
Bilden von Graben für Durchkontaktierung
403
Füllen von Graben mit Isolator
404
Bilden von Kanal/Kanälen für Leitungsführungskontakt(e)
405
Metallisieren von Kanal/Kanälen
406
Ende
407

FIG. 4

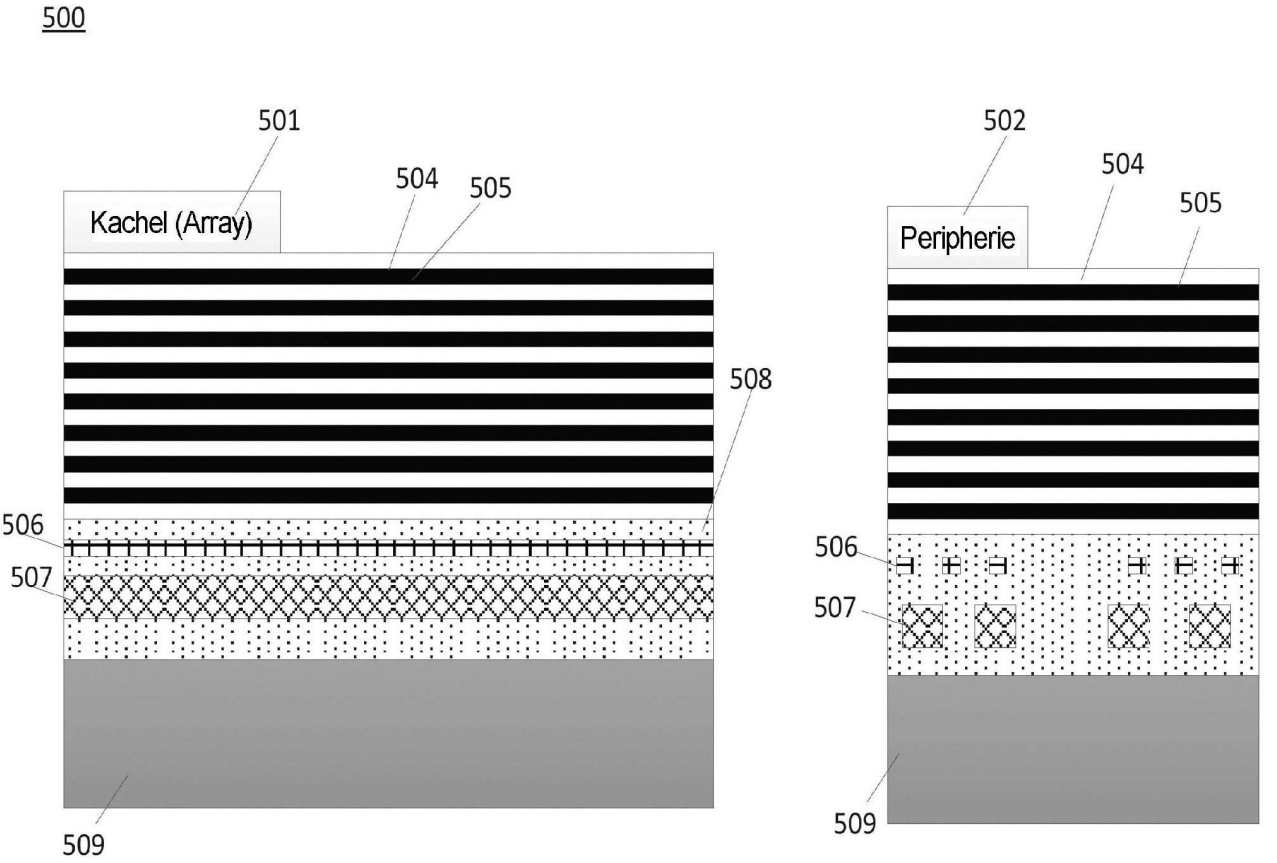

500
501
Kachel (Array)
504
505
508
506
507
509
502
Peripherie
504
505
506
507
509

FIG. 5A

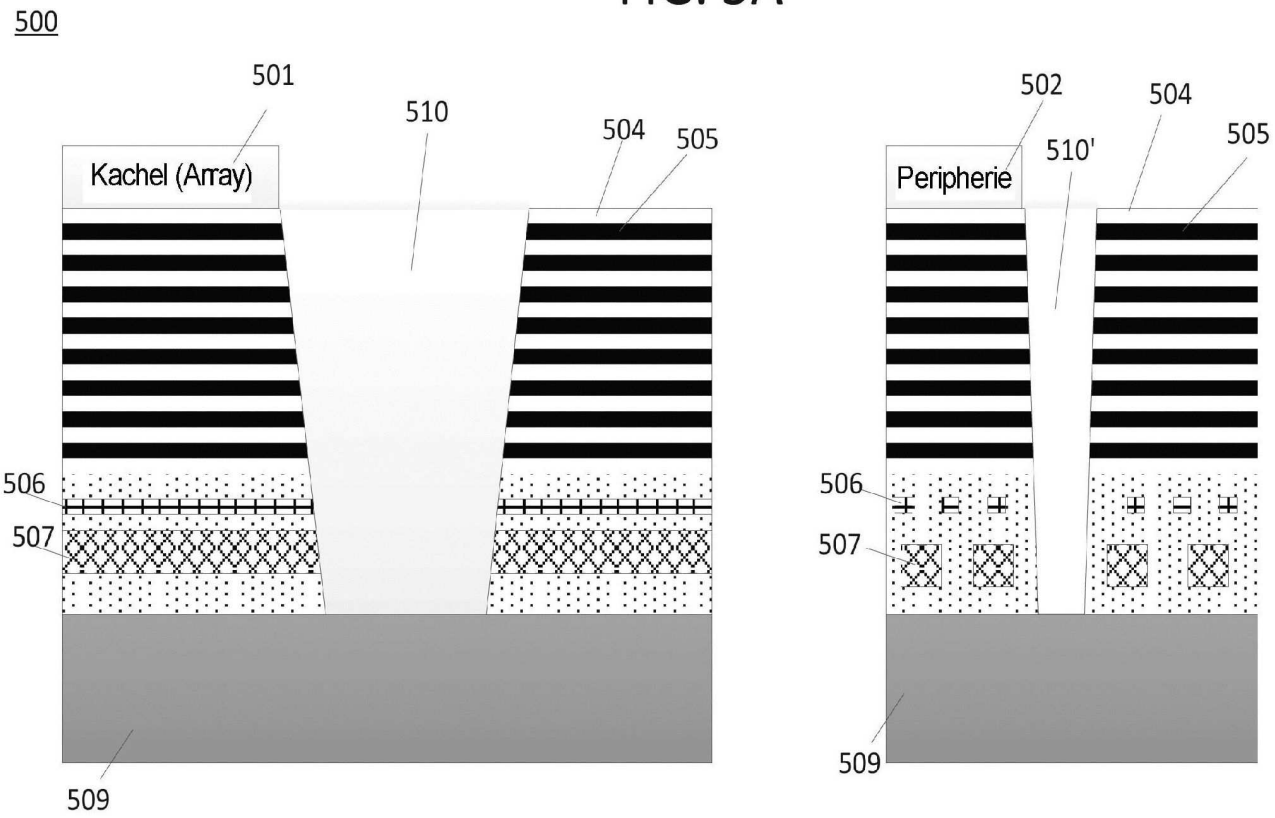

500
501
510
Kachel (Array)
504
505
506
507
509
502
504
510'
Peripherie
505
506
507
509

FIG. 5B

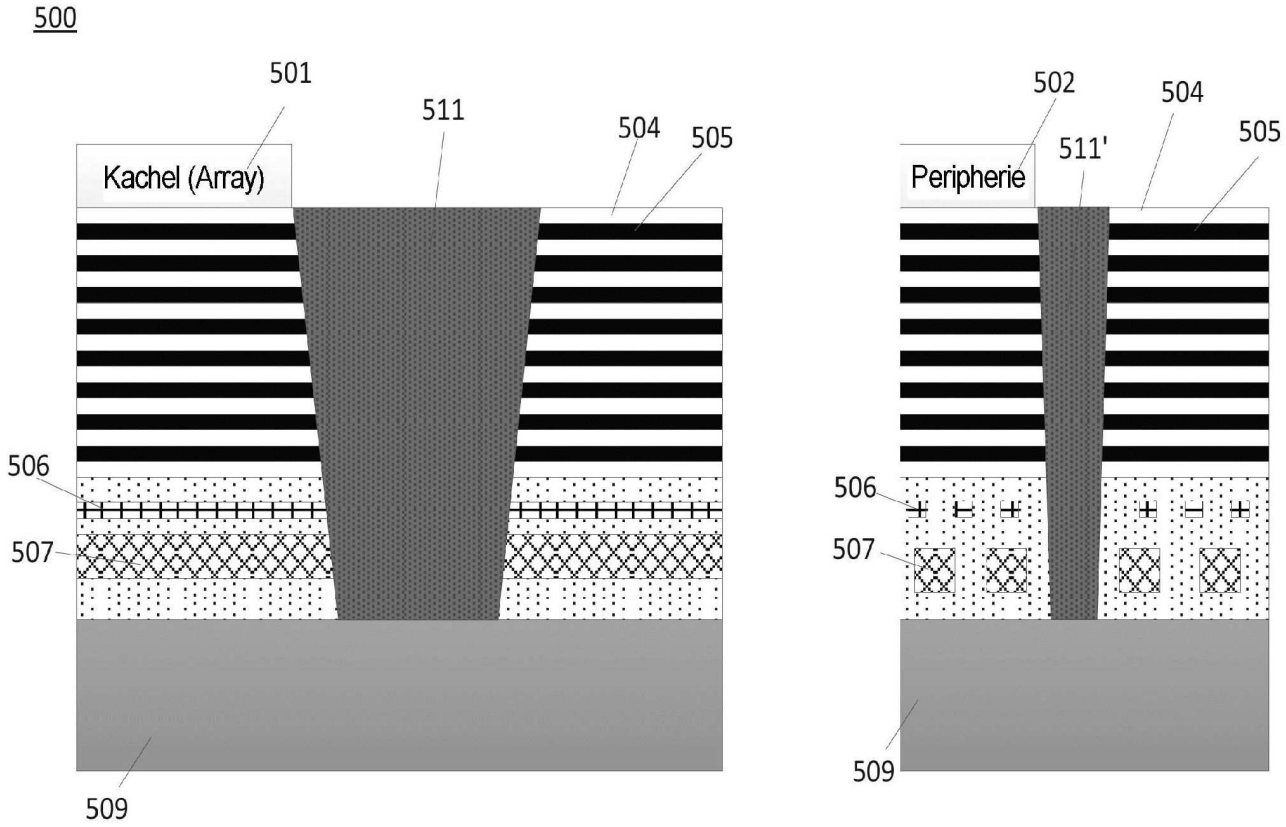

500
501
511
504
505
Kachel (Array)
506
507
509
502
511'
Peripherie

FIG. 5C

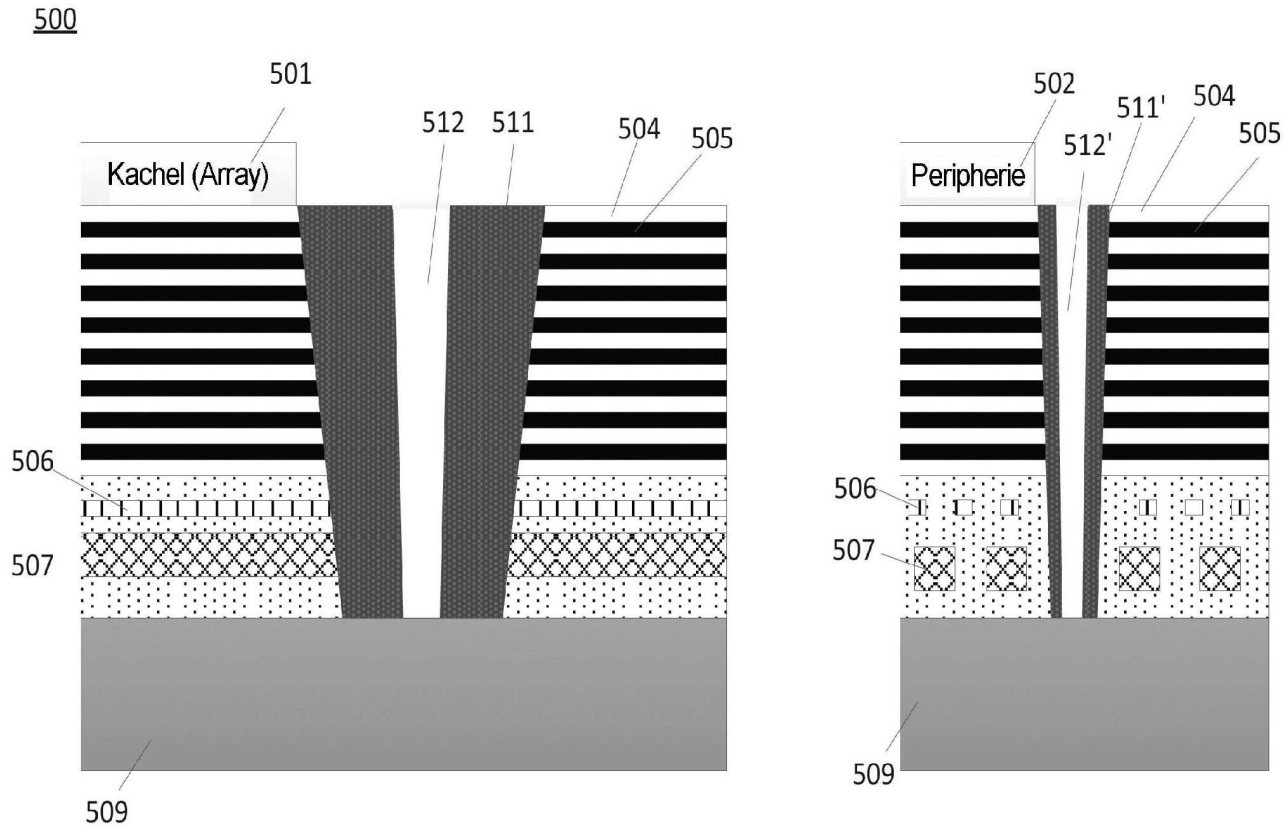

500
501
512
511
504
505
Kachel (Array)
506
507
509
502
511'
512'
Peripherie

FIG. 5D

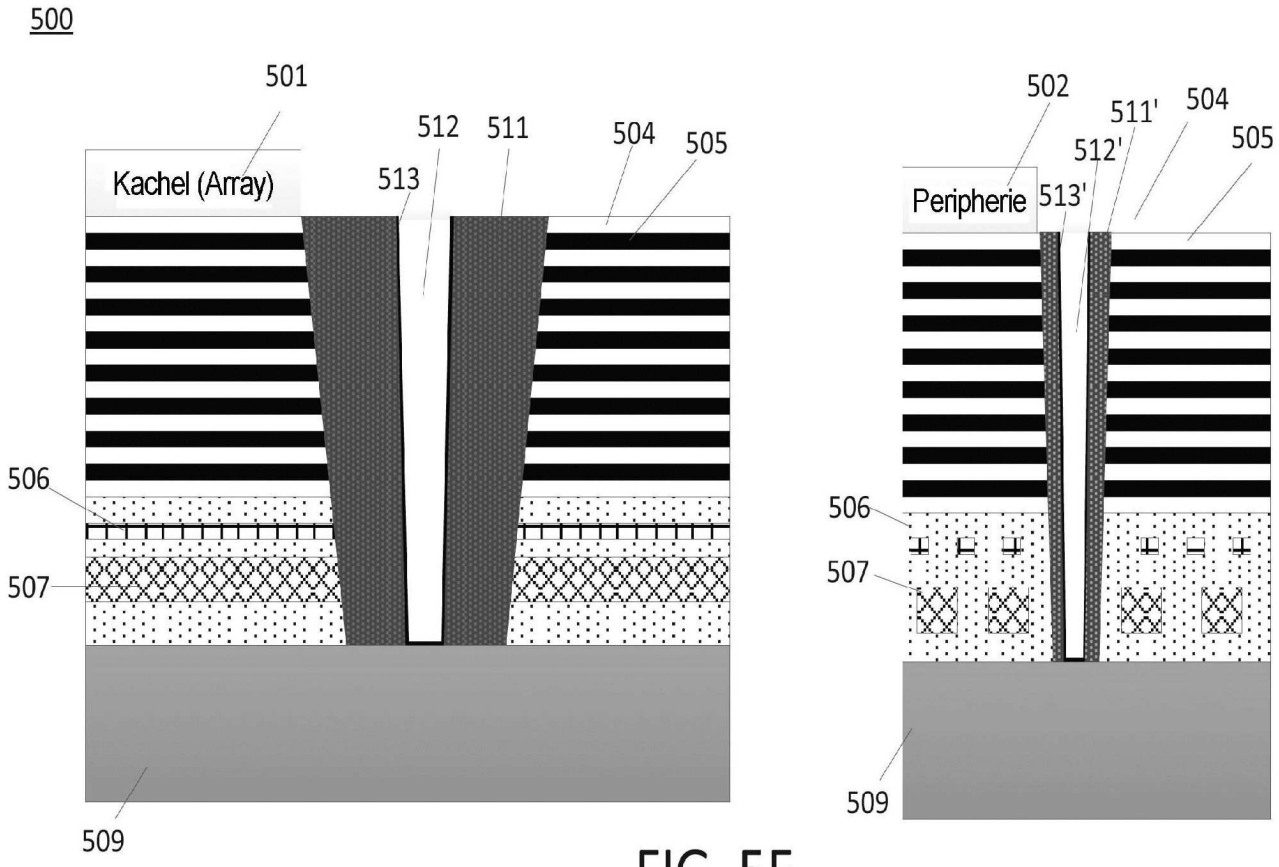

500
501
Kachel (Array)
512
511
513
504
505
506
507
509
502
511'
504
512'
505
Peripherie
513'
506
507
509

FIG. 5E

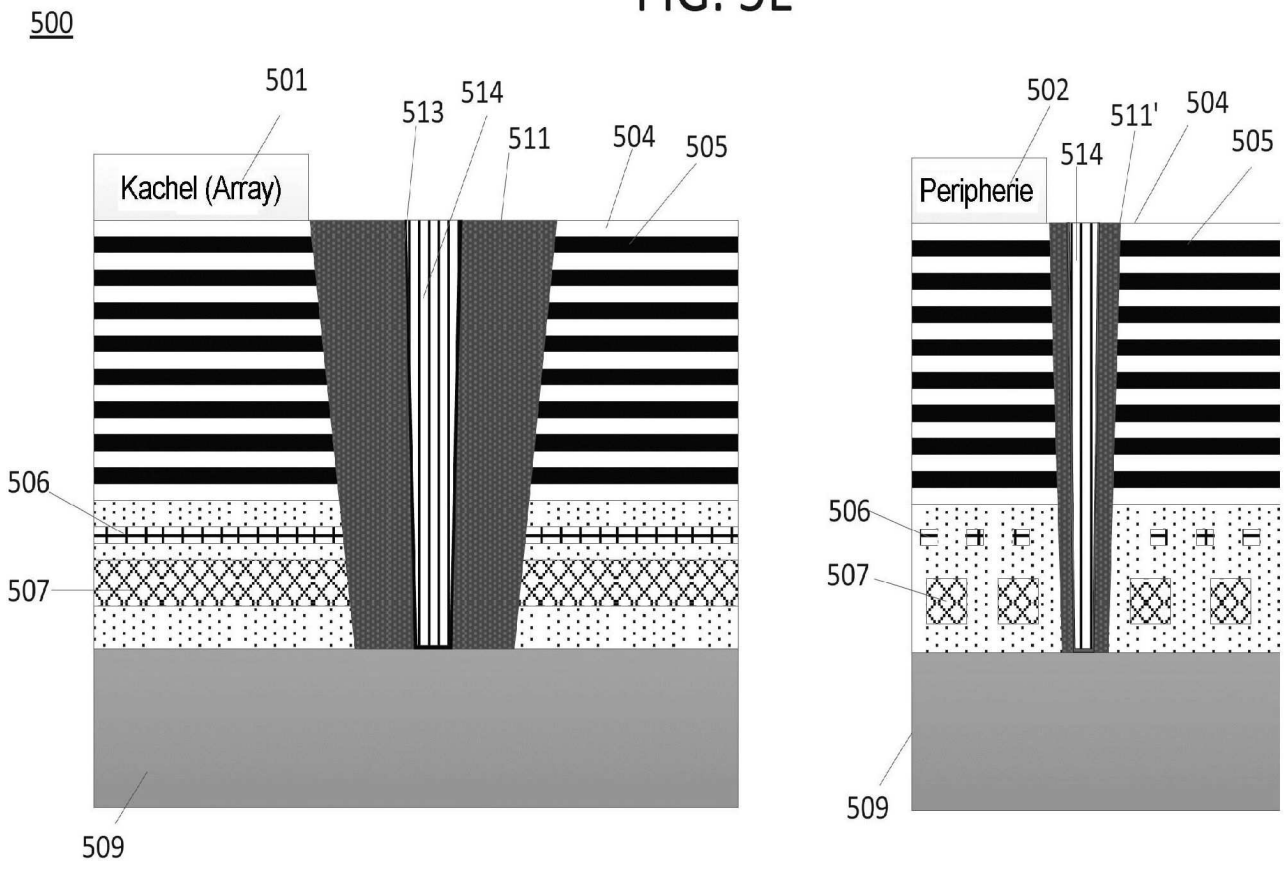

500
501
513
514
511
504
505
Kachel (Array)
506
507
509
502
511'
504
514
505
Peripherie
506
507
509

FIG. 5F

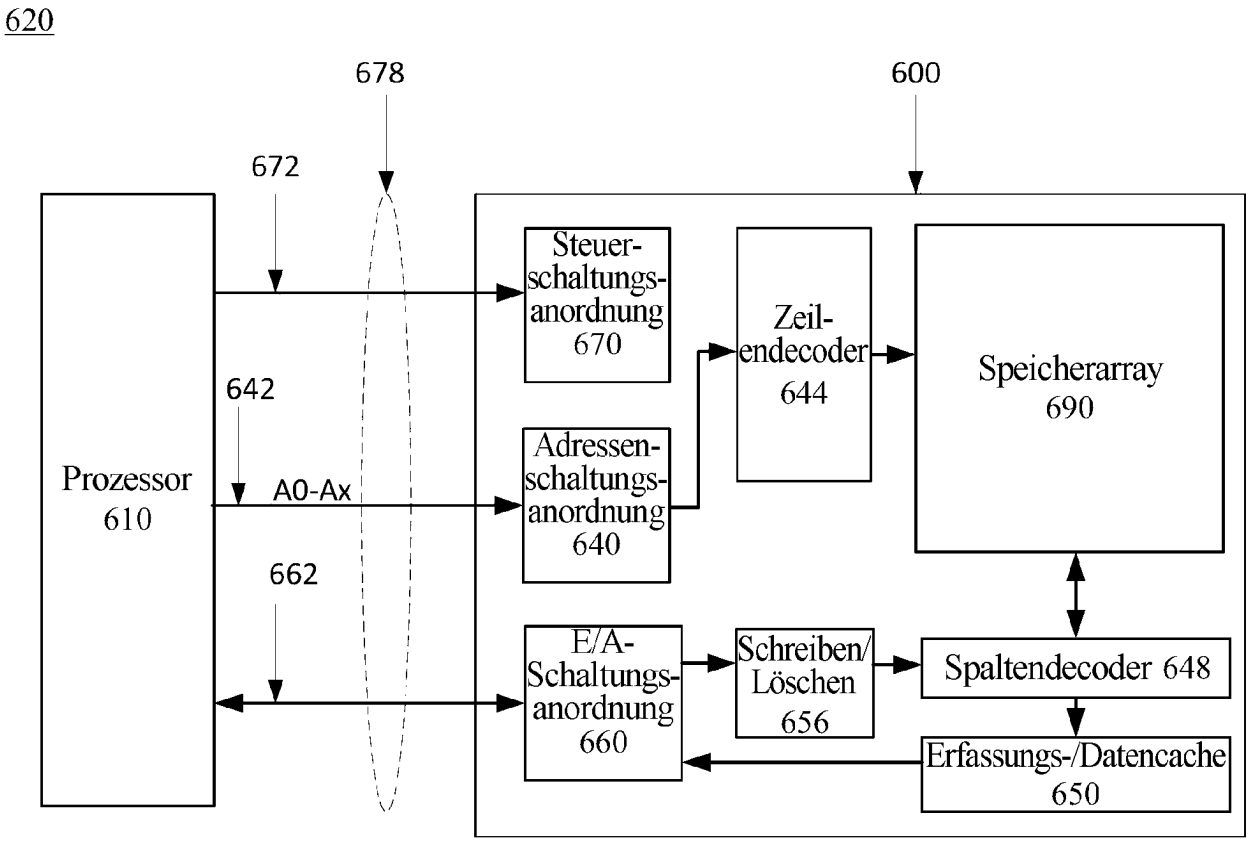


FIG. 6

 Das Dokument wurde durch die Firma Jouve hergestellt.