

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication : **2 983 345**

(à n'utiliser que pour les  
commandes de reproduction)

②1 N° d'enregistrement national : **11 60977**

⑤1 Int Cl<sup>8</sup> : **H 01 L 21/8238 (2013.01), H 01 L 27/085, 27/092**

①2 **DEMANDE DE BREVET D'INVENTION**

**A1**

②2 **Date de dépôt** : 30.11.11.

③0 **Priorité** :

④3 **Date de mise à la disposition du public de la demande** : 31.05.13 Bulletin 13/22.

⑤6 **Liste des documents cités dans le rapport de recherche préliminaire** : *Se reporter à la fin du présent fascicule*

⑥0 **Références à d'autres documents nationaux apparentés** :

⑦1 **Demandeur(s)** : SOITEC Société anonyme — FR.

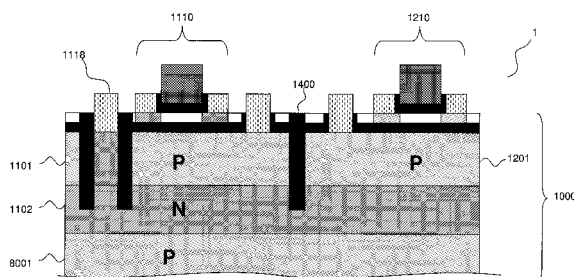
⑦2 **Inventeur(s)** : ENDERS GERHARD, HOENLEIN WOLFGANG et HOFMANN FRANZ.

⑦3 **Titulaire(s)** : SOITEC Société anonyme.

⑦4 **Mandataire(s)** : WOLFGANG NEUBECK - GRUNCKER.

⑤4 **GRILLE ARRIERE UNIFIEE.**

⑤7 La présente invention concerne une structure de semi-conducteur incluant un transistor à double grille de type n (1110), comportant une première grille dorsale (1101); un transistor à double grille de type p (1210), comportant une seconde grille dorsale (1201); et un puits unique (1102) au contact d'au moins une partie de la première grille dorsale et d'au moins une partie de la seconde grille dorsale.



FR 2 983 345 - A1



## GRILLE ARRIÈRE UNIFIÉE

5 Au cours des dernières années, la réduction d'échelle des transistors à effet de champ MOSFET a nécessité un changement considérable de l'architecture des transistors pour compenser les limitations appelées effets de canal court. Pour des transistors ayant une longueur de grille inférieure à 100 nm, le transistor massif ordinaire peut toujours être utilisé, avec les améliorations nécessaires comme les implants halo. Mais, lorsque la longueur de la grille décroît au-dessous de 20 nm, la physique limite les performances du transistor massif ordinaire et d'autres architectures doivent être  
10 utilisées.

Pour dépasser ces limitations et poursuivre dans la direction d'une réduction de la taille des transistors, des transistors SOI ont été proposés. Un transistor SOI consiste en un transistor réalisé au-dessus d'une couche d'oxyde enterrée (BOX). De cette  
15 manière, le corps du transistor est électriquement isolé du substrat massif de silicium, au moyen de la BOX.

Par suite de l'isolation électrique entre le corps et le substrat massif, deux types de transistors SOI peuvent être réalisés : les transistors SOI à déplétion partielle (PD-SOI) et les transistors SOI à déplétion totale (FD-SOI). La différence entre ces deux  
20 dispositifs consiste dans le fait que, pour le transistor à déplétion partielle, la couche de déplétion se formant entre la source et le drain à l'état non conducteur du transistor en général n'occupe qu'une certaine partie du corps du transistor. En d'autres termes, l'épaisseur de la couche de déplétion est inférieure à l'épaisseur du corps de silicium entre la couche d'oxyde de la grille et la couche d'oxyde enterrée. Par contre, dans le  
25 cas d'un transistor à déplétion totale, le corps tout entier du transistor est occupé par la couche de déplétion.

Les transistors à déplétion totale présentent plusieurs avantages par rapport aux  
30 transistors à déplétion partielle. Par exemple, les transistors à déplétion totale permettent une meilleure commande du canal et ne souffrent ni de l'effet du substrat, qui est typique des transistors à déplétion partielle, ni de l'effet dit de mémoire, qui est provoqué par une charge du corps au-dessous de la couche de déplétion.

35 En plus des avantages mentionnés plus haut du transistor à déplétion totale, ce type de transistor permet de changer la tension de seuil du transistor en ajoutant une

seconde grille, la grille dite dorsale au-dessous de l'oxyde enterré du canal du transistor. Pour obtenir un changement suffisant de la tension de seuil en changeant la tension de la grille dorsale, l'épaisseur de la couche d'oxyde enterrée doit être raisonnablement petite.

5

Plus spécifiquement, une structure de semiconducteur suivant la présente invention peut inclure un transistor à double grille de type n, comportant une première grille dorsale ; un transistor à double grille de type p, comportant une seconde grille dorsale ; et un puits unique au contact d'au moins une partie de la première grille dorsale et d'au moins une partie de la seconde grille dorsale.

10

Grâce à cet agencement, un seul puits peut être employé pour séparer les deux types de grilles dorsales du substrat massif de la structure de semiconducteur. En conséquence, le nombre de contacts avec le puits est réduit et l'utilisation de la surface de la structure de semiconducteur est réduite.

15

Dans certains modes de réalisation, la structure de semiconducteur peut en outre comprendre une tranchée d'isolation isolant électriquement la première grille dorsale de la seconde grille dorsale.

20

Grâce à cet agencement, la première grille dorsale et la seconde grille dorsale peuvent être mises en œuvre indépendamment.

Dans certains modes de réalisation, la première grille dorsale et la seconde grille dorsale peuvent être dopées avec le même agent de dopage.

25

Grâce à cet agencement, la fabrication de la structure de semiconducteur est simplifiée et les coûts sont réduits.

Dans certains modes de réalisation, la première grille dorsale et la seconde grille dorsale peuvent être dopées avec le même agent de dopage et peuvent être électriquement connectées l'une à l'autre.

30

Grâce à cet agencement, le nombre de contacts nécessaires pour la polarisation de la grille dorsale est davantage réduit.

35

Dans certains modes de réalisation, le puits unique peut être réalisé dans une région recouvrant entièrement la première grille dorsale et la seconde grille dorsale.

5 Grâce à cet agencement, les première et seconde grilles dorsales peuvent être isolées du substrat massif de la structure de semiconducteur et être mises en œuvre indépendamment d'autres grilles dorsales de la même plaquette en semiconducteur.

10 Dans certains modes de réalisation, le transistor à double grille de type n et le transistor à double grille de type p peuvent être réalisés sur un substrat de silicium sur isolant.

Grâce à cet agencement, la couche d'oxyde du substrat de silicium sur isolant peut être utilisée pour isoler la grille dorsale des corps des transistors.

15 Dans certains modes de réalisation, le substrat de silicium sur isolant peut comporter une couche d'oxyde enterrée ayant une épaisseur comprise dans la gamme de 5 nm à 100 nm, de préférence de 10 nm à 25 nm.

20 Grâce à cet agencement, l'effet de la grille dorsale sur le corps du transistor est maximisé.

Dans certains modes de réalisation, le substrat de silicium sur isolant peut comporter une couche mince de silicium ayant une épaisseur comprise dans la gamme de 2 nm à 80 nm, de préférence de 5 nm à 10 nm.

25 Grâce à cet agencement, il est possible d'obtenir un corps à déplétion totale dans les transistors.

30 Dans certains modes de réalisation, le transistor à double grille de type n et le transistor à double grille de type p peuvent être des transistors à déplétion totale.

Dans certains modes de réalisation, la première grille dorsale et/ou la seconde grille dorsale peuvent être réalisées avec un ou plusieurs métaux.

Grâce à cette approche, le diagramme d'énergie de la région du canal peut être accordé afin de produire des caractéristiques électriques différentes pour les transistors de type n et de type p.

5 Grâce à cet agencement, les performances des transistors peuvent être accrues en comparaison avec la technologie massive ordinaire et les dimensions des transistors peuvent être réduites, jusqu'à une longueur de grille d'environ 10 nm ou même plus courte.

10 Par ailleurs, un procédé de fabrication d'une structure de semiconducteur selon la présente invention peut inclure : une étape d'implantation de grille dorsale consistant à implanter un premier agent de dopage dans une première région d'une plaquette en semiconducteur ; une étape d'implantation d'un puits unique consistant à implanter un second agent de dopage dans la plaquette en semiconducteur ; et une étape de fabrication de transistor consistant à fabriquer un transistor à double grille de type n ayant le premier agent de dopage comme première grille dorsale et un transistor à double grille de type p ayant le premier agent de dopage comme seconde grille dorsale, la première région de la plaquette en semiconducteur étant en contact avec au moins une partie de la première grille dorsale et au moins une partie de la seconde grille dorsale.

15

20

Grâce à ce procédé, un puits unique peut être employé pour séparer les deux grilles dorsales du substrat massif de la structure de semiconducteur. En conséquence, le nombre de contacts avec le puits est réduit et l'utilisation de la surface de la structure de semiconducteur est réduite.

25

En outre, les deux grilles dorsales peuvent être réalisées en une seule étape d'implantation ionique.

30 La présente invention va maintenant être décrite de manière plus détaillée à titre d'exemple, en utilisant des modes de réalisation avantageux et en se référant aux dessins annexés. Les modes de réalisation décrits sont seulement des configurations possibles pour lesquelles les caractéristiques individuelles peuvent cependant, comme décrit plus haut, être mises en œuvre indépendamment les unes des autres ou être omises. Les mêmes éléments représentés dans les dessins annexés sont désignés par

35

les mêmes références. Des parties de la description relatives à de mêmes éléments représentés dans les différents dessins peuvent être omises. Dans les dessins :

5 la figure 1 est une représentation schématique d'une coupe verticale d'une structure de semiconducteur 1 ;

la figure 2 est une représentation schématique de diodes créées par les jonctions PN de la structure de semiconducteur 1 de la figure 1 ;

10 les figures 3a à 3d sont des représentations schématiques de différentes polarisations possibles des diodes de la structure de semiconducteur 1 de la figure 1 ;

15 la figure 4 est une représentation schématique d'une coupe verticale d'une structure de semiconducteur 4 et des diodes créées par les jonctions PN de la structure de semiconducteur 4 ;

les figures 5 et 6 sont des représentations schématiques d'un processus de réalisation d'une structure de semiconducteur ;

20 la figure 7 est une représentation schématique d'une coupe verticale d'une structure de semiconducteur 8 ; la figure 7a est une vue détaillée d'une partie de la figure 7 ;

25 la figure 8 est une représentation schématique de diodes créées par les jonctions PN de la structure de semiconducteur 8 de la figure 7.

30 En se référant aux figures 7 et 7a, une structure de semiconducteur 8 va d'abord être décrite. La figure 7 est un dessin schématique d'une section verticale d'une structure de semiconducteur 8. La figure 7a est une vue détaillée d'une partie de la figure 8. La structure de semiconducteur 8 est réalisée au-dessus d'un substrat de semiconducteur 8000 et inclut deux transistors à double grille 8110 et 8210.

35 Le transistor à double grille 8110 inclut une électrode de grille 8113 électriquement séparée du corps de transistor 8117 par une couche d'isolation de grille 8116. En outre, le transistor à double grille 8110 inclut une électrode de source 8112 et une électrode de drain 8114. L'électrode de source 8112 est électriquement connectée à

une région de source 8111, tandis que l'électrode de drain 8114 est électriquement connectée à une région de drain 8115. La région de source 8111, la région de drain 8115 et le corps de transistor 8117 sont réalisés dans une couche mince de semiconducteur 8500. La couche mince de semiconducteur 8500 est placée au-dessus d'une couche d'oxyde enterrée 8300, qui est elle-même placée au-dessus d'une grille dorsale 8101. La grille dorsale 8101 est séparée d'une couche de semiconducteur massif 8001, du substrat de semiconducteur 8000, au moyen d'un puits 8102. Une électrode de grille dorsale 8119 s'étend depuis la surface supérieure de la structure de semiconducteur 8 vers le bas de façon à être électriquement connectée à la grille dorsale 8101. Une électrode de puits 8118 s'étend depuis la surface supérieure de la structure de semiconducteur 8 vers le bas de façon à être électriquement connectée au puits 8102.

Le substrat de semiconducteur 8000 est un substrat de silicium sur isolant et peut être obtenu par un procédé "SmartCut" (marque déposée).

La couche d'oxyde enterrée a une épaisseur comprise dans la gamme de 5 nm à 100 nm, de préférence de 10 nm à 25 nm. Une valeur d'épaisseur inférieure à 5 nm est techniquement coûteuse à réaliser, tandis qu'une valeur supérieure à 100 nm peut aisément être fabriquée, mais nécessite l'utilisation d'une tension relativement élevée sur la grille dorsale pour obtenir une influence raisonnable sur le potentiel du canal.

La couche mince de silicium a une épaisseur comprise dans la gamme de 2 nm à 80 nm, de préférence de 5 nm à 10 nm, et, de manière encore plus préférable, une valeur de 8 nm est employée.

Le transistor à double grille 8210 est sensiblement similaire au transistor à double grille 8110, excepté que la région de source 8111 et la région de drain 8115 sont remplacées par une région de source 8211 et une région de drain 8215, respectivement. En outre, la grille dorsale 8101 est remplacée par une grille dorsale 8201, tandis que le puits 8102 est remplacé par un puits 8202. De façon similaire au transistor à double grille 8110, le transistor à double grille 8210 inclut une électrode de grille dorsale 8219 et une électrode de puits 8218. L'électrode de grille dorsale 8219 s'étend depuis la surface supérieure de la structure de semiconducteur 8 vers le bas de façon à être électriquement connectée à la grille dorsale 8201. L'électrode de puits 8218 s'étend depuis la surface supérieure de la structure de semiconducteur 8 vers le bas de façon à

être électriquement connectée au puits 8202. Ceci conclut la description du transistor 8210.

5 Les deux transistors à double grille 8110 et 8210 sont séparés l'un de l'autre par une tranchée d'isolation 8400. Comme le montre la figure 7, la tranchée d'isolation 8400 s'étend vers le bas depuis la surface supérieure de la structure de semiconducteur 8 dans le substrat de semiconducteur 8000 au moins au-dessous de l'interface entre la grille dorsale 8101 et le puits 8102 ou, de façon similaire, au-dessous de l'interface entre la grille dorsale 8201 et le puits 8202, de manière à isoler électriquement la grille dorsale 10 8101 de la grille dorsale 8201.

De manière encore plus spécifique, le transistor 8110 peut être un transistor au silicium de type n, tandis que le transistor 8210 peut être un transistor au silicium de type p. En se référant à la figure 7, ceci implique que les régions de source et de drain 15 8111 et 8115 sont dopées avec un agent de dopage de type n, tandis que les régions de source et de drain 8211 et 8215 sont dopées avec un agent de dopage de type p. Le corps 8117 du transistor à double grille 8110 est, soit laissé non dopé, soit dopé avec un agent de dopage de type p. Symétriquement, le corps du transistor à double grille 8210 est, soit laissé non dopé, soit dopé avec un agent de dopage de type n. En outre, la grille dorsale 8101 est dopée avec un agent de dopage de type n, tandis que le puits 20 8102 est dopé avec un agent de dopage de type p. Symétriquement, la grille dorsale 8201 est dopée avec un agent de dopage de type p, tandis que le puits 8202 est dopé avec un agent de dopage de type n. En même temps, le semiconducteur massif 8001 est, soit laissé non dopé, soit dopé avec un agent de dopage de type p.

25 La concentration de l'agent de dopage pour la source et le drain, les grilles dorsales et le puits unique peut être comprise dans la gamme de  $1 \times 10^{17}$  à  $1 \times 10^{19}$ , ou même jusqu'à  $1 \times 10^{20}$ , ou même plus élevée. La concentration de l'agent de dopage pour le semiconducteur massif peut être plus basse, comme décrit plus bas en se référant aux figures 5 et 6.

30 On notera, bien que la structure de semiconducteur 8 soit décrite ici comme étant réalisée avec du silicium, que la présente invention n'est pas limitée à cela et que n'importe quel autre matériau semiconducteur pourrait être utilisé à la place. Par exemple, du GaAs, des matériaux III-V, du SiGe ou d'autres.

35

On notera également, bien que le transistor à double grille 8110 et le transistor à double grille 8210 soient décrits ici comme étant, respectivement, des transistors de type n et de type p, que la présente invention n'est pas limitée à cela et le transistor à double grille 8110 pourrait être n'importe lequel d'un transistor de type n ou de type p, tandis que le transistor à double grille 8210 pourrait être n'importe lequel d'un transistor de type n ou de type p.

De plus, les électrodes 8118, 8119, 8218 et 8219 sont physiquement réalisées de telle sorte que la connexion électrique soit assurée seulement avec la couche voulue, tandis que l'isolation électrique est assurée par rapport aux couches restantes. Par exemple, l'électrode de puits 8118 est électriquement isolée de la couche mince de semiconducteur 8500 et de la grille dorsale 8101, tandis qu'elle est électriquement connectée au puits 8102. La description détaillée de la réalisation des électrodes sera exposée plus bas, en se référant aux figures 5 et 6.

En utilisant la combinaison de dopage décrite plus haut, le résultat représenté sur la figure 8 est obtenu. Comme le montre la figure 8, cette structure inclut des diodes D91, D92, D93 et D94. Plus spécifiquement, la diode D91 est réalisée par la jonction PN composée par le puits 8102 et la grille dorsale 8101. La diode D92 est réalisée par la jonction PN composée par le puits 8102 et le puits 8202. La diode D93 est réalisée par la jonction PN composée par la grille dorsale 8201 et le puits 8202. La diode D94 est réalisée par la jonction PN composée par le semiconducteur massif 8001 et le puits 8202. En outre, les grilles dorsales 8101 et 8201 sont électriquement séparées au moyen de la tranchée d'isolation 8400.

En utilisant cette méthode, deux transistors à doubles grilles 8110 et 8210 peuvent être réalisés. Le terme de double grille se réfère ici au fait que chacun des transistors 8110 et 8210 comporte une première grille au-dessus du corps et une seconde grille au-dessous de celui-ci. Par exemple, pour le cas du transistor à double grille 8110, une première électrode de grille 8113 est séparée du corps 8117 au moyen d'une couche d'isolation de grille 8116, tandis qu'une seconde grille dorsale 8101 est séparée du corps 8117 au moyen d'une couche d'oxyde enterrée 8300.

La structure à double grille présente plusieurs avantages par rapport à la structure à simple grille.

Plus spécifiquement, la présence de la grille dorsale permet à la tension de seuil du transistor d'être modifiée par l'application d'une tension voulue sur la grille dorsale. C'est-à-dire que la grille dorsale 8101 peut être utilisée, en lui appliquant une tension appropriée, pour augmenter ou réduire la tension de seuil du transistor 8110, telle qu'elle est vue par l'électrode de grille 8113. Par exemple, pour le cas d'un transistor 8110 de type n, une tension positive sur la grille dorsale 8101, par rapport à l'électrode de source 8112, occasionne une diminution de la tension de seuil. Symétriquement, l'application d'une tension négative occasionne une augmentation de la tension de seuil. En conséquence, il est possible d'obtenir un fonctionnement plus rapide, en réduisant la tension de seuil, ou un fonctionnement à basse consommation, spécialement en mode d'attente, en augmentant la tension de seuil, sans changer les tensions fournies aux électrodes de drain, de source et de grille 8115, 8112, 8113.

En outre, la grille dorsale 8101 peut être actionnée indépendamment de l'électrode de grille 8113. Par exemple, durant un fonctionnement actif de la structure de silicium 8, la grille dorsale 8101 peut garder un potentiel positif constant, de façon à réduire la tension de seuil des transistors de type n, tandis que l'électrode de grille 8113 effectue une commutation due au fonctionnement de la structure de silicium (8110). D'autre part, durant un mode de basse consommation, ou un mode d'attente, la grille dorsale 8101 peut être maintenue à un potentiel négatif constant, de manière à provoquer une augmentation de la tension de seuil du transistor. Autrement, ou en plus, la grille dorsale 8101 peut être actionnée en conjonction avec l'électrode de grille 8113 de façon à réduire la tension de seuil lorsque le transistor à double grille est fermé et à augmenter la tension de seuil lorsque le transistor à double grille est ouvert.

De plus, la présence de la grille dorsale 8101 permet la réalisation d'un transistor à double grille 8110 sur une couche mince de silicium 8500 comportant deux canaux, un généré à partir de la grille frontale et un généré à partir de la grille dorsale. D'autre part, la région de canal peut être mise hors circuit plus efficacement avec une grille frontale et une grille dorsale en comparaison avec un transistor ne comportant qu'une grille. Ceci implique un meilleur comportement en commutation, qui peut être mesuré comme étant une meilleure pente sous  $V_t$ . Plus spécifiquement, la profondeur des deux canaux peut être recouverte, de sorte que la totalité du corps 8117 soit dans un état d'inversion et agisse comme un canal unique. De cette manière, un transistor à déplétion totale peut être obtenu, même sur une couche mince de semiconducteur 8500 plus épaisse ou irrégulière.

Ceci implique en outre que le courant à l'état passant du transistor à double grille soit augmenté par rapport au courant à l'état passant d'un transistor à simple grille équivalent. En conséquence, les transistors à double grille 8110 et 8210 peuvent  
5 atteindre des performances élevées.

Par conséquent, les transistors à double grille sont hautement souhaitables puisqu'ils allègent les contraintes relatives à l'épaisseur de la couche mince de silicium 8500 tout en augmentant en même temps leurs performances et leur polyvalence.  
10

Cependant, une telle structure requière plus d'espace sur une plaquette en semiconducteur, par rapport à un transistor SOI à simple grille équivalent. Plus spécifiquement, les grilles dorsales 8101 et 8201, de même que les puits 8102 et 8202, doivent être connectés à des potentiels de tension. Pour réaliser cela, la présence des  
15 électrodes de puits 8118, 8218 et des électrodes de grilles dorsales 8119, 8219 est requise.

Par conséquent, afin de réduire la surface occupée par une structure de semiconducteur 8, la structure de semiconducteur 1 suivant la présente invention est  
20 réalisée.

La structure de semiconducteur 1 va être décrite en se référant à la figure 1. La figure 1 est un dessin schématique d'une coupe verticale d'une structure de semiconducteur 1.  
25

Comme le montre la figure 1, la structure de semiconducteur 1 est sensiblement similaire à la structure de semiconducteur 8, à l'exception des changements suivants. Les grilles dorsales 8101 et 8201 sont remplacées par des grilles dorsales 1101 et 1201 respectivement. Les puits 8102 et 8202 sont tous deux remplacés par un puits unique  
30 1102. En conséquence, au lieu des électrodes de puits 8218 et 8118, la structure de semiconducteur 1 inclut seulement une unique électrode de puits 1118. En outre, la tranchée d'isolation 8400 est remplacée par une tranchée d'isolation 1400.

Grâce à cette configuration, un seul puits 1102 est nécessaire pour les deux grilles dorsales 1101 et 1201. Une unique électrode de puits 1118 est donc utilisée dans  
35 la structure de semiconducteur 1, au lieu des deux électrodes de puits 8118, 8218

utilisées dans la structure de semiconducteur 8. En conséquence, la marge de surface dédiée au nombre des multiples électrodes de puits peut être significativement réduite.

5 En outre, puisque les puits 8102 et 8202 sont remplacés par un seul puits 1102, la largeur de la tranchée d'isolation 1400 peut être établie aux environs de 50 nm ou même moins, ce qui a pour résultat une réduction significative de la marge, lorsqu'on la compare à la largeur de 300 nm à 500 nm nécessaire pour la tranchée d'isolation 8400.

10 Tout en gardant la même combinaison d'agents de dopage décrite pour les composants communs à la structure de semiconducteur 8, la structure de semiconducteur 1 voit ses deux grilles dorsales 1101 et 1201 dopées avec un agent de dopage de type p et son puits unique 1102 dopé avec un agent de dopage de type n.

15 Toutefois la présente invention n'est pas limitée à cela et les deux grilles dorsales 1101 et 1201 peuvent être dopées avec un agent de dopage de type n et le puits unique 1102 peut être dopé avec un agent de dopage de type p.

20 Cette combinaison d'agents de dopage a pour résultat la configuration de diodes de la figure 2.

Plus spécifiquement, comme le montre la figure 2, une diode D21 est réalisée par la jonction PN formée par la grille dorsale 1101 et le puits unique 1102. Une diode D23 est formée par la jonction PN réalisée par la grille dorsale 1201 et le puits unique 1102. De plus, une diode D24 est réalisée par la jonction PN formée entre le semiconducteur massif 8001 et le puits unique 1102.

25 La configuration de la figure 2, grâce aux diodes D21, D23 et D24, permet aux grilles dorsales 1101 et 1201 d'être polarisées indépendamment l'une de l'autre, de la manière illustrée sur les figures 3a à 3d.

30 Les figures 3a à 3d sont des dessins schématiques de différentes polarisations possibles des grilles dorsales 1101 et 1201 de la structure de semiconducteur 1 de la figure 1. On notera, sur les figures 3a à 3d, que les électrodes des grilles dorsales et l'électrode du puits unique n'ont pas été représentées pour des raisons de commodité de représentation. À leurs places, des signes indiquant le potentiel de tension connecté aux

35

différentes électrodes ont été reliés directement aux grilles dorsales, au puits unique et au semiconducteur massif.

5 Sur la figure 3a, la grille dorsale 1101 est connectée à une source de tension positive, tandis que la grille dorsale 1201 est connectée à la masse. En même temps, le puits unique 1102 est connecté à une tension positive, tandis que le semiconducteur massif 8001 est connecté à la masse. Pour éviter qu'un courant direct ne circule à travers les diodes, la tension positive du puits unique 1102 doit être au moins égale ou supérieure à la tension positive de la grille dorsale 1101.

10

Il en résulte que la tension de seuil du transistor de type n 1110 est diminuée, en comparaison avec le cas dans lequel la grille dorsale 1101 est connectée à la masse, et que la tension de seuil du transistor de type p 1210 est diminuée, en comparaison avec le cas dans lequel la grille dorsale 1201 est connectée à une tension positive. En outre, 15 les diodes D23 et D24 sont polarisées en inverse, pour assurer qu'aucun courant ne circule à travers elles, tandis que la diode D21 n'est pas conductrice, puisque les potentiels de tension, aux deux extrémités de la diode, sont les mêmes.

20 Sur la figure 3b, la grille dorsale 1101 est connectée à la masse, tandis que la grille dorsale 1201 est connectée à une source de tension positive. En même temps, le puits unique 1102 est connecté à une tension positive, tandis que le semiconducteur massif 8001 est connecté à la masse. Pour éviter qu'un courant direct ne circule à travers les diodes, la tension positive du puits unique 1102 est au moins égale ou supérieure à la tension positive de la grille dorsale 1201.

25

Il en résulte que la tension de seuil du transistor de type n 1110 est augmentée, en comparaison avec le cas dans lequel la grille dorsale 1101 est connectée à une tension positive, et que la tension de seuil du transistor de type p 1210 est augmentée, en comparaison avec le cas dans lequel la grille dorsale 1201 est connectée à la masse. 30 En outre, les diodes D21 et D24 sont polarisées en inverse, pour assurer qu'aucun courant ne circule à travers elles, tandis que la diode D23 n'est pas conductrice, puisque les potentiels de tension, aux deux extrémités de la diode, sont les mêmes.

35 Sur la figure 3c, la grille dorsale 1101 est connectée à une source de tension positive, tandis que la grille dorsale 1201 est connectée à une source de tension positive. En même temps, le puits unique 1102 est connecté à une tension positive,

tandis que le semiconducteur massif 8001 est connecté à la masse. Pour éviter qu'un courant direct ne circule à travers les diodes, la tension positive du puits unique 1102 est au moins égale ou supérieure à la tension positive de la grille dorsale 1101 et à la tension positive de la grille dorsale 1201.

5

Il en résulte que la tension de seuil du transistor de type n 1110 est diminuée, en comparaison avec le cas dans lequel la grille dorsale 1101 est connectée à la masse, et que la tension de seuil du transistor de type p 1210 est augmentée, en comparaison avec le cas dans lequel la grille dorsale 1201 est connectée à la masse. En outre, la diode D24 est polarisée en inverse, pour assurer qu'aucun courant ne circule à travers elle, tandis que les diodes D21 et D23 ne sont pas conductrices, puisque les potentiels de tension, aux deux extrémités des diodes, sont les mêmes.

10

Sur la figure 3d, la grille dorsale 1101 est connectée à la masse, tandis que la grille dorsale 1201 est connectée à la masse. En même temps, le puits unique 1102 est connecté à une tension positive, tandis que le semiconducteur massif 8001 est connecté à la masse.

15

Il en résulte que la tension de seuil du transistor de type n 1110 est augmentée, en comparaison avec le cas dans lequel la grille dorsale 1101 est connectée à une tension positive, et que la tension de seuil du transistor de type p 1210 est diminuée, en comparaison avec le cas dans lequel la grille dorsale 1201 est connectée à une tension positive. En outre, les diodes D21, D23 et D24 sont polarisées en inverse, pour assurer qu'aucun courant ne circule à travers elles.

20

25

On notera, bien que seulement deux niveaux de tension aient été représentés sur les figures 3a à 3d, que la présente invention n'est pas limitée à cela. Par exemple, au lieu d'utiliser une tension de masse, une tension négative peut être utilisée. Les tensions doivent être choisies suivant l'effet voulu. Ainsi, par exemple, si le but est d'augmenter la tension de seuil du transistor de type n 1110, dont l'électrode de source est connectée à la masse, la grille dorsale 1102 peut être connectée à la masse ou à un potentiel négatif.

30

De plus, lorsque l'on décide quelle tension appliquer à la grille dorsale, par exemple dans le cas d'un transistor de type n 1110, le type d'agent de dopage de l'électrode de grille 8113 et de la grille dorsale 1101 doit être considéré. Plus

35

spécifiquement, si à la fois l'électrode de grille 8113 et la grille dorsale 1101 sont réalisées avec le même genre d'agent de dopage, par exemple de type n, et avec des concentrations de dopage similaires, cela produira un diagramme d'énergie présentant une caractéristique plate dans le corps de transistor 8117. D'autre part, par exemple, si  
5 la grille dorsale 1101 est dopée avec un agent de dopage de type p, le diagramme d'énergie dans le corps de transistor 8117 présentera une certaine pente. Dans le cas où le diagramme d'énergie est sensiblement plat, appliquer une tension positive sur l'électrode dorsale aura pour résultat la création d'une couche d'inversion à l'interface entre la BOX 8300 et le corps 8117. Par ailleurs, si le diagramme d'énergie présente une  
10 pente, appliquer le même potentiel positif pourrait ne pas être suffisant pour créer une couche d'inversion à l'interface entre la BOX 8300 et le corps 8117, bien qu'il en résulterait néanmoins une tension de seuil plus basse pour le transistor 1110. Dans ce cas, pour obtenir une couche d'inversion à l'interface entre la BOX 8300 et le corps 8117, une tension positive plus élevée peut être appliquée.

15

En outre, la polarisation de la couche de semiconducteur massif 8001 peut être réalisée par une connexion directe, sur la face dorsale de la plaquette. Autrement, la polarisation de la couche de semiconducteur massif 8001 peut être réalisée par une électrode dédiée, similaire à l'électrode du puits unique ou aux électrodes des grilles dorsales. Encore autrement, la polarisation du semiconducteur massif peut être  
20 entièrement évitée en le laissant au niveau de la masse puisque, comme le montrent les figures 3a à 3d, dans ce cas la diode D24 est toujours polarisée en inverse.

Pour réduire davantage le nombre d'électrodes nécessaires pour le fonctionnement de la structure de semiconducteur 1, la structure de semiconducteur 4 va maintenant être décrite en se référant à la figure 4. La figure 4 est un dessin schématique d'une coupe verticale d'une structure de semiconducteur 4.

25

30

Comme le montre la figure 4, la tranchée d'isolation 8400 des structures de semiconducteurs 8 et 1 est remplacée par une tranchée d'isolation 4400. En outre, les électrodes de grilles dorsales 8119 et 8219 des structures de semiconducteurs 8 et 1 sont remplacées par une seule électrode de grille dorsale 4219. De la même façon, les grilles dorsales 1101 et 1201 sont toutes les deux remplacées par une seule grille dorsale 4101. Les composants restants correspondent à des composants équivalents de  
35 la structure de semiconducteur 1.

Plus spécifiquement, la tranchée d'isolation 4400 s'étend vers le bas, depuis la surface supérieure de la structure de semiconducteur 4 jusqu'à un niveau plus élevé que l'interface entre l'unique grille dorsale 4101 et l'unique puits 1102. De cette manière, tandis qu'une isolation est toujours assurée entre la région de drain 8115 du transistor à double grille 8110 et la région de source 8211 du transistor à double grille 8210, une connexion électrique est assurée entre la partie de l'unique grille dorsale 4101 recouvrant le transistor à double grille 8110 et la partie de l'unique grille dorsale 4101 recouvrant le transistor à double grille 8210.

En conséquence, puisque les deux grilles dorsales 1101 et 1201 sont remplacées par une unique grille dorsale 4101, une seule électrode de grille dorsale 4219 est nécessaire pour polariser l'unique grille dorsale 4101 et la marge de surface de la structure de semiconducteur 4 est réduite davantage, par rapport à la surface de la structure de semiconducteur 1.

Les figures 5 et 6 illustrent un procédé de réalisation de l'électrode de puits unique 1118 et des électrodes de grilles dorsales 8119 et 8219. Un procédé similaire peut également être utilisé pour la réalisation d'une unique électrode de grille dorsale 4219.

Comme le montre la figure 5, une structure de semiconducteur 6A inclut une couche de semiconducteur massif 8001, au-dessus de laquelle sont présentes une couche d'oxyde enterrée 8300 et une couche mince de semiconducteur 8500. La couche de semiconducteur massif 8001 est indiquée comme étant dopée d'un type P. Il ne s'agit que d'un exemple, la couche de semiconducteur massif 8001 peut également être dopée d'un type N. Autrement, la couche de semiconducteur massif 8001 peut être laissée non dopée.

Au cours d'une étape S6A, des tranchées d'isolation 6118A, 6118B, 6119A, 6119B, 6219A, 6219B et 1400 sont réalisées. Il en résulte la structure de semiconducteur 6B. On notera que les tranchées d'isolation peuvent ne pas être toutes réalisées en une seule étape de fabrication. Par exemple, les tranchées d'isolation plus profondes 6118A et 6118B, de même que la tranchée d'isolation 1400, peuvent être réalisées en une étape différente de l'étape de réalisation des tranchées d'isolation moins profondes 6119A, 6119B, 6219A et 6219B.

Au cours d'une étape S6B, une implantation ionique est effectuée, de manière à réaliser le puits unique 1102. Il en résulte une structure de semiconducteur 6C. Dans le cas de la figure 5, un agent de dopage de type N est utilisé pour le puits unique, toutefois la présente invention n'est pas limitée à cela. Autrement, un agent de dopage de type P  
5 peut être utilisé. En outre, les concentrations d'agent de dopage de la couche de semiconducteur massif 8001 et du puits unique 1102 ne sont pas nécessairement les mêmes. Par exemple, la couche de semiconducteur massif 8001 peut avoir une concentration d'agent de dopage plus basse que celle du puits unique 1102. Plus spécifiquement, la concentration d'agent de dopage de la couche de semiconducteur  
10 massif 8001 peut être comprise dans la gamme de  $1 \times 10^{12}$  à  $1 \times 10^{19}$ , ou même jusqu'à  $1 \times 10^{20}$ , voire même plus basse ou plus élevée, tandis que la concentration d'agent de dopage du puits unique 1102 peut être comprise dans la gamme de  $1 \times 10^{17}$  à  $1 \times 10^{19}$ , ou même jusqu'à  $1 \times 10^{20}$ , voire même plus élevée.

15 Au cours d'une étape S6C, une implantation ionique est effectuée, de manière à réaliser les grilles dorsales 1101 et 1201. Il en résulte une structure de semiconducteur 7A. Comme le montre la figure 6, l'étape S6C d'implantation ionique est effectuée avec un masque 7A1 recouvrant sensiblement la région entre les tranchées d'isolation 6118A  
20 et 6118B. Cela a pour effet que la région au-dessous du masque n'est pas implantée en ions et garde le même profil d'agent de dopage que la couche de semiconducteur massif 8001, dans ce cas un dopage de type P.

Dans le cas de la figure 6, un agent de dopage de type P est utilisé pour les grille dorsales 1101 et 1201, toutefois la présente invention n'est pas limitée à cela.  
25 Autrement, un agent de dopage de type N peut être utilisé. En principe, l'agent de dopage des grilles dorsales 1101 et 1201 ne devrait pas être le même que celui du puits 1102. De plus, les concentrations d'agent de dopage des grilles dorsales 1101 et 1201, de la couche de semiconducteur massif 8001 et du puits unique 1102 ne sont pas nécessairement les mêmes. Par exemple, en plus des valeurs mentionnées plus haut, la  
30 concentration d'agent de dopage des grilles dorsales 1101 et 1201 peut être comprise dans la gamme de  $1 \times 10^{17}$  à  $1 \times 10^{19}$ , ou même jusqu'à  $1 \times 10^{20}$ , voire même plus élevée.

Au cours d'une étape S7A, une implantation ionique est effectuée, de manière à  
35 réaliser la région dopée 7B2 de l'électrode de puits unique 1118. Il en résulte une structure de semiconducteur 7B. Comme le montre la figure 6, l'étape S7A

d'implantation ionique est effectuée avec un masque 7B1 recouvrant sensiblement la structure de semiconducteur 7A tout entière, à l'exception de la région entre les tranchées d'isolation 6118A et 6118B. Cela a pour effet que la région au-dessous du masque n'est pas implantée en ions.

5

Dans le cas de la figure 6, un agent de dopage de type N est utilisé pour la région dopée 7B2, suivant l'agent de dopage de type N utilisé pour le puits unique 1102. La concentration d'agent de dopage de la région dopée 7B2 est sensiblement similaire à la concentration d'agent de dopage du puits unique 1102.

10

Puisque la région dopée 7B2 est dopée avec le même genre d'agent de dopage que celui utilisé pour le puits unique 1102 et est isolée de la grille dorsale 1101 au moyen des tranchées d'isolation 6118A et 6118B, un contact est assuré entre la région dopée 7B2 et le puits unique 1102, tandis que l'isolation de ces deux éléments par rapport à la grille dorsale 1101 est assurée.

15

Au cours d'une étape S7B, un dépôt de métal est effectué, de manière à réaliser les contacts métalliques 7118A, 7119A et 7219A. Il en résulte une structure de semiconducteur 7C. Le contact métallique 7118A est réalisé de manière à venir au contact de la région dopée 7B2. Grâce aux tranchées d'isolation 6118A et 6118B, le contact métallique 7118A est isolé de la couche mince de semiconducteur 8500. De façon similaire, les contacts métalliques 7119A et 7219A sont réalisés de manière à être au contact respectivement des grilles dorsales 1101 et 1201.

20

25

Le contact métallique 7118A, les tranchées d'isolation 6118A et 6118B et la région dopée 7B2 composent l'électrode de puits unique 1118. De manière similaire, les contacts métalliques 7119A et 7219A, avec les tranchées d'isolation 6119A, 6119B, 6219A et 6219B, composent les électrodes de grilles dorsales 8119 et 8219.

30

Bien qu'un contact métallique ait été décrit, la présente invention n'est pas limitée à cela et n'importe quel matériau assurant une connexion électrique satisfaisante peut être utilisé à la place, comme un silicium polycristallin dopé ou tout autre semiconducteur ou alliage semiconducteur/métal.

35

Au cours d'une étape S7C de fabrication de transistor, des régions de source 8111 et 8211, des régions de drain 8115 et 8215, des électrodes de drain, de source et

de grille pour les transistors à double grille 8110 et 8210 sont réalisées. Il en résulte une structure de semiconducteur 1 sur la figure 1.

5 Bien que la croissance des électrodes de drain, de source et de grille des transistors à double grille 8110 et 8210 ait été décrite comme étant effectuée à une étape S7C différente de l'étape S7B au cours de laquelle les contacts métalliques 7118A, 7119A et 7219A sont réalisés, la présente invention n'est pas limitée à cela. Autrement, les contacts métalliques peuvent être réalisés en une seule étape, après la réalisation des régions de source et de drain des transistors à double grille.

10 Bien que les structures de semiconducteurs 1 et 4 aient été décrites avec une configuration spécifique de régions dopées d'un type P et de régions dopées d'un type N, la présente invention n'est pas limitée aux configurations décrites. Autrement ou en plus, la combinaison d'agents de dopage peut être inversée, en remplaçant un agent de dopage de type P par un agent de dopage de type N et vice versa. Toujours autrement, 15 ou en plus, n'importe quelle configuration de régions dopées d'un type P et de régions dopées d'un type N peut être réalisée. Par exemple, les grilles dorsales 1101 et 1201 peuvent être chacune dopée avec un agent de dopage de type P ou de type N. De même, le puits unique 1102 et la couche de semiconducteur massif 8001 peuvent être 20 chacun dopé avec un agent de dopage de type P ou de type N. Plus généralement, chaque région dopée des modes de réalisation décrits peut être dopée avec un agent de dopage de type N ou un agent de dopage de type P.

25 En outre, bien que les grilles dorsales 1101, 1201 et la grille dorsale unique 4101 aient été décrites comme étant réalisées avec une couche de semiconducteur dopé, la présente invention n'est pas limitée à cela. Autrement, ou en plus, n'importe quelle grille parmi la grille dorsale 1101 et/ou 1201 et/ou la grille dorsale unique 4101 peut être réalisée avec un métal. En particulier, n'importe quelle grille parmi la grille dorsale 1101 et/ou 1201 et/ou la grille dorsale unique 4101 peut être réalisée avec un ou plusieurs 30 métaux.

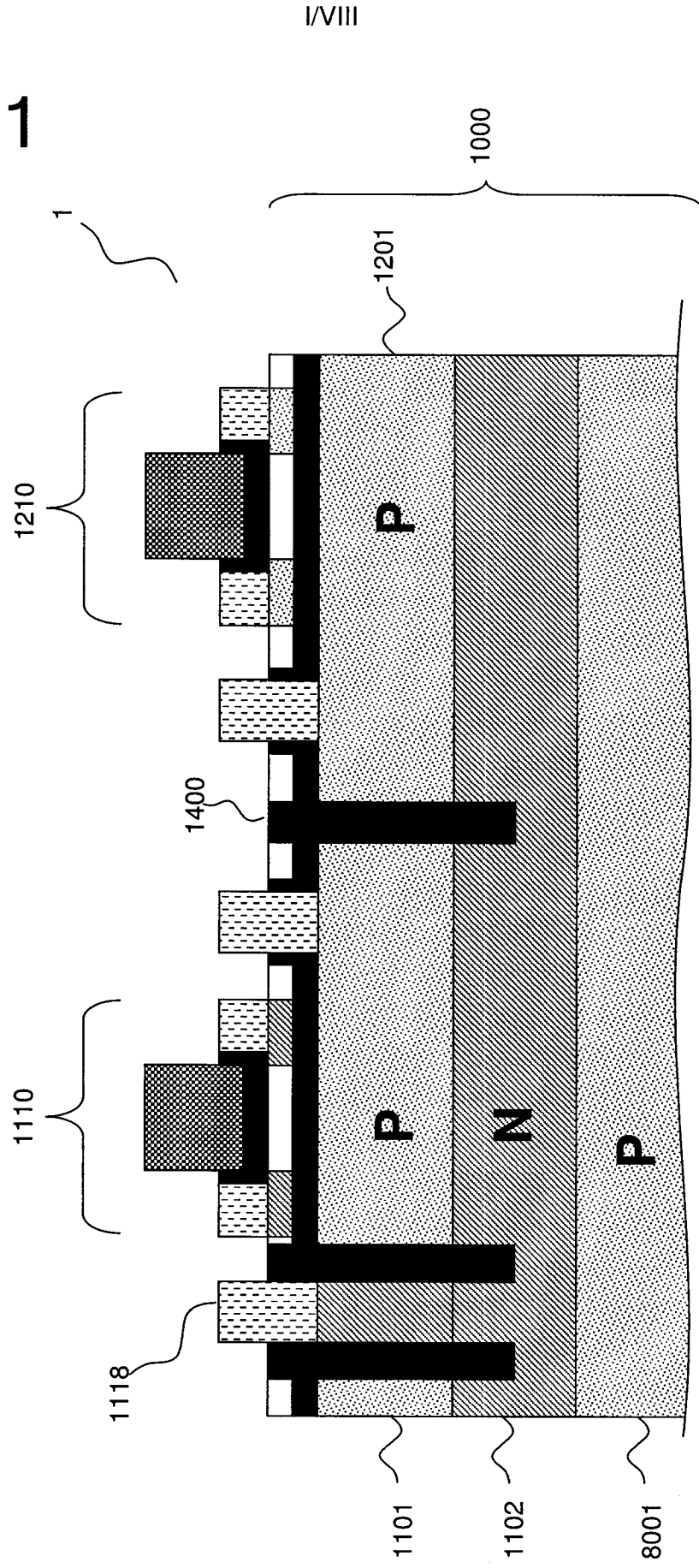
**REVENDEICATIONS**

1. Structure de semiconducteur (1, 4) comprenant :
- 5 un transistor à double grille de type n (1110), comportant une première grille dorsale (1101, 4101) ;
- un transistor à double grille de type p (1210), comportant une seconde grille dorsale (1201, 4101) ; et
- un puits unique (1102) au contact d'au moins une partie de la première grille dorsale et d'au moins une partie de la seconde grille dorsale.
- 10
2. Structure de semiconducteur (1, 6) selon la revendication 1, comprenant en outre :
- une tranchée d'isolation (8400) isolant électriquement la première grille dorsale (1101) de la seconde grille dorsale (1201).
- 15
3. Structure de semiconducteur selon la revendication 2, dans laquelle :
- la première grille dorsale et la seconde grille dorsale sont dopées avec le même agent de dopage.
- 20
4. Structure de semiconducteur (4, 7) selon la revendication 1, dans laquelle :
- la première grille dorsale (4101) et la seconde grille dorsale (4101) sont dopées avec le même agent de dopage et sont électriquement connectées l'une à l'autre.
- 25
5. Structure de semiconducteur selon l'une quelconque des revendications 1 à 4, dans laquelle :
- le puits unique est réalisé dans une région recouvrant entièrement la première grille dorsale et la seconde grille dorsale.
- 30
6. Structure de semiconducteur selon l'une quelconque des revendications 1 à 5, dans laquelle :
- le transistor à double grille de type n et le transistor à double grille de type p sont réalisés sur un substrat de silicium sur isolant (1000, 4000).
7. Structure de semiconducteur selon la revendication 6, dans laquelle :

le substrat de silicium sur isolant comporte une couche d'oxyde enterrée (8300) ayant une épaisseur comprise dans la gamme de 5 nm à 100 nm, de préférence de 10 nm à 25 nm.

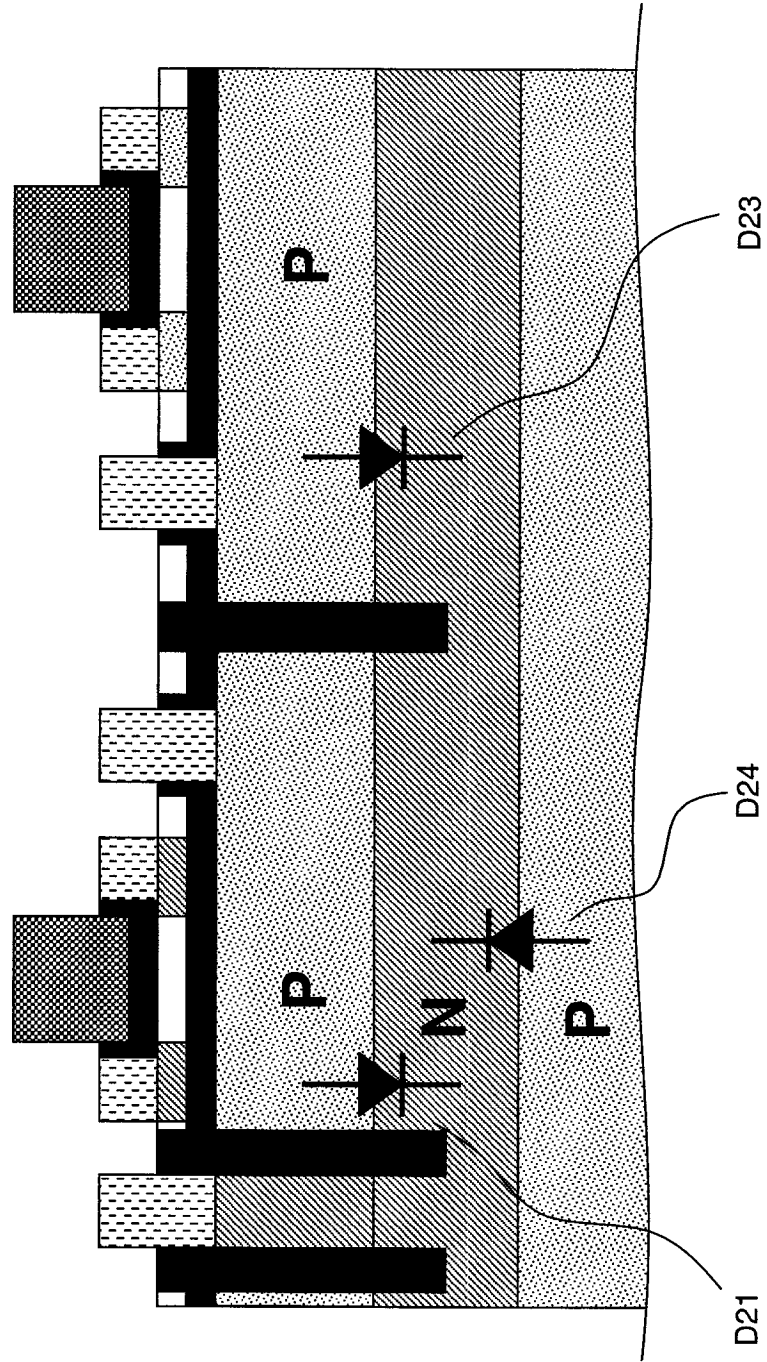
- 5 8. Structure de semiconducteur selon la revendication 6 ou 7, dans laquelle :  
le substrat de silicium sur isolant comporte une couche mince de silicium (8500) ayant une épaisseur comprise dans la gamme de 2 nm à 80 nm, de préférence de 5 nm à 10 nm.
- 10 9. Structure de semiconducteur selon l'une quelconque des revendications 1 à 8, dans laquelle :  
le transistor à double grille de type n et le transistor à double grille de type p sont des transistors à déplétion totale.
- 15 10. Structure de semiconducteur selon l'une quelconque des revendications 1 à 9, dans laquelle :  
la première grille dorsale (1101, 4101) et/ou la seconde grille dorsale (1201, 4101) est réalisée avec du métal.
- 20 11. Procédé de fabrication d'une structure de semiconducteur, incluant :  
une étape d'implantation de grille dorsale (S6C) consistant à implanter un premier agent de dopage (1101, 1201) dans une première région d'une plaquette en semiconducteur ;  
une étape d'implantation d'un puits unique (S6B) consistant à implanter un  
25 second agent de dopage (1102) dans la plaquette en semiconducteur (8001) ; et  
une étape de fabrication de transistor (S7C) consistant à fabriquer un transistor à double grille de type n (1110) ayant le premier agent de dopage comme première grille dorsale (1101, 4101) et un transistor à double grille de type p (1210) ayant le premier agent de dopage comme seconde grille dorsale (1201, 4101),  
30 la première région de la plaquette en semiconducteur étant en contact avec au moins une partie de la première grille dorsale et au moins une partie de la seconde grille dorsale.

Fig. 1



II/VIII

Fig. 2



III/VIII

Fig. 3a

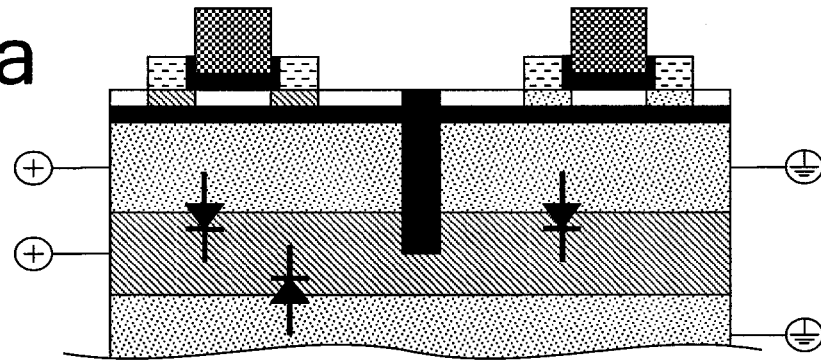


Fig. 3b

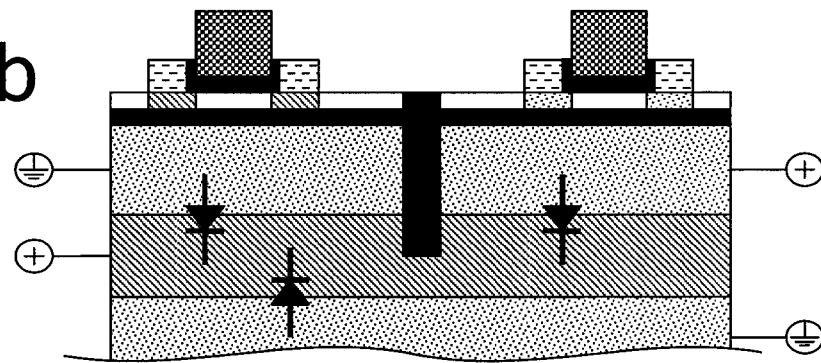


Fig. 3c

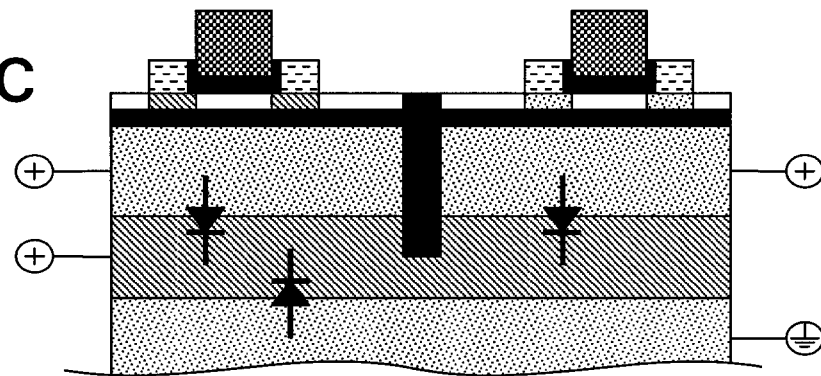


Fig. 3d

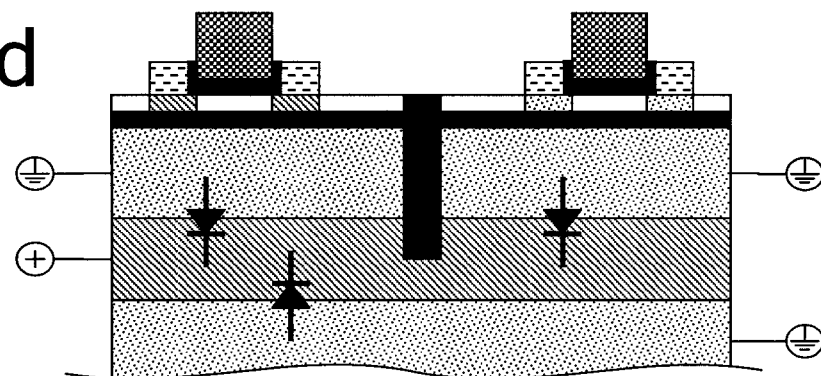
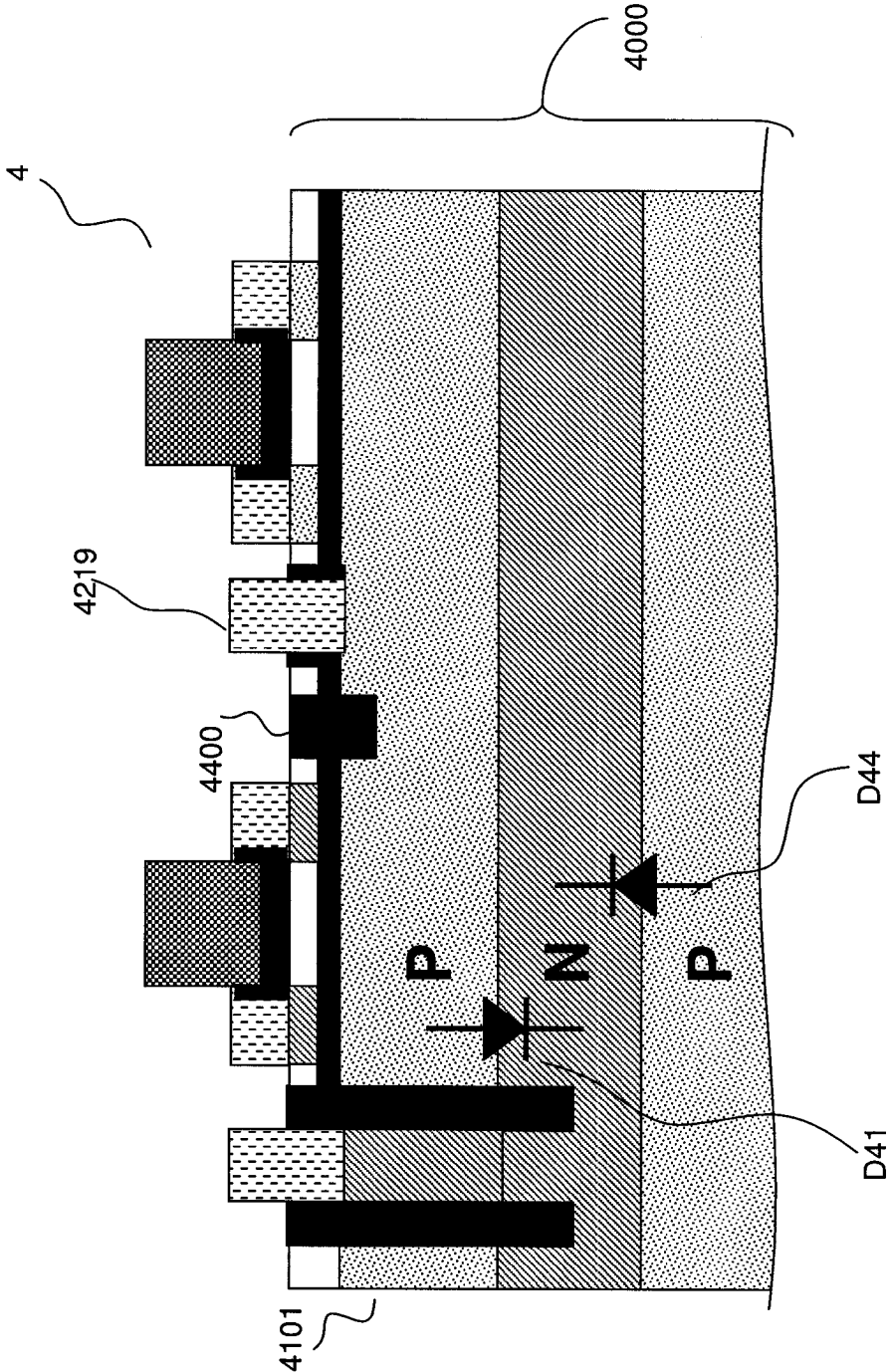
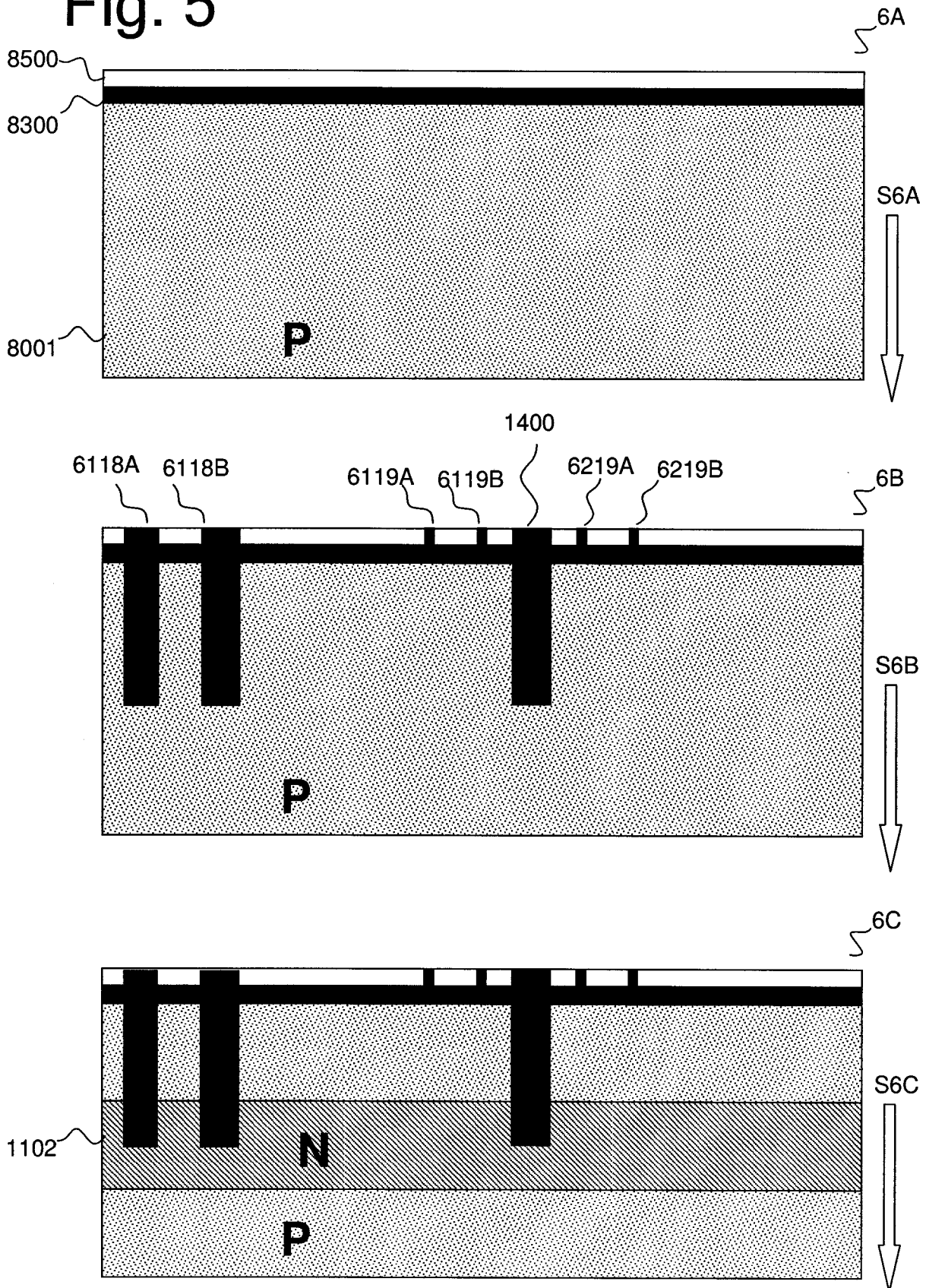


Fig. 4



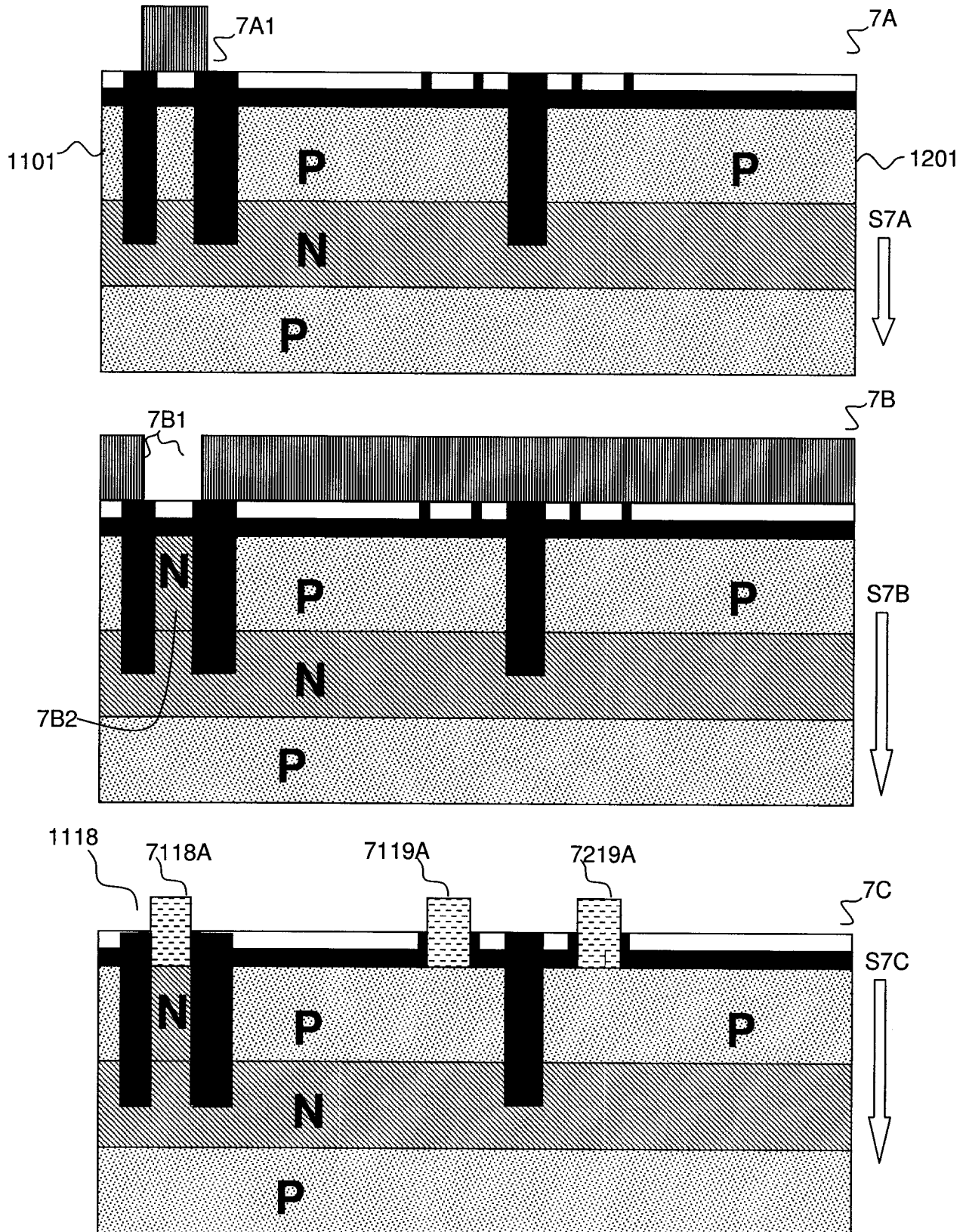
V/VIII

Fig. 5



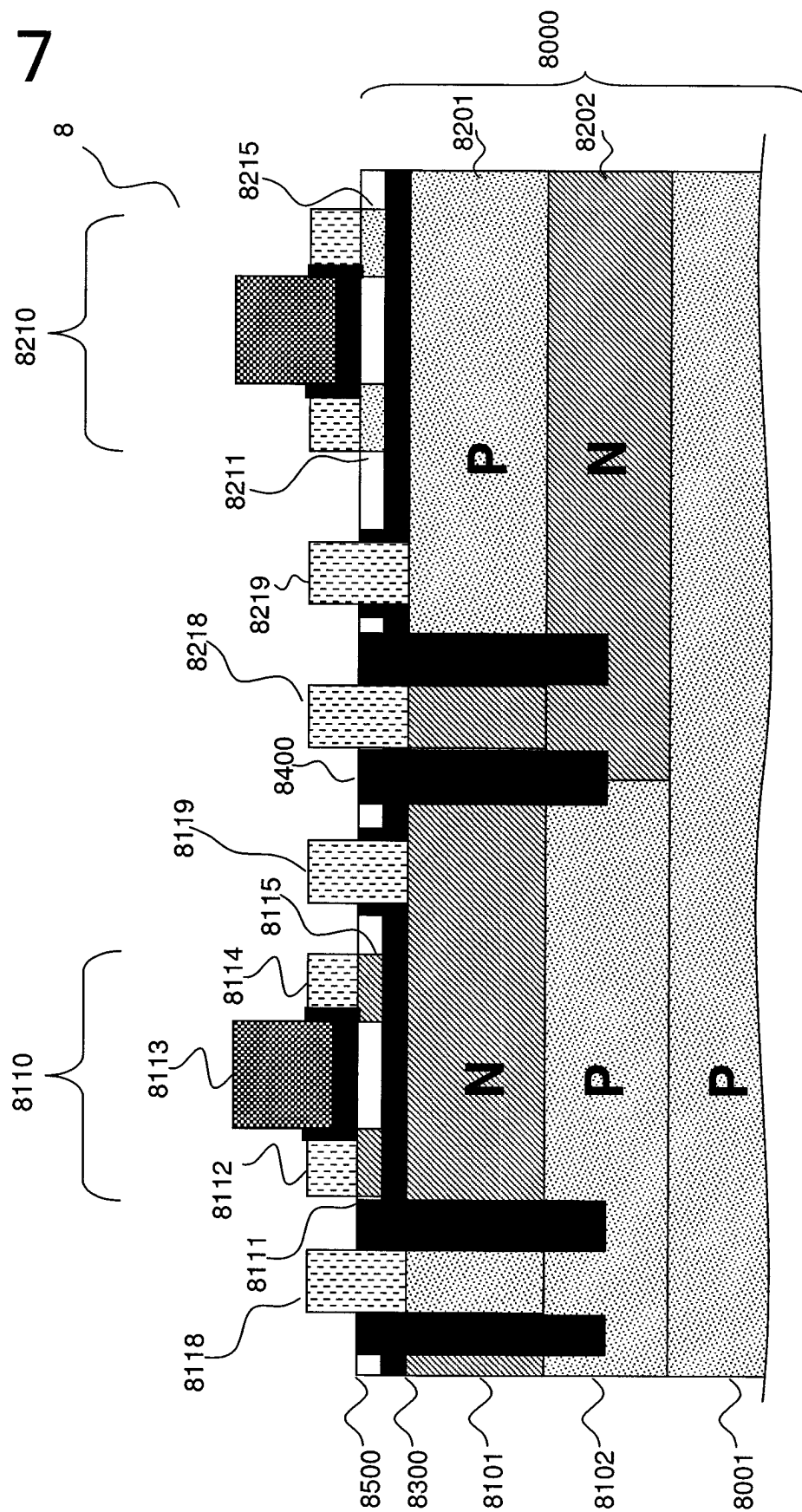
VI/VIII

Fig. 6



VII/VIII

Fig. 7



VIII/VIII

Fig. 7a

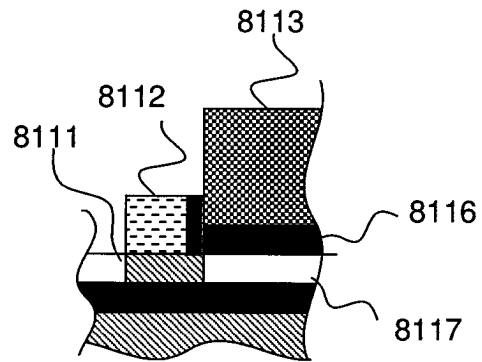
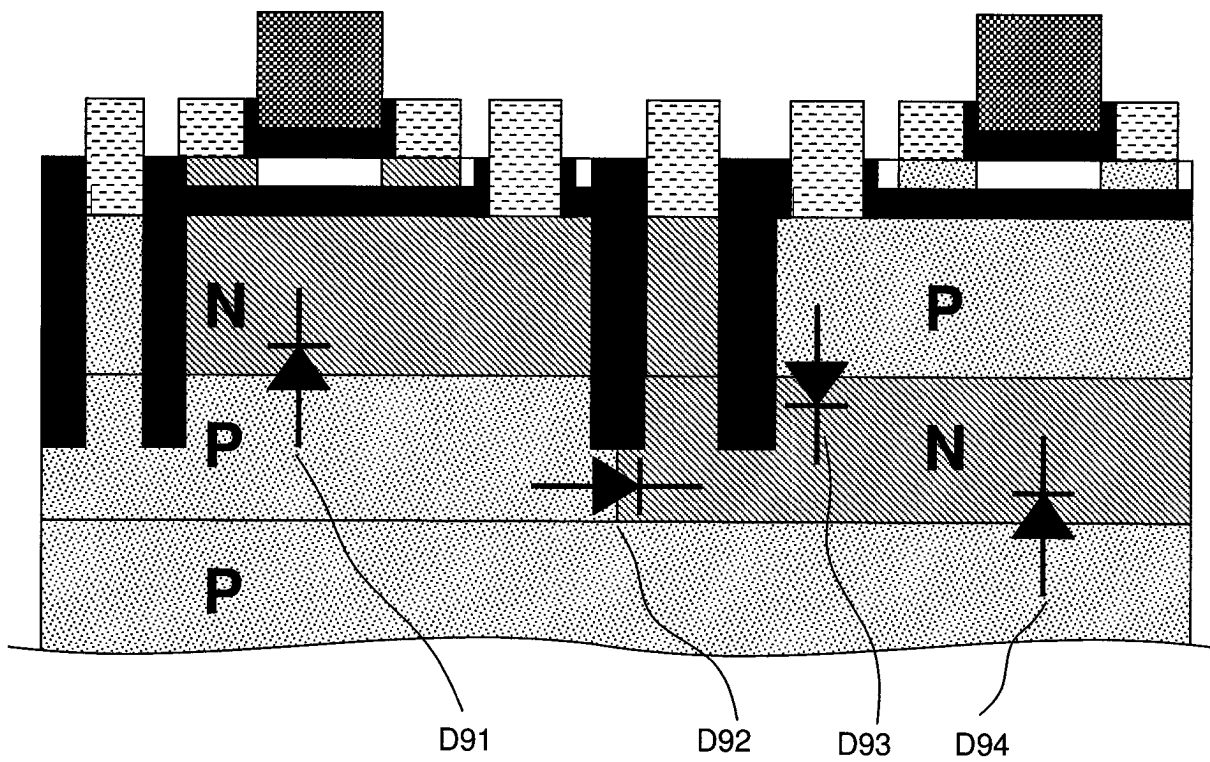


Fig. 8





**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**

N° d'enregistrement national

établi sur la base des dernières revendications déposées avant le commencement de la recherche

FA 761037  
FR 1160977

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2010/200919 A1 (KIKUCHI YOSHIKI [JP]) 12 août 2010 (2010-08-12)	1,2,5,6,11	H01L21/8238 H01L27/085
Y	* abrégé *; revendications; figure 4 *	7,8,10	H01L27/092
X	EP 1 494 288 A2 (TOSHIBA KK [JP]) 5 janvier 2005 (2005-01-05)	1,3,5,6,9,11	
Y	* abrégé *; revendications; figures 26,35 * * alinéas [0026], [0094] *	7,8,10	
X	US 5 359 219 A (HWANG JEONG-MO [US]) 25 octobre 1994 (1994-10-25)	1,5,6,11	
Y	* abrégé *; revendications; figures 1d,1c,1g *	7,8,10	
X	US 2007/063284 A1 (KAWAHARA TAKAYUKI [JP] ET AL) 22 mars 2007 (2007-03-22)	1,4-6,9,11	
Y	* abrégé *; revendications; figure 22 * * alinéa [0071] *	7,8,10	
A	US 2003/001658 A1 (MATSUMOTO KOICHI [JP]) 2 janvier 2003 (2003-01-02)	1-11	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
A	EP 2 365 520 A2 (SOITEC SILICON ON INSULATOR [FR]) 14 septembre 2011 (2011-09-14)	1-11	H01L
A	US 2009/134468 A1 (TSUCHIYA RYUTA [JP] ET AL) 28 mai 2009 (2009-05-28)	1-11	
A	US 2007/210418 A1 (NAKAJIMA HIROOMI [JP]) 13 septembre 2007 (2007-09-13)	1-11	
	----- -/--		
Date d'achèvement de la recherche		Examineur	
3 juillet 2012		Wirner, Christoph	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		.....	
P : document intercalaire		& : membre de la même famille, document correspondant	

1  
EPO FORM 1503 12.99 (P04C14)



**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FA 761037  
FR 1160977

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	US 6 072 217 A (BURR JAMES B [US]) 6 juin 2000 (2000-06-06) * abrégé *; revendications; figures * -----	1-11	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
		Date d'achèvement de la recherche	Examineur
		3 juillet 2012	Wirner, Christoph
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons ..... & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

1

EPO FORM 1503 12.99 (P04C14)

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1160977 FA 761037**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **03-07-2012**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2010200919	A1	12-08-2010	CN 101800228 A	11-08-2010
			JP 2010182974 A	19-08-2010
			US 2010200919 A1	12-08-2010
-----				
EP 1494288	A2	05-01-2005	CN 1577871 A	09-02-2005
			EP 1494288 A2	05-01-2005
			JP 4282388 B2	17-06-2009
			JP 2005026353 A	27-01-2005
			KR 20050002610 A	07-01-2005
			TW 1251906 B	21-03-2006
			US 2004262693 A1	30-12-2004
			US 2006131660 A1	22-06-2006
			US 2008297236 A1	04-12-2008
-----				
US 5359219	A	25-10-1994	US 5359219 A	25-10-1994
			US 5426062 A	20-06-1995
-----				
US 2007063284	A1	22-03-2007	CN 1909231 A	07-02-2007
			CN 101901815 A	01-12-2010
			JP 4800700 B2	26-10-2011
			JP 2007042730 A	15-02-2007
			US 2007063284 A1	22-03-2007
			US 2010201429 A1	12-08-2010
			US 2010327356 A1	30-12-2010
			US 2011181319 A1	28-07-2011
-----				
US 2003001658	A1	02-01-2003	JP 2002164544 A	07-06-2002
			TW 530417 B	01-05-2003
			US 2003001658 A1	02-01-2003
			WO 0245174 A1	06-06-2002
-----				
EP 2365520	A2	14-09-2011	CN 102194516 A	21-09-2011
			EP 2365520 A2	14-09-2011
			FR 2957186 A1	09-09-2011
			JP 2011205092 A	13-10-2011
			KR 20110102196 A	16-09-2011
			SG 174685 A1	28-10-2011
			US 2011233675 A1	29-09-2011
-----				
US 2009134468	A1	28-05-2009	JP 2009135140 A	18-06-2009
			US 2009134468 A1	28-05-2009
-----				
US 2007210418	A1	13-09-2007	JP 2007242950 A	20-09-2007
			US 2007210418 A1	13-09-2007
-----				
US 6072217	A	06-06-2000	AUCUN	

EPO FORM P0465

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1160977 FA 761037**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **03-07-2012**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
-----			