

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016년 9월 1일 (01.09.2016)



(10) 국제공개번호
WO 2016/137095 A1

- (51) 국제특허분류:
H01L 23/00 (2006.01) *H01L 23/488* (2006.01)
- (21) 국제출원번호: PCT/KR2015/013345
- (22) 국제출원일: 2015년 12월 8일 (08.12.2015)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2015-0027163 2015년 2월 26일 (26.02.2015) KR
- (71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 100-714 서울시 중구 한강대로 416(남대문로 5가, 서울스퀘어), Seoul (KR).
- (72) 발명자: 김철호 (KIM, Cheol Ho); 100-714 서울시 중구 한강대로 416 서울스퀘어 20층 엘지이노텍(주), Seoul (KR).
- (74) 대리인: 진천웅 (JIN, Cheon Woong) 등; 06300 서울시 강남구 논현로 28길 40, 4층 노벨국제특허법률사무소 (도곡동, 덕영빌딩), Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO,

AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

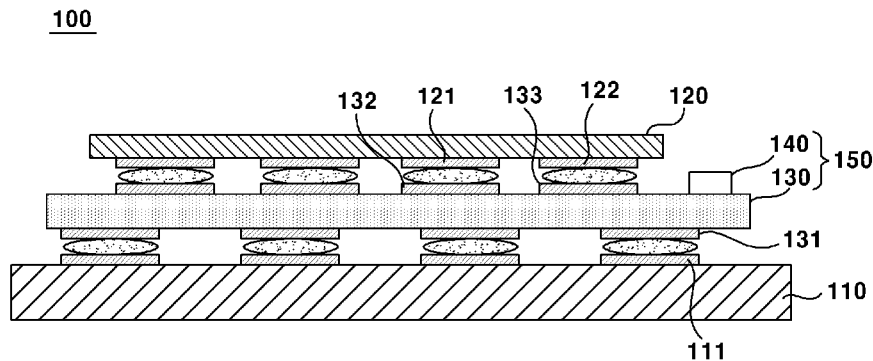
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: INTERPOSER PACKAGE AND ELECTRONIC MODULE COMPRISING SAME

(54) 발명의 명칭: 인터포저 패키지 및 이를 구비하는 전자 모듈



(57) Abstract: The present invention relates to an interposer package with a bypass capacitor for improving the quality of solder joints with a printed circuit board by reducing the number of power terminals, and an electronic module comprising the same. The interposer package according to one aspect of the present invention comprises: an interposer which includes a first power terminal, formed on one surface thereof, for receiving power from a first electronic device, and a plurality of second power terminals, formed on the other surface thereof, for supplying power to a second electronic device; and a bypass capacitor which is mounted on the interposer, and is connected between one of the plurality of second power terminals and the first power terminal.

(57) 요약서: 본 발명은 바이패스 캐패시터를 포함하여 전원 단자의 개수를 줄임으로써 인쇄회로기판과의 솔더 조인트 품질을 향상시킬 수 있는 인터포저 패키지 및 이를 구비하는 전자 모듈에 관한 것이다. 본 발명의 일 측면에 따른 인터포저 패키지는, 일면에 제 1 전자 장치로부터 전원을 공급받는 제 1 전원 단자를 포함하고, 타면에 제 2 전자 장치로 전원을 공급하는 다수의 제 2 전원 단자를 포함하는 인터포저; 및 상기 인터포저에 실장되며, 상기 다수의 제 2 전원 단자 중 하나와 상기 제 1 전원 단자 사이에 연결되는 바이패스 캐패시터를 포함한다.

WO 2016/137095 A1

명세서

발명의 명칭: 인터포저 패키지 및 이를 구비하는 전자 모듈

기술분야

- [1] 본 발명은 인터포저에 관한 것으로, 상세하게는 바이패스 캐패시터를 포함하여 전원 단자의 개수를 줄임으로써 인쇄회로기판과의 솔더 조인트 품질을 향상시킬 수 있는 인터포저 패키지 및 이를 구비하는 전자 모듈에 관한 것이다.

[2]

배경기술

- [3] 통상적으로 전자 모듈은 인쇄회로기판에 전자 부품을 실장하여 형성되는 것으로, 전자 부품을 인쇄회로기판에 실장하기 위해 SMT(Surface Mount Technology) 방식이 사용된다.
- [4] SMT 방식의 경우, 전자 부품에 형성된 솔더 볼(Solder Ball)과 베이스 기판에 인쇄된 솔더 페이스트(Solder Paste)가 리플로우(Reflow) 공정을 거치면서 전자 부품과 베이스 기판을 연결하는 솔더 조인트(Solder Joint)를 형성하게 된다.
- [5] 최근에는 전자 부품과 인쇄회로기판 사이에, 실리콘(Si), 유리(Glass) 또는 세라믹(Ceramic) 등 낮은 열팽창 계수를 갖는 인터포저(interposer)를 개재하여, 전자 부품과 인쇄회로기판을 연결하여 전자 모듈을 형성하는 방법이 사용되고 있다.
- [6] 종래 인터포저를 구비하는 전자 모듈은 인쇄회로기판, 전자 부품, 그리고 인쇄회로기판과 전자 부품 사이에 개재되어 인쇄회로기판과 전자 부품을 연결하는 인터포저를 구비한다.
- [7] 이때, 상기 인터포저는 인쇄회로기판을 통해 전달되는 전원을 인가받아 전자 부품으로 공급하기 위하여 전원 단자를 포함하는데, 통상적으로 동일한 전원을 공급하는 다수의 전원 단자를 포함한다.
- [8] 따라서, 상기 인터포저에는 전자 부품으로 동일한 전원을 공급하기 위한 다수의 전원 단자가 구비되어 있고, 이러한 동일한 전원을 전자 부품으로 공급하기 위한 다수의 전원 단자는 많은 면적을 차지하여 실장 효율을 저하시키는 요인으로 작용한다.
- [9]

발명의 상세한 설명

기술적 과제

- [10] 따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은, 바이패스 캐패시터를 포함하여 전원 단자의 개수를 줄임으로써 인쇄회로기판과의 솔더 조인트 품질을 향상시킬 수 있는 인터포저 패키지 및 이를 구비하는 전자 모듈에 관한 것이다.

[11]

과제 해결 수단

- [12] 상기와 같은 목적을 달성하기 위한 본 발명의 일 측면에 따른 인터포저 패키지는, 일면에 제 1 전자 장치로부터 전원을 공급받는 제 1 전원 단자를 포함하고, 타면에 제 2 전자 장치로 전원을 공급하는 다수의 제 2 전원 단자를 포함하는 인터포저; 및 상기 인터포저에 실장되며, 상기 다수의 제 2 전원 단자 중 하나와 상기 제 1 전원 단자 사이에 연결되는 바이패스 캐패시터를 포함한다.
- [13] 상기 제 1 전원 단자의 개수와 상기 바이패스 캐패시터의 개수의 합은 상기 제 2 전원 단자의 개수와 동일하다.
- [14] 상기 다수의 제 2 전원 단자 중 상기 바이패스와 연결된 전원 단자를 제외한 전원 단자는 상기 제 1 전원 단자와 연결된다.
- [15] 상기 인터포저의 일면에는 상기 제 1 전자 장치와 연결되는 다수의 단자들이 형성되고, 상기 인터포저의 타면에는 상기 제 2 전자 장치와 연결되는 다수의 단자들이 형성되며, 상기 제 1 전자 장치와 연결되는 다수의 단자들은 상기 인터포저의 일면의 전 영역에 분포하여 위치하고, 상기 제 2 전자 장치와 연결되는 다수의 단자들은 상기 인터포저의 타면의 일정 영역에 밀집하여 위치한다.
- [16] 상기 제 1 전자 장치와 연결되는 다수의 단자들은 랜드 그리드 배열(Land Grid Array)로 배치된다.
- [17]
- [18] 본 발명의 다른 측면에 따른 전자 모듈은, 전원공급단자를 포함하는 인쇄회로기판; 다수의 전원수신단자를 포함하는 전자 부품; 및 상기 인쇄회로기판과 상기 전자 부품 사이에 위치하여, 상기 인쇄회로기판과 상기 전자 부품을 전기적으로 연결하는 인터포저 패키지를 포함하고, 상기 인터포저 패키지는, 하면에 상기 인쇄회로기판의 전원공급단자와 연결되는 제 1 전원 단자를 포함하고, 상면에 상기 전자 부품의 다수의 전원수신단자와 각각 연결되는 제 2 전원 단자를 포함하는 인터포저; 및 상기 인터포저에 실장되며, 상기 다수의 제 2 전원 단자 중 하나와 상기 제 1 전원 단자 사이에 연결되는 바이패스 캐패시터를 포함한다.
- [19] 상기 하부 전원 단자의 개수와 상기 바이패스 캐패시터의 개수의 합은 상기 상부 전원 단자의 개수와 동일하다.
- [20] 상기 다수의 상부 전원 단자 중 상기 바이패스와 연결된 전원 단자를 제외한 전원 단자는 상기 하부 전원 단자와 연결된다.
- [21] 상기 인터포저의 하면에는 상기 인쇄회로기판과 연결되는 다수의 하부 단자들이 형성되고, 상기 인터포저의 상면에는 상기 전자 부품과 연결되는 다수의 상부 단자들이 형성되며, 상기 다수의 상부 단자들은 상기 인터포저의 상면의 일정 영역에 밀집하여 위치하고, 상기 다수의 하부 단자들은 상기 인터포저의 하면의 전 영역에 분포하여 위치한다.

[22] 상기 인쇄회로기판과 연결되는 다수의 하부 단자들은 랜드 그리드 배열(Land Grid Array)로 배치된다.

[23] 상기 전자 부품과 상기 인터포저 패키지는 하나의 모듈로 형성된다.

[24]

발명의 효과

[25] 상기와 같은 구성에 따르면, 인터포저에 바이패스 캐패시터가 실장되어 있고, 바이패스 캐패시터에 충전된 전원을 전자 부품으로 공급하는 것이 가능하기 때문에, 종래에 대비하여 외부로부터 공급되는 전원을 인가받기 위한 전원 단자의 개수를 줄일 수 있다.

[26] 따라서, 전원 단자의 줄어드는 개수만큼 인터포저 내 실장 공간을 확보할 수 있고, 따라서 단자의 크기를 증가시킬 수 있으므로, 인쇄회로기판과의 접촉 면적을 넓혀 솔더 조인트 품질 및 신뢰성을 향상시킬 수 있다.

[27] 또한, 인터포저에 형성되는 단자 사이의 간격을 넓게 할 수 있으므로, 인접 단자 간의 쇼트를 방지하여 안전성 및 신뢰성을 향상시킬 수 있으며, 방열 성능을 향상시킬 수 있다.

[28]

도면의 간단한 설명

[29] 도 1은 본 발명의 실시 예에 따른 인터포저 패키지를 구비하는 전자 모듈의 구조를 도시한 측면도이다.

[30] 도 2는 본 발명의 실시 예에 따른 인터포저 패키지를 구비하는 전자 모듈의 전기적 연결을 도시한 도면이다.

[31] 도 3은 본 발명의 실시 예에 따른 인터포저 패키지의 상면과 하면을 도시한 평면도이다.

[32]

발명의 실시를 위한 형태

[33] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 도면부호는 동일 구성 요소를 지칭한다.

[34] 본 발명의 실시 예들을 설명함에 있어서 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명의 실시 예에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는

관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[35]

[36] 이하, 본 발명의 실시 예에 따른 인터포저 패키지 및 이를 구비하는 전자 모듈의 구조에 대해서 첨부한 도면을 참조하여 상세하게 설명해 보기로 한다.

[37]

[38] 도 1은 본 발명의 실시 예에 따른 인터포저 패키지를 구비하는 전자 모듈의 구조를 도시한 측면도이고, 도 2는 본 발명의 실시 예에 따른 인터포저 패키지를 구비하는 전자 모듈의 전기적 연결을 도시한 도면이다.

[39]

도 1 및 2를 참조하면, 본 발명의 실시 예에 따른 전자 모듈(100)은 인쇄회로기판(110), 전자 부품(120)과, 인터포저(130)와 바이패스 캐패시터(140)로 이루어지는 인터포저 패키지(150)를 포함한다. 이때, 상기 전자 부품(120)과 인터포저 패키지(150)는 하나의 모듈로 형성되는 것이 바람직하다.

[40]

한편, 본 발명의 실시 예에 따른 전자 모듈(100)의 구조에 따르면, 상기 인쇄회로기판(110)은 전자 모듈(100)의 기저를 이루는 것으로 전자 모듈(100)의 최하위층에 마련되고, 인쇄회로기판(110) 상에 인터포저(130)가 적층되고, 인터포저(130) 상에 전자 부품(120)이 적층되며, 상기 바이패스 캐패시터(140)는 인터포저(130) 상에 실장된다.

[41]

따라서, 본 발명의 실시 예에 따른 전자 모듈(100)은 인쇄회로기판(110), 인터포저(130) 및 전자 부품(120)이 순차적으로 적층된 구조로 이루어진다.

[42]

이때, 상기 인쇄회로기판(110)과 인터포저(130)의 접속 및 인터포저(130)와 전자 부품(120)의 접속은 다양한 방식에 의해서 이루어질 수 있으며, 예를 들어 SMT(Surface Mount Technology) 방식에 의해 이루어질 수 있다.

[43]

또한, 상기 인터포저(230)와 바이패스 캐패시터(140) 사이의 연결 역시 SMT 방식에 의해 이루어질 수 있다.

[44]

한편, 상기 전자 부품(120)은 인쇄회로기판(110)을 통해 외부로부터 인가되는 전원을 공급받아 동작하는데, 전자 부품(120)으로의 전원 공급을 위한 단자(‘전원 단자’)가 인쇄회로기판(110), 전자 부품(120) 및 인터포저(130)에 각각 구비된다.

[45]

물론, 상기 인쇄회로기판(110), 전자 부품(120) 및 인터포저(130)에는 전원 단자 이외에도 데이터 신호, 제어 신호의 전송을 위한 다수의 입출력 단자들이 구비되나, 본 발명의 설명에 있어 불필요한 단자들에 대한 설명은 생략하도록 한다.

[46]

도 1 및 도 2에 도시된 실시 예는 전자 부품(120)의 두 단자로 전원을 공급하기 위한 구조이나, 본 발명이 이에 한정되는 것은 아니며, 전원 단자의 개수는 얼마든지 확장 가능하다.

[47]

이때, 상기 인쇄회로기판(110)은 하나의 전원공급단자(111)를 포함하고, 상기 전자 부품(120)은 제 1 및 제 2 전원수신단자(121, 122)를 포함한다.

- [48] 또한, 상기 인터포저(130)는 전원공급단자(111)와 연결되는 제 1 전원 단자(131), 2개의 전원수신단자(121, 122) 중 제 1 전원수신단자(121)와 연결되는 제 2 전원 단자(132), 2개의 전원수신단자(121, 122) 중 제 2 전원수신단자(122)와 연결되는 제 3 전원 단자(133)을 포함한다.
- [49] 한편, 상기 바이패스 캐패시터(140)는 제 1 전원 단자(131) 및 제 3 전원 단자(133) 사이에 연결된다. 즉, 상기 바이패스 캐패시터(140)의 일단은 제 1 전원 단자(131)과 연결되고, 상기 바이패스 캐패시터(140)의 타단은 제 3 전원 단자(133)와 연결된다.
- [50] 이때, 제 1 전원 단자(131)와 제 2 전원 단자(132)의 연결, 제 1 전원 단자(131)와 바이패스 캐패시터(140)의 연결 및 제 3 전원 단자(133)와 바이스패 캐패시터(140)의 연결은 인터포저(130)의 내부 배선(L1, L2, L3)에 의해 이루어진다.
- [51] 이와 같은 구성에 따르면, 상기 전자 부품(120)은 ‘전원공급단자(111) - 제 1 전원 단자(131) - 제 2 전원 단자(132) - 제 1 전원수신단자(121)’로 이루어지는 경로를 통해 전원을 공급받는다.
- [52] 또한, 상기 전자 부품(120)은 ‘전원공급단자(111) - 제 1 전원 단자(131) - 바이패스 캐패시터(140) - 제 3 전원 단자(133) - 제 2 전원수신단자(122)’로 이루어지는 경로를 통해 전원을 공급받는다.
- [53] 본 발명의 실시 예에 따르면, 상기 인터포저(130)에 바이패스 캐패시터(140)가 실장되기 때문에, 바이패스 캐패시터(140)를 이용하여 전자 부품(120)으로 전원을 공급하는 것이 가능하다.
- [54] 이와 같은 구성에 따르면, 인쇄회로기판(110)의 전원공급단자(111)와 연결되는 전원 단자(131)의 개수와 바이패스 캐패시터(140)의 개수를 합한 값은 전자 부품(120)과 연결되는 전원 단자의 개수와 같게 된다.
- [55] 따라서, 종래의 기술에 따라 전자 모듈의 2개의 전원수신단자로 전원을 공급하기 위해서는 인터포저가 인쇄회로기판과 연결되는 2개의 전원 단자를 구비하여야 하나, 본 발명에 따르면, 인터포저가 인쇄회로기판과 연결되는 하나의 전원 단자만을 구비한다.
- [56]
- [57] 도 3은 본 발명의 실시 예에 따른 인터포저 패키지의 상면과 하면을 도시한 평면도이다.
- [58] 도 3(a)는 본 발명의 실시 예에 따른 인터포저 패키지의 상면을 도시한 평면도로서, 도 3(a)에서 확인할 수 있는 바와 같이, 인터포저(130)의 상면에 캐패시터(140)와 다수의 상부 단자들이 형성되는데, 다수의 상부 단자들은 전원 단자(132, 133)를 포함한다. 이때, 도 3(a)에는 다수의 상부 단자들이 전자 부품의 배치에 따라 인터포저의 상면 일정 영역 내에 밀집하여 형성되는 구조가 예로 도시되어 있다.
- [59] 한편, 도 3(b)는 본 발명의 실시 예에 따른 인터포저 패키지의 하면을 도시한

평면도로도서, 다수의 하부 단자들이 형성되는데, 다수의 하부 단자들은 전원 단자(131)를 포함한다.

[60] 이때, 도 3(a)에서 다수의 상부 단자들이 인터포저의 상면 일정 영역 내에 밀집하여 형성되는 것에 반해, 도 3(b)에서의 다수의 하부 단자들은 인터포저 하면의 전 영역에 분포되어 형성된다. 상기 다수의 하부 단자들은 랜드 그리드 배열(Land Grid Array, LGA)로 배치될 수 있다.

[61] 따라서, 상기 하부 단자는 상부 전극에 비하여 넓은 면적으로 형성되며, 또한, 하부 단자의 간격은 상부 단자의 간격보다 넓게 형성된다.

[62]

[63] 상기와 같은 구성에 따르면, 인터포저에 바이패스 캐패시터가 실장되어 있고, 바이패스 캐패시터에 충전된 전원을 전자 부품으로 공급하는 것이 가능하기 때문에, 종래에 대비하여 외부로부터 공급되는 전원을 인가받기 위한 전원 단자의 개수를 줄일 수 있다.

[64] 따라서, 전원 단자의 줄어드는 개수만큼 인터포저 내 실장 공간을 확보할 수 있고, 따라서 단자의 크기를 증가시킬 수 있으므로, 인쇄회로기판과의 접촉 면적을 넓혀 솔더 조인트 품질 및 신뢰성을 향상시킬 수 있다.

[65] 또한, 인터포저에 형성되는 단자 사이의 간격을 넓게 할 수 있으므로, 인접 단자 간의 쇼트를 방지하여 안전성 및 신뢰성을 향상시킬 수 있으며, 방열 성능을 향상시킬 수 있다.

[66]

[67] 한편, 본 발명에 따른 인터포저 패키지 및 이를 구비하는 전자 모듈을 실시 예에 따라 설명하였지만, 본 발명의 범위는 특정 실시 예에 한정되는 것은 아니며, 본 발명과 관련하여 통상의 지식을 가진 자에게 자명한 범위 내에서 여러 가지의 대안, 수정 및 변경하여 실시할 수 있다.

[68]

[69] 따라서, 본 발명에 기재된 실시 예 및 첨부된 도면들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시 예 및 첨부된 도면에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

[70]

산업상 이용가능성

[71] 본 발명은 인터포저가 이용되는 다양한 전자제품에 적용될 수 있다.

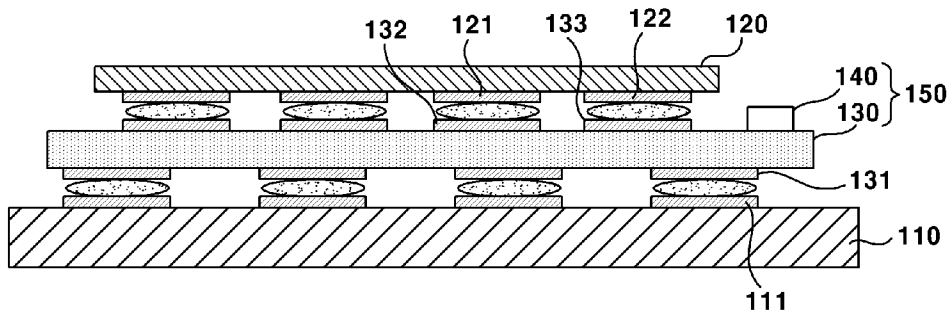
[72]

청구범위

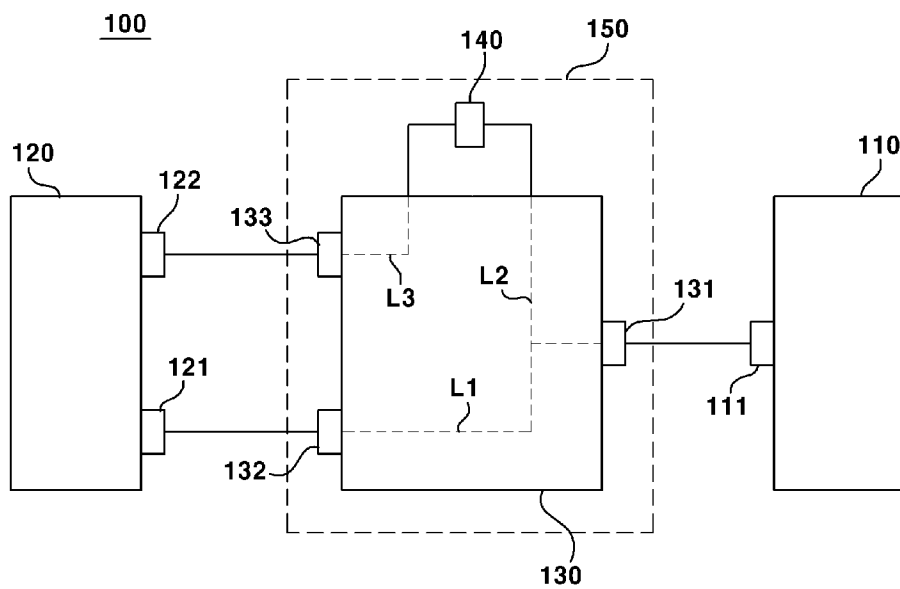
- [청구항 1] 일면에 제 1 전자 장치로부터 전원을 공급받는 제 1 전원 단자를 포함하고, 타면에 제 2 전자 장치로 전원을 공급하는 다수의 제 2 전원 단자를 포함하는 인터포저; 및
상기 인터포저에 실장되며, 상기 다수의 제 2 전원 단자 중 하나와 상기 제 1 전원 단자 사이에 연결되는 바이패스 캐패시터를 포함하는 인터포저 패키지.
- [청구항 2] 제 1 항에 있어서,
상기 제 1 전원 단자의 개수와 상기 바이패스 캐패시터의 개수의 합은 상기 제 2 전원 단자의 개수와 동일한 인터포저 패키지.
- [청구항 3] 제 1 항에 있어서,
상기 다수의 제 2 전원 단자 중 상기 바이패스와 연결된 전원 단자를 제외한 전원 단자는 상기 제 1 전원 단자와 연결되는 인터포저 패키지.
- [청구항 4] 제 1 항에 있어서,
상기 인터포저의 일면에는 상기 제 1 전자 장치와 연결되는 다수의 단자들이 형성되고, 상기 인터포저의 타면에는 상기 제 2 전자 장치와 연결되는 다수의 단자들이 형성되며,
상기 제 1 전자 장치와 연결되는 다수의 단자들은 상기 인터포저의 일면의 전 영역에 분포하여 위치하고, 상기 제 2 전자 장치와 연결되는 다수의 단자들은 상기 인터포저의 타면의 일정 영역에 밀집하여 위치하는 인터포저 패키지.
- [청구항 5] 제 4 항에 있어서,
상기 제 1 전자 장치와 연결되는 다수의 단자들은 랜드 그리드 배열(Land Grid Array)로 배치되는 인터포저 패키지.
- [청구항 6] 전원공급단자를 포함하는 인쇄회로기판;
다수의 전원수신단자를 포함하는 전자 부품; 및
상기 인쇄회로기판과 상기 전자 부품 사이에 위치하여, 상기 인쇄회로기판과 상기 전자 부품을 전기적으로 연결하는 인터포저 패키지를 포함하고,
상기 인터포저 패키지는,
하면에 상기 인쇄회로기판의 전원공급단자와 연결되는 하부 전원 단자를 포함하고, 상면에 상기 전자 부품의 다수의 전원수신단자와 각각 연결되는 다수의 상부 전원 단자를 포함하는 인터포저; 및
상기 인터포저에 실장되며, 상기 다수의 상부 전원 단자 중 하나와 상기 하부 전원 단자 사이에 연결되는 바이패스 캐패시터를 포함하는 전자 모듈.

- [청구항 7] 제 6 항에 있어서,
상기 하부 전원 단자의 개수와 상기 바이패스 캐패시터의 개수의
합은 상기 상부 전원 단자의 개수와 동일한 전자 모듈.
- [청구항 8] 제 6 항에 있어서,
상기 다수의 상부 전원 단자 중 상기 바이패스와 연결된 전원
단자를 제외한 전원 단자는 상기 하부 전원 단자와 연결되는 전자
모듈.
- [청구항 9] 제 6 항에 있어서,
상기 인터포저의 하면에는 상기 인쇄회로기판과 연결되는 다수의
하부 단자들이 형성되고, 상기 인터포저의 상면에는 상기 전자
부품과 연결되는 다수의 상부 단자들이 형성되며,
상기 다수의 상부 단자들은 상기 인터포저의 상면의 일정 영역에
밀집하여 위치하고, 상기 다수의 하부 단자들은 상기 인터포저의
하면의 전 영역에 분포하여 위치하는 전자 모듈.
- [청구항 10] 제 9 항에 있어서,
상기 인쇄회로기판과 연결되는 다수의 하부 단자들은 랜드 그리드
배열(Land Grid Array)로 배치되는 전자 모듈.
- [청구항 11] 제 6 항에 있어서,
상기 전자 부품과 상기 인터포저 패키지는 하나의 모듈로
형성되는 전자 모듈.

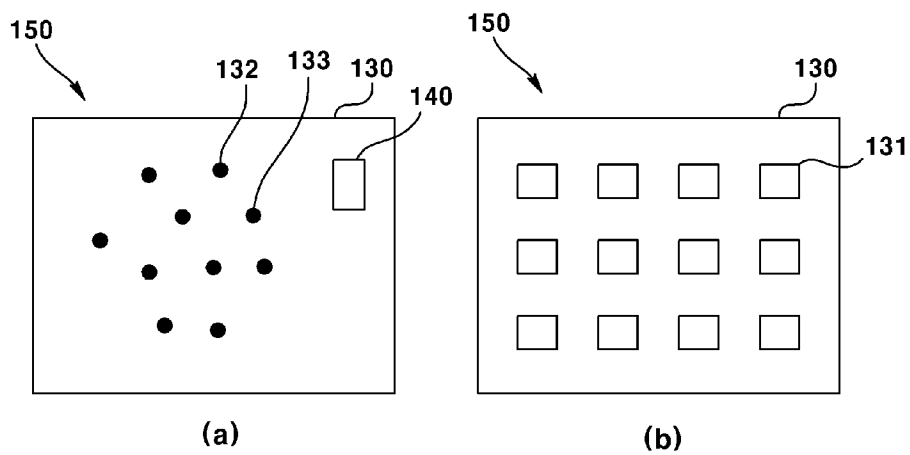
[Fig. 1]

100

[Fig. 2]



[Fig. 3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2015/013345**A. CLASSIFICATION OF SUBJECT MATTER****H01L 23/00(2006.01)i, H01L 23/488(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 23/00; H01L 21/60; H01L 23/64; H05K 3/46; H01L 25/16; H01L 23/48; H01L 23/12; H01L 23/488

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: interposer, bypass capacitor, solder, package

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-305642 A (MURATA MFG. CO., LTD. et al.) 22 November 2007 See abstract, paragraphs [0048]-[0049], claim 16 and figure 15.	1,6,11
A		2-5,7-10
Y	KR 10-1222474 B1 (FCI INC.) 15 January 2013 See abstract, paragraphs [0018], [0021]-[0037] and figure 3.	1,6,11
A	KR 10-2013-0038969 A (SEMITECH CO., LTD.) 19 April 2013 See abstract, claim 1 and figure 6.	1-11
A	KR 10-2014-0068690 A (KOREA ELECTRONICS TECHNOLOGY INSTITUTE) 09 June 2014 See abstract, claim 1 and figure 1.	1-11
A	JP 2011-146517 A (MURATA MFG. CO., LTD.) 28 July 2011 See abstract, paragraphs [0004]-[0022] and figure 1.	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

25 FEBRUARY 2016 (25.02.2016)

Date of mailing of the international search report

25 FEBRUARY 2016 (25.02.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2015/013345

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2007-305642 A	22/11/2007	NONE	
KR 10-1222474 B1	15/01/2013	CN 102856264 A TW 201304096 A	02/01/2013 16/01/2013
KR 10-2013-0038969 A	19/04/2013	KR 10-1332873 B1	19/12/2013
KR 10-2014-0068690 A	09/06/2014	KR 10-1404014 B1	27/06/2014
JP 2011-146517 A	28/07/2011	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 23/00(2006.01)i, H01L 23/488(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 23/00; H01L 21/60; H01L 23/64; H05K 3/46; H01L 25/16; H01L 23/48; H01L 23/12; H01L 23/488

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: interposer, bypass capacitor, solder, package

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	JP 2007-305642 A (MURATA MFG. CO., LTD. 등) 2007.11.22	1, 6, 11
A	요약, 단락 [0048]-[0049], 청구항 16 및 도면 15 참조.	2-5, 7-10
Y	KR 10-1222474 B1 ((주)에프씨아이) 2013.01.15	1, 6, 11
A	요약, 단락 [0018], [0021]-[0037] 및 도면 3 참조.	
A	KR 10-2013-0038969 A (세미텍 주식회사) 2013.04.19	1-11
A	요약, 청구항 1 및 도면 6 참조.	
A	KR 10-2014-0068690 A (전자부품연구원) 2014.06.09	1-11
A	요약, 청구항 1 및 도면 1 참조.	
A	JP 2011-146517 A (MURATA MFG. CO., LTD.) 2011.07.28	1-11
A	요약, 단락 [0004]-[0023] 및 도면 1 참조.	

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2016년 02월 25일 (25.02.2016)

국제조사보고서 발송일

2016년 02월 25일 (25.02.2016)

ISA/KR의 명칭 및 우편주소



대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

최상원

전화번호 +82-42-481-8291



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2007-305642 A	2007/11/22	없음	
KR 10-1222474 B1	2013/01/15	CN 102856264 A TW 201304096 A	2013/01/02 2013/01/16
KR 10-2013-0038969 A	2013/04/19	KR 10-1332873 B1	2013/12/19
KR 10-2014-0068690 A	2014/06/09	KR 10-1404014 B1	2014/06/27
JP 2011-146517 A	2011/07/28	없음	