



(12) 发明专利

(10) 授权公告号 CN 101079422 B

(45) 授权公告日 2012. 04. 18

(21) 申请号 200710105057. 8

同上.

(22) 申请日 2007. 05. 22

US 2005/0260806 A1, 2005. 11. 24, 全文.

(30) 优先权数据

US 2006/0011984 A1, 2006. 01. 19, 说明书第 0103-0110 段、图 20.

45709/06 2006. 05. 22 KR

CN 1429055 A, 2003. 07. 09, 说明书第 13

(73) 专利权人 三星电子株式会社

页-第 18 页.

地址 韩国京畿道

V. Dharmadhikari 等. UV-assisted

(72) 发明人 上野哲嗣 李化成 李浩

processing for advanced dielectric films.

(74) 专利代理机构 北京市柳沈律师事务所

Solid State Technology, 2005, 1-2.

11105

审查员 邵烨

代理人 张波

(51) Int. Cl.

H01L 27/092 (2006. 01)

H01L 27/12 (2006. 01)

H01L 21/8238 (2006. 01)

H01L 21/84 (2006. 01)

(56) 对比文件

US 6906393 B2, 2005. 06. 14, 说明书摘要.

CN 1719610 A, 2006. 01. 11, 全文.

CN 1505839 A, 2004. 06. 16, 说明书第 18-33

页、图 1, 28-29.

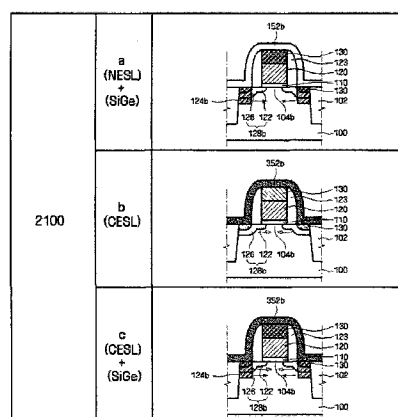
权利要求书 3 页 说明书 7 页 附图 9 页

(54) 发明名称

具有模拟晶体管的半导体器件及其制造方法

(57) 摘要

提供了一种具有改善的晶体管操作特性和闪烁噪声特性的半导体器件及其制造方法。该半导体器件包括衬底, 设置在所述衬底上的模拟 NMOS 晶体管和压缩应变沟道模拟 PMOS 晶体管。所述器件还包括分别覆盖所述 NMOS 晶体管和所述 PMOS 晶体管的第一蚀刻停止衬层 (ESL) 和第二 ESL。在 500Hz 的频率, 对于参考未应变沟道模拟 NMOS 和 PMOS 晶体管的闪烁噪声功率的所述 NMOS 和 PMOS 晶体管的闪烁噪声功率的相对测量小于 1。



1. 一种半导体器件,包括:

包括模拟电路区域和数字电路区域的衬底;

设置在所述衬底的所述模拟电路区域内的应变沟道模拟 NMOS 晶体管;

设置在所述衬底的所述模拟电路区域内的压缩应变沟道模拟 PMOS 晶体管;

第一蚀刻停止衬层,其覆盖所述 NMOS 晶体管,且具有小于 $1 \times 10^{21}/\text{cm}^3$ 的氢浓度;以及

第二蚀刻停止衬层,其覆盖所述 PMOS 晶体管,

其中在 500Hz 的频率,与参考未应变沟道模拟 NMOS 和 PMOS 晶体管的闪烁噪声功率相比,与所述 NMOS 和 PMOS 晶体管相关的闪烁噪声功率的相对测量分别小于 1,其中所述参考未应变沟道模拟 NMOS 和 PMOS 晶体管分别具有与所述 NMOS 和 PMOS 晶体管相同的设计规则,并且分别由与所述 NMOS 和 PMOS 晶体管相同的材料形成,且具有没有引发应变的沟道。

2. 根据权利要求 1 所述的半导体器件,其中所述第二蚀刻停止衬层是中性蚀刻停止衬层,所述器件还包括:

与所述 PMOS 晶体管相关的沟道;

填充形成在所述衬底的所述模拟电路区域中的凹槽的压缩外延半导体层;以及

形成在所述压缩外延半导体层中的源极/漏极区,其中在所述 PMOS 晶体管的所述沟道中引起压缩应变。

3. 根据权利要求 1 所述的半导体器件,其中所述第二蚀刻停止衬层是压缩应变衬层,并且通过所述第二蚀刻停止衬层在所述 PMOS 晶体管的沟道中引起压缩应力。

4. 根据权利要求 3 所述的半导体器件,其中所述 PMOS 晶体管包括在所述 PMOS 晶体管的所述沟道中引起压缩应变并填充形成在所述衬底的所述模拟电路区域中的凹槽的压缩外延半导体层,并包括形成在所述压缩外延半导体层中的源极/漏极区。

5. 根据权利要求 1 所述的半导体器件,其中所述第一蚀刻停止衬层是中性蚀刻停止衬层,并且所述 NMOS 晶体管包括:

填充形成在所述衬底的所述模拟电路区域中的凹槽的拉伸外延半导体层;以及

形成在所述拉伸外延半导体层中的源极/漏极区;

所述拉伸外延半导体层和所述源极/漏极区在所述 NMOS 晶体管的沟道中引起拉伸应变。

6. 根据权利要求 1 所述的半导体器件,其中所述第一蚀刻停止衬层是中性蚀刻停止衬层,所述 NMOS 晶体管包括在所述 NMOS 晶体管的沟道中引起拉伸应变的压缩应变栅极。

7. 根据权利要求 1 所述的半导体器件,其中所述第一蚀刻停止衬层是拉伸应变衬层,所述 NMOS 晶体管包括通过所述拉伸应变衬层而应变的沟道。

8. 根据权利要求 7 所述的半导体器件,其中所述 NMOS 晶体管还包括:

填充形成在所述衬底的所述模拟电路区域中的凹槽的拉伸外延半导体层;以及

形成在所述拉伸外延半导体层中的源极/漏极区;

所述拉伸外延半导体层和所述源极/漏极区在所述 NMOS 晶体管的所述沟道中引起拉伸应变。

9. 根据权利要求 7 所述的半导体器件,其中所述 NMOS 晶体管还包括压缩应变栅极以在所述 NMOS 晶体管的沟道中引起拉伸应变。

10. 根据权利要求 1 所述的半导体器件,其中所述第一蚀刻停止衬层是压缩应变衬层,

所述 NMOS 晶体管包括通过所述压缩应变衬层而压缩应变的沟道。

11. 根据权利要求 10 所述的半导体器件,其中所述 NMOS 晶体管包括:

填充形成在所述衬底的所述模拟电路区域中的凹槽的拉伸外延半导体层;以及
形成在所述拉伸外延半导体层中的源极/漏极区;

所述拉伸外延半导体层和所述源极/漏极区在所述 NMOS 晶体管的所述沟道中引起拉伸应变。

12. 根据权利要求 10 所述的半导体器件,其中所述 NMOS 晶体管包括压缩应变栅极以在所述 NMOS 晶体管的沟道中引起拉伸应变。

13. 一种半导体器件,包括:

包括模拟电路区域和数字电路区域的衬底;

设置在所述衬底的所述模拟电路区域内的应变沟道模拟 NMOS 晶体管;

设置在所述衬底的所述模拟电路区域内的模拟 PMOS 晶体管;

第一蚀刻停止衬层,其覆盖所述 NMOS 晶体管并具有小于 $1 \times 10^{21}/\text{cm}^3$ 的氢浓度;以及

第二蚀刻停止衬层,其覆盖所述 PMOS 晶体管并在所述 PMOS 晶体管的沟道中引起压缩应变,

其中在 500Hz 的频率,与参考未应变沟道模拟 NMOS 和 PMOS 晶体管的闪烁噪声功率相比,与所述 NMOS 和 PMOS 晶体管相关的闪烁噪声功率的相对测量分别小于 1,其中所述参考未应变沟道模拟 NMOS 和 PMOS 晶体管分别具有与所述 NMOS 和 PMOS 晶体管相同的设计规则,并且分别由与所述 NMOS 和 PMOS 晶体管相同的材料形成,且具有没有引发应变的沟道。

14. 根据权利要求 13 所述的半导体器件,其中所述第一蚀刻停止衬层在所述 NMOS 晶体管的沟道中引起拉伸应变。

15. 根据权利要求 14 所述的半导体器件,其中所述 PMOS 晶体管包括在所述 PMOS 晶体管的所述沟道中引起压缩应变并填充形成在所述衬底的所述模拟电路区域中的凹槽的压缩外延半导体层,并包括源极/漏极区。

16. 根据权利要求 15 所述的半导体器件,其中所述 NMOS 晶体管包括填充形成在所述衬底的所述模拟电路区域中的凹槽的拉伸外延半导体层和形成在所述拉伸外延半导体层中的源极/漏极区,以在所述 NMOS 晶体管的所述沟道中引起拉伸应变。

17. 根据权利要求 15 所述的半导体器件,其中所述 NMOS 晶体管包括压缩应变栅极以在所述 NMOS 晶体管的所述沟道中引起拉伸应变。

18. 一种半导体器件的制造方法,包括:

在衬底的模拟电路区域中形成模拟 NMOS 晶体管和模拟 PMOS 晶体管;

形成第一蚀刻停止衬层以覆盖所述 NMOS 晶体管,所述第一蚀刻停止衬层具有小于 $1 \times 10^{21}/\text{cm}^3$ 的氢浓度;以及

形成第二蚀刻停止衬层以覆盖所述 PMOS 晶体管,所述第二蚀刻停止衬层在所述 PMOS 晶体管的沟道中引起压缩应变,

其中所述 NMOS 晶体管是应变沟道晶体管,在 500Hz 的频率,与参考未应变沟道模拟 NMOS 和 PMOS 晶体管的闪烁噪声功率相比,与所述 NMOS 和 PMOS 晶体管相关的闪烁噪声功率的相对测量分别小于 1,其中所述参考未应变沟道模拟 NMOS 和 PMOS 晶体管分别具有与所述 NMOS 和 PMOS 晶体管相同的设计规则,并且分别由与所述 NMOS 和 PMOS 晶体管相同的材

料形成,且具有没有引发应变的沟道。

19. 根据权利要求 18 所述的方法,其中形成所述第一蚀刻停止衬层和所述第二蚀刻停止衬层还包括:

形成拉伸应变蚀刻停止衬层以覆盖所述 NMOS 晶体管;

形成压缩应变衬层以覆盖所述 PMOS 晶体管;以及

将紫外线辐射到所述衬底的整个表面上。

20. 根据权利要求 19 所述的方法,其中形成所述 PMOS 晶体管还包括:

在所述衬底的所述模拟电路区域中形成凹槽;

形成填充所述凹槽的压缩外延半导体层;以及

在所述压缩外延半导体层中形成源极/漏极区。

21. 根据权利要求 20 所述的方法,其中形成所述 NMOS 晶体管还包括:

在所述衬底的所述模拟电路区域中形成凹槽;

形成填充所述凹槽的拉伸外延半导体层;以及

在所述拉伸外延半导体层中形成源极/漏极区。

22. 根据权利要求 20 所述的方法,其中形成所述 NMOS 晶体管还包括形成包括有压缩应变栅极的 NMOS 晶体管。

具有模拟晶体管的半导体器件及其制造方法

技术领域

[0001] 本发明的实施例涉及一种半导体器件及其制造方法,更具体而言,涉及一种具有改善的闪烁噪声特性的半导体器件。

背景技术

[0002] 目前的半导体制造工艺中,器件尺寸正变得越来越小。由于这种尺寸减小,正在研发提高电子和空穴的迁移率的方法。一种这样的方法在半导体的沟道区域中引起应变。然而,应变模拟 MOS 晶体管 (strained analog MOS transistor) 易于表现出劣化的闪烁噪声特性。即使应变技术可以具有提高模拟 MOS 晶体管的互导和截止频率特性的效能,其也不是提高电子和空穴的迁移率的最有效的方法。特别是,在包括数字和模拟 MOS 晶体管以提供完全集成功能的大规模集成电路 (LSI) 中,将应变技术同时应用到数字 MOS 晶体管和模拟 MOS 晶体管两者可能是不适宜的。因此,需要能够通过改善操作和噪声特性两者来实现协同作用的半导体器件。

发明内容

[0003] 本发明的示例性实施例有关于一种半导体器件,该器件含有衬底,设置在所述衬底上的模拟 NMOS 晶体管,以及设置在所述衬底上的压缩应变沟道模拟 PMOS 晶体管。第一蚀刻停止衬层 (ESL) 覆盖所述 NMOS 晶体管,第二 ESL 覆盖所述 PMOS 晶体管,其中在 500Hz 的频率,与参考未应变沟道模拟 NMOS 和 PMOS 晶体管的闪烁噪声功率相比,与所述 NMOS 和 PMOS 晶体管相关的闪烁噪声功率的相对测量分别小于 1。

附图说明

[0004] 图 1 示出了用于评估根据本发明实施例的模拟 MOS 晶体管的噪声功率特性的参考未应变沟道模拟 MOS 晶体管的截面图;

[0005] 图 2 示出了根据本发明一实施例的半导体器件的压缩应变沟道模拟 PMOS 晶体管的截面图;

[0006] 图 3-5 示出了根据本发明实施例的半导体器件的模拟 NMOS 晶体管的截面图;

[0007] 图 6 示出了利用等离子体增强化学气相沉积 (CVD) 方法形成的 SiON 层的应力测量与氢浓度测量之间关系的曲线;

[0008] 图 7-11 表示了用于确定影响闪烁噪声的因素的实验数据;

[0009] 图 12A-12E 示出了用于解释半导体器件的制造方法的截面图;

[0010] 图 13 示出了引发压缩应变的 SiON 层的氢浓度的红外线 (IR) 测量与引发拉伸应变的 SiON 层的氢浓度的 IR 测量之间关系的曲线;以及

[0011] 图 14 示出了用于解释根据本发明一实施例的半导体器件的制造方法的截面图,所述半导体器件包括具有通过压缩应变栅极而被拉伸性地应变的沟道的 NMOS 器件。

具体实施方式

[0012] 现将参照附图更充分地描述本发明,附图中示出了本发明的优选实施例。然而,本发明可以以多种不同形式实施,而不应解释为仅限于在此描述的实施例。而且,提供这些实施例是为了使本公开透彻而完全,并将本发明的范围充分告知本领域技术人员。在图中,通篇用相同的附图标记表示相同的元件。

[0013] 图 1-5 示出了半导体器件的示意图,所述半导体器件包括应变沟道模拟 PMOS 晶体管 2100(图 2)和应变或未应变沟道模拟 NMOS 晶体管 3100、4100 和 5100(图 3-5)的各种组合。通过向典型的沟道施加压缩或拉伸应力来得到应变沟道从而能够改变载流子(电子或空穴)的迁移率 μ 。在与参考未应变沟道模拟 PMOS 晶体管 2000 相同的频率的闪烁噪声功率相比,PMOS 晶体管 2100 的 500Hz 频率下的闪烁 ($1/f$) 噪声功率 ($S_{vg}(V^2/Hz)$) 的相对测量小于 1。类似地,在与参考未应变沟道模拟 NMOS 晶体管 1000 相同的频率下与闪烁噪声功率相比,NMOS 晶体管 3100、4100 和 5100 的 500Hz 频率下的闪烁噪声功率的相对测量也小于 1。因此,PMOS 晶体管 2100 和 NMOS 晶体管 3100、4100、5100 的闪烁噪声特性不小于参考未应变沟道模拟 PMOS 晶体管 200 和 NMOS 晶体管 1000 的闪烁噪声特性。

[0014] 参考未应变沟道模拟 MOS 晶体管 1000 和 2000 具有与 PMOS 晶体管 2100 和 NMOS 晶体管 3100、4100、5100 相同的设计规则并且由与 PMOS 晶体管 2100 和 NMOS 晶体管 3100、4100、5100 相同的材料形成。参考未应变沟道模拟晶体管 1000 和 2000 是具有没有引发应变的沟道的 MOS 晶体管。也就是说,图 1 所示的参考未应变沟道模拟 MOS 晶体管 1000 和 2000 在沟道中引发了小于 $\pm 2|Gdyne/cm^2$ 的应力或者没有引发任何应力。蚀刻停止衬层 (etch stop liner, ELS) 1152a 和 1152b 可以是引发了小于 $\pm 2|Gdyne/cm^2$ 的应力的中性 ELS (NESL),并且可以具有小于 $1 \times 10^{22}/cm^2$ 、特别是小于 $1 \times 10^{21}/cm^2$ 的氢浓度。

[0015] 应变沟道模拟 NMOS 晶体管 3100(图 3)、4100(图 4)和 5100(图 5)以及参考未应变沟道模拟 NMOS 晶体管 1000(图 1)可以包括衬底 100,薄地形成在衬底 100 中的浅沟槽隔离 (STI) 102,形成在由 STI 102 限定的有源区中的 n 型源极/漏极区 128a,以及形成在 n 型源极/漏极区 128a 之间的沟道区 104a。NMOS 晶体管还包括形成在沟道区 104a 上的栅极 120,夹置在衬底 100 与栅极 120 之间的栅极绝缘层 110,以及形成在栅极 120 侧壁上的间隙壁 123。金属硅化物层 130 可以形成在栅极 120 上和/或分别形成在 n 型源极/漏极区 128a 中。

[0016] 同样地,应变沟道模拟 PMOS 晶体管 2100 以及参考未应变沟道模拟 PMOS 晶体管 2000 可以包括衬底 100,薄地形成在衬底 100 中的 STI 102,形成在由 STI 102 限定的有源区中的 p 型源极/漏极区 128b,以及形成在 p 型源极/漏极区 128b 之间的沟道区 104b。PMOS 晶体管还包括形成在沟道区 104b 上的栅极 120,夹置在衬底 100 与栅极 120 之间的栅极绝缘层 110,以及形成在栅极 120 侧壁上的间隙壁 123。金属硅化物层 130 可以形成在栅极 120 上和/或分别形成在 n 型源极/漏极区 128b 中。

[0017] NMOS 晶体管 3100、4100 和 5100 分别包括覆盖各个栅极 120 和各个间隙壁 123 并沿衬底 100 的顶表面延伸的第一 ESL 152a、252a 和 352a。PMOS 晶体管 2100 可以包括覆盖各个栅极 120、间隙壁 123 并沿衬底 100 的顶表面延伸的第二 ESL 152b 或 352b(如图 2 所示)。随着半导体器件的集成密度增大,晶体管之间的距离与相关设计规则显著减小,由此减小了相关的接触区域。为了防止在形成接触孔时的蚀刻操作期间蚀刻裕度的减小,形成

第一 ESL 152a、252a 和 352a 以及第二 ESL 152b 和 352b。基于以下发现来设计 PMOS 晶体管 2100 和 NMOS 晶体管 3100、4100 和 5100,即 1/f 噪声受到模拟 NMOS 晶体管中 ESL 的氢浓度或者在模拟 PMOS 晶体管的沟道中引起的压缩应变的水平的影响,如图 6-11 所示。

[0018] 1/f 噪声功率 S_{vg} 主要受到界面态密度和载流子散射的影响,如等式 (1) 所确定的:

$$[0019] \quad S_{vg}(f) = \frac{kTq^2}{\gamma WLC_{ox}} (1 + \alpha \mu N)^2 N_t(E_{fn}) \quad \dots(1)$$

[0020] 其中 S_{vg} 表示噪声功率, N_t 表示界面态密度, μ 表示迁移率, N 表示载流子密度, α 表示散射系数。图 6-11 所示的实验结果表明应力减小了噪声功率;并且界面态密度的增大导致了噪声功率的增大。具体而言,图 6 示出了利用等离子体增强化学气相沉积 (PECVD) 方法形成的 SiON 层的应力测量和氢浓度的曲线。具有 $1 \times 10^{21}/\text{cm}^3$ 的低氢浓度的中性蚀刻停止衬层 (NESL) 以及具有 $1 \times 10^{22}/\text{cm}^3$ 的高氢浓度的 NESL 均表现出约 $2\text{Gdyne}/\text{cm}^2$ 的应力。这是与表现出约 $-12\text{Gdyne}/\text{cm}^2$ 应力的具有 $1 \times 10^{21}/\text{cm}^3$ 高氢浓度的压缩 ESL (CESL) 相比。

[0021] 图 7 示出了包括具有低氢浓度的 NESL 的模拟 PMOS 晶体管 (NESL(LH)) 的负偏置温度不稳定性 (NBTI) 测量、包括具有在沟道中引发压缩应变的高氢浓度的 CESL 的模拟 PMOS 晶体管的 NBTI 测量 (CESL(HH))、包括具有低氢浓度的 NESL 和填充衬底中的凹槽并包括源极/漏极区的外延 SiGe (eSiGe) 层的模拟 PMOS 晶体管 eSiGe+NESL(LH) 的 NBTI 测量的曲线。具有高氢浓度的 CESL 在沟道中引发了压缩应变。产生图 7 所示的实验结构的模拟 PMOS 晶体管由相同的材料形成并依照相同的设计规则。从曲线图中可以看出,模拟 PMOS 晶体管 eSiGe+NESL(LH) 表现出与模拟 PMOS 晶体管 NESL(LH) 基本相同的 NBTI 特性。此外,模拟 PMOS 晶体管 CESL(HH) 表现出与模拟 PMOS 晶体管 NESL(LH) 不同的 NBTI 特性。

[0022] 图 8 示出了在 500Hz 的频率对于各种晶体管类型的噪声功率测量之间的曲线。具体而言,示出了对于包括具有低氢浓度的 NESL 的模拟 PMOS 晶体管 NESL(LH) 的噪声功率测量以及对于包括具有高氢浓度的 NESL 的模拟 PMOS 晶体管 NESL(HH) 的噪声功率测量。还示出了对于包括 eSiGe 层和具有低氢浓度的 NESL 的模拟 PMOS 晶体管 SiGe+NESL(LH) 以及对于包括 eSiGe 层和具有高氢浓度的 NESL 的模拟 PMOS 晶体管 SiGe+NESL(HH) 的噪声功率测量。此外,示出了对于包括具有低氢浓度的 CESL 的模拟 PMOS 晶体管 CESL(LH) 以及对于包括具有高氢浓度的 CESL 的模拟 PMOS 晶体管 CESL(HH) 的噪声功率测量。还对包括 eSiGe 层和具有低氢浓度的 CESL 的模拟 PMOS 晶体管 SiGe+CESL(LH) 和包括 eSiGe 层和具有高氢浓度的 CESL 的模拟 PMOS 晶体管 SiGe+CESL(HH) 提供了噪声功率测量。

[0023] 参照图 8 的模拟 PMOS 晶体管 SiGe+NESL(LH) 被确定为 (基于图 7 所示的实验结果) 具有与模拟 PMOS 晶体管 NESL(HL) 基本相同的 NBTI 特性,但具有比模拟 PMOS 晶体管 NESL(HL) 低得多的噪声功率水平。由于 eSiGe 不包括氢,所以可知由 eSiGe 引发的压缩应变正面影响 PMOS 晶体管的噪声特性。也就是说,压缩应变通过减小载流子量 (carrier mass) 而减小了 PMOS 晶体管的噪声功率,从而能够减小散射系数。此外,已知模拟 PMOS 晶体管 NESL(HH) 和 CESL(HH) 的噪声功率水平几乎分别是模拟 PMOS 晶体管 NESL(LH) 和 CESL(LH) 的两倍,则可知由氢引起的界面态密度的增大导致了噪声功率的增大。已知模拟 PMOS 晶体管 CESL(HH) 具有比模拟 PMOS 晶体管 NESL(LH) 略微改善的噪声特性,则可知压缩应变能够

补偿由氢引起的噪声特性的劣化并可以轻微改善噪声特性。以这种方式,即使模拟 PMOS 晶体管的噪声特性受到 ESL 的氢浓度的不利影响,也可以通过引发适当水平的压缩应变来进一步防止模拟 PMOS 晶体管噪声特性的劣化。

[0024] 图 9 示出了图 8 所示的模拟 PMOS 晶体管“NESL(HH)”、“eSiGe+NESL(LH)”、“eSiGe+NESL(HH)”、“CESL(LH)”、“CESL(HH)”、“eSiGe+CESL(HH)”和“eSiGe+CESL(LH)”的噪声功率测量的相对测量与包括具有低氢浓度的 NESL 的参考模拟 PMOS 晶体管的噪声功率测量之间关系的曲线图。从图 9 中可以看出,与包括具有低氢浓度的 NESL 的参考未应变沟道模拟 PMOS 晶体管的噪声功率相比,具有压缩应变沟道的应变沟道 PMOS 晶体管的噪声功率的相对测量小于 1,而与应变沟道 PMOS 晶体管中包括的 ESL 的类型和应变沟道 PMOS 晶体管的 ESL 的氢浓度无关。

[0025] 图 10 示出了在 500Hz 的频率对于各种晶体管类型的噪声功率测量的曲线。具体而言,示出了对于包括具有低氢浓度的 NESL 的模拟 NMOS 晶体管 NESL(LH) 以及对于包括具有高氢浓度的 NESL 的模拟 NMOS 晶体管 NESL(HH) 的噪声功率测量。还示出了对于包括具有低氢浓度的 CESL 的模拟 NMOS 晶体管 CESL(LH) 以及对于包括具有高氢浓度的 CESL 的模拟 NMOS 晶体管 CESL(HH) 的噪声功率测量。在图 10 中还示出了对于包括具有低氢浓度的拉伸 ESL(TESL) 的模拟 NMOS 晶体管 TESL(LH) 以及对于包括具有高氢浓度的 TESL 的模拟 NMOS 晶体管 TESL(HH) 的噪声功率测量。模拟 NMOS 晶体管 NESL(LH)、CESL(LH) 和 TESL(LH) 比模拟 NMOS 晶体管 NESL(HH)、CESL(HH) 和 TESL(HH) 具有改善的噪声特性。然而,模拟 NMOS 晶体管 CESL(LH) 和 CESL(HH) 分别具有与模拟 NMOS 晶体管 NESL(LH) 和 NESL(HH) 基本相同的噪声特性。因此,可知模拟 NMOS 晶体管的噪声功率受到 ESL 的氢浓度的影响比受到压缩应变的影响更大。此外,已知模拟 NMOS 晶体管 TESL(LH) 比模拟 NMOS 晶体管 NESL(LH) 具有略微改善的噪声特性,则可知通过引发拉伸应变可以改善模拟 NMOS 晶体管的噪声特性。然而,已知模拟 NMOS 晶体管 TESL(HH) 的噪声特性比模拟 NMOS 晶体管 NESL(LH) 的噪声特性差,则可知模拟 NMOS 晶体管的噪声功率受到 ESL 的氢浓度的影响比受到拉伸应变的影响更大。

[0026] 图 11 示出了图 10 所示的模拟 NMOS 晶体管 NESL(HH)、CESL(LH)、CESL(HH)、TESL(LH) 和 TESL(HH) 的噪声功率测量的相对测量与包括具有低氢浓度的 NESL 的参考模拟 NMOS 晶体管的噪声功率测量之间的曲线图。为了将对于包括具有低氢浓度的 NESL 的参考模拟 NMOS 晶体管的噪声功率的模拟 NMOS 晶体管的噪声功率保持为小于 1,ESL 的氢浓度必须保持相对低(小于 $1 \times 10^{21}/\text{cm}^3$)。因此,包括了图 2 的 PMOS 晶体管 2100 之一与图 3、4、5 的 NMOS 晶体管 3100、4100 和 5100 之一的组合的半导体器件是基于图 6-11 所示的实验结果。预期该半导体器件能通过改善操作和噪声特性两者来实现协同作用。

[0027] 再次参考图 2,应变沟道模拟 PMOS 晶体管 2100 不受第二 ESL 152b 和 352b 的氢浓度水平影响。然而,应变沟道模拟 PMOS 晶体管 2100 可以在其各个沟道中引发压缩应变从而通过改善操作和噪声特性两者来实现协同作用。特别是,图 2 的 PMOS 晶体管 2100a 是应变沟道 PMOS 晶体管,其包括不在沟道 104b 中引起压缩应变的 NESL 152b 以及填充衬底 100 中的凹槽的压缩外延半导体层 124b(例如 SiGe 层),和源极/漏极区 128b,其在沟道 104b 中引发压缩应变。图 2 的 PMOS 晶体管 2100b 是应变沟道 PMOS 晶体管,其包括在沟道 104b 中引起压缩应变的 CESL 352b。图 2 的 PMOS 晶体管 2100c 是应变沟道 PMOS 晶体管,其包括

CESL 152b 以及与 CESL152b 一起在沟道 104 中引起压缩应变的压缩外延半导体层 124b。

[0028] 再次参照图 3-5 以及 NMOS 晶体管 3100、4100 和 5100, 第一 ESL 152a、252a 和 352a 的氢浓度保持较低, 例如小于 $1 \times 10^{22}/\text{cm}^3$ 、特别是小于 $1 \times 10^{21}/\text{cm}^3$ 。这被保持而与第一 ESL 152a、252a 和 352a 是否在各个相应的沟道中引起应变无关。当向与 PMOS 晶体管 2100 一起的半导体器件的制造应用这些参数时, NMOS 晶体管 3100、4100 和 5100 能够通过改善操作和噪声特性两者来实现协同作用。

[0029] 图 3 所示的 NMOS 晶体管 3100a、3100b 和 3100c 均包括具有低氢浓度的 NESL 152a。更具体而言, NMOS 晶体管 3100a 是包括 NESL 152a 的未应变沟道 NMOS 晶体管, NMOS 晶体管 3100b 是应变沟道 NMOS 晶体管, 其包括填充衬底 100 中的凹槽的拉伸外延半导体层 124a (例如 SiC 层)、源极 / 漏极区 128a, 并在沟道 104a 中引起拉伸应变。NMOS 晶体管 3100c 是应变沟道 NMOS 晶体管, 其包括在沟道 104a 中引起拉伸应变的压缩应变栅极 120'。包括拉伸外延半导体层 124a 和压缩应变栅极 120' 两者的应变沟道 NMOS 晶体管 (未示出) 源于 NMOS 晶体管 3100b 和 3100c 的区别特征的组合并在本发明的范围内。

[0030] 图 4 所示的 NMOS 晶体管 4100a、4100b 和 4100c 均包括具有低氢浓度的 TESL 252a。更具体而言, NMOS 晶体管 4100a 是包括在沟道 104a 中引起拉伸应变的 TESL 252a 的应变沟道 NMOS 晶体管。NMOS 晶体管 4100b 是应变沟道 NMOS 晶体管, 其包括 TESL 252a 和填充衬底 100 中的凹槽的拉伸外延半导体层 124a (例如 SiC 层)、源极 / 漏极区 128b, 并与 TESL 252a 一起在沟道 104a 中引起拉伸应变。NMOS 晶体管 4100c 是包括 TESL 252a 以及与 TESL 252a 一起在沟道 104a 中引起拉伸应变的压缩应变栅极 120' 的应变沟道 NMOS 晶体管。包括 TESL 252a、拉伸外延半导体层 124a 和压缩应变栅极 120' 的应变沟道 NMOS 晶体管 (未示出) 源于 NMOS 晶体管 4100b 和 4100c 的区别特征的组合并在本发明的范围内。

[0031] 图 5 所示的 NMOS 晶体管 5100a、5100b 和 5100c 均包括具有低氢浓度的 CESL 352a。更具体而言, NMOS 晶体管 5100a 是包括在沟道 104a 中引起压缩应变的 CESL 352a 的应变沟道 NMOS 晶体管。NMOS 晶体管 5100b 是应变沟道 NMOS 晶体管, 其包括 CESL 352a 和填充衬底 100 中的凹槽的拉伸外延半导体层 124a (例如 SiC 层)、源极 / 漏极区 128a, 并与 CESL 352a 一起在沟道 104a 中引起压缩应变。NMOS 晶体管 5100c 是包括 CESL 352a 以及与 CESL 352a 引起压缩应变的压缩应变栅极 120' 的应变沟道 NMOS 晶体管。包括 CESL 352a、拉伸外延半导体层 124a 和压缩应变栅极 120' 的应变沟道 NMOS 晶体管 (未示出) 源于 NMOS 晶体管 5100b 和 5100c 的区别特征的组合并在本发明的范围内。

[0032] 如果根据本发明实施例的半导体器件是为了提供单一完整系统而在单一芯片上安装数字电路和模拟电路两者而制造的系统 LSI 器件, 则所述半导体器件可以包括模拟电路区域和数字电路区域两者。这样, 模拟电路区域可以包括图 2 所示的 PMOS 晶体管 2100、图 3 所示的 NMOS 晶体管 3100、图 4 所示的 NMOS 晶体管 4100 和图 5 所示的 NMOS 晶体管 5100。数字电路区域根据系统 LSI 所需的性能水平而可以包括应变或未应变沟道数字 NMOS 晶体管和 / 或应变或未应变沟道数字 PMOS 晶体管。

[0033] 此处参照图 12A-12E 描述图 2 所示的 PMOS 晶体管 2100c 和图 4 所示的 NMOS 晶体管 4100b 的制造方法。参照图 12A, 在例如硅衬底的半导体衬底 100 的数字和模拟电路区域中形成 STI 102。对于在每个区域中将要形成的晶体管的类型, 利用适当的离子在半导体衬底 100 上执行沟道离子注入。然后在半导体衬底 100 上形成绝缘层和导电层并将其图案

化为栅极绝缘层 110 和栅极 120。之后,形成限定沟道 104a 和 104b 的源极 / 漏极延伸区 122。在每个栅极 120 的侧壁上形成绝缘间隙壁 123。

[0034] 参照图 12B,通过局部蚀刻半导体衬底 100,形成凹槽 G,凹槽 G 将被分别在沟道 104a 和 104b 中引起应变的外延半导体层 124a 和 124b 填充。在凹槽 G 的形成期间,可以局部蚀刻栅极 120。

[0035] 参照图 12C,形成外延半导体层 124a 和 124b,使得每个凹槽 G 被外延半导体层 124a 和 124b 之一填充。可以在 NMOS 区域中形成在沟道 104b 中引起拉伸应变的 SiC 层。可以在 PMOS 区域中形成在沟道 104b 中引起压缩应变的 SiGe 层。可以利用例如选择性外延生长 (SEG) 方法、低压化学气相沉积 (LPCVD) 方法或超高真空化学气相沉积 (UHC CVD) 方法来形成外延半导体层 124a 和 124b。在外延半导体层 124a 和 124b 的形成期间,可以利用用于形成深源极 / 漏极区 126 的掺杂剂来执行原位掺杂操作。可以利用例如 Si_2H_6 、 SiH_4 、 SiH_2Cl_2 、 SiHCl_3 或 SiCl_4 作为 Si 源, GeH_4 作为 Ge 源以及 C_2H_6 或 CH_3SiH_3 作为 C 源,来形成外延半导体层 124a 和 124b。为了提高外延半导体层 124a 和 124b 的选择特性,可以向所述源添加 HCl 或 Cl_2 气体。也可以向所述源添加 B_2H_6 、 PH_3 或 AsH_3 气体以掺杂外延半导体层 124a 和 124b。通过添加 HCl 气体,可以仅在利用 SEG 方法暴露 Si 的区域中选择性的形成外延半导体层 124a 和 124b,同时避免在 STI 102 中外延半导体层 124a 和 124b 的生长。

[0036] 在形成外延半导体层 124a 和 124b 之后,形成深源极 / 漏极区 126。结果,完成了 n 型源极 / 漏极区 128a 和 p 型源极 / 漏极区 128b 的形成。如果在用于形成外延半导体层 124a 和 124b 的外延生长操作期间执行了掺杂操作,则可以不形成深源极 / 漏极区 126b。之后,利用硅化物工艺在栅极 120 上以及在源极 / 漏极区 128a 和 128b 上形成硅化物层 130。

[0037] 参照图 12D,形成拉伸应变衬层 252 和压缩应变衬层 352。拉伸应变衬层 252 覆盖 NMOS 晶体管,并且压缩应变衬层 352 覆盖 PMOS 晶体管。拉伸应变衬层 252 和压缩应变衬层 352 可以由不同的材料形成或者可以由相同的材料形成,但在不同的如本领域所知工艺条件下。如果拉伸应变衬层 252 利用 SiON 层形成,拉伸应变衬层 252 的氢浓度可以超过 $1 \times 10^{21}/\text{cm}^3$,如图 3 所示。拉伸应变衬层 252 的氢浓度可以高于压缩应变衬层 352 的氢浓度。为了改善模拟 NMOS 晶体管的闪烁噪声特性,必须通过例如利用辐射 1 至 10 分钟的紫外线 (UV) 来减小拉伸应变衬层 252 的氢浓度。由于 UV 辐射,也可以减小压缩应变衬层 352 的氢浓度。通过利用图 12A 至 12D 所示的方法,能够得到图 12E 所示的包括具有改善的操作和闪烁噪声特性的 NMOS 和 PMOS 晶体管的半导体器件。

[0038] 在形成 NMOS 晶体管和 PMOS 晶体管之后,图 12A-12E 所示的方法还可以包括形成互连从而能够从 NMOS 和 PMOS 晶体管输入和输出电信号,在衬底 100 上形成钝化层以及相关的封装基板。可以利用以上参照图 12A-12E 描述的方法来制造半导体器件,其中形成外延半导体层 124a 和 124b 可以是可选的。此外,可以通过在以上参照图 2-5 所述的 NMOS 和 PMOS 晶体管上形成具有预期的应变引发特性的第一和第二 ESL 来制造模拟晶体管的各种组合。

[0039] 图 14 示出了截面图,以说明在 NMOS 晶体管的沟道 104a 中引起拉伸应变的压缩应变栅极 120' 的形成方法。在半导体衬底 100 中形成源极 / 漏极区 128a 和 128b,并在半导体衬底 100 的整个表面上形成栅极转变层 124。在半导体衬底 100 上执行退火从而将压缩应变施加到由多晶硅形成的栅极 120。结果,在 NMOS 区域中形成具有转

变的上部的压缩应变栅极 120'。在 K. Ota 等人的“Novel Locally Strained Channel Technique for High performance 55nm CMOS”International Electron Devices Meeting, 2.2.1, IEEE, Feb. 2002 以及 Chien-Hao Chen 等人的“Stress Memorization Technique (SMT) by Selectively Strained-Nitride Capping for Sub-65nm High performance Strained-Si Device Application”, VLSI Technology, 2004 中公开了栅极转变层 124 的类型以及压缩应变栅极 120' 的形成, 其全部内容在此引入作为参考。在形成压缩应变栅极 120' 之后, 去除栅极转变层 124 并执行以上参照图 12B-12D 所述的工艺, 从而完成半导体器件的制造。

[0040] 尽管已经结合在附图中示出的本发明的实施例描述了本发明, 但本发明并不限于此。对本领域技术人员显而易见的是, 在不偏离本发明的范围和精神的的前提下, 可以对本发明进行各种替换、修改和变化。

1 (nMOS)		2 (pMOS)	
1000 (参考)		2000 (参考)	

图 1

2100	a (NESL) + (SiGe)	
	b (CESL)	
	c (CESL) + (SiGe)	

图 2

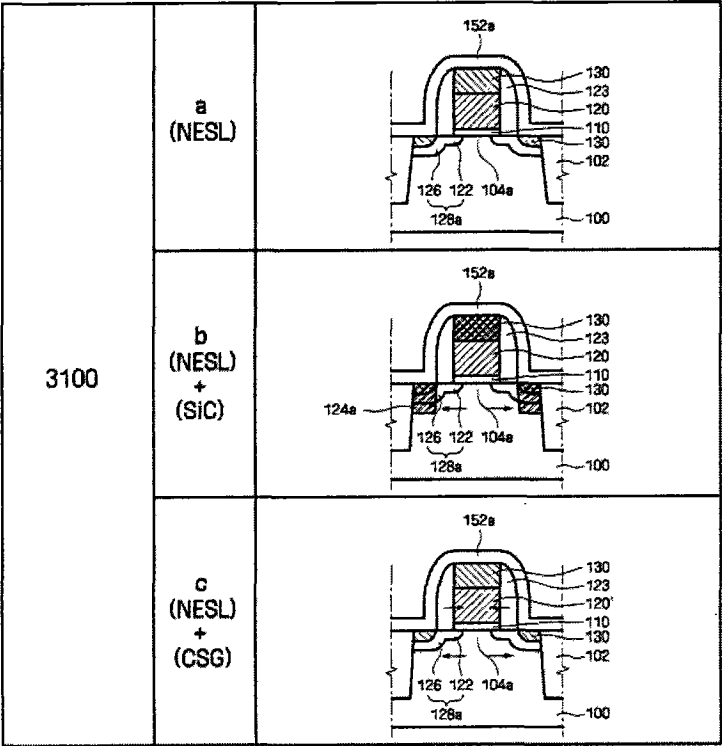


图 3

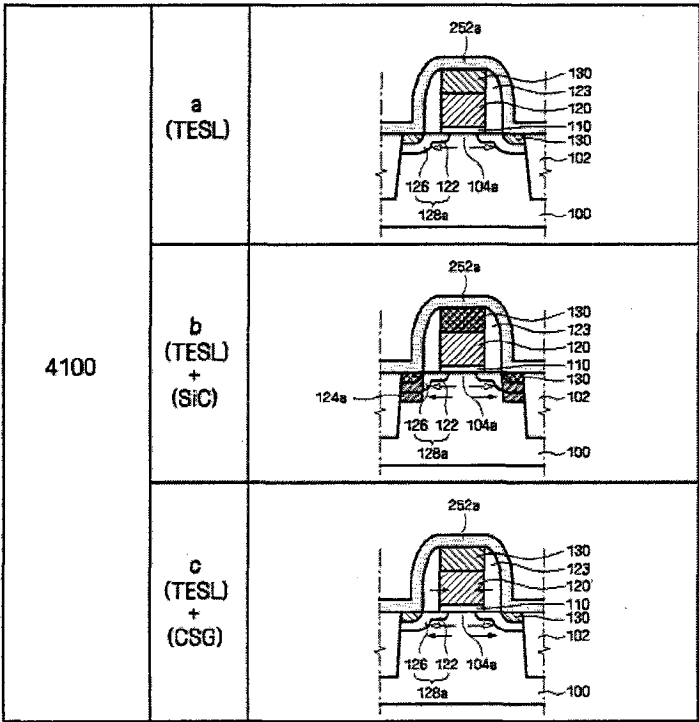


图 4

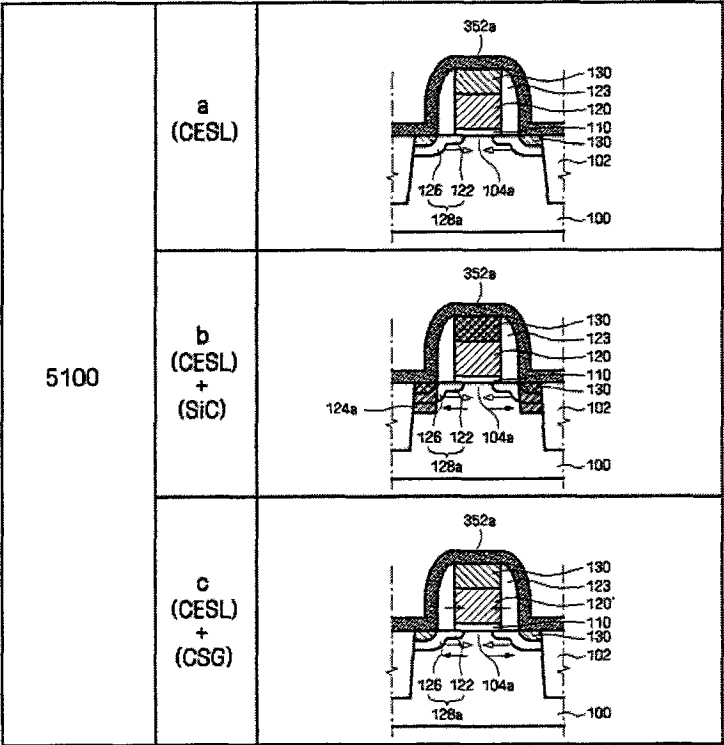


图 5

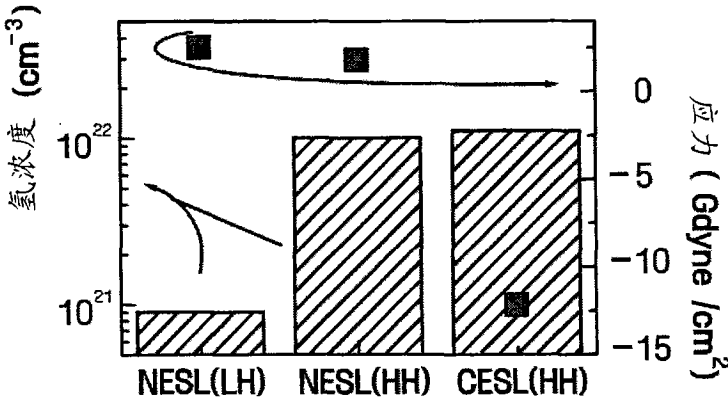


图 6

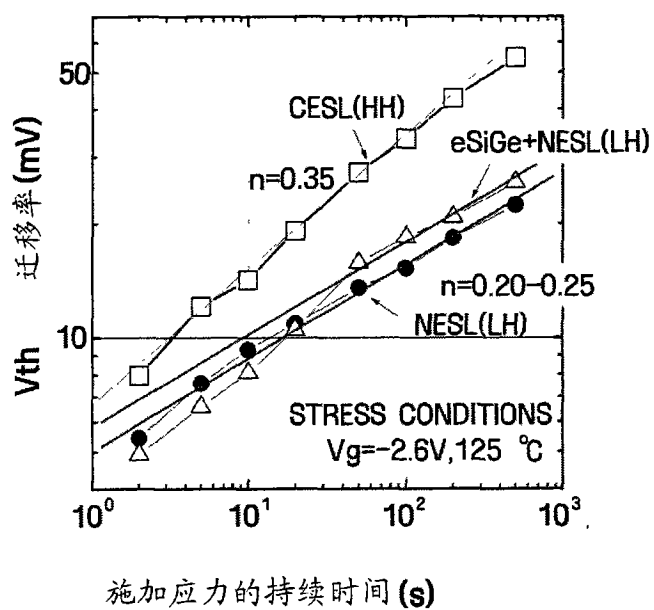


图 7

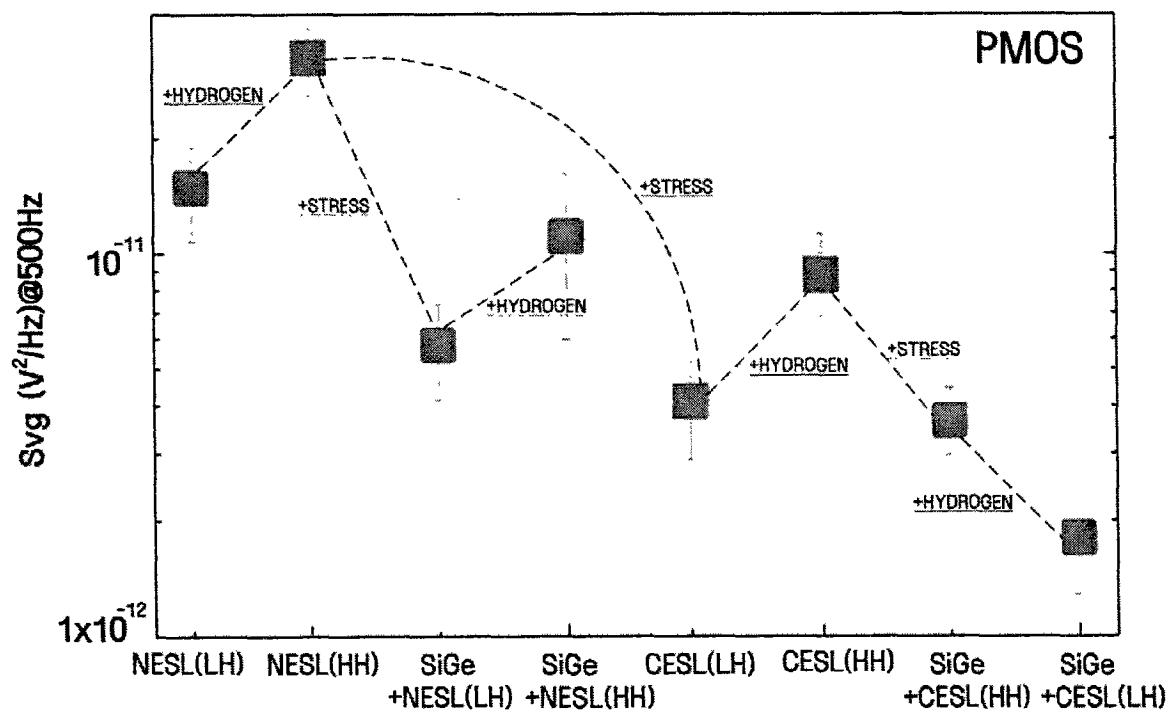


图 8

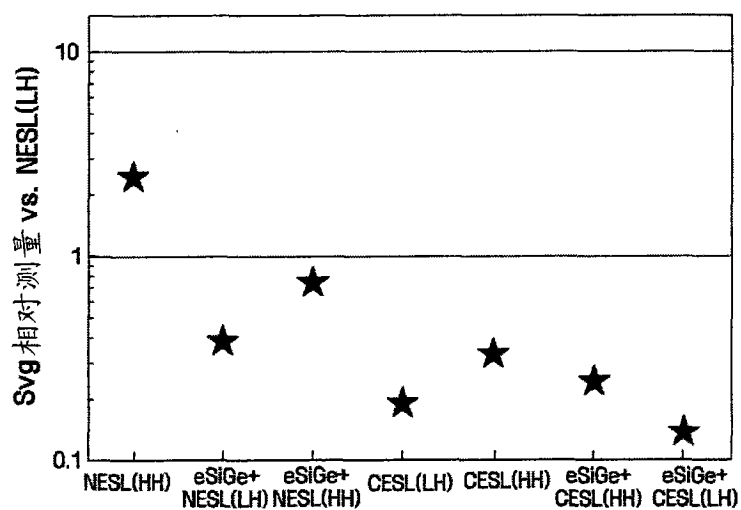


图 9

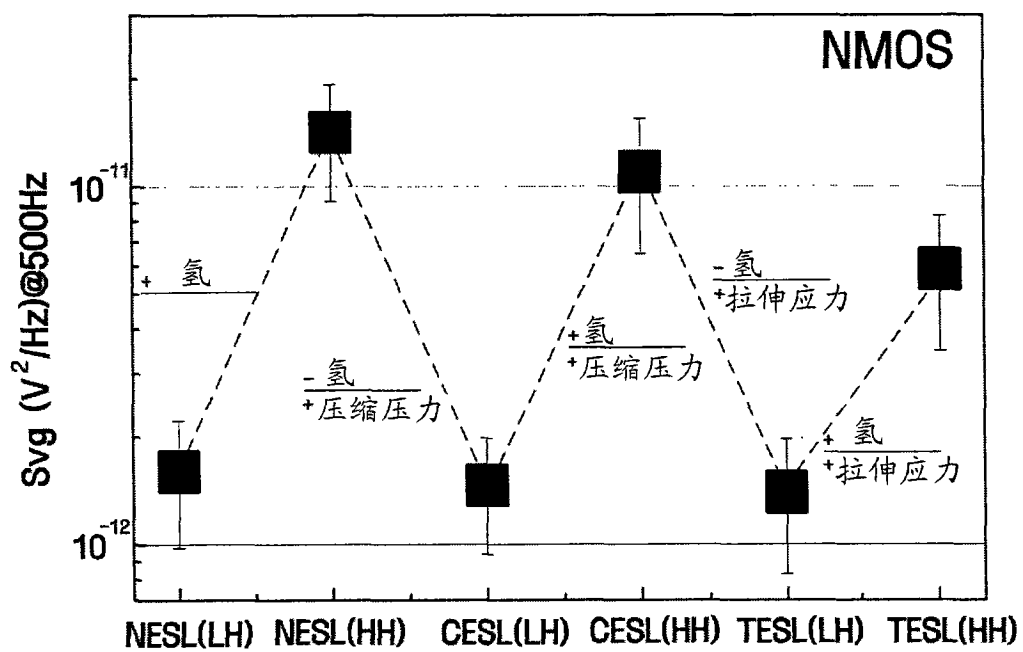


图 10

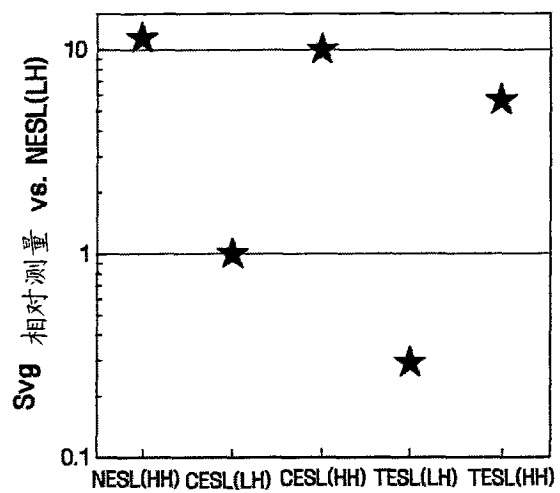


图 11

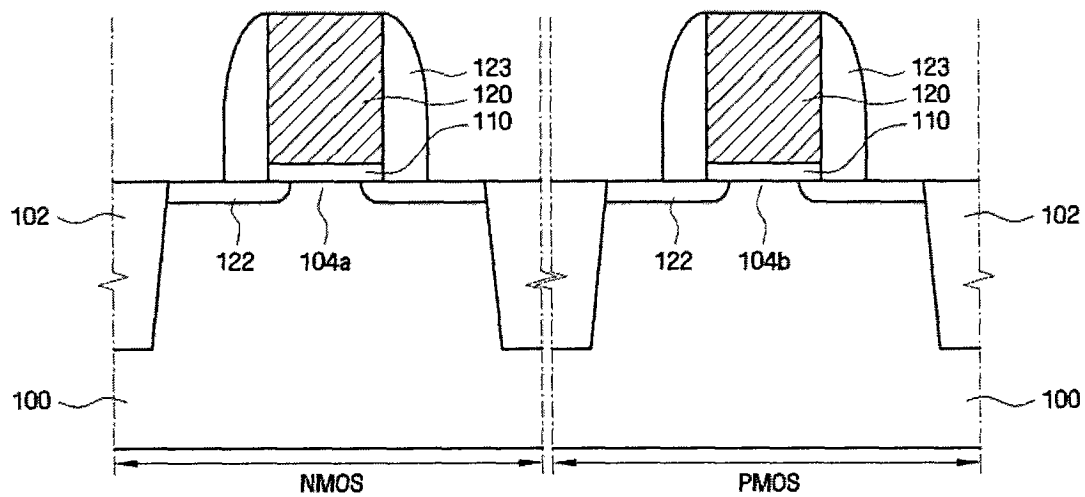


图 12A

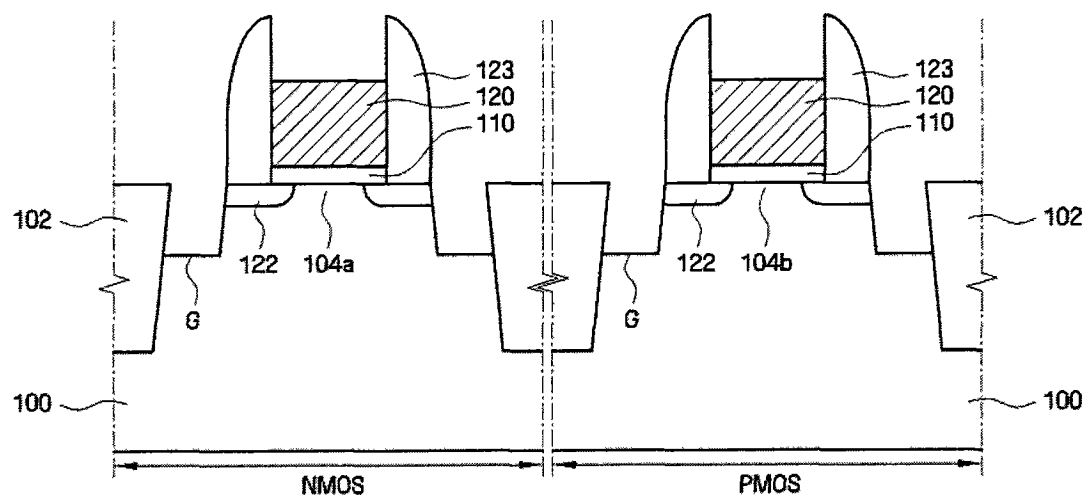


图 12B

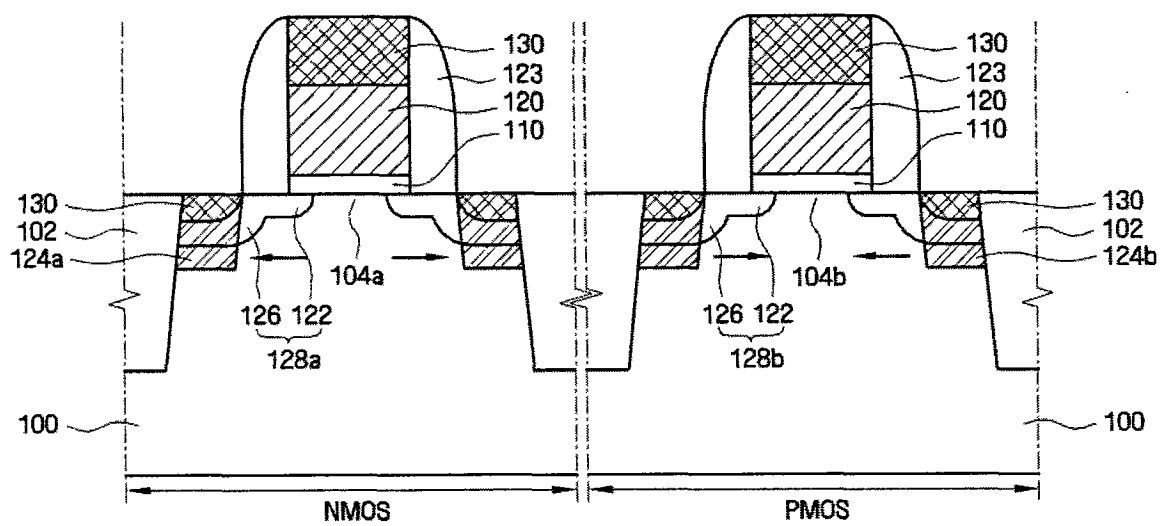


图 12C

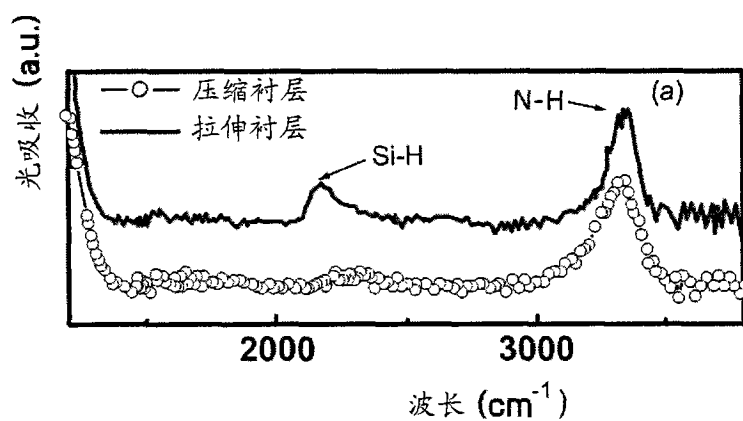


图 13

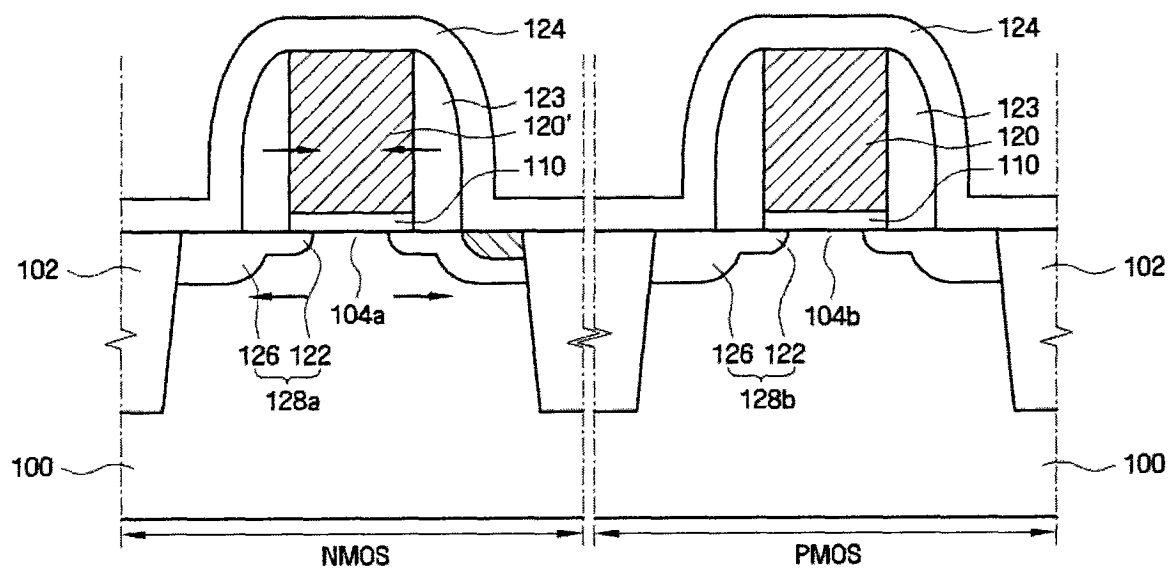


图 14